(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第6852012号
(P6852012)
(45)発行日　令和3年3月31日(2021.3.31)　(24)登録日　令和3年3月12日(2021.3.12)

(51)Int.Cl.　　F I
F16H 61/12 (2010.01)　　F16H 61/12
G06F 11/20 (2006.01)　　G06F 11/20　643

請求項の数 1　(全 9 頁)

(21)出願番号　特願2018-55530(P2018-55530)
(22)出願日　平成30年3月23日(2018.3.23)
(65)公開番号　特開2019-168023(P2019-168023A)
(43)公開日　令和1年10月3日(2019.10.3)
審査請求日　令和2年2月28日(2020.2.28)

(73)特許権者　509186579
日立Ａｓｔｅｍｏ株式会社
茨城県ひたちなか市高場２５２０番地
(74)代理人　110001678
特許業務法人藤央特許事務所
(72)発明者　岡部　靖宏
茨城県ひたちなか市高場２５２０番地　日立オートモティブシステムズ株式会社内

審査官　日下部　由泰

(56)参考文献　国際公開第２０１７／００２５７７（WO，A1）
特開２０１７－１２９１７７（ＪＰ，Ａ）

最終頁に続く

(54)【発明の名称】車両用変速機の制御装置

(57)【特許請求の範囲】
【請求項１】
アドレスデータを記憶する記憶部と、
前記記憶部が格納している前記アドレスデータを用いて処理を実施する制御部と、
前記制御部内の故障を検出する故障検出器と、
を備えた車両用変速機の制御装置において、
前記記憶部は、
前記アドレスデータに、制御用アドレスと、制御複写用アドレスとを有し、
前記制御部は、
ソレノイドリレー回路を制御するための制御用のアドレスとして第１のソレノイドリレー制御部のアドレスを前記記憶部の前記制御用アドレスに格納し、前記第１のソレノイドリレー制御部を前記制御部の未使用領域に複写した第２のソレノイドリレー制御部のアドレスを前記記憶部の前記制御複写用アドレスに格納し、
前記制御部は、
前記制御部で異常が発生した部位を検出する故障部位検出制御部と、
前記故障部位検出制御部が前記制御用のドレスで異常を検出した場合に、前記制御複写用アドレスに切り替える故障部位回避制御部と、
前記制御部の未使用領域に前記第２のソレノイドリレー制御部を複写する領域が不足した場合に、所定の条件で前記ソレノイドリレー回路を制御するＲＯＭ故障時制御部と、を有し、

前記故障部位回避制御部は、
前記第１のソレノイドリレー制御部で異常が検出された場合には、前記第２のソレノイドリレー制御部を前記制御部の未使用領域に複写して第３のソレノイドリレー制御部とし、前記アドレスデータに設定しておいた前記制御用アドレスを前記制御複写用アドレスに書き換えて、前記制御複写用アドレスを前記第３のソレノイドリレー制御部のアドレスに書き換えてから、前記制御用アドレスで前記ソレノイドリレー回路を制御し、
前記第２のソレノイドリレー制御部を複写する未使用領域が不足した場合には前記ＲＯＭ故障時制御部に切り替えて前記ソレノイドリレー回路を制御することを特徴とする車両用変速機の制御装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は車両用変速機の制御装置に関する。

【背景技術】

【０００２】

機能安全に関する国際標準としてＩＥＣ６１５０８やＩＳＯ２６２６２等が制定され、自動車の安全性能へのニーズが高まっている。

【０００３】

安全性能へのニーズに対応すべく、車両用変速機に搭載されているマイクロプロセッサでは、ＲＯＭ（Ｒｅａｄ　Ｏｎｌｙ　Ｍｅｍｏｒｙ）故障検出機能の高性能化等、安全状態を常時監視できる機能が備わってきている。一方で、マイクロプロセッサの技術向上によりＲＯＭ記憶容量が急増しており、ＲＯＭ故障率は高くなる傾向がある。

【０００４】

ＲＯＭ故障を含む車両用変速機の制御装置の故障が発生した場合、フェールセーフ状態へ移行する技術が公開されている。

【０００５】

特許文献１の要約欄には、「構成部品の故障状態を判定するｎ個の故障判定手段と、故障部位から想定される周辺・関連部位の故障発生であっても、暴走・エンスト・急減速が発生せず、また２重故障へ起因しない運転状態を確保することが可能な予め統合化，グループ化されたｎ個の故障判定手段よりも少ないｍ個のフェールセーフモード実行手段を備え、故障発生が検出・判定されたときに、ｍ個のフェールセーフモードのうち、故障部位に対応するフェールセーフモードを選択する。」と開示されている。

【先行技術文献】

【特許文献】

【０００６】

【特許文献１】特開２００９－４１６０２号公報

【発明の概要】

【発明が解決しようとする課題】

【０００７】

特許文献１では、ＲＯＭ故障時に車両の安全状態を確保するため、車両用変速機の機能を制限し、ドライバビリティが低下してしまうことがある。

【０００８】

本発明は、上記課題に鑑みてなされたものであり、その目的は、ＲＯＭ故障が複数個所発生しても、代替制御を行うことにより、車両用変速機の制御を制限する必要はなく、ドライバビリティ低下を避けることにある。

【課題を解決するための手段】

【０００９】

上記目的を達成するため、本発明は、アドレスデータを記憶する記憶部と、前記記憶部が格納している前記アドレスデータを用いて処理を実施する制御部と、前記制御部内の故障を検出する故障検出器と、を備えた車両用変速機の制御装置において、前記記憶部は、

前記アドレスデータに、制御用アドレスと、制御複写用アドレスとを有し、前記制御部は、ソレノイドリレー回路を制御するための制御用のアドレスとして第１のソレノイドリレー制御部のアドレスを前記記憶部の前記制御用アドレスに格納し、前記第１のソレノイドリレー制御部を前記制御部の未使用領域に複写した第２のソレノイドリレー制御部のアドレスを前記記憶部の前記制御複写用アドレスに格納し、前記制御部は、前記制御部で異常が発生した部位を検出する故障部位検出制御部と、前記故障部位検出制御部が前記制御用アドレスで異常を検出した場合に、前記制御複写用アドレスに切り替える故障部位回避制御部と、前記制御部の未使用領域に前記第２のソレノイドリレー制御部を複写する領域が不足した場合に、所定の条件で前記ソレノイドリレー回路を制御する前記ＲＯＭ故障時制御部と、を有し、前記故障部位回避制御部は、前記第１のソレノイドリレー制御部で異常が検出された場合には、前記第２のソレノイドリレー制御部を前記制御部の未使用領域に複写して第３のソレノイドリレー制御部とし、前記アドレスデータに設定しておいた前記制御用アドレスを前記制御複写用アドレスに書き換えて、前記制御複写用アドレスを前記第３のソレノイドリレー制御部のアドレスに書き換えてから、前記制御用アドレスで前記ソレノイドリレー回路を制御し、前記第２のソレノイドリレー制御部を複写する未使用領域が不足した場合にはＲＯＭ故障時制御部に切り替えて前記ソレノイドリレー回路を制御する。

【発明の効果】

【００１０】

本発明によれば、ＲＯＭ故障が複数個所発生しても、代替制御を行うことにより、車両用変速機の制御を制限する必要はなく、ドライバビリティ低下を避けることができる。

【図面の簡単な説明】

【００１１】

【図１】車両用変速機の制御装置に関するシステム概要の一例

【図２】ソレノイドリレー制御に関する一例。

【図３】ソレノイドリレー制御に関するＲＯＭ故障部位を検出する制御のフローチャート

【図４】ソレノイドリレー制御に関するＲＯＭ故障部位を回避する制御のフローチャート

【発明を実施するための形態】

【００１２】

以下、本発明の実施の形態を図面に基づき詳細に説明する。

【実施例１】

【００１３】

図１を用いて、車両用変速機の制御装置に関するシステム概要の一例について説明する。

【００１４】

車両用変速機には、エンジン００８からの駆動力を受けるプライマリプーリー００２、ファイナルギア００９へ駆動力を出力するセカンダリプーリー００４、プライマリプーリー００２とセカンダリプーリー００４を接続するベルト００３を備える。プライマリプーリー００２とセカンダリプーリー００４は、油圧により溝幅を変化させ、変速比を変えることができる。

【００１５】

また、プライマリプーリー００２とセカンダリプーリー００４へ油を供給するオイルポンプ００５、油の供給量を調整するプライマリソレノイドバルブ００６、セカンダリソレノイドバルブ００７を備える。

【００１６】

車両用変速機の制御装置であるＡＴＣＵ(Ａｕｔｏｍａｔｉｃ　Ｔｒａｎｓｍｉｓｓｉｏｎ　Ｃｏｎｔｒｏｌ　Ｕｎｉｔ）００１では、プライマリソレノイドバルブ００６、セカンダリソレノイドバルブ００７を開閉することで、プライマリプーリー００２とセカンダリプーリー００４の油圧を制御し、結果として車両用変速機の変速比を制御している。

【００１７】

図２は、ソレノイドリレー制御に関する例を示す。ＡＴＣＵ１０１内には、マイクロプロセッサ１０２、マイクロプロセッサ１０２からの目標電流値を受けソレノイドバルブ１１６を制御するソレノイド制御ＩＣ１１４、バッテリ１１５からソレノイド制御ＩＣ１１４への電源供給を制御するソレノイドリレー回路１１３を備える。

【００１８】

マイクロプロセッサ１０２内には、データを記憶するＲＯＭデータ記憶部（記憶部）１０５、ソフトウェアプログラムを記憶するＲＯＭ制御部（制御部）１０４、ＲＯＭ故障アドレスを検出できるＲＯＭ故障検出器１０３を備える。

【００１９】

ＲＯＭ故障検出器１０３内には、ＲＯＭ故障が発生有無の情報を格納するＲＯＭ故障通知レジスタ１１７、ＲＯＭ故障発生したアドレスｎ個を格納するＲＯＭ故障アドレス格納レジスタ１１８を備える。ＲＯＭ故障検出器１０３はマイクロプロセッサ１０２に搭載されている機能であり、マイクロプロセッサが起動してから停止するまでの間、ＲＯＭ故障を監視する。

【００２０】

ＲＯＭ制御部１０４内には、ＲＯＭ故障検出器１０３から取得したＲＯＭ故障通知レジスタ１１７とＲＯＭ故障アドレス格納レジスタ１１８の情報により、制御部の故障部位を特定するソフトウェアプログラムであるＲＯＭ故障部位検出制御１０６を有する。

【００２１】

ＲＯＭ故障部位回避制御１０７は、ＲＯＭ故障部位検出制御１０６により制御部の故障部位を回避するためのソフトウェアプログラムである。

【００２２】

ソレノイドリレー制御１０８は、ソレノイドリレー回路１１３のＯＮ／ＯＦＦを制御するソフトウェアプログラムである。

【００２３】

ソレノイド制御１１１は、ソレノイド制御ＩＣ１１４へ目標指示電流を与えるソフトウェアプログラムである。

【００２４】

ソレノイドリレー制御複写n面１０９は、ＲＯＭ故障時に行う制御代替処理であり、ソレノイドリレー制御１０８と同じ内容のソフトウェアプログラムである。

【００２５】

ソレノイドリレー制御複写n+1面１１９は、ソレノイドリレー制御複写n面１０９がＲＯＭ故障となった時の制御代替処理であり、ソレノイドリレー制御１０８がＲＯＭ故障となった時に、ソレノイドリレー制御複写n面１０９と同じ内容のソフトウェアプログラムをＲＯＭ未使用領域へ複写したものである。

【００２６】

ソレノイドリレー制御複写n+1面１１９は、ＲＯＭ未使用領域がある限り複写を続ける。ＲＯＭ故障時制御１１０は、ＲＯＭ未使用領域が無くなり、ソレノイドリレー制御複写n+1面１１９でもＲＯＭ故障となった場合に行われる。

【００２７】

ＲＯＭデータ記憶部内１０５は不揮発性メモリであり、ＲＯＭ故障部位を回避するための制御実行用データテーブル１１２を備える。制御実行用データテーブル１１２には、ソレノイドリレー制御１０８、およびソレノイドリレー制御複写n面１０９の先頭アドレスと終了アドレスを備える。

【００２８】

図３、図４は、ソレノイドリレー制御に関する本実施例のソフトウェア処理の一例を示す。マイクロプロセッサ１０２が起動してから終了するまでの間、一定周期で図３、図４の順に繰返しソフトウェア処理を行う。

【００２９】

図３は、ソレノイドリレー制御１０８に関するＲＯＭ故障部位を検出する制御のフロー

チャートである。ＲＯＭ故障検出器１０３のＲＯＭ故障通知レジスタ１１７により、ＲＯＭ故障の発生有無を判定する（２０１）。ＲＯＭ故障と判定した場合、ＲＯＭ故障検出器１０３のＲＯＭ故障アドレス格納レジスタ１１８よりＲＯＭ故障アドレス情報を取得する（２０２）。故障アドレス情報（２０２）と、制御実行用データテーブル１１２に備えられているソレノイドリレー制御１０８の先頭アドレスまたは終了アドレスとを比較する（２０３）。この時、故障アドレス情報（２０２）が、ソレノイドリレー制御の先頭アドレスから終了アドレス内にある場合は、ソレノイドリレー制御のＲＯＭ故障と判定し、制御用データテーブルのソレノイドリレー制御複写n面アドレスをソレノイドリレー制御へ上書きする（２０４、２０９、２１０）。

【００３０】

次に、故障アドレス情報（２０２）と、制御実行用データテーブル１１２に備えられているソレノイドリレー制御複写n面１０９の先頭アドレスまたは終了アドレスとを比較する（２０５）。この時、故障アドレス情報（２０２）が、ソレノイドリレー制御複写の先頭アドレスから終了アドレス内にある場合は、ソレノイドリレー制御領域のＲＯＭ故障と判定する（２０６）。故障アドレス情報（２０２）が、ソレノイドリレー制御複写の先頭アドレスから終了アドレス内にない場合は、ソレノイドリレー制御複写n面１０９を、ＲＯＭ未使用領域へ複写しソレノイドリレー制御n+1面１１９を生成する(２０７)。このとき、制御用データテーブルのソレノイドリレー制御複写n+1面アドレスをソレノイドリレー制御複写のアドレスへ上書きする（２０８、２０９、２１０）。

【００３１】

制御用データテーブルのソレノイドリレー制御１０８のアドレス情報は、ＲＯＭ故障部位回避制御１０７にて参照され、ＲＯＭ故障部位の回避制御が行われる。

【００３２】

図４は、ソレノイドリレー制御１０８に関するＲＯＭ故障部位を回避する制御のフローチャートである。ＲＯＭ故障部位検出制御１０６のソレノイドリレー制御ＲＯＭ故障判定（２０６）により、ソレノイドリレー制御を回避するか否かを判定する（３０１）。ソレノイドリレー制御のＲＯＭ故障と判定されていない場合は、制御実行用データテーブルからソレノイドリレー制御のアドレスを取得する（３０２）。取得したアドレスへプログラムジャンプすることで、ソレノイドリレー制御を実行する(３０３)。ソレノイドリレー制御領域のＲＯＭ故障と判定した場合(２０６)、ＲＯＭ故障時制御１１０（３０４）を行う。

【００３３】

例えば、ＲＯＭ故障時制御１１０を実施した場合、ソフトウェアでは車両用変速機の各アクチュエータの制御を止める。この場合、車両用変速機のハードウェア的な制御により変速比を固定とし安全を確保しているが、ドライバビリティを著しく低下させる。

【００３４】

従来の車両用変速機の制御装置では、ソレノイドリレー制御でＲＯＭ故障と判定された場合、ＲＯＭ故障時制御１１０を実施していたが、本実施例によれば、ソレノイドリレー代替制御を行うことで、ＲＯＭ故障時制御１１０を回避することができ、結果としてドライバビリティの低下を回避できる。

【００３５】

以上に説明したように本実施例の車両用変速機の制御装置は、データを記憶するＲＯＭデータ記憶部１０５と、ＲＯＭデータ記憶部１０５が格納しているデータを用いて処理を実施するＲＯＭ制御部１０４と、を備える。そして、ＲＯＭ制御部１０４には車両用変速機の複数の制御処理が記憶され、複数の制御処理のうち、その制御処理を行えなくなった場合に車両用変速機の制御不能を招く制御処理について二重化して記憶されるものである。

【００３６】

ここでいう車両用変速機の制御不能を招く制御処理とは、ソレノイドコイルのリレー制御処理などが考えられる。これらはＲＯＭ故障時にＡＴＣＵ１０１として最低限制御しな

ければならないアクチュエータに関する。逆に、ＲＯＭ故障時に制御しなくても良いアクチュエータであればソフトウェアプログラムを二重化しなくても問題はないが、これに限らない。

【００３７】

すなわち、ＲＯＭ制御部１０４に記憶される全ての制御処理について二重化すれば、ある制御処理についての記憶領域に故障が生じた場合に、二重化された制御処理で代替制御が可能となる。しかしながら、全ての制御処理について二重化するのは、ＲＯＭ制御部１０４の記憶容量の問題から現実的でない。

【００３８】

そこで、本実施例においては、特定の制御処理に絞ってＲＯＭ制御部１０４に二重化するようにしたものである。上記したソレノイドコイルのリレー制御処理を記憶した記憶領域において故障が生じた場合、仮に二重化していなかったとすると、制御装置としては、変速機の制御をすることができないと判断する。しかしながら、この場合、車両用変速機の変速比を固定とすることで安全を確保することになるため、ドライバビリティを著しく低下させることになる。

【００３９】

これに対して本実施例においては、たとえば、ソレノイドコイルのリレー制御処理等の車両用変速機の制御不能を招く制御処理について、ＲＯＭ制御部１０４に二重化して記憶するようにしている。これによりソレノイドコイルのリレー制御処理の記憶領域に複数個所の故障が生じた場合であっても、ＲＯＭ制御部１０４は、二重化して記憶した制御内容により代替制御を行うことができ、通常の制御を継続して行うことが可能となる。

【００４０】

したがって、ＲＯＭ制御部１０４の容量を極めて大きくする必要がなく、コストの増加を抑制しつつ、かつ、車両用変速機の変速比を固定とすることでドライバビリティの著しい低下を抑制することが可能となる。

【００４１】

また、マイクロプロセッサに搭載されているＲＯＭを、データを記憶する記憶部と、データを用いてソフトウェアプログラムを実施する制御部と、ソフトウェアプログラムで使用されていない未使用領域と、で構成する。

【００４２】

制御部は車両用変速機に取り付けられたセンサ情報や他のＥＣＵから取得した情報を基に、車両用変速機のアクチュエータを制御するソフトウェアプログラム群で構成し、制御単位でＲＯＭに配置する。

【００４３】

制御単位かつ同一の内容で二重化する。二重化する制御の選定はＲＯＭ容量に依存し、ドライバビリティ低下を回避できる機能を優先的に二重化する。以下、二重化したソフトウェアプログラムを制御複写面と称する。

【００４４】

マイクロプロセッサ機能によりＲＯＭ故障を監視し、ＲＯＭ故障が発生時は故障部位のアドレス情報を取得する。

【００４５】

ＲＯＭ故障部位のアドレス情報と、制御実行用データテーブルにより故障部位にある制御を特定する。

【００４６】

ＲＯＭ故障部位にある制御の制御複写面にて、通常の運転と同じ制御を行う。

【００４７】

ＲＯＭ故障発生時にＲＯＭ未使用領域へ制御を複写し、複数個所でＲＯＭ故障が発生した場合でも、通常の運転と同じ制御を継続する。

【００４８】

ＲＯＭ未使用領域が無くなった場合は、従来技術のフェールセーフ状態とし、車両用変

速機の機能に制限を与え、安全を確保する。

【００４９】

以上より、データを記憶する記憶部と、前記記憶部が格納している前記データを用いて処理を実施する制御部と、を備えた車両用変速機の制御装置において、前記記憶部は、前記車両用変速機の複数の制御処理が記憶され、前記複数の制御処理のうち、少なくともソレノイドリレー制御の処理を二重化して、前記記憶部の未使用領域に前記ソレノイドリレー制御を複写する。

【００５０】

また、前記二重化した前記ソレノイドリレー制御の何れかが処理を行えなくなった場合に、前記記憶部の前記未使用領域に前記ソレノイドリレー制御を複写する。

【００５１】

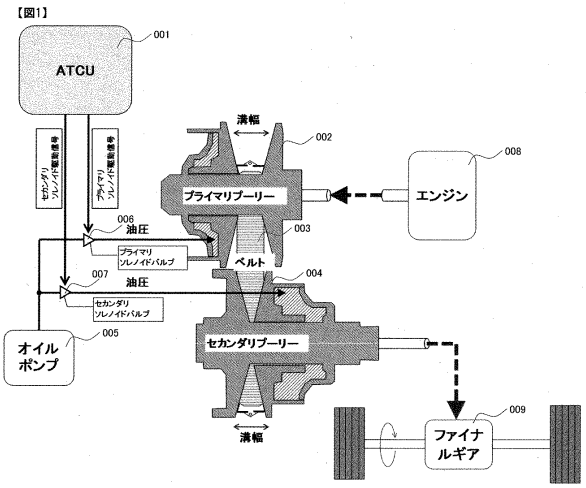
また、前記制御部は、前記ソレノイドリレー制御に対応する前記記憶部の異常アドレスを検出した場合に、前記記憶部に二重化した前記ソレノイドリレー制御を、前記記憶部の前記未使用領域へ複写し、再度異常アドレスを検出した場合に、前記未使用領域へ複写した前記ソレノイドリレー制御により処理を行う。

【符号の説明】

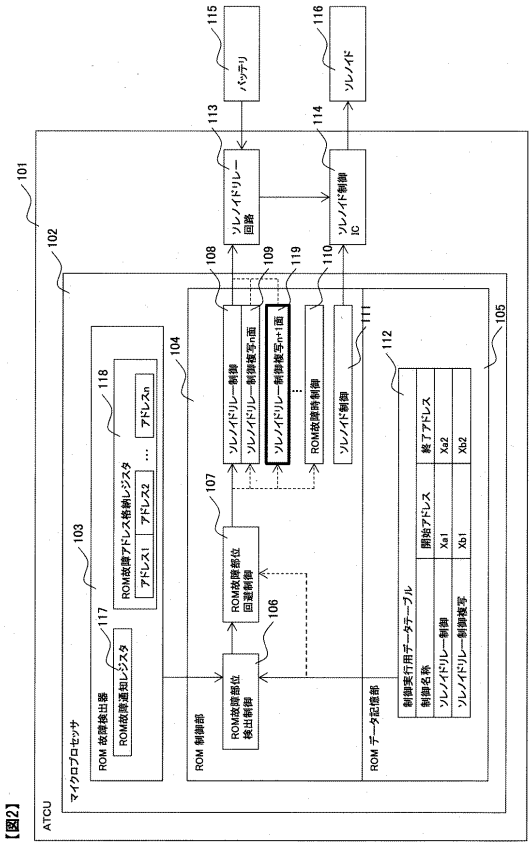
【００５２】

１０４　ＲＯＭ制御部（制御部）、１０５　ＲＯＭデータ記憶部（記憶部）、１０８　ソレノイドリレー制御

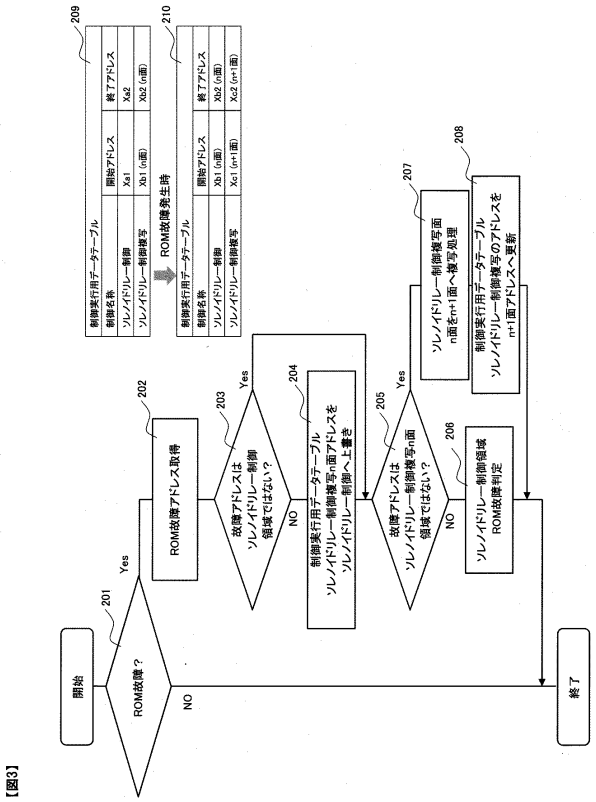
【図１】



【図２】



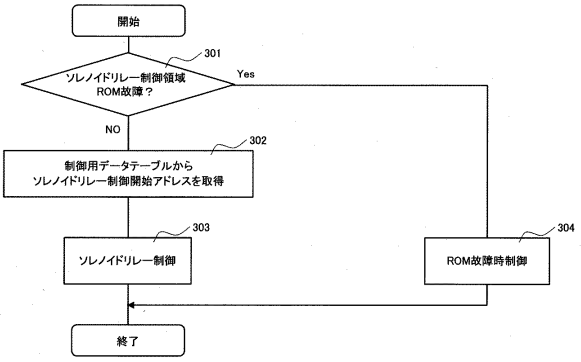
【図３】


209
制御実行用データテーブル
制御名称
開始アドレス
終了アドレス
ソレノイドリレー制御
Xs1
Xe2
ソレノイドリレー制御複写
Xs1 (n面)
Xe2 (n面)
ROM故障発生時
210
制御実行用データテーブル
制御名称
開始アドレス
終了アドレス
ソレノイドリレー制御
Xs1 (n面)
Xe2 (n面)
ソレノイドリレー制御複写
Xs1 (n+1面)
Xe2 (n+1面)
開始
201
ROM故障？
Yes
NO
202
ROM故障アドレス取得
203
故障アドレスは
ソレノイドリレー制御
領域ではない？
Yes
NO
204
制御実行用データテーブル
ソレノイドリレー制御複写n面アドレスを
ソレノイドリレー制御へ上書き
205
故障アドレスは
ソレノイドリレー制御複写n面
領域ではない？
Yes
NO
206
ソレノイドリレー制御領域
ROM故障判定
207
ソレノイドリレー制御複写面
n面をn+1面へ複写処理
208
制御実行用データテーブル
ソレノイドリレー制御等のアドレスを
n+1面アドレスへ更新
終了

【図３】

【図４】

【図4】


開始
301
ソレノイドリレー制御領域
ROM故障？
Yes
NO
302
制御用データテーブルから
ソレノイドリレー制御開始アドレスを取得
303
ソレノイドリレー制御
304
ROM故障時制御
終了

フロントページの続き

(58)調査した分野(Int.Cl., ＤＢ名)
Ｆ１６Ｈ ５９／００－６１／１２, ６１／１６－６１／２４,
６１／６６－６１／７０, ６３／４０－６３／５０
Ｇ０６Ｆ １１／２０