

# 發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97148776

※申請日期：97年12月15日

※IPC分類：H04N 5/335 (2011.01)

H04N 5/46 (2006.01)

## 一、發明名稱：

(中) 固態成像裝置及照相機

(英) Solid-state imaging device and camera

## 二、申請人：(共 1 人)

1. 姓名：(中) 新力股份有限公司

(英) SONY CORPORATION

代表人：(中) 1. 中鉢 良治

(英) 1. CHUBACHI, RYOJI

地址：(中) 日本國東京都港區港南一丁目七番一號

(英) 1-7-1 Konan, Minato-ku, Tokyo, Japan

國籍：(中英) 日本 JAPAN

## 三、發明人：(共 8 人)

1. 姓名：(中) 廣田 功

(英) HIROTA, ISAO

國籍：(中) 日本

(英) JAPAN

2. 姓名：(中) 原田 耕一

(英) HARADA, KOUICHI

國籍：(中) 日本

(英) JAPAN

3. 姓名：(中) 唐澤 信浩

(英) KARASAWA, NOBUHIRO

國籍：(中) 日本

(英) JAPAN

4. 姓名：(中) 丸山 康

(英) MARUYAMA, YASUSHI

國籍：(中) 日本

(英) JAPAN

5. 姓 名：(中) 新田 嘉一  
(英) NITTA, YOSHIKAZU  
國 籍：(中) 日本  
(英) JAPAN
6. 姓 名：(中) 寺籠 博裕  
(英) TERAKAGO, HIROYUKI  
國 籍：(中) 日本  
(英) JAPAN
7. 姓 名：(中) 高嶋 大  
(英) TAKASHIMA, HAJIME  
國 籍：(中) 日本  
(英) JAPAN
8. 姓 名：(中) 野村 秀雄  
(英) NOMURA, HIDEO  
國 籍：(中) 日本  
(英) JAPAN

#### 四、聲明事項：

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本 ; 2007/12/18 ; 2007-326175 ☒ 有主張優先權

## 五、中文發明摘要

發明之名稱：固態成像裝置及照相機

一種固態成像裝置包含複數個像素胞，複數個像素胞形成於基底上，基底具有第一基底表面側及第二基底表面側，光會照射於第一基底表面側上，第二基底表面側上形成有元件，複數個像素胞由相鄰的胞組及用於每一像素胞的元件分離層分離或是以複數個像素胞為單位。每一像素胞包含：形成於第一基底表面側上的第一導電井及形成於第二基底表面側上的第二導電井。第一導電井接收來自第一基底表面側的光以及對收到的光具有光電轉換功能以及電荷累積功能。偵測第一導電井中的累積電荷及具有臨界值調變功能之電晶體形成於第二導電井中。

## 六、英文發明摘要

發明之名稱： SOLID-STATE IMAGING DEVICE AND CAMERA

A solid-state imaging device includes pixel cells that are formed on a substrate having a first substrate surface side, on which light is irradiated, and a second substrate surface side, on which elements are formed, and separated by an adjacent cell group and an element separation layer for each of the pixel cells or with plural pixel cells as a unit. Each of the pixel cells has a first conductive well formed on the first substrate surface side and a second conductive well formed on the second substrate surface side. The first conductive well receives light from the first substrate surface side and has a photoelectric conversion function and a charge accumulation function for the received light. A transistor that detects accumulated charges in the first conductive well and has a threshold modulation function is formed in the second conductive well.

七、指定代表圖：

(一)、本案指定代表圖為：第( 2A )圖

(二)、本代表圖之元件代表符號簡單說明：

124：井接點區

125：井接點區

126：井接點區

127：井接點區

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 九、發明說明

### 【發明所屬之技術領域】

本發明係關於固態成像裝置及相機及具有固態成像裝置的照相機。

### 【先前技術】

已知例如 CCD 影像感測器及 CMOS 影像感測器等固態成像裝置中，作為光感測區的光電轉換元件之光二極體中的晶體缺陷及光感測區與其上的絕緣膜之間的介面之深階缺陷造成暗電流。

關於抑制導因於介面態密度的暗電流發生之方法，嵌入式光二極體結構是有效的。舉例而言，藉由形成 n 型半導體區、及形成具有高雜質密度形成淺 p 型半導體區（電洞累積區）以抑制接近 n 型半導體區的表面（亦即，n 型半導體區與絕緣膜之間的介面）之暗電流，以規劃嵌入式光二極體。

關於製造嵌入式光二極體的方法，一般是離子佈植作為 p 型雜質的 B 或  $\text{BF}_2$  以及將它們退火，並且在接近形成光二極體的 n 型半導體區與絕緣膜之間的介面處形成 p 型半導體區。

在 CMOS 影像感測器中，每一像素均包含光二極體及例如讀出、重置、和放大電晶體等不同種類的電晶體。經由光二極體光電轉換的訊號會由這些電晶體處理。包含多層金屬佈線的佈線層形成於每一像素上方。指定入射至光

二極體上的光的波長之濾色器與將光聚於光二極體上的晶片上透鏡形成於佈線層上。

關於 CMOS 影像感測器，提出具有不同特徵的裝置結構。

具體而言，提出例如電荷調變裝置（CMD，請參見日本專利號 1938092、JP-A-6-120473、及 JP-A-60-140752）、塊電荷調變裝置（BCMD，請參見 JP-A-64-14959）、浮動井放大器（FWA，請參見日本專利號 2692218 及日本專利號 3752773）、及第 V 調變影像感測器（VMIS，請參考 JP-A-2-304973、JP-A-2005-244434、日本專利號 2935492、及 JP-A-2005-85999）等不同的裝置，電荷調變裝置在光電轉換元件結構中採用類似 CCD 特徵，在浮動井放大器中，根據累積至最大點的光電洞的電荷量而於其表面上形成通道，源極至汲極電流根據表面上的電荷量而改變，結果，能夠有對應於訊號電荷的讀出，在第 V 調變影像感測器中，分割成彼此相鄰的光感測區及訊號偵測區。

也提出固態成像裝置，其中，光感測元件具有使用入射光以執行光電轉換、累積光電轉換而取得的訊號電荷、及根據累積的訊號電荷的電荷量而輸出訊號電壓等所有功能，光感測元件具有電位分佈，便於訊號電荷累積於以平面觀點而言的相同地方，以及，便於表面通道電流通（參見 JP-A-2003-31785）。

這些 CMOS 影像感測器基本上是前方照明固態成像裝

置，其從裝置的前側照射光。

另一方面，提出背（後）側照明固態成像裝置，其具有矽基底的背側，矽基底上形成有光二極體及不同電晶體，矽基底被研磨薄化及使光從基底的背側入射以執行光電轉換（請參見 JP-A-10-65138）。

### 【發明內容】

在前側照明 CMD、BCMD、FWA、VMIS、等裝置中，由於使用基底作為注入口，所以，背（後）側照明是困難的且重置電壓高。

在前照明 CMD、BCMD、FWA、VMIS、等裝置中，由於光感測區配置在拾訊電晶體旁，所以，會有孔徑比下降的缺點。

在現有的光閘極結構中，由於經由薄膜閘極接收光，所以，會有藍光靈敏度下降的缺點。

當在例如 BCMD 前側照明式中於  $n^+$  層上形成光閘極型 MOS 電晶體時，在接近半導體的表面處執行照光以產生載子。因此，會有載子由存在於半導體與絕緣膜之間的介面中的阱捕捉、即使施加重置電壓仍然無法使累積的載子立即放電、以及影響裝置特徵等缺點。

當在例如 VMIS 前側照明式中光感測光二極體區及訊號偵測電晶體配置成彼此相鄰時，對於光接收所產生的電荷之累積及調變操作不是動態作用且以時間觀點而言為分開執行的。對於高速訊號處理，此為缺點。

類似地，當在前側照明式中光感測二極體區及訊號偵測電晶體配置成彼此相鄰時，需要在訊號偵測區上方設置例如遮光膜等裝置。因此，會有元件製程複雜的缺點。

在前側照明 BCMD 影像感測器中，由於在光閘極電極下方的整個通道區是電荷累積層，所以，電流－電壓特徵（ $I_D-V_{DD}$ ）不是飽合特徵而是三極體特徵。因此，當在源極隨動型中使用影像感測器時，會有難以使用影像感測器的缺點。

此外，在前側照明 CMOS 影像感測器中，會有光由像素上方的佈線阻擋、每一像素的靈敏度下降、及當由佈線反射的光入射至相鄰像素時造成色彩混合等缺點。

在 JP-A-2003-31785 中揭示的固態成像裝置中，使用雙層閘極結構以實現具有單一井的一電晶體。因此，會有例如需要對元件分隔區作特別加工及元件製程複雜等缺點。

由於固態成像裝置也是前側照明式，所以，固態成像裝置也具有前側照明式的例如藍光靈敏度及色彩混合等問題。

在 JP-A-10-65138 中揭示的背側照明固態成像裝置的情形中，在基底的前側及後側上形成電洞累積區。但是，在以離子佈植形成淺及濃密 p 型的半導體區時會有限制。因此，當嘗試進一步增加用於抑制暗電流的 p 型半導體區的雜質密度時，會加深 p 型半導體區。當 p 型半導體區加深時，由於光二極體的 pn 接面與轉移閘分離，所以，藉



由轉移閘極的讀出能力容易降低。

因此，希望提供固態成像裝置及照相機，其能夠有效率地及快速地執行例如光載子產生及累積、電荷讀出、及餘留電荷傳輸（重置）等一系列操作、防止光對矽介面中載子的阱影響、及實現靈敏度增進及像素尺寸縮小，但不會使對藍光的光靈敏度變差。

根據本發明的實施例，提供固態成像裝置，其包含像素胞，像素胞形成於基底上，基底具有第一基底表面側及第二基底表面側，光會照射於第一基底表面側上，第二基底表面側上形成有元件，像素胞由相鄰的胞組及用於每一像素胞的元件分離層分離或是以複數個像素胞為單位。每一像素胞具有形成於第一基底表面側上的第一導電井及形成於第二基底表面側上的第二導電井。第一導電井接收來自第一基底表面側的光以及對收到的光具有光電轉換功能以及電荷累積功能。偵測第一導電井中的累積電荷及具有臨界值調變功能的電晶體形成於第二導電井中。

較佳地，累積的電荷及訊號電荷是相同的載子。

較佳地，電晶體具有讀出電晶體的功能、重置電晶體的功能、及選取電晶體的功能。

較佳地，電晶體具有源極和汲極以及閘極電極，閘極電極形成於源極與汲極之間的通道形成區上，像素訊號重置是用於放棄汲極中的電荷之操作。

較佳地，像素胞具有伽瑪特徵，當亮度低時調變程度增加。

較佳地，像素胞具有的結構中，在大訊號輸出期間容量增加及具有依據伽瑪特徵而實現高動態範圍的功能。

較佳地，第二導電分離層至少形成於第一導電井與第二導電井之第一導電井的側邊上。

較佳地，第一導電源極區及第一導電汲極區形成於第二導電井中或第二導電分離層中，以及，閘極電極形成於基底的第二基底表面側上源極區與汲極之間的第二導電井中的通道形成區上。

較佳地，多個像素胞以陣列形式配置、以及與相鄰的像素胞共用汲極、源極、井、或閘極的部份或多個接點。

較佳地，汲極、源極、井、及閘極的接點配置在閘極的像素陣列的四方向中。

較佳地，多個像素胞以陣列形式配置，在像素陣列的一方向上形成由像素胞共用的條狀像素胞閘極電極，以及，在源極區側或汲極區側上形成井接點。

較佳地，井接點區形成在第二導電分離層中。

較佳地，井接點區形成在第一基底表面側上的第二導電分離層中。

較佳地，當井接點形成於汲極側上時，形成夾狀的井接點而汲極寬度降低。

較佳地，在陣列形式的像素胞的配置中，汲極接點以行分成二或更多組以及共用訊號讀出處理系統的行電路。

較佳地，汲極線佈線由導體支撐以降低電阻。

較佳地，在第二基底表面側上的電晶體的閘極電極中

或又在閘極電極的前側區中，固態成像裝置具有反射器，反射器反射透射過基底的光及使光入射於基底的第二導電井與第一導電井上。

較佳地，基底的厚度設定成近紅外光可以被用作反射器的反射光。

較佳地，基底的厚度設定成紅光（R）可以被用作反射器的反射光。

較佳地，以具有高可見光透射率的透明膜來形成電極佈線。

較佳地，也使用反射器作為預定佈線層。

較佳地，正好在像素重置之前將電荷從汲極注入像素，接著，將像素重置。

較佳地，固態成像裝置包含反 $\gamma$ 校正電路，反 $\gamma$ 校正電路使用結構與像素胞的電晶體的結構相同之具有背閘極端的電晶體，以執行反伽瑪校正。

較佳地，固態成像裝置包含用於從像素胞讀出訊號的訊號處理系統，以及，訊號處理系統包含比較器及使用先前的線的重置位置作為比較器的參考位準。

較佳地，訊號處理系統具有在D階段讀出期間執行類比取樣的功能及在P階段讀出期間執行數位取樣的功能。

較佳地，像素胞以陣列形式配置，而以多個像素取得一輸出訊號。

較佳地，像素胞以陣列形式配置及以複數個像素為單位而由元件分離層分離以取得一輸出訊號。

較佳地，固態成像裝置包含訊號處理系統，其在從像素讀出訊號期間執行破壞性讀出以用於繼續光電轉換而不重置像素。

根據本發明的另一實施例，提供照相機，其包含固態成像裝置、光學系統、及訊號處理電路，固態成像裝置從基底的第一基底表面側接收光，光學系統將入射光導引至固態成像裝置的第一基底表面側，訊號處理電路處理固態成像裝置的輸出訊號。固態成像裝置包含像素胞，像素胞形成於基底上，基底具有第一基底表面側及第二基底表面側，光會照射於第一基底表面側上，第二基底表面側上形成有元件，像素胞由相鄰的胞組及用於每一像素胞的元件分離層分離或是以複數個像素胞為單位。每一像素胞具有形成於第一基底表面側上的第一導電井及形成於第二基底表面側上的第二導電井。第一導電井接收來自第一基底表面側的光以及具對收到的光具有光電轉換功能以及電荷累積功能。偵測第一導電井中的累積電荷及具有臨界值調變功能的電晶體形成於第二導電井中。

根據本發明的實施例，光從基底背表面（第一基底表面）側照射於胞結構的像素上，在第一導電井中執行收到的光的光電轉換，以及，累積光的電荷。

偵測電荷累積及執行形成於第二導電井中的電晶體的臨界值調變以取出訊號。

以此方式，在背側照明式中，像素胞具有雙井結構。累積的電荷及通道電流（訊號電荷）是相同的載子。

根據本發明的實施例，能夠有效率地及快速地執行例如光載子產生和累積、電荷讀出、及餘留電荷傳輸（重置）等一系列操作。

此外，能夠防止光對矽介面中載子的阱影響、及實現靈敏度增進及像素尺寸縮小，但不會使對藍光的光靈敏度變差。

### 【實施方式】

於下，將參考附圖，說明本發明的實施例。

圖 1 是方塊圖，顯示根據本發明的實施例之固態成像裝置的配置。

如圖 1 所示，固態成像裝置 1 包含作為感測區的像素區 2、列方向（Y 方向）控制電路 4、及時序控制電路 5。

如同稍後詳述般，在像素區 2 中，舉例而言，多個像素胞 2A 配置成矩陣形狀。

根據本實施例之像素區 2 的像素胞 2A 配置成具有雙井結構的臨界值調變（CMD）系之背（後）照式影像感測器。

根據本實施例之像素區 2 採用雙井結構。在像素區 2 中，累積的電荷及通道電流是相同的載子。像素區 2 具有一個電晶體架構（結構），其中，一個電晶體具有讀取電晶體、重置電晶體、及選取電晶體的功能。

在像素區 2 的像素陣列中，配置在相同列中的像素胞 2A 連接至共同列線 H0、H1、等等，以及，配置在相同行

中的像素胞 2A 連接至共同行線 V0、V1、等等。

在固態成像裝置 1 中，產生內部時計的時序控制電路 5、控制列位址及列掃描的列方向（Y 方向）控制電路 3、及控制行位址及行掃描的行方向（X 方向）控制電路 4 配置作為用於順序地讀出像素區 2 的訊號之控制電路。

列方向（Y 方向）控制電路 3 接收時序控制電路 5 的時序控制脈衝以及驅動預定的列線 H0、H1、等等。

列方向（X 方向）控制電路 4 接收時序控制電路 5 的時序控制脈衝、接收讀出至預定行線 V0、V1 的訊號、等等，以及，執行預定處理（CDS（關聯雙倍取樣）處理）、類比對數位轉換處理、等等。

稍後將詳細說明關於行方向控制電路 4 中像素胞 2A 之訊號讀出處理之配置及功能。

於下將說明根據本實施例的固態成像裝置的像素區的具體裝置結構。

圖 2A 及 2B 是根據本實施例之固態成像裝置的像素區的基本結構。圖 2A 是平面視圖，圖 2B 是圖 2A 中所示之簡化的 a-a'剖面視圖。

如圖 2B 所示，固態成像裝置 1 形成為背（後）側照明裝置，其中，光從基底（矽基底）100 的第一基底表面 101 側（背側）入射，以及，形成有 MOS 電晶體的元件區部份 EAP 形成於第二基底表面 102 側（前側）上。

藉由將矽晶圓薄膜化以致於光可以從背側入射而形成基底 100。基底 100 的厚度視固態成像裝置 1 的型式而

定，對可見光而言是  $2\mu\text{m}$  至  $6\mu\text{m}$ ，對近紅外線是  $6\mu\text{m}$  至  $10\mu\text{m}$ 。

依此方式，基底 100 具有受光照射的第一基底表面 101 側以及有元件形成於上的第二基底表面 102 側。由相鄰的胞及元件分離層分離的多個胞 Cel (2A) 形成於基底 100 上。

在本實施例中，在基底 100 上，形成多個像素胞 Cel (2A)，多個像素胞 Cel (2A) 由相鄰的胞組及用於每一像素胞的元件分離層分離或是以多個像素胞為單位。

每一像素胞 Cel 包含形成於第一基底表面 101 側上的第一導電（在本實施例中為 n 型）井（此後稱為第一井）110 及第一井 110 以外的形成於第二基底表面 102 側上的第二導電（在本實施例中為 p 型）井（此後稱為第二井）120。

n 型第一井 110 作為光感測區，接收來自第一基底表面 101 側的光及對接收的光具有光電轉換功能及電荷累積功能。

偵測第一井 110 的光感測區中的累積電荷及具有臨界值調變功能的 MOS 電晶體形成於第二井 120 中。

具有與第一導電率型（在本實施例中為 n 型）相反的第二導電率型之 p 型元件分離層（導電層）140 形成為圍繞第一井 110 的側壁。p<sup>+</sup>層 150 形成於第一基底表面 101 上，第一基底表面 101 是基底 100 的光入射表面。

由例如氧化矽形成的絕緣膜及保護膜 151 形成於 p<sup>+</sup>層

150 的光入射表面側上。濾色器 152 僅使所需波長區中的光透射過，其形成於保護膜 151 上。微鏡 153 將入射光聚光於第一井 110 的光感測區上，微鏡 153 形成於濾色器 152 上。

在 p 型第二井 120 中，由  $n^+$  層形成的源極區 121 和汲極區 122 形成於其中心，彼此以預定間隔相隔離。通道形成區 123 形成於源極區 121 和汲極區 122 之間。

由  $p^+$  層形成的井（基底）接觸區 124 和 127 形成於未與第一井 110 重疊的第二井的區域（端側區）中。

在源極區 121、源極區 121、及井接觸區 124 形成於上的基底 100 的第二基底表面 102 的表面上，以預定製程選擇性地形成氧化矽膜等的絕緣膜 160。

在基底 100 的第二基底表面 102 側上的源極區 121 與汲極區 122 之間的通道形成區 123 上，穿過絕緣膜 160 形成電晶體 130 的閘極電極 131。

藉由在源極區 121 上的絕緣膜 160 的部份中產生開口，而形成連接至源極區的電晶體 130 的源極電極 132。

類似地，藉由在汲極區 122 上的絕緣膜 160 的部份中產生開口，而形成連接至汲極區 122 的電晶體 130 的汲極電極 133。

藉由在井接觸區 124 至 127 上的絕緣膜 160 的部份中產生開口，而形成連接至井接觸區 124 至 127 的井接觸電極 170。井接觸區 170 的位準設定為例如接地電位 GND（0V）或 -1.2V。



在上述配置中，包含絕緣閘極場效電晶體（稱為 MOS 電晶體）之電晶體 130 由形成於第二基底表面 102 側上的第二井 120 中的源極區 121、汲極區 122、和通道形成區 123、以及形成於第二基底表面 102 上的閘極電極 131、源極電極 132、和汲極電極 133。

在圖 2B 中，代號 S 代表電晶體 130 的源極，D 代表電晶體 130 的汲極，G 代表電晶體 130 的閘極。

以此方式，根據本實施例之每一像素胞 Cel (2A) 形成為具有雙井結構的臨界值調變 (CMD) 系統的背 (後) 照式影像感測器。

圖 3 是根據本實施例之像素胞的等效電路圖。

如圖 3 所示，像素胞 2A (Cel) 包含形成於第一井 110 中的光電轉換及電荷累積元件區 11 以及由第二基底表面 102 側上的電極和第二井 120 形成的一電晶體 130。

如上所述，根據本實施例之像素胞 Cel 是背側照明式及具有雙井結構。在像素胞 Cel 中，累積的電荷及通道電流是相同的載子。此外，像素胞 Cel 具有一電晶體架構 (結構)，其中，一電晶具有讀出電晶體、重置電晶體、及選取電晶體的功能。

換言之，在本實施例中，像素胞 Cel 是背側照明式並採用雙井結構及不採用單井調變系統。其理由說明如下。

當採用單井調變系統時，需要用於改進線性的口袋佈植。這難以在像素尺寸縮小以縮小累積區域的期間取得飽合電荷  $Q_s$ 。

即使單井結構具有高調變程度及高轉換效率，單井結構仍然容易有缺陷。在單井結構中，像素在線性度上的波動（例如貓爪之非線性）經常發生，以及，當像素波動發生時，難以校正像素波動。

由於在讀出期間釘扎脫離，所以，單井結構與行數位 CDS 不並容。在類比 CDS 中，容量的增加會阻礙像素尺寸縮小。

即使單井結構與背側照明結合，由於需要重設電晶體及像素胞具有二電晶體，所以，這不利於像素尺寸縮小。

另一方面，在本實施例中，像素胞 Cel 是背側照明式及具有雙井結構，所以，累積電荷及通道電流是相同的載子，以及，可以由獨立的載子執像素分離。因此，電晶體結構無需為環。電晶體可以以所謂的汲極（D）／閘極（G）／源極（S）的單向結構配置，此結構與一般電晶體的結構相同。

在本實施例中，採用釋放訊號載子至電晶體 130 的汲極的結構。這實現完整的一電晶體以及橫向重設結構，其中，使用一電晶體作為讀出（拾訊）電晶體、重置電晶體、及選取電晶體。

換言之，由於根據本實施例的像素胞結構僅須為單層閘極結構而非雙層閘極結構，所以，不需對元件分離區作特別加工。

相鄰的像素可以共用汲極、源極、和閘極。因此，能夠顯著地增進佈局效率及執行像素尺寸縮小。

由於採用藉由電晶體汲極的橫向重置，所以，藉由對汲極使用橫向佈線及在共用的像素單元中使用分別的佈線，而能夠共用行及使行電路縮小。

由於在電晶體的閘極上形成間隔，所以，使用佈線的金屬等的反射器結構可以設置在間隔中。結果，能夠將透射矽（Si）基底的光反射，在矽中將光再度地光電轉換，以及增進例如近紅外線靈敏度。

在現有的結構中，在發光期間關閉閘極以及釘扎矽（Si）基底表面，則產生於介面中的暗電流與電洞復合。因此，未完全復合的成份會造成暗電流不均勻及白點缺陷。

另一方面，在根據本實施例的結構中，由於採用雙井結構，所以，具有能夠將 Si 表面上產生的暗電流電子從通道排放至汲極以及完全地關閉暗電流及介面中造成的白點等優點。

結果，即使在行讀出期間開啓閘極，則暗電流與白點仍然不會造成問題。因此，能夠執行訊號的非破壞性讀出。

稍後將詳細說明用於實現像素尺寸縮小的陣列結構、包含反射器的配置、包含訊號讀出處理系統的功能的配置、及訊號的非破壞性讀出處理。

於下，將說明具有上述配置的像素胞中的操作。

光從背側上的第一基底表面（背表面 101）入射至像素胞。電子和電洞對主要由像素胞中的 n 型第一井 110 中

的光電效應產生。所產生的電洞經由形成胞的井表面之 p 型元件分離層 140 而排放至外部。

僅有電子累積在 n 型第一井 110 中以及累積於電位井中，電位井形成於接近作為 MOS 電晶體的電晶體 130 的源極與汲極之間的閘極區半導體表面處。累積電荷的訊號由電晶體 130 放大及偵測，累積電荷被適當地排放，以及執行混色及飽合電荷量的控制。

固態成像裝置 1 的感測器的半導體層的厚度約為 2  $\mu\text{m}$  至 10  $\mu\text{m}$ ，此厚度足以顯示光的波長範圍中光電轉換的量子效率。

另一方面，在前側照明式的情形中，半導體基底的厚度需要保持在使元件較不易斷裂的厚度（高達數百  $\mu\text{m}$ ）。因此，流經元件的基底之源極與汲極間的漏電流將無法忽略並造成問題。

另一方面，在本實施例中，由於元件的厚度夠小，所以，能夠低流經基底的漏電流並防止問題。

在上述中，說明根據本實施例之固態成像裝置 1 的配置及功能。

於下，將更詳細檢視固態成像裝置 1。

圖 4 用於說明前側照明 BMCD 的情形中入射光的波長與電晶體的配置具有何種關係。

在圖 4 中所示的前側照明 BMCD 10 中，絕緣膜 11、透明電極 12、遮光電極 13、等等形成於基底前表面側上。代號 14 代表閘極絕緣膜，16 代表矽基底。

在圖 4 中所示的前側照明的情形中，光從設有電晶體的一側入射。由於橫向汲極區 14 由遮光電極 13 遮蓋，所以，光在透射過絕緣膜 11、透明電極 12、閘極絕緣膜 15、等等時，從橫向汲極區 14 以外的開口穿入矽基底 16 中。具有大波長的紅光及近紅外光從矽表面穿透得相當深。但是，藍光及近紫外光在不是如此深的內部被光電轉換。當具有小波長的光穿過表面上的絕緣多層膜時，由於介面表面上的散射、吸收、反射、等等，光傾向於損失能量。

另一方面，在圖 2B 中所示之根據實施例的背側照明的情形中，光從未配置電晶體 130 的一側穿入基底（矽基底）100。具有大波長的大部份的光抵達接近電晶體 130 處但僅有一部份具有小波長的光到達接近電晶體 130 處。

已有不同的提議，提出源極和汲極的擴散層與井層應如何形成以使包含入射光的波長的量子效率最大化。

但是，關於通過氧化矽膜（絕緣膜）的光影響電晶體特徵之可能性仍有一些爭議。在本實施例中，雖然非量化地但某種程度上也澄清此點的相關機制。

圖 5 是前側照明情形中透明電極、閘極氧化矽膜、及單晶矽所形成的能帶狀態圖。

閘極氧化矽膜的特徵可以視製造方法或處理而顯著地不同。當製造方法或處理未良好地控制時，捕捉電子及電洞的阱會餘留在氧化矽膜中。在此圖中，捕捉電子的阱存在於氧化矽膜的導電帶之下 2.0 eV 的位置。

在矽熱氧化膜的情形中，能帶隙約  $8.0 \text{ eV}$ 。當使用 ITO 作為透明電極時，功函數約為  $4.3 \text{ eV}$  至  $4.7 \text{ eV}$ 。因此，透明電極的費米能階位於熱氧化矽膜的能隙的中央稍低處。

當注意例如  $450 \text{ nm}$  波長  $\lambda$  的藍光成份時，依據愛因斯坦的光電轉換定律  $E=h\nu$  而言，這等於  $E=2.76 \text{ eV}$ 。如圖所示，此能量實質上等於從透明電極的費米能階測量到的氧化物膜中電子阱的能階位置。

在此點，假使相較於施加至矽基底的電壓為相當大的負電壓施加至透明閘極電極時，因光電效應而從金屬表面（透明電極）射出的電子會於氧化物膜中被激發並由阱捕捉。

由阱捕捉的電子再由電場噴射，依據跳躍傳導而流入單晶矽的導電帶，使閘極電極與矽進入弱導電狀態，以及，對電晶體特徵及訊號量造成波動。

在根據本實施例的背側照明中，具有大能量及小波長的光在此矽基底中的光－載子產生中耗掉其大部份的能量直到光到達電晶體區為止。因此，背側照明沒有前側照明的缺點。

圖 6 是根據圖 2A 及 2B 中所示的裝置的電位狀態變化之每一區中垂直於半導體基底表面的方向上半導體基底中電子的電位變化圖。

在所有狀態中，井接觸電極 170 的電壓  $V_{GND}$  設定為  $0 \text{ V}$ 。

( i ) 閘極讀出

當電晶體 130 的閘極電壓  $V_G$  設定為  $1.0V$  及其汲極電壓  $V_D$  設定為  $1.8V$  時，其源極電壓  $V_S$  約  $1.6V$  至  $1.4V$ 。累積的電荷（電子）降低且從源極流至汲極的通道電子電流依據累積電荷的降低而調變及降低。假使測量到此電流變化，則取得累積的電子之電荷變化量。

( ii ) 閘極累積（非讀出狀態）

當電晶體 130 的閘極電壓  $V_G$  設定為  $0V$  且其汲極電壓  $V_D$  設定為  $1.8V$  時，則其源極電壓  $V_S$  等於或低於  $1.2V$ 。電子累積在形成於接近電晶體 130 的源極與汲極之間的閘極區中的半導體表面處的電位井中。

( iii ) 閘極累積（非讀出狀態、硬重置）

當電晶體 130 的閘極電壓  $V_G$  設定為  $0V$  至  $-1.0V$  以及其汲極電壓設定為  $1.8V$  時，其源極電壓  $V_S$  具有高阻抗  $Hi-Z$  或  $LD$ 。累積的電子會溢流。換言之，像素胞  $Cel$  飽合。在此點，訊號被固持。

( iv ) 重置

當電晶體 130 的閘極電壓  $V_G$  設定在  $0V$  至  $-1.0V$  以及其汲極電壓設定為等於或高於  $3.0V$  時，例如  $3.7V$  時，其源極電壓  $V_S$  具有高阻抗  $Hi-Z$  或  $LD$ 。存在於累積井中的

電子會經由汲極電極而排放至外部。

如上所述，在本實施例中，當像素訊號重置時，汲極電壓  $V_D$  被調變，以及，在某些情形中，汲極電壓  $V_D$  和閘極電壓  $V_G$  均被調變（在圖 6 中所示的實施例中，汲極與閘極之間的電位差增加）以排放累積在汲極電極中的訊號電荷（電子）。

在本實施例中，給予像素胞所謂的伽瑪（ $\gamma$ ）特徵，當亮度低時能夠增加調變度及轉換效率。

在本實施例中， $\gamma$  特徵施加至高動態範圍（DR）。

在下述中將說明像素胞的  $\gamma$  特徵。

圖 7 是圖 2A 中所示的 a-a' 線中的電位分佈的實施例。

關於雙井的特徵之一，如圖 7 所示，感測器累積區具有寬廣的電位形狀。因此，雙井的容量會依訊號量而變且不具非線性（ $\gamma$  特徵）。

但是，在爲了回應單井結構的非線性之小訊號期間以及在小訊號輸出期間缺乏訊號而增益增加之  $\gamma$  特徵的情形中，由於反  $\gamma$  校正是可能的且在低亮度期間增益小，所以，雜訊與訊號同時被壓縮。這能夠降低雜訊。

依此方式，在本實施例中，正向地使用  $\gamma$  特徵，如圖 2B 所示，提供相當深的 n 型伽瑪口袋 180，用於累積小訊號。

在伽瑪口袋 180 中，訊號載子及訊號電流集中在一點以及小訊號的調變程度增進。



可以在稍後執行訊號處理的級之 DSP 中執行反伽瑪校正，以及實現全雜訊壓縮。

如圖 7 所示，像素胞 Cel 具有的結構中，其容量在大訊號輸出期間增加並根據  $\gamma$  特徵而實現高動態範圍 (DR)。

圖 8 是根據本實施例之訊號讀出處理系統的配置圖。

行 (X) 方向控制電路 4 包含 CDS 電路 41。在 ON 狀態的像素胞 Cel 的累積訊號經由訊號傳輸線 SL 及開關 SW 而傳送至 CDS 電路 41。代號 IS 代表用於形成源極隨耦器的電流源。

在上述中說明根據本實施例之像素胞的配置及功能。

在下述中，將說明像素區 2 的像素胞、包含反射器的配置、等等。

圖 9 是根據本實施例之像素區中的像素胞的佈局的實施例。圖 10A 是圖 9 中所示的 a-a' 剖面簡化圖。圖 10B 是圖 9 中所示的 b-b' 剖面簡化圖。

在此實施例中，像素胞以矩陣形狀配置。採用貝爾 (Bayer) 陣列。

p 型元件分離層 (導電層) 140A 形成於第一井 110 及第二井 120 的側壁上。形成電晶體 130 的包含  $n^+$  層的源極區 141 和汲極區 142 形成於 p 型元件分離層 140A 中。井接觸區 143 形成於源極區 141 側上或汲極區 141 側上。

閘極接點電極 190 形成於與 p 型元件分離層 140A 相對立的位置。

反射器 200 形成於排除元件分離層 140A 的像素胞 Cel 的閘極電極 131 的前側（未受光照射的一側）。

以此方式，像素胞配置成與相鄰的像素胞共用部份或多個汲極接點、井、或閘極。這能夠增進佈局效率。

換言之，由於像素胞 Cel 可以由一電晶體配置，所以，汲極、源極、閘極、及井的接點配置於像素分離層上的四個方向上，以及，閘極佔據整個像素。因此，電晶體的隨機雜訊顯著地降低。

在圖 9 中所示的佈局實施例中，汲極接點 DCNT 與源極接點 SCNT 由圖中所示的 X 及 Y 方向的 Y 方向（垂直方向或列方向）上彼此相鄰的像素胞共用。閘極接點 GCNT 與井接點 WCNT 由 X 方向（水平方向或行方向）上彼此相鄰的像素胞共用。

依此方式，汲極接點 DCNT、源極接點 SCNT、閘極接點 GCNT、以及井（基底）接點 WCNT 可以配置在閘極的四個方向上。因此，如圖 11 所示，佈局可以使用所謂的 Z 形陣列。

在圖 11 中所示的實施例中，將圖 9 中所示的配置旋轉 45 度。

圖 12 是佈局的實施例，其中，在 X 方向（水平方向）條上共用閘極。

如圖所示，在佈局中，在水平方條上共用閘極，以及，井（基底）接點 WCNT 設置於源極側或汲極側上。這能夠容易地形成反射器 200。

在此情形中，井（基底）接點 WCNT 可以在 X（水平）方向上隔行設置。

可以根據耐受壓力或佈局而決定井（基底）接點 WCNT 應設置於汲極側或源極側上。

當井（基底）接點 WCNT 設置於源極側上時，由於電位差降低，所以，具有像素尺寸可以容易縮小的優點。

圖 13 是佈局實施例，其中，汲極側受擠壓。

當井（基底）接點 WCNT 設置於汲極側上時，汲極寬度縮減，亦即被擠壓，以確保耐受壓力。

結果，由於源極側上的通道加寬，所以，源極側加深，以及，訊號累積的部份及被施加調變的部份彼此相符，並取得高調變特徵。

圖 14 是根據本實施例的像素區中的像素胞的佈局的另一實施例。圖 15A 是圖 14 中所示的 a-a'剖面簡化圖。圖 15B 是圖 14 中所示的 b-b'剖面簡化圖。

圖 14 中所示的佈局與圖 9 中所示的實施例的佈局相同。但是，在本實施例中，井（基底）接點 WCNT 形成於第一基底表面 101 側（後側）上而非第二基底表面 102 側上。閘極電極 131 形成於第二基底表面 102 側上包含 p 型元件分離層 140A 的整個像素胞上。

在此情形中，用於防止混色的未顯示之遮光膜也可以作為未顯示的佈線。

藉由採用此配置，對稱地形成反射器 200 的佈線。這有利於耐受壓力。

將更詳細說明反射器 200。

在根據本實施例的背側照明式及採用雙井結構像素胞 Cel 中，在電晶體 130 的閘極電極 131 上形成間隔。因此，使用金屬佈線等的反射器結構可以設置在間隔中。

透射過矽基底 100 的光由反射器 200 反射並於矽基底的第一井 110 中再度經過光電轉換。這能夠增進例如近紅外光靈敏度。

在此情形中，如圖 16A 所示，基底相當厚（約  $6\ \mu\text{m}$  至  $10\ \mu\text{m}$  且可以應用至利用反射器 200 的近紅外光反射之夜視型監視攝影機。

此外，如圖 16B 所示，假使基底 100 的厚度被正向地減少以反射 G 光至 R 光，則由於僅約一半的基底厚度是需要的，所以，能夠使像素尺寸進一步減半。這能夠防止混色。

通常，矽基底需要具有  $2\ \mu\text{m}$  至  $3\ \mu\text{m}$  的厚度以用於可見光以及必須以高達約 25 度的入射角來接收光。約 1:2 的型態比是限制。因此，約  $1\ \mu\text{m}$  至  $1.5\ \mu\text{m}$  是像素的限制。

但是，如同在本實施例中一般，假使使用反射器 200，則矽基底必須僅具有一半的厚度  $1\ \mu\text{m}$  至  $1.5\ \mu\text{m}$ 。因此，關於像素尺寸，次微米像素是可能的。

在此情形中，需要以具有可見光透射率的 ITO 膜用於電極。

在本實施例中，反射器 200 是金屬佈線（Al、等

等)。稍後說明此配置實施例。

雖然未具體說明，但是，反射器可以由非導電絕緣膜等形成。

於下說明藉由共用行電路以實現尺寸縮小的配置。

在此情形中，在像素區 2 中的像素胞矩陣中，汲極接點在行中分成二或更多組以共用行（X 方向）方向控制電路中的行電路及實現尺寸縮小。

圖 17A 及 17B 是接點共用像素區的像素胞陣列的實施例。圖 17A 是像素胞的佈局實施例。圖 17B 是對應於圖 17A 的圖案佈局。

圖 18 是等效電路，其中，採用圖 17A 中所示的佈局及訊號處理系統，以及，共用行電路的像素區被簡化。

在下述說明中，假定訊號 Sel 供應給電晶體的選取閘極。

在本實施例中，二垂直線共用汲極。

在圖 17A 中所示的實施例中，所選取的及顯示的十六個胞 Cel 以矩陣形狀配置。

基本上，採用貝爾陣列。G（綠，Gr）的像素胞 Cel11 配置在第一列、第一行，而 B（藍）的像素胞 Cel12 配置在第一列、第二行，R（組）的像素胞 Cel21 配置在第二列、第一行，G（Gb）的像素胞 Cel22 配置在第二列、第二行。

類似地，G（Gr）的像素胞 Cel13 配置在第一列、第三行，而 B（藍）的像素胞 Cel14 配置在第一列、第四

行，R（組）的像素胞 Cel23 配置在第二列、第三行，G（Gb）的像素胞 Cel24 配置在第二列、第二行。

G 的像素胞 Cel31 配置在第三列、第一行，而 B 的像素胞 Cel32 配置在第一列、第二行，R 的像素胞 Cel41 配置在第四列、第一行，G 的像素胞 Cel42 配置在第四列、第二行。

類似地，G（Gr）的像素胞 Cel33 配置在第三列、第三行，B 的像素胞 Cel34 配置在第三列、第四行，R 的像素胞 Cel43 配置在第四列、第三行，G（Gb）的像素胞 Cel44 配置在第四列、第四行。

在像素胞陣列的每一行中，在彼此相鄰的奇數列中的像素胞及偶數列中的像素胞共用汲極接點。

在圖 17A 中所示的實施例中，像素胞 Cel11 及 Cel12 共用汲極接點 DCNT，像素胞 Cel31 及 Cel41 共用汲極接點 DCNT。

類似地，像素胞 Cel12 及 Cel22 共用汲極接點 DCNT，像素胞 Cel32 及 Cel42 共用汲極接點 DCNT。

像素胞 Cel13 及 Cel23 共用汲極接點 DCNT，像素胞 Cel33 及 Cel43 共用汲極接點 DCNT。

像素胞 Cel14 及 Cel24 共用汲極接點 DCNT，像素胞 Cel34 及 Cel44 共用汲極接點 DCNT。

在圖 17A 中所示的實施例中，組 GPR1 由共用汲極接點 DCNT 的第一列中的像素胞 Cel11 至 Cel14 及第二列中的像素胞 Cel21 至 Cel24 形成。

類似地，組 GPR2 由共用汲極接點 DCNT 的第三列中的像素胞 Cel31 至 Cel34 及第四列中的像素胞 Cel41 至 Cel44 形成。

在彼此相鄰的組與組之間的每一行中，彼此相鄰的像素胞共用源極接點 SCNT。

在圖 17A 中所示的實施例中，組 GRP1 的像素胞 Cel21 與組 GRP2 的像素胞 Cel31 共用源極接點 SCNT。

組 GRP1 的像素胞 Cel22 與組 GRP2 的像素胞 Cel32 共用源極接點 SCNT。

組 GRP1 的像素胞 Cel23 與組 GRP2 的像素胞 Cel33 共用源極接點 SCNT。

組 GRP1 的像素胞 Cel24 與組 GRP2 的像素胞 Cel34 共用源極接點 SCNT。

在圖 17B 中，參考訊號 LGND1 至 LGND5 等等代表連接至井接點 WCNT 的接地線，LSGN1 至 LSGN4 等等代表連接至源極接點 SCNT 的訊號線，LGT1 至 LGT3 等代表連接至閘極接點的閘極線，LDRN1 至 LDRN4 等代表連接至汲極接點的汲極線。

接地線 LGND 及訊號線 LSGN 接線用於 Y 方向（列方向）中的每一行。

閘極線 LGT 和汲極線 LDRN 接線用於 X 方向（行方向）中的每一列。

接地線 LGND、訊號線 LSGN、閘極線 LGT、和汲極線 LDRN 由佈線的疊層結構形成。

舉例而言，接地線 GND 由底層中的第一金屬佈線（1MT）形成。

訊號線 LSGN 由從底部算起第二的層中之第二金屬佈線（2MT）所形成。

閘極線 LGT 和汲極線 LDRN 由經過設於線與線之間並維持絕緣特性的絕緣膜之頂層的第三金屬佈線（3MT）形成。

在本實施例中，由第三金屬佈線所形成的汲極線 LDRN 由例如 Al 佈線 La1 所支持以降低電阻來作為對抗 IR 下降的方式。

在本實施例中，如圖 17A 及 17B 和圖 18 所示，GPR1 至 GPR3 中的每一組中，在共用汲極接點的像素胞中，閘極接點 GCNT 以及井（基底）接點 WCNT 形成為面對 X 方向的相反方向（行方向）。

在奇數行方向及偶數行方向中，閘極接點 GCNT 與井（基底）接點 WCNT 形成為也面對相反方向。

具體而言，在組 GRP1 中，在第一行中的像素胞的閘極接點 GCNT 形成於 X 方向上圖中的左側以及井接點 WCNT 形成於 X 方向上圖中的右側。

在第一行中的像素胞 Cel21 上，閘極接點 GCNT 形成於 X 方向上圖中的右側，以及，井接點形成於 X 方向上圖中的左側。

像素胞 Cel11 的電晶體 130 的閘極經由閘極接點 GCNT 連接至閘極線 LGT1。井接點 WCNT 連接至接線於



第二行中的接地線 LGND2。

像素胞 Cel21 的電晶體 130 的閘極經由閘極接點 GCNT 連接至閘極線 LGT1。并接點 WCNT 連接至接線於第一行中的接地線 LGND1。

在第二行中的像素胞 Cel12 上，閘極接點 GCNT 形成於 X 方向上圖中的右側。并接點形成於 X 方向上圖中的左側。

第二行中的像素胞 Cel22 的閘極接點 GCNT 形成於 X 方向上圖中的左側上。并接點 WCNT 形成於 X 方向上圖中的右側。

像素胞 Cel12 的電晶體 130 的閘極經由閘極接點 GCNT 連接至閘極線 LGT1。并接點 WCNT 連接至接線於第二行中的接地線 LGND2。

像素胞 Cel22 的電晶體 130 的閘極經由閘極接點 GCNT 連接至閘極線 LGT1。并接點 WCNT 連接至接線於第三行中的接地線 LGND3。

在第三行中的像素胞 Cel13 的閘極接點 GCNT 形成於 X 方向上圖中的左側，以及，并接點 WCNT 形成於 X 方向上圖中的右側。

第一行中的像素胞 Cel23 的閘極接點 GCNT 形成於 X 方向上圖中的右側上，以及，并接點 WCNT 形成於 X 方向上圖中的左側。

像素胞 Cel13 的電晶體 130 的閘極經由閘極接點 GCNT 連接至閘極線 LGT1。并接點 WCNT 連接至接線於

第四行中的接地線 LGND4。

像素胞 Cell23 的電晶體 130 的閘極經由閘極接點 GCNT 連接至閘極線 LGT1。并接點 WCNT 連接至接線於第三行中的接地線 LGND3。

第四行中的像素胞 Cell4 的閘極接點 GCNT 形成於 X 方向上圖中的右側上，以及，并接點 WCNT 形成於 X 方向上圖中的左側。

第二行中的像素胞 Cell24 的閘極接點 GCNT 形成於 X 方向上圖中的右側上，以及，并接點 WCNT 形成於 X 方向上圖中的右側。

像素胞 Cell4 的電晶體 130 的閘極經由閘極接點 GCNT 連接至閘極線 LGT1。并接點 WCNT 連接至接線於第四行中的接地線 LGND4。

像素胞 Cell24 的電晶體 130 的閘極經由閘極接點 GCNT 連接至閘極線 LGT1。并接點 WCNT 連接至接線於第五行中的接地線 LGND5。

基本上以相同的圖案形成組 GRP2 和 GRP3。因此，將省略組 GRP2 和 GRP3 的詳細說明。

如圖 18 所示，爲了頂部讀出和底部讀出，訊號線 LSGN1 至 LSGN4 分別分成二訊號線 LSGN1-T 及 LSGN1-B、LSGN2-T 及 LSGN2-B、LSGN3-T 及 LSGN3-B、LSGN4-T 及 LSGN4-B、等等。

設置奇數組選取開關（頂部開關）OGSW1 以及偶數組選取開關（底部開關）EGSW1，以及，頂部開 OGSW2

和底部開關 EGSW2 以二行為單位設置。

訊號線 LSGN1-T 和 LSGN2-T 連接至頂部開關 OGSW1 的二切換端。訊號線 LSGN1-B 和 LSGN2-B 連接至底部開關 EGSW1 的二切換端。線 LSGN1-T 和 LSGN2-T 連接至奇數組 GRP1、GRP3 等的源極接點 SCNT。訊號線 LSGN1-B 和 LSGN2-B 連接至偶數組 GRP2、GRP4 等的源極接點 SCNT。

類似地，訊號線 LSGN3-T 和 LSGN4-T 連接至頂部開關 OGSW2 的二切換端。訊號線 LSGN3-B 和 LSGN4-B 連接至底部開關 EGSW2 的二切換端。線 LSGN3-T 和 LSGN4-T 連接至奇數組 GRP1、GRP3 等的源極接點 SCNT。訊號線 LSGN3-B 和 LSGN4-B 連接至偶數組 GRP2、GRP4 等的源極接點 SCNT。

頂部開關 OGSW1、OGSW2 等的固定端連接至第一訊號傳輸線 LSTM1。底部開關 EGSW1、EGSW2 的固定端連接至第二訊號傳輸線 LSTM2。

電流源 I401 連接至第一訊號傳輸線 LSTM1。電流源 I401 及第一訊號傳輸線 LSTM1 的連接點經由電容器 C401 連接至行電路 400 的比較器 401。

比較器 401 的反相輸入 ( - ) 連接至電容器 401。參考電位連接至其非反相輸入 ( + )。

重置開關 402 連接於比較器 401 的反相輸入 ( - ) 及輸出之間。開關 402 由例如 MOS 電晶體等形成。

電流源 I411 連接至第二訊號傳輸線 LSTM2。電流源

I411 及第二訊號傳輸線 LSTM2 的連接點經由電容器 C411 連接至行電路 410 的比較器 411。

比較器 411 的反相輸入 ( - ) 連接至電容器 411。參考電位連接至其非反相輸入 ( + )。

重置開關 412 連接於比較器 411 的反相輸入 ( - ) 及輸出之間。開關 412 由例如 MOS 電晶體等形成。

在此配置中，能夠對奇數和偶數分別執行重置以及依奇數的 D 相位  $D_o$ 、奇數的 P 相位  $P_o$ 、偶數的 D 相位  $D_e$ 、及偶數的 P 相位  $P_e$  來取樣訊號。能夠垂直及水平地（垂直反加法）以數位加法對相同的顏色像素執行任意的訊號相加處理。

圖 19A 和 19B 是圖 17A 和 17B 中所示的方形陣列中的訊號輸出次序圖。圖 19A 是當水平行未被共用時用於輸出訊號的訊號輸出次序圖。圖 19B 是當水平行被共用時用於輸出訊號的訊號輸出次序圖。

在圖 19A 和 19B 中，爲了依訊號輸出次序配置像素胞，像素胞的配置與佈局圖中所示的配置在垂直方向上是相反的。

在本實施例中，列和行分別表示成 V 列和 H 行，號數加於各別行和列的字尾。將對應於像素 RGB 以及矩陣陣列的號數附予輸出訊號。舉例而言，在第一列、第一行中的訊號表示成 R11，在第一列、第二行中的訊號表示成 G12，

在圖 19A 中所示的實施例之情形中，根據底部側和頂

部側上的像素胞陣列，依序輸出訊號。

在圖 19B 中所示的實施例之情形中，訊號依分時方式輸出。

舉例而言，首先，於底部側上讀出像素胞 G12、G14 等的訊號，以及，於頂部側上讀出像素胞 B22 和 B24 等的訊號，其次，於底部側上讀出像素胞 R11、R13 等的訊號，以及，於頂部側上讀出像素胞 G21 和 G23 等的訊號。

依此方式，能夠對每一相同的顏色執行訊號讀出，以及，對相同的顏色像素執行任意的訊號相加處理。

圖 17A 和 17B 和圖 18 中所示的實施例中，每二線交替地讀出 Gb 和 Gr，以及，將 Gb 和 Gr 分成奇數行和偶數行。

在本實施例中，由於汲極由二線共用，所以，根據上和下行陣列（雙倍速）之平行處理是需要的。此外，由於 Gr/Gb 線的訊號每二線交替地從上方和下方輸出，所以，垂直地執行數位加法或 2/4 薄化。

根據水平重置汲極的分離（例如分成奇數行和偶數行）（ $1/n$  減速）能夠共用二或更多水平行。

此外，能夠執行行縮減。

此外，能夠藉由相同行訊號中的數位加法，與色彩編碼同步地執行來自相同顏色的像素之任意的訊號相加處理。

再者，由於為了降低電阻而以 A1 支撐汲極線 LDRN

的水平佈線，所以，能夠防止傳送至汲極線的訊號電壓下降。

圖 20A 和 20B 是藉由旋轉圖 17A 和 17B 中所示的方形陣列 45 度而形成的 Z 字形陣列圖。圖 20A 是像素胞的佈局實施例。圖 20B 是對應於圖 20A 的圖案佈局。

圖 21 是等效電路圖，其中，採用圖 20A 中所示的佈局以及，共用行電路的像素區和訊號處理系統被簡化。

藉由簡單地以 45 度旋轉電極及電極下方的結構以及設計 Z 形陣列的佈線，可以實現 Z 形陣列。

在此情形中，基本操作與圖 17A 和 17B 以及圖 18 中所示的方形陣列的情形相同。能夠對奇數和偶數分別執行重置以及依奇數的 D 相位  $D_o$ 、奇數的 P 相位  $P_o$ 、偶數的 D 相位  $D_e$ 、及偶數的 P 相位  $P_e$  來取樣訊號。能夠垂直及水平地（垂直反加法）以數位加法對相同顏色像素執行任意的訊號相加處理。

圖 22A 和 22B 是藉由旋轉圖 17A 和 17B 中所示的方形陣列而形成的另一 Z 形陣列。圖 22A 是像素胞的佈局實施例。圖 22B 是對應圖 22 之圖案佈局。

圖 23 是等效電路圖，其中，採用圖 22A 中所示的佈局以及，共用行電路的像素區和訊號處理系統被簡化。

在圖 20A 和 20B 及圖 21 中所示的實施例中，訊號讀出的形式與與圖 17A 和 17B 及圖 18 的情形相同。但是，在圖 22A 和 22B 及圖 23 所示中的實施例中，在底部的行及在頂部的行交替地配置。

在此情形中，基本操作與圖 17A 和 17B 以及圖 18 中所示的方形陣列的情形相同。能夠對奇數和偶數分別執行重置以及依奇數的 D 相位  $D_o$ 、奇數的 P 相位  $P_o$ 、偶數的 D 相位  $D_e$ 、及偶數的 P 相位  $P_e$  來取樣訊號。能夠垂直及水平地（垂直反加法）以數位加法對相同顏色像素執行任意的訊號相加處理。

圖 24A 和 24B 是圖 20A 和 20B 中所示的 Z 形陣列中的訊號輸出次序圖。圖 24A 是當水平行未被共用時用於輸出訊號的訊號輸出次序圖。圖 24B 是當水平行被共用時用於輸出訊號的訊號輸出次序圖。

在本實施例中，列和行分別表示成 V 列和 H 行，號數加於各別行和列的字尾。將對應於像素 RGB 以及矩陣陣列的號數附予輸出訊號。

在圖 24A 中所示的實施例之情形中，根據底部側和頂部側上的像素胞陣列，依序輸出訊號。

在圖 24B 中所示的實施例之情形中，訊號依分時方式輸出。

舉例而言，首先，於底部側上讀出像素胞  $R_{11}$ 、 $R_{13}$  等的訊號，以及，於頂部側上讀出像素胞  $G_{22}$  和  $G_{24}$  等的訊號，其次，於底部側上讀出像素胞  $B_{12}$ 、 $B_{14}$  等的訊號，以及，於頂部側上讀出像素胞  $G_{23}$  和  $G_{25}$  等的訊號。

依此方式，能夠對每一相同的顏色執行訊號讀出，以及，對相同的顏色像素執行任意的訊號相加處理。

圖 25A 和 25B 是圖 22A 和 22B 中所示的 Z 形陣列中的訊號輸出次序圖。圖 25A 是當水平行未被共用時用於輸出訊號的訊號輸出次序圖。圖 25B 是當水平行被共用時用於輸出訊號的訊號輸出次序圖。

在本實施例中，列和行分別表示成 V 列和 H 行，號數加於各別行和列的字尾。將對應於像素 RGB 以及矩陣陣列的號數附予輸出訊號。

在圖 25A 中所示的實施例之情形中，根據底部側和頂部側上的像素胞陣列，依序輸出訊號。

在圖 25B 中所示的實施例之情形中，訊號依分時方式輸出。

舉例而言，首先，於底部側上讀出像素胞 R11、R13、R15 等的訊號，以及，於頂部側上讀出像素胞 G21、G23 和 G25 的訊號，其次，於底部側上讀出像素胞 G22、G24、G26 等的訊號，以及，於頂部側上讀出像素胞 B12、B14、和 B16 訊號。

依此方式，能夠對每一相同的顏色執行訊號讀出，以及，對相同顏色像素執行任意的訊號相加處理。

於上述中，說明像素胞陣列的具體實施例。

於下說明當採用圖 17A 及 17B 中所示的方形陣列時反射器的形成實施例。

在根據本實施例的像素胞陣列中，汲極接點 DCNT、源極接點 SCNT、閘極接點 GCNT、井（基底）接點 WCNT 可以配置在閘極的四方向上。因此，如圖 26A 所示，整個



光感測區是閘極區。

因此，如圖 26B 所示，反射器 200 基本上可以形成為疊加於整個閘極區上。

另一方面，當採用圖 17A 和 17B 中所示的方形陣列時，藉由使用任何疊層接構的佈線，以形成反射器。

首先，於下說明第一至第三實施例。

圖 27 是反射器及佈線共用佈局的第一實施例。

圖 28 是反射器及佈線共用佈局的第二實施例。

圖 29 是反射器及佈線共用佈局的第三實施例。

在圖 27 中所示的第一實施例中，與圖 17A 及 17B 中所示的實施例不同，閘極線 LGT 是第一金屬佈線，汲極線 LDRN 是第二金屬佈線，訊號線 LSGN 和接地線 LGND 是第三金屬佈線。

在此情形中，使用閘極線 LGT 的第一金屬佈線作為反射器 200。反射器 200 選擇性地形成為與閘極區相關連。

在圖 28 中所示的第二實施例中，如同圖 17A 及 17B 中所示的實施例一般，接地線 LGND 是第一金屬佈線，訊號線 LSGN 是第二金屬佈線，閘極線 LGT 和汲極線 LDRN 是第三金屬佈線。

在此情形中，接地線 LGND 的第一金屬佈線作為反射器 200。

在圖 29 中所示的第三實施例中，如同圖 27 中所示的實施例般，閘極線 LGT 是第一金屬佈線，汲極線 LDRN

是第二金屬佈線，訊號線 LSGN 和接地線 LGND 是第三金屬佈線。

在此情形中，閘極線 LGT 的第一金屬佈線作為反射器 200。反射器 200 以條狀形成。

於上述中說明像素胞結構、陣列、及反射器的形成的實施例。

於下述中說明包含行電路側的訊號處理系統的特徵配置及功能。

首先，在本實施例中，固態成像裝置具有前置線重設功能，藉由使用在前的線之重置位準作為行電路 400 (410) 的比較器 401 (411) 的參考位準，以改進大光量的電阻。

圖 30A 及 30B 是用於說明前置線重置的基本觀念。圖 30A 是等效電路圖。圖 30B 是時序圖。

在此情形中，在比較器 400 (411) 中的斜坡波形 VRAMP 比較操作之前（在 D 相位讀出之前），開啓行電路 400 (410) 的開關 (SW) 402 (412)，以及，連接比較器的輸入和輸出以執行電路重置。

結果，藉由使用在前的線的重置位準作為行電路 400 (410) 的比較器 401 (411) 的參考位準，增進大光量電阻。

本具體實施例採用正好在像素重置之前將電荷從汲極注入像素之後執行重置操作以使像素胞飽合（硬重置像素胞）以降低殘餘影像的功能。

圖 31A 和 31B 顯示根據本具體實施例的對應於硬重置功能之訊號處理系統。圖 31A 是等效電路圖。圖 31B 是時序圖。

在此情形中，電晶體 Q401、電容器 C402、電流源 I402、及電流源 I403 設置於開關 SW 401 和電容器 C401 (C411) 之間，開關 SW 401 和電容器 C401 (C411) 配置於訊號傳輸線與行線 400 (410) 之間，電晶體 Q401 的汲極連接至電源電位，源極連接至電容器 C401 (C411)，電容器 C402 連接於電晶體 Q401 的連接點與經由開關 SW 402 的接地線之間，電流源 I402 經由開關 W403 連接至電晶體 Q401 的源極，電流源 I403 連接至電晶體 Q401 的閘極。電晶體 Q401 的閘極連接至開關 SW 401。

在硬重置中，當電晶體 130 的閘極電壓 VG 設定在 0V 至 -1.0V，以及，其汲極電壓 VD 設定在 1.8V，其源極電壓 VS 是高阻抗 Hi-Z 或 LD。累積的電子會溢流 (OF)。換言之，像素胞 Cel 飽合。在此點，訊號被固持。

在下述重置操作中，當電晶體 130 的閘極電壓 VG 設定為 0V 至 -1.0V 以及汲極電壓設定為等於或高於 3.0V (例如設定為 3.7V) 時，其源極電壓 VS 為高阻抗 Hi-Z 或 LD。存在於累積井中的電子經由汲極電極排放至外部。

在此情形中，為了防止會消耗取樣時間的訊號側上的洩漏，舉例而言，僅在訊號側上執行類比取樣，以及，數位地執行 CDS。結果，藉由增加一電容器，取得顯著的增

進效果。

舉例而言，能夠藉由結合用於 D 相位的類比取樣及用於 P 相位的數位取樣，而以小尺寸來改進大光量電阻。

對應於類比 SHD 及類比 CDS 的電路配置也可以應用至所謂的浮動擴散（FD）配置的像素胞。

在本具體實施例中，將  $\gamma$  特徵正向地賦予像素胞。與  $\gamma$  特徵相關連，藉由使用與像素胞的電晶體 130 相同結構之具有背閘極端的電晶體，配置反  $\gamma$  校正電路。

圖 32 是等效電路圖，用於說明包含反  $\gamma$  校正電路之訊號處理系統的基本概念。

反  $\gamma$  校正電路包含具有背閘極端的電晶體 421、構成電流鏡的電晶體 422 和 423、開關 SW421、電容器 C421、及電流源 I421、I422、及 I423。

電晶體 421 的源極與電流源 I421 相連接。電晶體 421 的源極的連接點與電流源 I421 連接至開關 SW 401。電晶體 421 的汲極連接至電晶體 422 的源極。電晶體 422 的閘極和汲極相連接。閘極和汲極的連接點連接至電流源 I422、電晶體 423 的閘極、及開關 SW421。

電晶體 423 的汲極連接至電源電壓。電晶體 423 的源極連接至電流源 I423。電晶體 423 的源極和電流源 I423 的連接點連接至電晶體 421 的基底及電容器 401。

由於訊號處理系統的時序圖與圖 32B 中所示相同，所以，時序圖未顯示於圖中。

反  $\gamma$  校正電路電路 420 降低  $\gamma$  特徵，亦即， $\gamma$  特徵的

非線性變成線性以執行類比對數位轉換。

根據本實施例的訊號處理系統具有上述特徵。

在一般行數位 CDS 或 ADC 中，在一 H（水平）週期中，緩慢地執行 CDS 或 ADC。

但是，在臨界值調變系統中，即使在 CDS 或 ADC 期間，由收到的光造成訊號改變。因此，當在大光量下使用高速電子快門時，容易發生訊號誤差及浮動黑色。

一般而言，藉由高速類比 CDS 以防止此問題。在此系統中，考慮快門速度及訊號量以校正黑色等級。不認為實際範圍中的電子快門速度會具體地造成此問題。

爲了防止消耗取樣時間的訊號側上的洩漏，如上所述般，舉例而言，僅於訊號側上執行類比取樣。結果，藉由增加一電容器，取得顯著的增進效果。

使用在前的線的重置位準之前置線重置系統可以與行數位 CDS 的重置相合作。

圖 33A 至 33C 是前置線重置系統、二行共用、及 2X2 像素時序的電位圖。圖 33A 是工作電壓的實施例。圖 33B 是二行共用中靜態影像序列的實施例。圖 33C 是 2x2 像素相加序列的實施例。

在本實施例中，舉例而言，如圖 34 所示，像素胞（電晶體）以陣列形狀配置而以多個像素取得一輸出訊號。這能夠取得高 Qs 及低雜訊動態範圍。

在固態成像元件中或元件外部的訊號處理 IC 中，執行取得一輸出訊號的方法。當在元件外部的訊號處理 IC

中執行方法時，具有例如可以校正缺陷像素等優點。

在本具體實施例中，如圖 35 的平面視圖及圖 36A 的簡化剖面視圖所示般，在最後取得一輸出的條件下，以多個像素為單位，執行元件分離，以準備用於混合陣列形狀配置的多個像素中的訊號。結果，感測器累積區進一步擴大以及取得高動態範圍（D-範圍）。

在本實施例中，舉例而言，如同圖 36B 的簡化剖面圖所示般，假使彩色濾光器碼化與陣列形狀配置的多個像素中的顏色不同，例如主顏色 B（藍色）及 R（紅色），則取得互補的品紅色。因此，可以使用相機中所使用的互補色訊號處理、等等。結果，色彩再生與主色的色彩再生相同且可以經由彩色濾光器材料的共用而增進量產能力。

在本實施例中，如圖 37 和圖 38A 和 38B 中所示般，在與相鄰像素胞共用部份或多個汲極、源極、基底（井）、或閘極的接點之像素中，當以多個像素為單位執行元件分離時，由於可以不需要重置汲極下的元件分離 p-井，所以，具有降低重置電壓的功效。

在根據本實施例之固態成像裝置 1 中，藉由在自像素讀出的訊號中繼續光電轉換而不重置像素，能夠執行非破壞性讀出，而不會使暗電流惡化。

在低速曝光及閂曝光期間，能夠根據非破壞性讀出而實現例如高 S/N 寬動態範圍（寬 D-範圍）及現場影像。

也能夠根據非破壞性讀出，實現不同形式，舉例而言，能夠執行靜態影像低速曝光及移動影像的非同步和同

步同時操作，能夠用於 AE 及 AF 等二者，以及，能夠能夠經由高速部份掃描而在整個區域中隨機地執行即時 AE/AF。

圖 39 是根據非破壞性讀出的寬動態範圍（寬 D-範圍）序列的實施例。

在圖 39 中，垂直方向包含訊號位準及水平方向表示曝光時間。

#### <步驟 ST1>

將訊號位準重置及執行黑色掃描。捕捉臨界值  $V_h$  變化影像。

#### <步驟 ST2>

在時間  $t_1$ ，執行第一中間掃描（SCAN#1）。捕捉高亮度影像及取得  $V_{th}$  差異。

#### <步驟 ST3>

在時間  $t_2$ ，執行第二中間掃描（SCAN#2）。捕捉中亮度影像及取得第  $V_{th}$  差異。

#### <步驟 ST4>

在時間  $t_3$ ，執行最後掃描以重置訊號位準。捕捉低亮度影像（CDS）。

雖然圖中未顯示，但是，關於步驟 ST5，可藉由高亮

度影像、中亮度影像、及低亮度影像的影像結合，以實現寬動態範圍。（各別影像乘以時間比例及以位準結合而取得高 DR 影像。）

圖 40 是根據非破壞讀出之低速現場影像的實施例。

在圖 40 中，垂直方向表示訊號位準，而水平方向表示曝光時間。

#### <步驟 ST11>

將訊號位準重置及執行黑色掃描。捕捉臨界值  $V_h$  變化影像。

#### <步驟 ST12>

執行第一中間掃描（SCAN#1）。捕捉 #1 影像及取得 #0  $V_{th}$  差異，以及，舉例而言，顯示以用於監視。

#### <步驟 ST13>

執行第二中間掃描（SCAN#2）。捕捉 #2 影像及取得 #1  $V_{th}$  差異，以及，舉例而言，顯示以用於監視。

#### <步驟 ST14>

執行最後掃描。捕捉 #n 影像及取得 #n  $V_{th}$  差異，以及，舉例而言，顯示以用於監視。

#### <步驟 ST15>



執行捕捉掃描以重置訊號位準。執行最後影像捕捉 CDS 及記錄於記憶體中。

#### <步驟 ST16>

在非同步型的情形中，以 1/30s 顯示步驟 ST15 中的影像捕捉（靜態影像）。

以此方式，能夠根據非破壞性讀出，在低速曝光及閾曝光期間實現例如高 S/N 寬動態範圍（寬 D-範圍）及現場影像。

如上所述，根據本實施例，基底 100 包含第一基底表面 101 側及第二基底表面 102 側，光照射在第一基底表面 101 側上，元件形成於第二基底表面 102 側上。形成由相鄰的胞組和元件分離層分離的多個像素胞 Cel (2A)。每一像素胞 Cel 包含形成於第一基底表面 101 側上的第一導電（在本實施例中為 n 型）井（第一井）110 以及形成於第二基底表面 102 側上而非第一井 110 之第二導電（p 型）井（第二井）120。n 型第一井 110 作為光感測區，接收來自第一基底表面 101 的光以及具有用於接收光之光電轉換功能和電荷累積功能。偵測第一井 110 的光感測區中累積的電荷及具有臨界值調變功能之 MOS 電晶體 130 形成於第二井 120 中。具有與第一導電型（在本實施例中為 n 型）相反的第二導電率型之 p 型元件分離層（導電層）140 形成於第一井 110 及第二井 120 的側壁上以圍繞側壁。因此，可以取得下述功效。

以具有汲極（D）/閘極（G）/源極（S）結構的一電晶體，形成像素。由於像素結構與邏輯處理並容，所以，步驟數目的增加可以最小化。

由於可以共用汲極、源極、閘極、及井的接點，所以，佈局效率高以及可以實現微像素。

由於閘極面積大，所以，電晶體雜訊相當小。

由於整個像素是累積區，所以，飽合訊號量大及可實現高動態範圍（DR）。

由於從介面產生的暗電流排放至汲極，以及，不會發生介面中的暗電流影像缺陷。

能夠執行非破壞性讀出，其中，無論閘極開或關，暗電流不會惡化。

整個光感測區為閘極。當安裝反射器時，可以實現近紅外光高靈敏度及超精密像素。

藉由反 $\gamma$ 校正功能可以降低雜訊。

具有上述特徵的固態成像裝置可以應用作為數位相機及攝影機的成像裝置。

圖 41 是相機系統的配置實施例，根據本實施例的固態成像裝置應用至其。

如圖 41 所示，相機系統 500 包含應用根據本實施例的固態成像裝置之成像裝置 510、光學系統、驅動電路（DRV）530 及訊號處理電路（PRC）540，光學系統將入射光導引至成像裝置 510 的像素區（將物體影像聚焦），舉例而言，將入射光（影像光）聚焦於成像表面上之透鏡

520，驅動電路（DRV）530 驅動成像裝置 540，訊號處理電路（PRC）540 處理成像裝置 540 的輸出訊號。

驅動電路 503 包含產生不同時序訊號的時序產生器（未顯示）以用於驅動成像裝置 510 中的驅動電路，所產生之不同時序訊號包括啓動脈衝及時計脈衝。驅動電路 530 以預定時序訊號驅動成像裝置 510。

訊號處理電路 540 將例如 CDS（相關連雙倍取樣）訊號處理應用至成像裝置 510 的輸出訊號。

由訊號處理電路 540 處理的影像訊號記錄在例如記憶體等記錄媒體中。記錄於記錄媒體中的影像訊號由印表機或類似者硬複製。由訊號處理電路 540 所處理的影像訊號在包含液晶顯示器等監視器上顯示為移動影像。

如上所述，在例如數位相機、監視攝影機、安裝於行動電話上的相機、單透鏡反射相機、及掃描器等成像設備及電子設備中，藉由安裝固態成像裝置 1 作為成像裝置 510，能夠實現高度準確的相機。

本發明非受限於實施例的說明。

舉例而言，在具體實施例中所述的數值及材料僅為實施例。本發明不限於這些數值及材料。

此外，在不悖離本發明的精神之下，不同的替代是可能的。

習於此技藝者應瞭解，在後附的申請專利範圍的範圍或其均等範圍之內，可以視設計需要及其它因素而產生不同的修改、結合、副結合、及替代。

**【圖式簡單說明】**

圖 1 是方塊圖，顯示根據本發明的實施例之固態成像裝置的配置；

圖 2A 及 2B 是根據實施例之固態成像裝置的像素區的基本結構。

圖 3 是根據實施例之像素胞的等效電路圖；

圖 4 是用於說明前側照明 BMCD 的情形中入射光的波長與電晶體的配置具有何種關係；

圖 5 是前側照明情形中透明電極、閘極氧化矽膜、及單晶矽所形成的能帶狀態圖；

圖 6 是根據圖 2A 及 2B 中所示的裝置的電位狀態改變，在每一區中垂直於半導體基底表面的方向上半導體基底中相對於電子之電位變化；

圖 7 是圖 2A 及 2B 中所示的 a-a' 線中的電位分佈的實施例；

圖 8 是根據實施例之訊號讀出處理系統的配置；

圖 9 是根據實施例之像素區中的像素胞的佈局實施例；

圖 10A 及 10B 是圖 9 中所示的簡化的 a-a' 及 b-b' 剖面圖；

圖 11 是結構圖，其中，像素胞配置成從圖 9 中所示像素胞旋轉 45 度；

圖 12 是佈局實施例，其中，在 X 方向（水平方向）

條中共同使用閘極；

圖 13 是佈局實施例，其中，汲極側受夾擠；

圖 14 是根據實施例之像素區中像素胞的佈局的另一實施例；

圖 15A 及 15B 是圖 14 中所示的簡化的 a-a' 及 b-b' 剖面圖；

圖 16A 及 16B 是實施例，其中，反射器設置於具有不同厚度的像素胞中；

圖 17A 及 17B 是接點共用像素區的像素胞陣列的實施例；

圖 18 是等效電路圖，其中，採用圖 17A 中所示的佈局以及共用行電路的訊號處理系統及像素區被簡化；

圖 19A 及 19B 是圖 17A 及 17B 中所示的方形陣列中的訊號輸出次序圖；

圖 20A 及 20B 是以 45 度旋轉圖 17A 及 17B 中所示的方形陣列而形成的鋸齒陣列圖；

圖 21 是等效電路圖，其中，採用圖 20A 中所示的佈局以及共用行電路的訊號處理系統及像素區被簡化；

圖 22A 及 22B 是以 45 度旋轉圖 17A 及 17B 中所示的方形陣列而形成的另一鋸齒陣列圖；

圖 23 是等效電路圖，其中，採用圖 22A 中所示的佈局以及共用行電路的訊號處理系統及像素區被簡化；

圖 24A 及 24B 是圖 20A 及 20B 中所示的鋸齒陣列中的訊號輸出次序圖；

圖 25A 及 25B 是圖 22A 及 22B 中所示的鋸齒陣列中的訊號輸出次序圖；

圖 26A 及 26B 是用於說明採用方形陣列時反射器的形成實施例；

圖 27 是反射器及佈線共用佈局的第一實施例；

圖 28 是反射器及佈線共用佈局的第二實施例；

圖 29 是反射器及佈線共用佈局的第三實施例；

圖 30A 及 30B 是用於說明預線重置基本觀念；

圖 31A 及 31B 是根據本實施例之對應於硬重置功能的訊號處理系統的觀念圖；

圖 32 是等效電路圖，用於說明包含反  $\gamma$  校正電路之訊號處理系統的基本觀念；

圖 33A 至 33C 是預線重置系統、二行共用、及 2x2 像素時間的位準圖；

圖 34 是配置實施例的平面視圖，其中，多個像素配置成陣列形式以及由多個像素取得一輸出訊號；

圖 35 是配置實施例的平面視圖，其中，多個像素配置成陣列形式以及以多個像素為單位執行元件分離以取得一輸出訊號；

圖 36A 及 36B 是配置實施例的剖面視圖，其中，多個像素配置成陣列形式以及以多個像素為單位執行元件分離以取得一輸出訊號；

圖 37 是另一配置實施例的平面視圖，其中，多個像素配置成陣列形式以及以多個像素為單位執行元件分離以

取得一輸出訊號；

圖 38A 及 38B 是圖 37 中所示的簡化的 a-a' 及 b-b' 剖面圖；

圖 39 是依非破壞性讀出之寬動態範圍（寬 D-範圍）序列的實施例；

圖 40 是依非破壞性讀出之低速現場場景序列實施例；及

圖 41 是應用根據實施例之固態成像裝置的照相機系統的配置實施例。

#### 【主要元件符號說明】

- 1：固態成像裝置
- 2：像素區
- 2A：像素胞
- 3：列方向控制電路
- 4：行方向控制電路
- 5：時序控制電路
- 10：前側照明塊電荷調變裝置
- 11：絕緣膜
- 12：透明電極
- 13：遮光電極
- 14：橫向汲極
- 15：閘極絕緣膜
- 16：矽基底

41：關聯雙倍取樣電路

100：基底

101：第一基底表面

102：第二基底表面

110：第一井

111：光電轉換及電荷累積元件區

120：第二井

121：源極區

122：汲極區

123：通道形成區

124：井接點區

125：井接點區

126：井接點區

127：井接點區

130：電晶體

131：閘極電極

132：源極電極

133：汲極電極

140：p型元件分離層

140A：p型元件分離層

141：源極區

142：汲極區

143：井接點區

150：p<sup>+</sup>層



151：保護層  
 152：彩色濾光器  
 160：絕緣膜  
 170：井接點電極  
 180：伽瑪口袋  
 190：閘極接點電極  
 200：反射器  
 400：行電路  
 401：比較器  
 402：開關  
 410：行電路  
 411：比較器  
 412：重置開關  
 420：反 $\gamma$ 校正電路  
 421：電晶體  
 422：電晶體  
 423：電晶體  
 500：相機系統  
 510：成像裝置  
 520：透鏡  
 530：驅動電路  
 540：訊號處理電路  
 C401：電容器  
 C411：電容器

I401 : 電 流 源

I402 : 電 流 源

I403 : 電 流 源

I411 : 電 流 源

## 十、申請專利範圍

1.一種固態成像裝置，包含複數個像素胞，該複數個像素胞形成於基底上，該基底具有第一基底表面側及第二基底表面側，光會照射於該第一基底表面側上，該第二基底表面側上形成有元件，該複數個像素胞由相鄰的胞組及用於每一像素胞的元件分離層分離或是以複數個像素胞為單位，其中，

每一像素胞包含：

第一導電井，形成於該第一基底表面側上；及

第二導電井，形成於第二基底表面側上，

該第一導電井接收來自第一基底表面側的光以及對收到的光具有光電轉換功能以及電荷累積功能，及

電晶體，偵測該第一導電井中的累積電荷及具有臨界值調變功能，該電晶體形成於該第二導電井中。

2.如申請專利範圍第 1 項之固態成像裝置，其中，該累積的電荷及訊號電荷是相同的載子。

3.如申請專利範圍第 1 項之固態成像裝置，其中，該電晶體具有讀出電晶體的功能、重置電晶體的功能、及選取電晶體的功能。

4.如申請專利範圍第 1 項之固態成像裝置，其中，該像素胞具有伽瑪特徵，當照度低時調變度增加。

5.如申請專利範圍第 4 項之固態成像裝置，其中，該像素胞具有大訊號輸出期間容量增加之結構及具有依據該伽瑪特徵而實現高動態範圍的功能。

6.如申請專利範圍第 1 項之固態成像裝置，其中，第二導電分離層至少形成於該第一導電井與該第二導電井之第一導電井的側邊上。

7.如申請專利範圍第 6 項之固態成像裝置，其中，第一導電源極區及第一導電汲極區形成於該第二導電井中或該第二導電分離層中，以及，

閘極電極形成於該基底的第二基底表面側上源極區與汲極之間的該第二導電井中的通道形成區上。

8.如申請專利範圍第 7 項之固態成像裝置，其中，複數個像素胞以陣列形式配置、以及與相鄰的像素胞共用該汲極、該源極、該等井、或該閘極的部份或多個接點。

9.如申請專利範圍第 7 項之固態成像裝置，其中，該複數個像素胞以陣列形式配置，在該像素陣列的一方向上形成由像素胞共用的條狀像素胞閘極電極，以及在該源極區側或該汲極區側上形成井接點。

10.如申請專利範圍第 9 項之固態成像裝置，其中，井接點區形成在該第二導電分離層中。

11.如申請專利範圍第 10 項之固態成像裝置，其中，井接點區形成在該第一基底表面側上的該第二導電分離層中。

12.如申請專利範圍第 9 項之固態成像裝置，其中，該井接點形成於該汲極側上，該井接點以夾狀形成，而汲極寬度降低。

13.如申請專利範圍第 1 項之固態成像裝置，其中，

在該陣列形式的該像素胞的配置中，該等汲極接點以行分成二或更多組以及共用訊號讀出處理系統的行電路。

14.如申請專利範圍第 3 項之固態成像裝置，其中，在該第二基底表面側上的電晶體的閘極電極中或又在該閘極電極的前側區中，該固態成像裝置具有反射器，該反射器反射透射過基底的光及使該光入射於該基底的該第二導電井與該第一導電井上。

15.如申請專利範圍第 14 項之固態成像裝置，其中，該反射器也作為預定的佈線層。

16.如申請專利範圍第 3 項之固態成像裝置，其中，正好在像素重置之前將電荷從該汲極注入該等像素，接著，將該等像素重置。

17.如申請專利範圍第 4 項之固態成像裝置，又包含反  $\gamma$  校正電路，該反  $\gamma$  校正電路使用結構與該等像素胞的該電晶體的結構相同之具有背閘極端的電晶體，以執行反伽瑪校正。

18.如申請專利範圍第 16 項之固態成像裝置，又包含訊號處理系統，用以自該等像素胞讀出訊號，其中，

該訊號處理系統包括比較器，且利用前導列之重置位準作為該比較器的參考位準。

19.如申請專利範圍第 1 項之固態成像裝置，又包含訊號處理系統，該訊號處理系統在從像素讀出訊號期間，執行破壞性讀出以繼續光電轉換而不重置該等像素。

20.一種照相機，包含：

固態成像裝置，從基底的第一基底表面側接收光；

光學系統，將入射光導引至該固態成像裝置的該第一基底表面側；及

訊號處理電路，處理該固態成像裝置的輸出訊號，其中，

該固態成像裝置包含複數個像素胞，該複數個像素胞形成於該基底上，該基底具有該第一基底表面側及第二基底表面側，光會照射於該第一基底表面側上，該第二基底表面側上形成有元件，該複數個像素胞由相鄰的胞組及用於每一像素胞的元件分離層分離或是以複數個像素胞為單位，

每一像素胞包含：

第一導電井，形成於該第一基底表面側上；及

第二導電井，形成於第二基底表面側上，

該第一導電井接收來自第一基底表面側的光以及對收到的光具有光電轉換功能以及電荷累積功能，及

電晶體，偵測該第一導電井中的累積電荷及具有臨界值調變功能，該電晶體形成於該第二導電井中。

圖 1

1

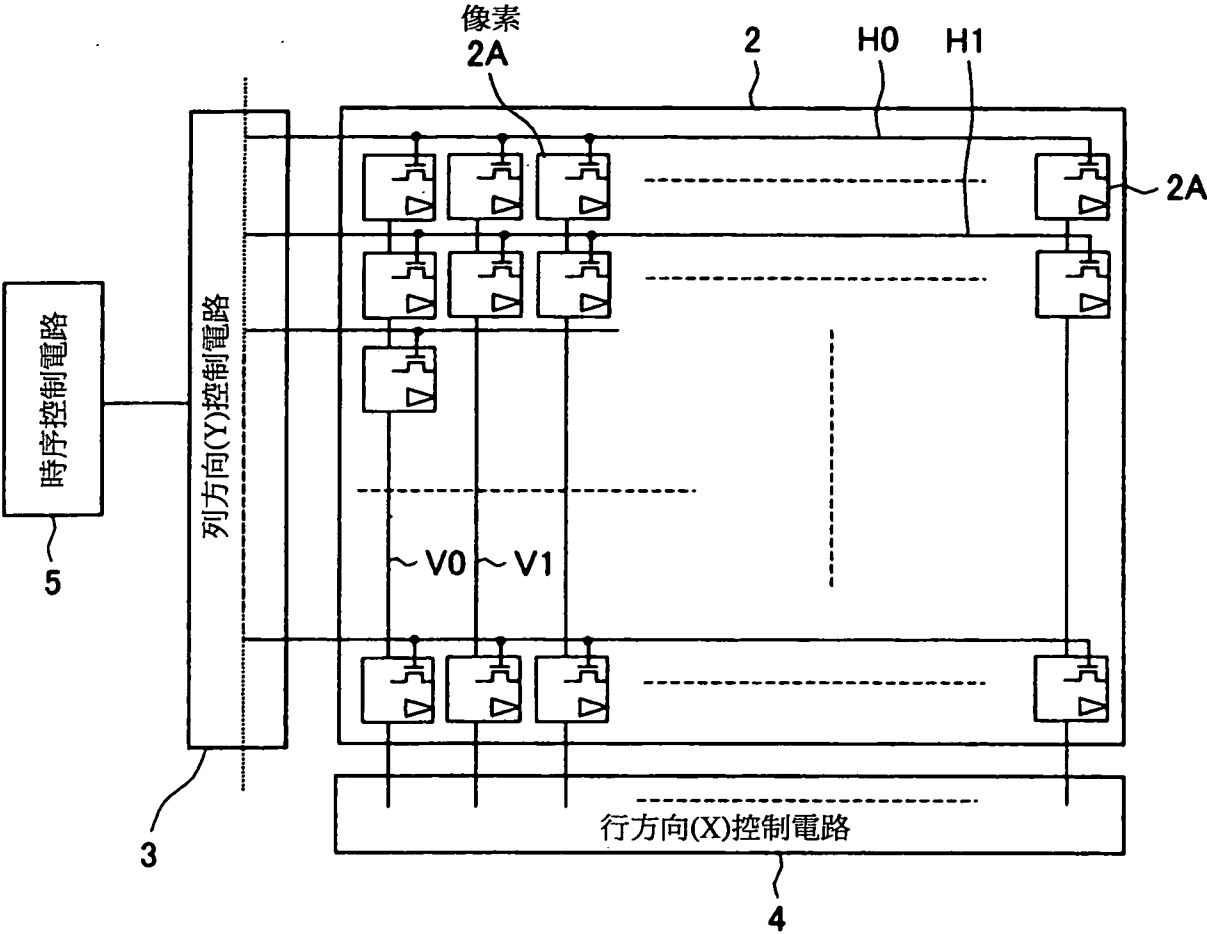


圖 2A

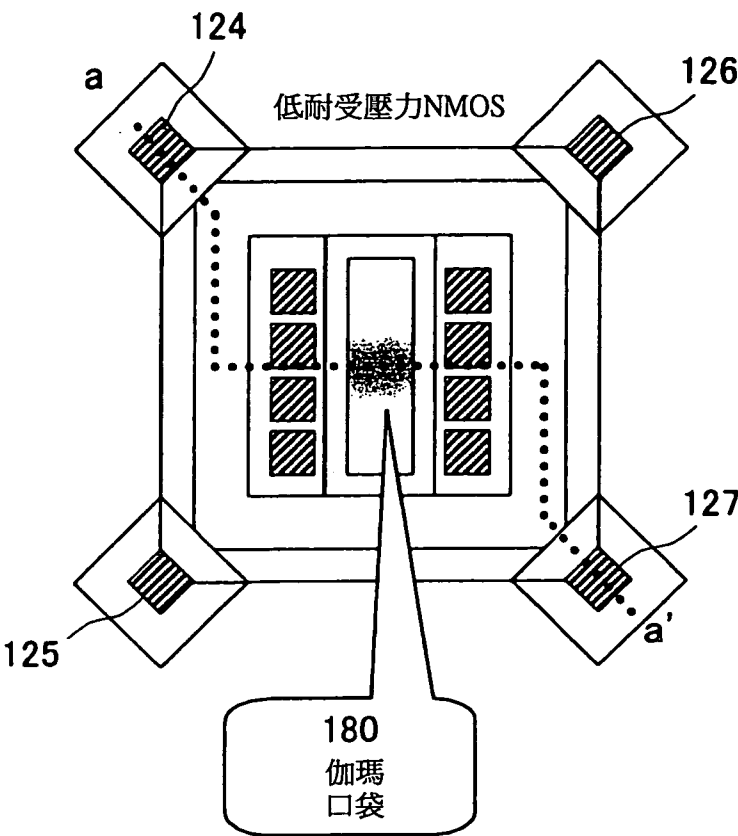


圖 2B

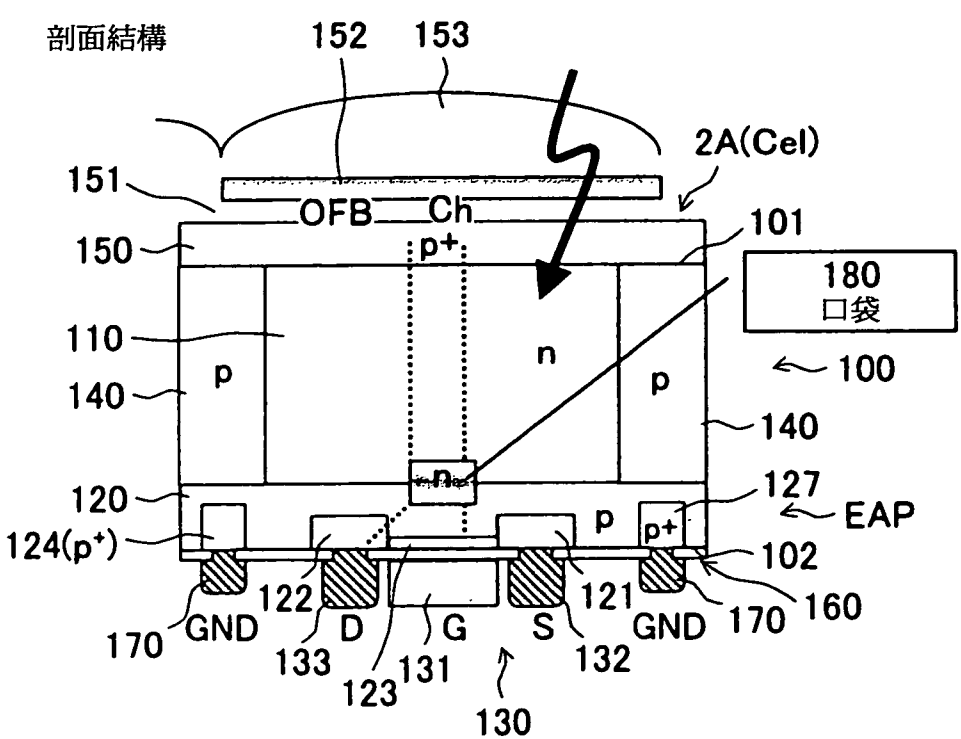




圖3

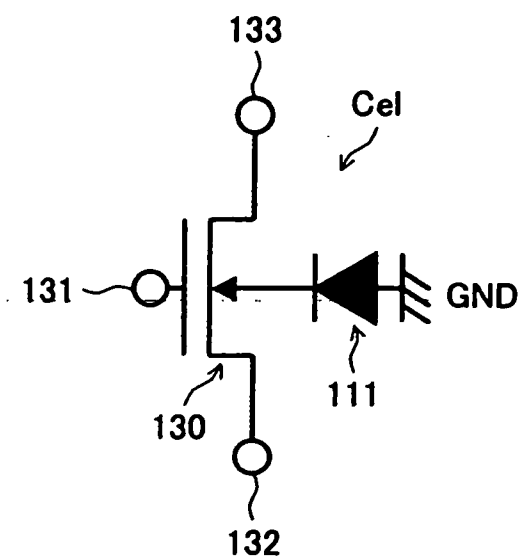


圖4

在前側照明BMCD的情形中

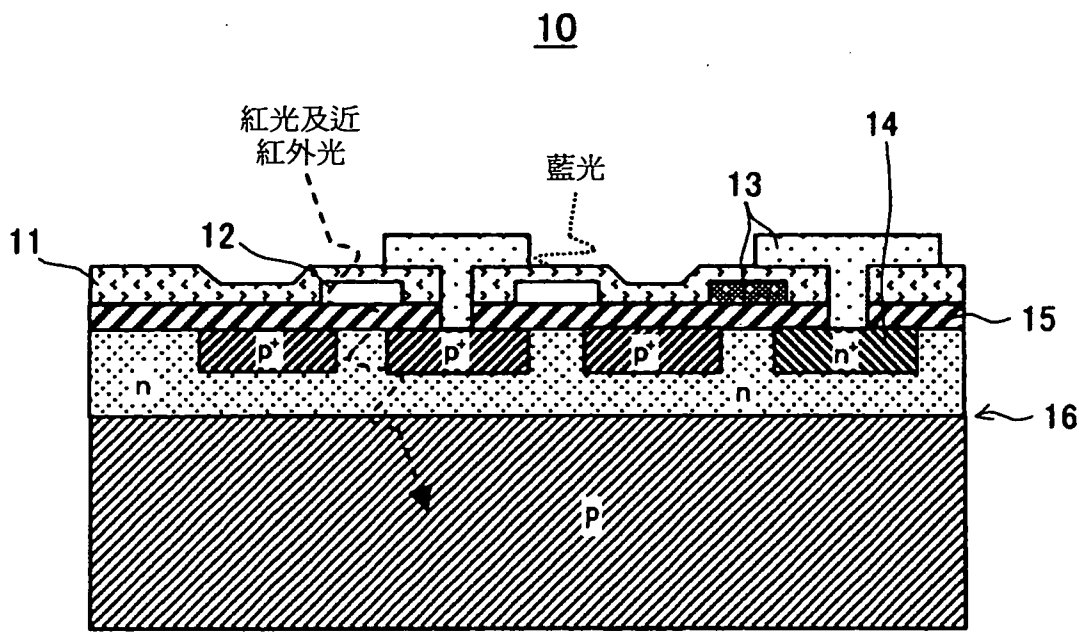


圖5

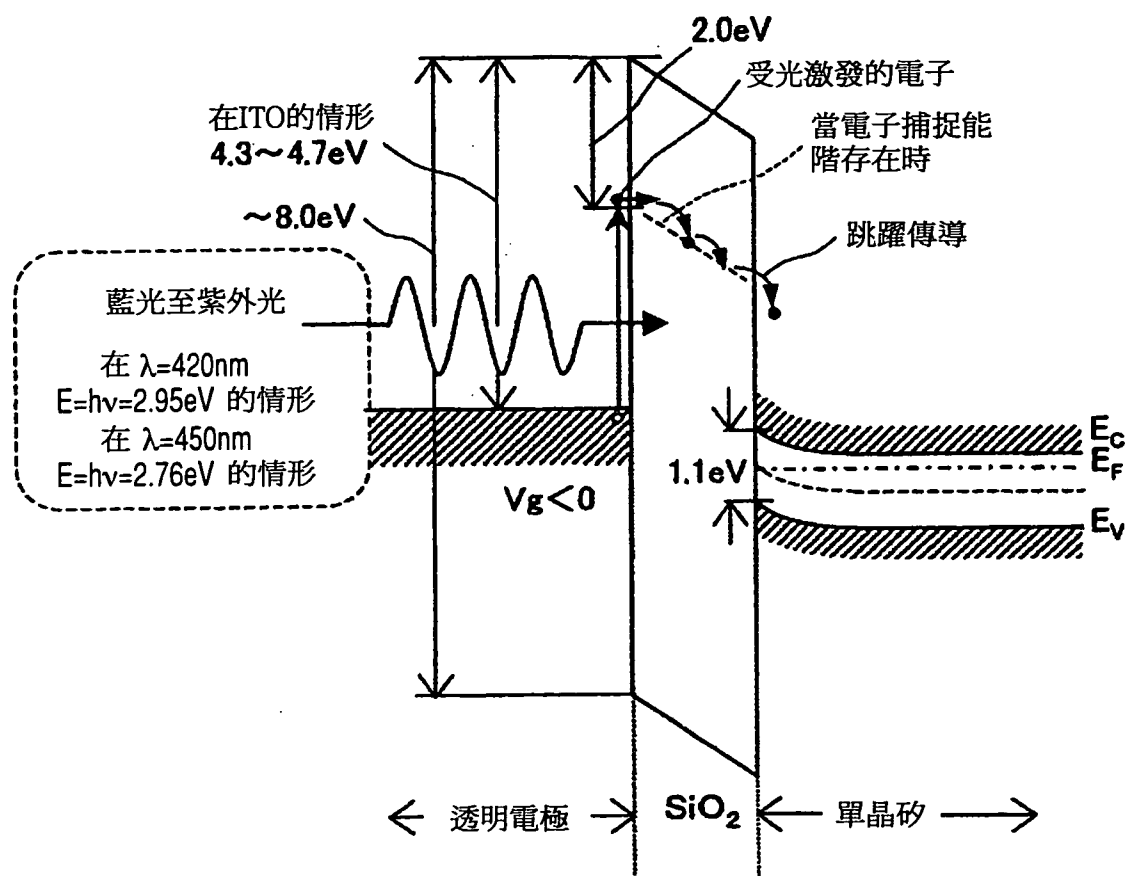
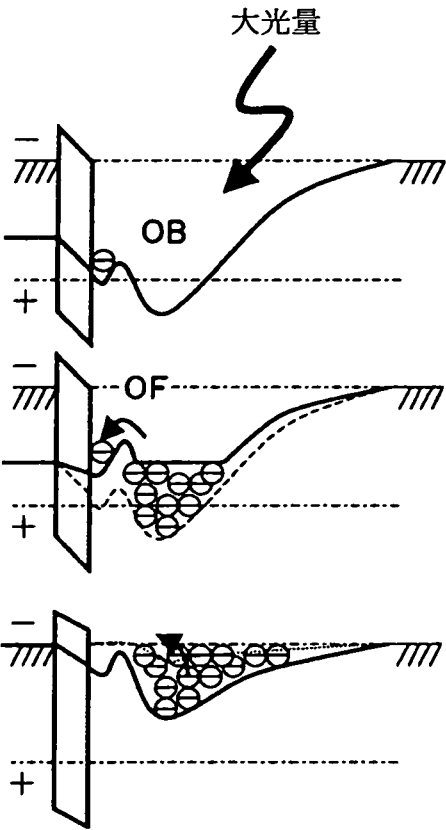


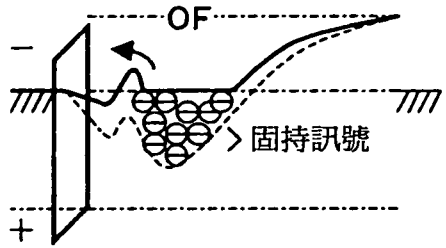
圖 6

電位圖  
(開路源)

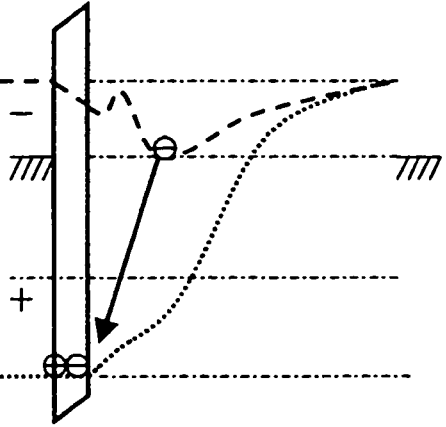
- 閘極讀出  
VGND=0V  
VG=1.0V、  
VD=1.8V  
VS≐1.6~1.4V  
輸出



- 閘極累積  
(非選取讀出)  
VGND=0V  
VG=0V、  
VD=1.8V  
VS≤1.2V

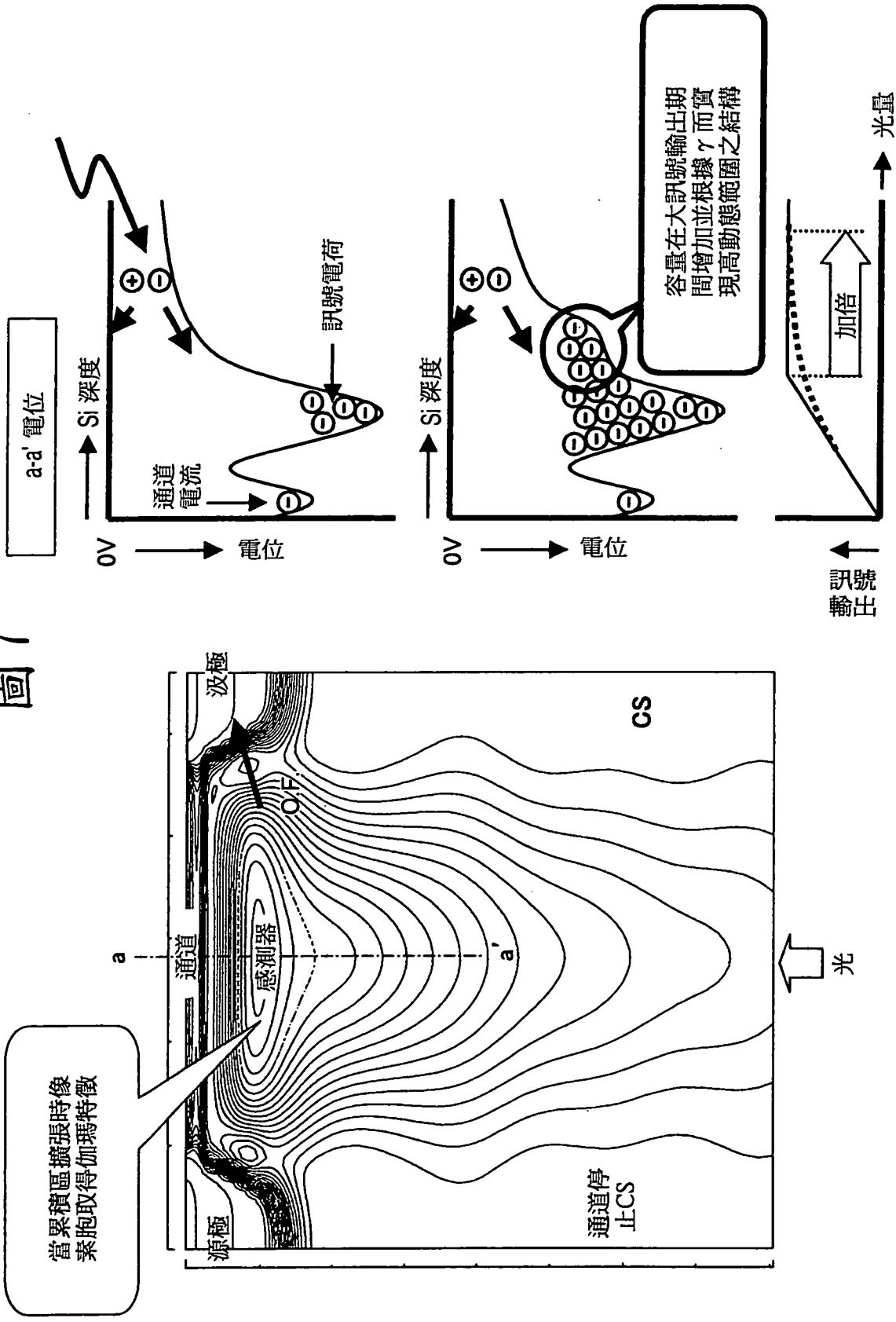


- 閘極累積  
(未重置)  
VGND=0V  
VG=0~-1.0V、  
VD=1.8V  
VS=Hi-Z 或 LD



- 線重置  
VGND=0V  
VG=0~-1.0V、  
VD=3.0V 或更多  
VS=Hi-Z 或 LD

圖7



當累積區擴張時像  
素胞取得伽瑪特徵

容量在大訊號輸出期  
間增加並根據  $\gamma$  而實  
現高動態範圍之結構

圖 8

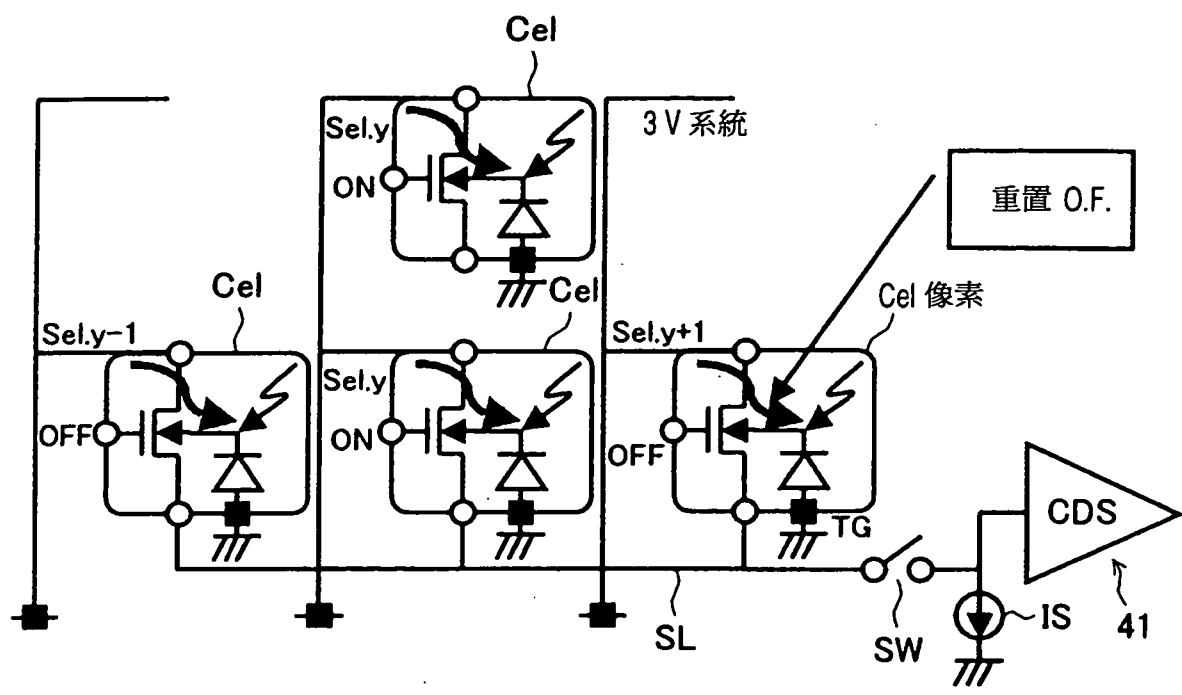


圖 9

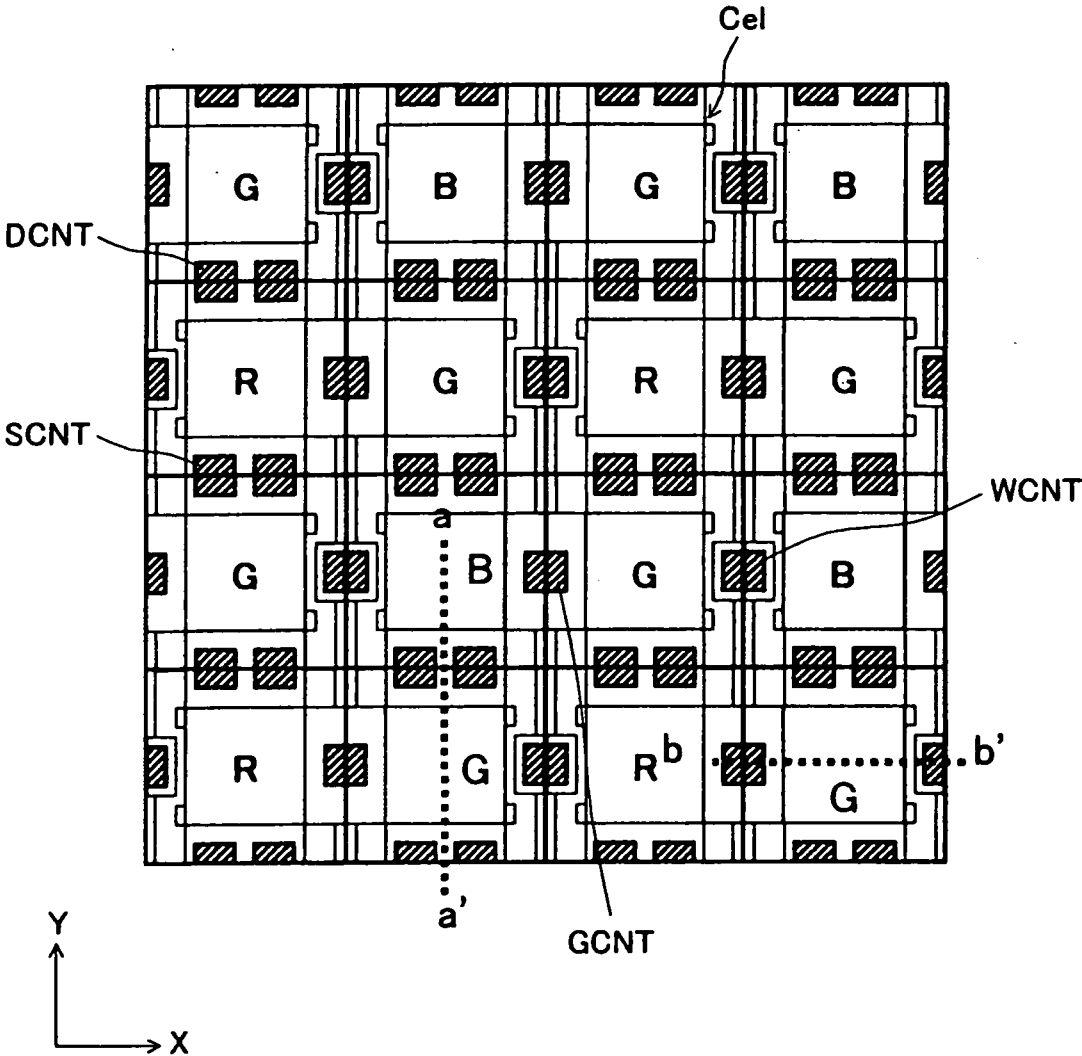


圖 10A

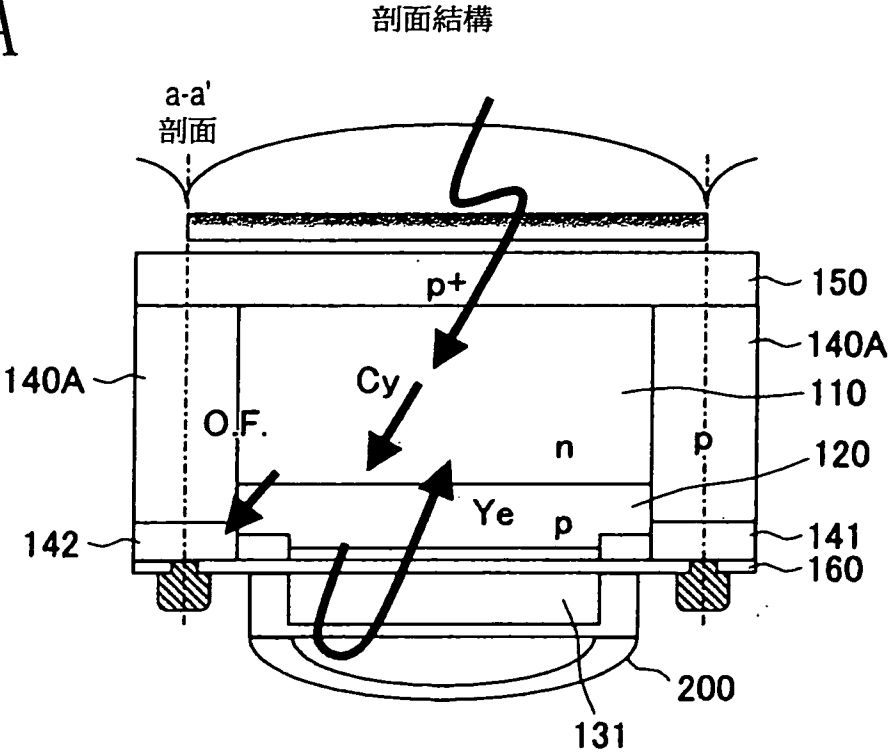
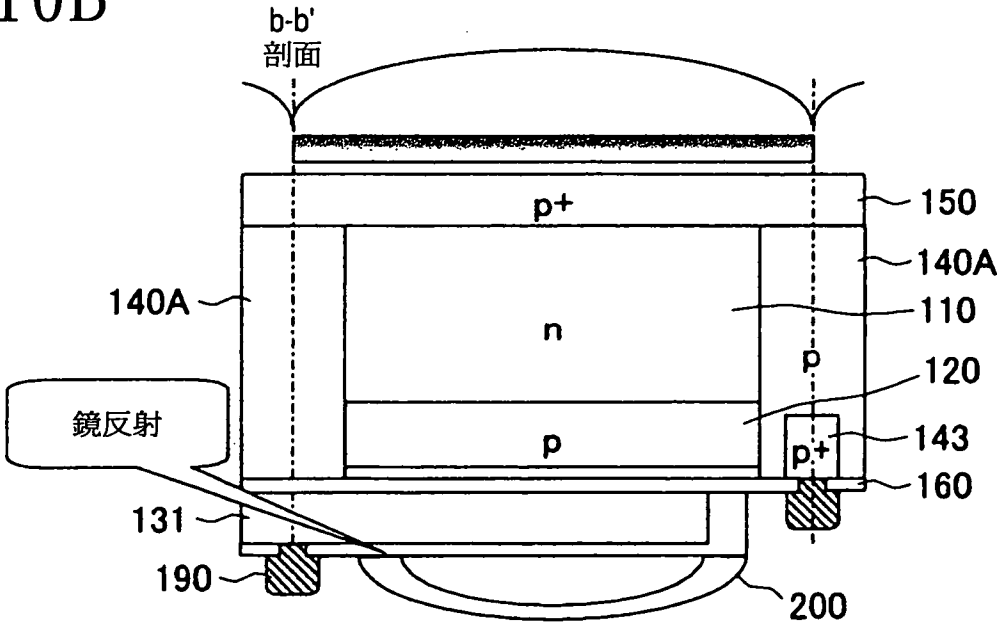


圖 10B



||

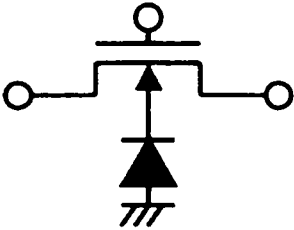


圖 11

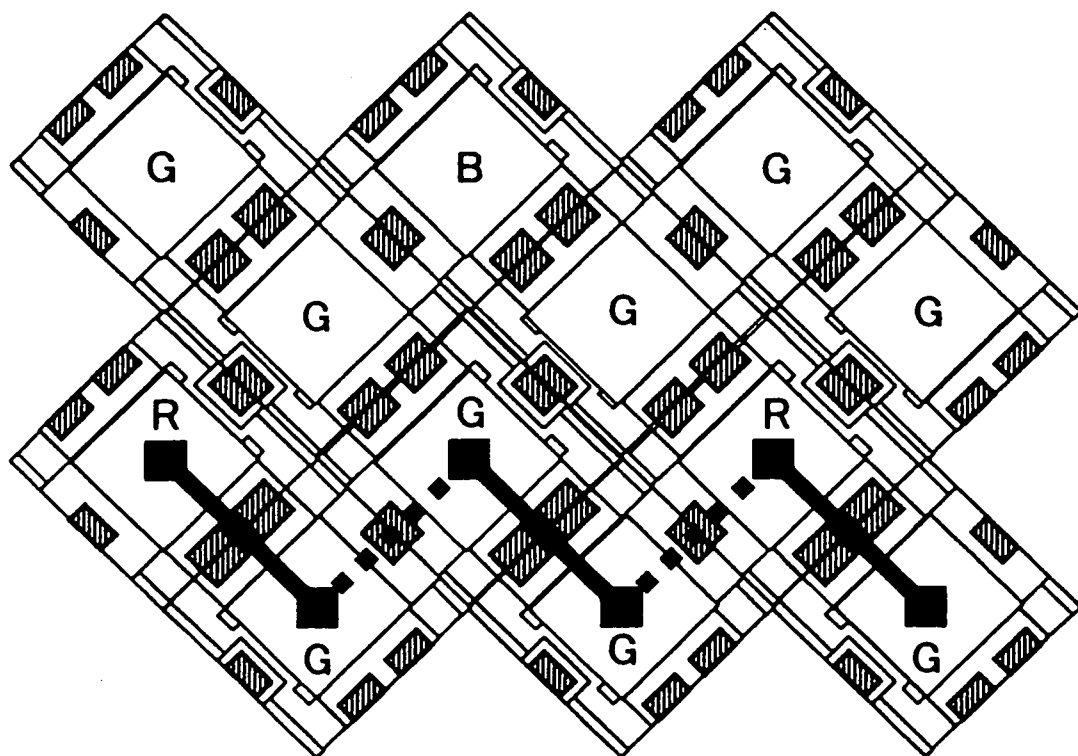




圖12

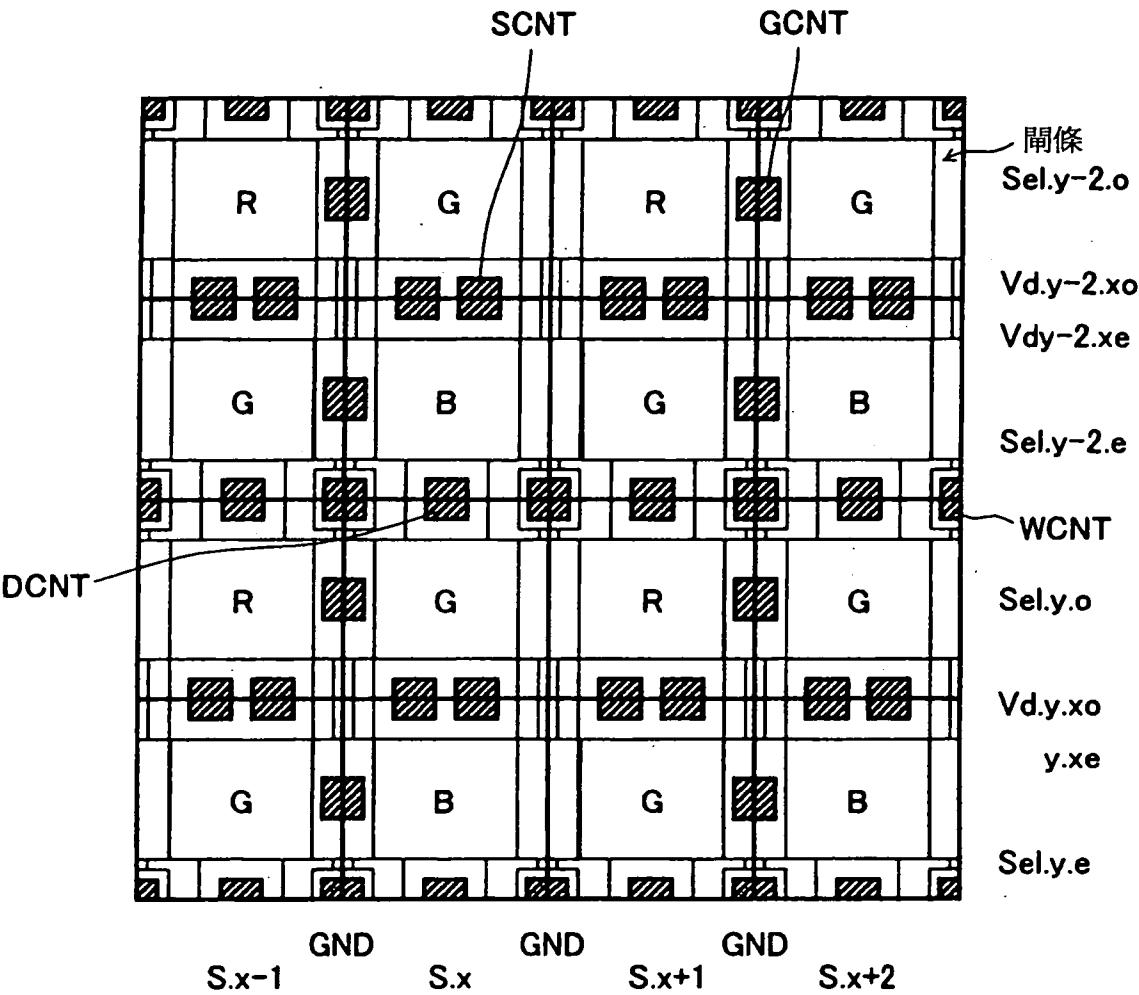


圖 13

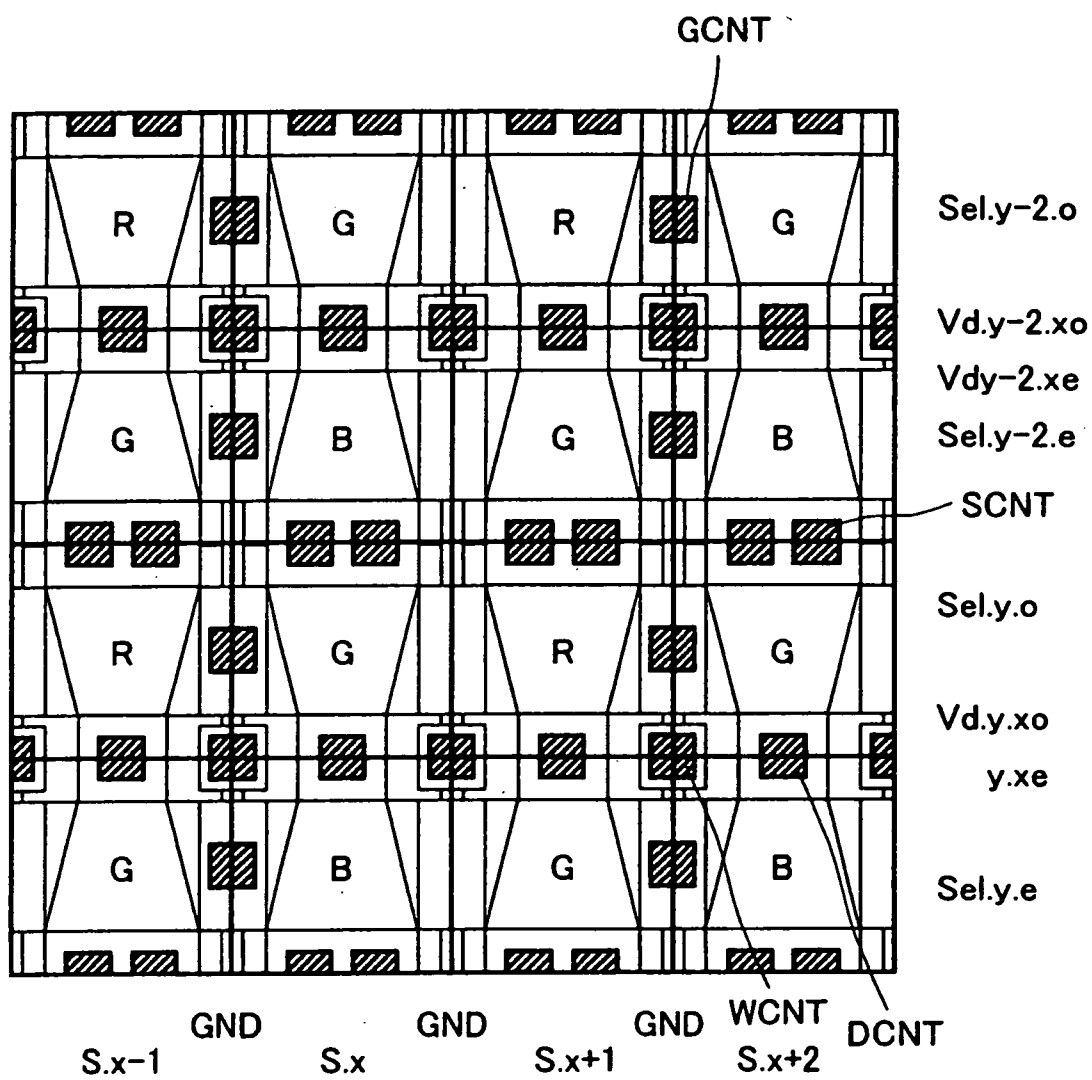
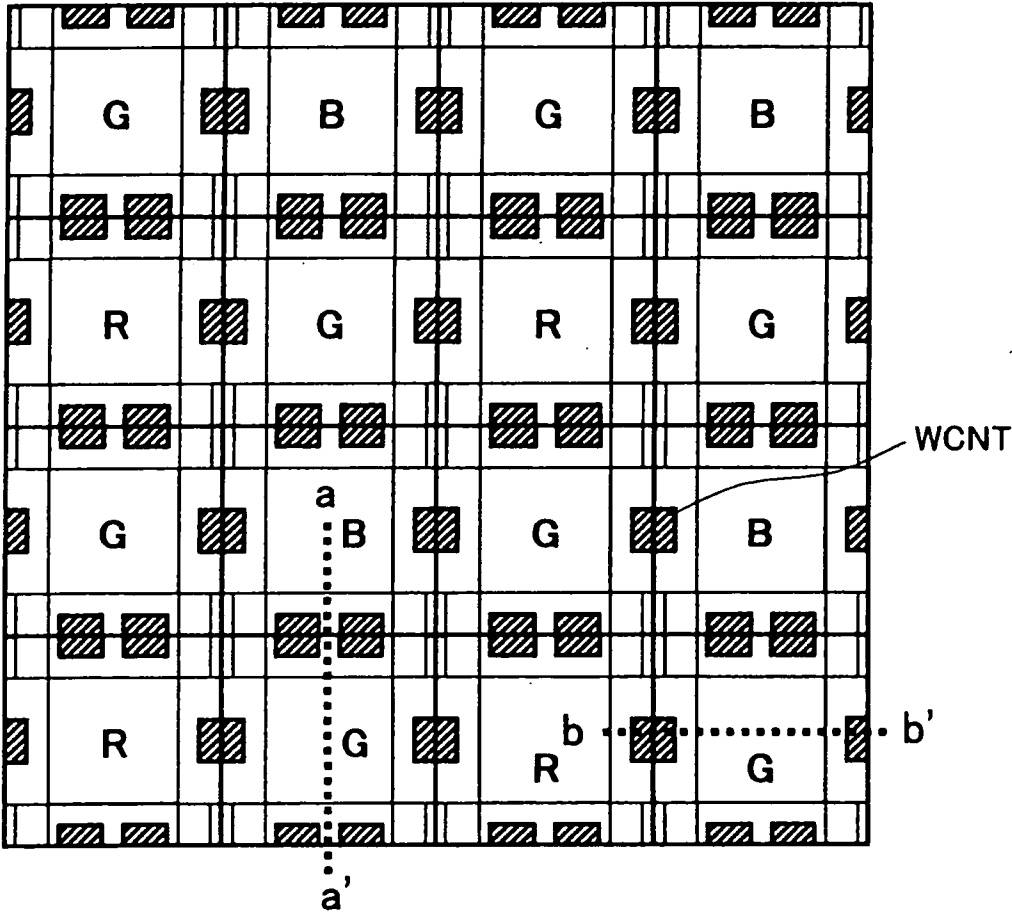


圖 14



用於防止混色的遮光膜也可以作為佈線

100

WCNT

150

140A

110

120

160

131

190

200

p+

n

p

圖 16A

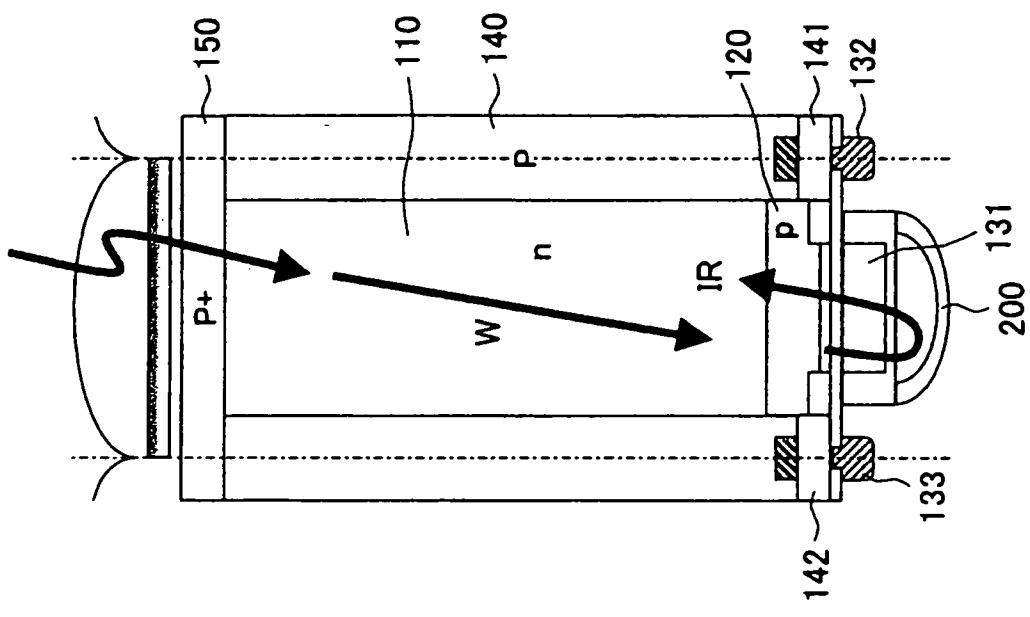


圖 16B

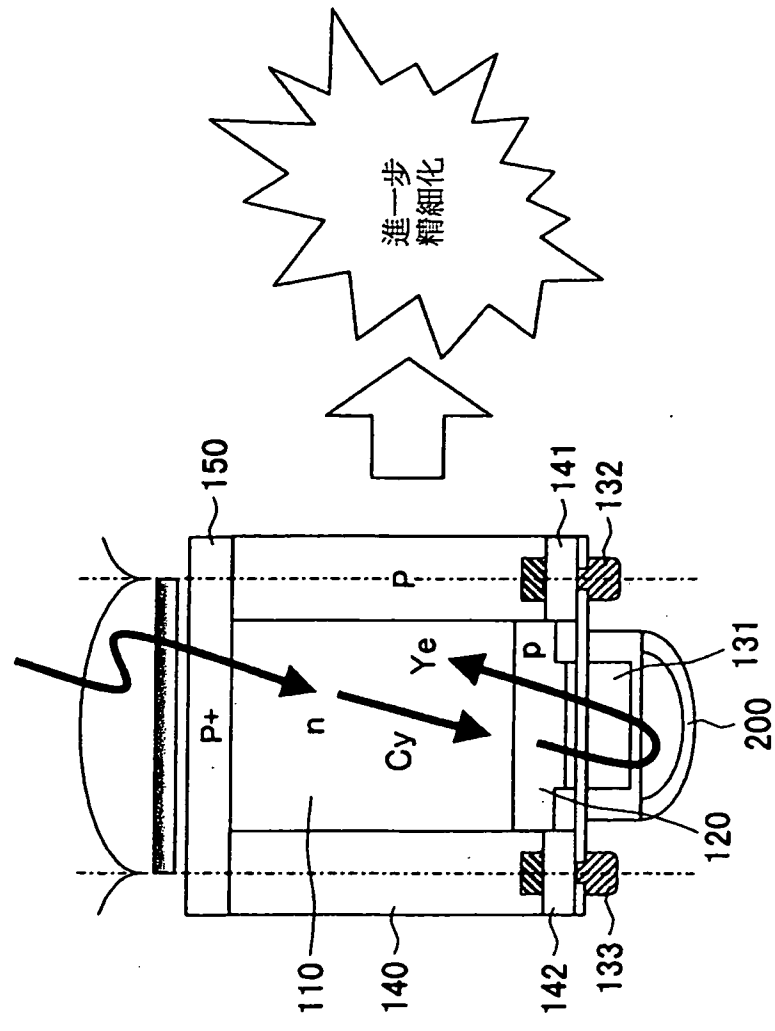


圖 17A

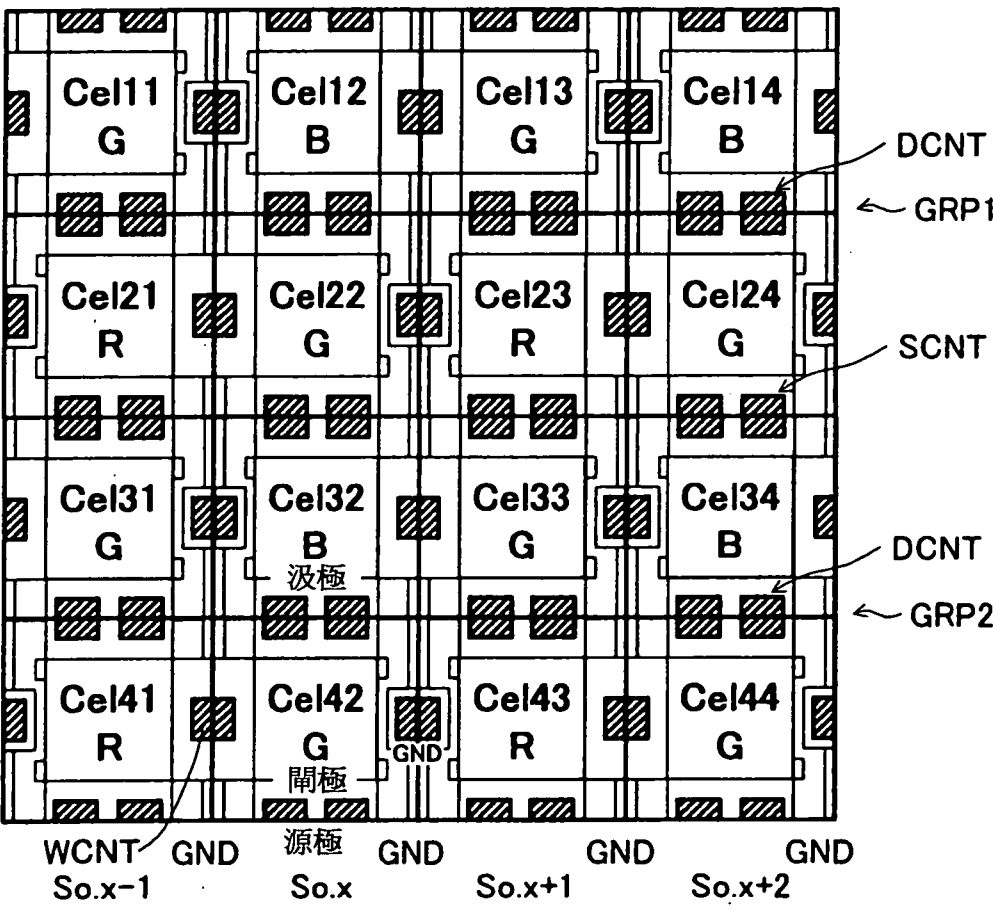


圖 17B

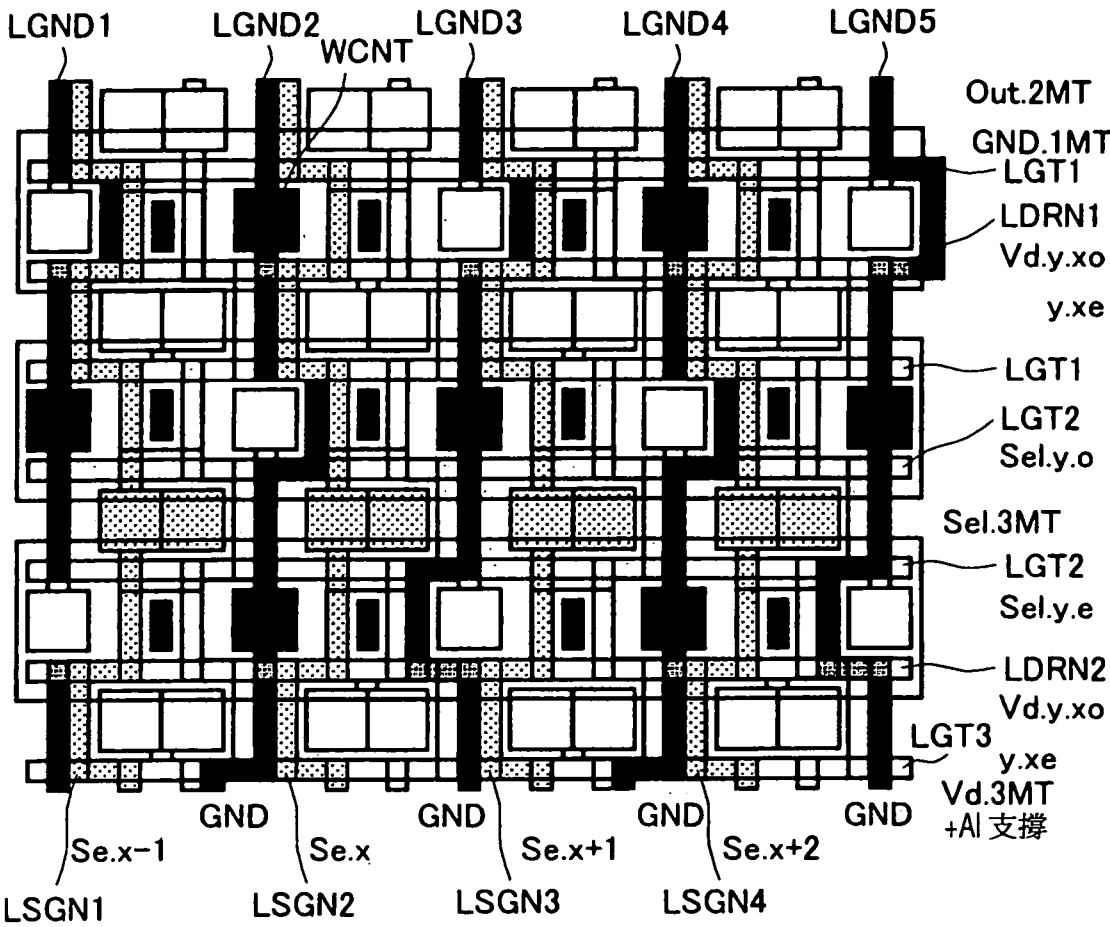
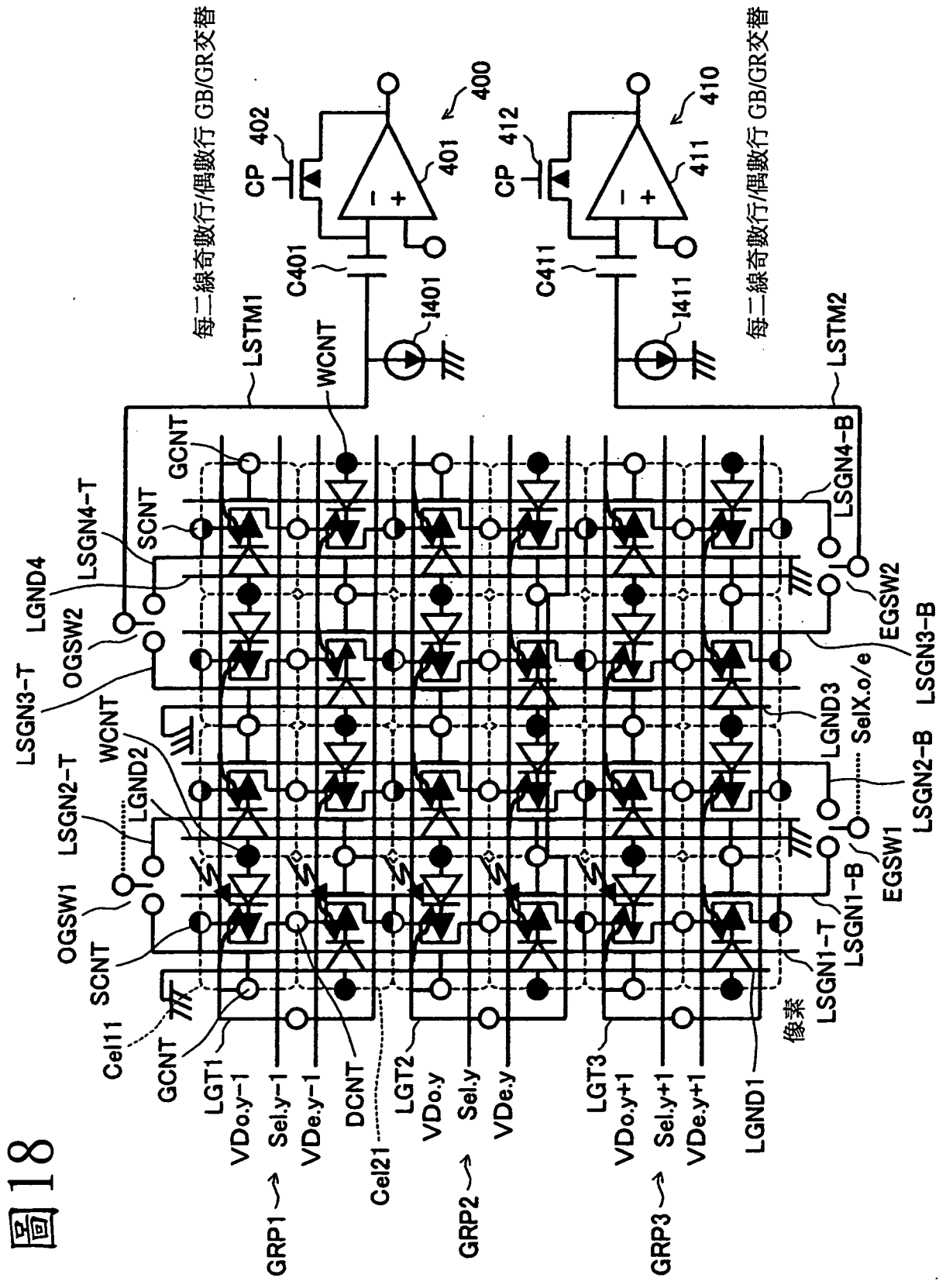


圖18







■ 共用水平行

|       |       |       |       |       |       |           |                            |            |     |                              |              | H奇數/偶數<br>選取開關 |                 |
|-------|-------|-------|-------|-------|-------|-----------|----------------------------|------------|-----|------------------------------|--------------|----------------|-----------------|
| H1    | H2    | H3    | H4    | H5    | H6    | Time<br>↓ | Out Bottom                 |            |     |                              | Out Top      |                |                 |
| OutBo | OutBe | OutBo | OutBe | OutBo | OutBe | 1stLine   | 1stHalf G12<br>2ndHalf R11 | G14<br>R13 | ... | 1stHalf B22<br>2ndHalf G21   | B24<br>G23   | ...            | H Even<br>H Odd |
| V1    | RDO   | G     | RDE   | R     | RDO   |           |                            |            |     |                              |              |                |                 |
| OutTo | OutTe | OutTo | OutTe | OutTo | OutTe | 2ndLine   | 1stHalf B42<br>2ndHalf G41 | B44<br>G43 | ... | 1stHalf G32<br>2ndHalf R31   | G34<br>R33   | ...            | H Even<br>H Odd |
| V3    | R     | G     | R     | R     | R     |           |                            |            |     |                              |              |                |                 |
| RDO   | RDE   | RDO   | RDE   | RDO   | RDE   | 3rdLine   | 1stHalf G52<br>2ndHalf R51 | G54<br>R53 | ... | 1stHalf B62<br>2ndHalf G61   | B64<br>G63   | ...            | H Even<br>H Odd |
| V4    | G     | B     | B     | G     | G     |           |                            |            |     |                              |              |                |                 |
| OutBo | OutBe | OutBo | OutBe | OutBo | OutBe | 4thLine   | 1stHalf B82<br>2ndHalf G81 | B84<br>G83 | ... | 1stHalf G72<br>2ndHalf R71   | G74<br>R73   | ...            | H Even<br>H Odd |
| V5    | R     | G     | R     | R     | R     |           |                            |            |     |                              |              |                |                 |
| RDO   | RDE   | RDO   | RDE   | RDO   | RDE   | 5thLine   | 1stHalf G92<br>2ndHalf R91 | G94<br>R93 | ... | 1stHalf B102<br>2ndHalf G101 | B104<br>G103 | ...            | H Even<br>H Odd |
| V6    | G     | B     | B     | G     | G     |           |                            |            |     |                              |              |                |                 |
| OutTo | OutTe | OutTo | OutTe | OutTo | OutTe |           |                            |            |     |                              |              |                |                 |
| V7    | R     | G     | R     | R     | R     |           |                            |            |     |                              |              |                |                 |
| RDO   | RDE   | RDO   | RDE   | RDO   | RDE   |           |                            |            |     |                              |              |                |                 |
| V8    | G     | B     | B     | G     | G     |           |                            |            |     |                              |              |                |                 |
| OutBo | OutBe | OutBo | OutBe | OutBo | OutBe |           |                            |            |     |                              |              |                |                 |
| V9    | R     | G     | R     | R     | R     |           |                            |            |     |                              |              |                |                 |
| RDO   | RDE   | RDO   | RDE   | RDO   | RDE   |           |                            |            |     |                              |              |                |                 |

圖 20A

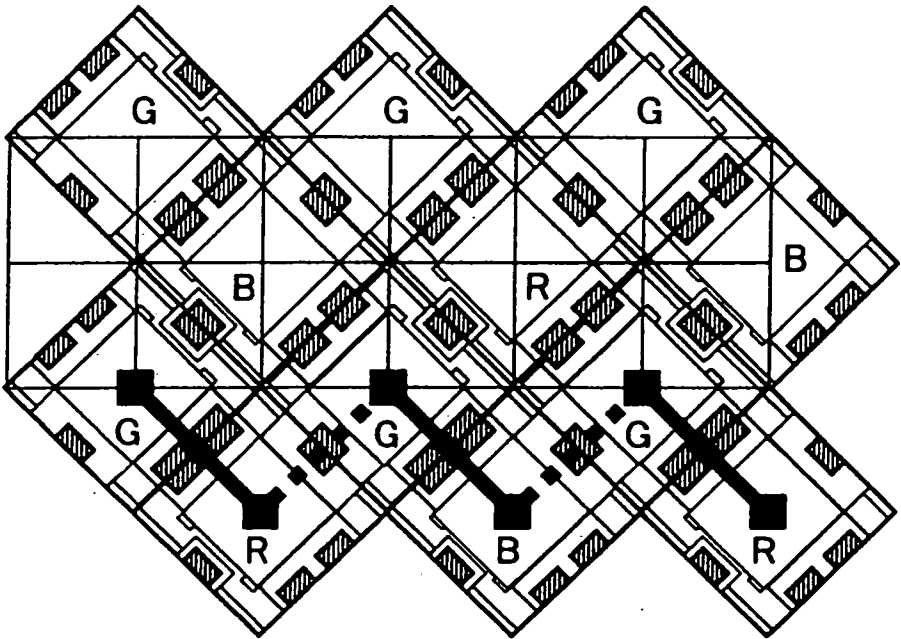


圖 20B

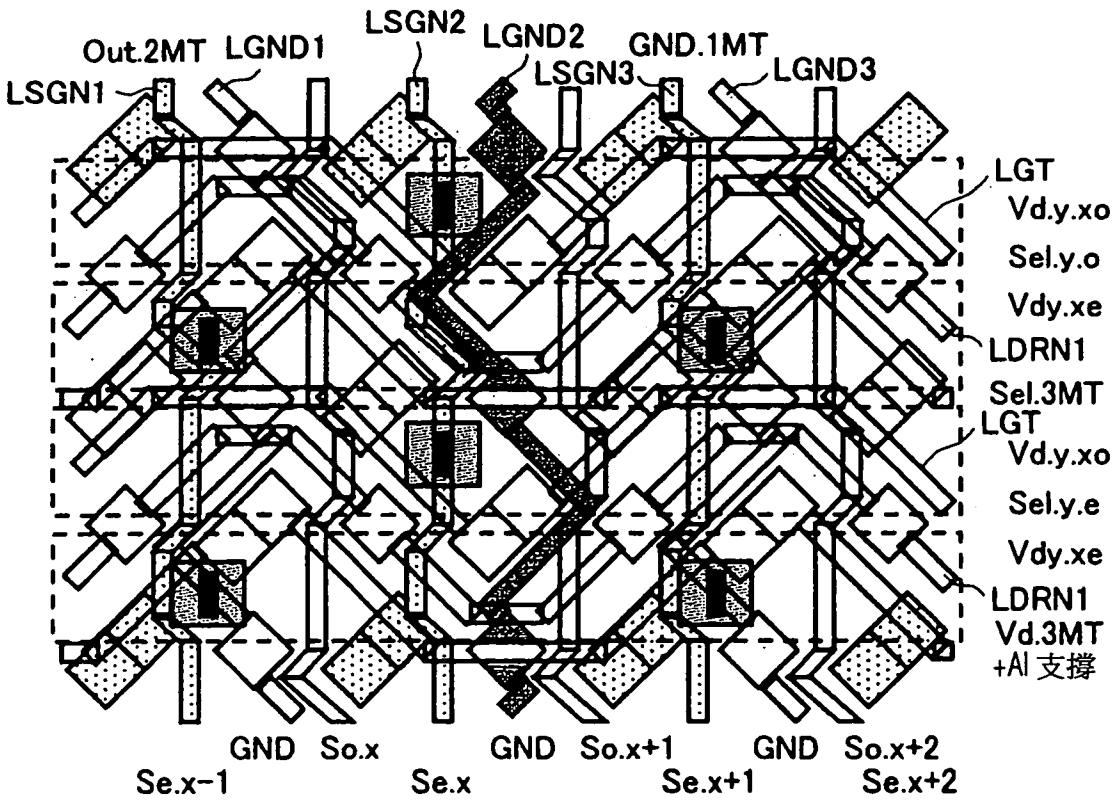


圖21

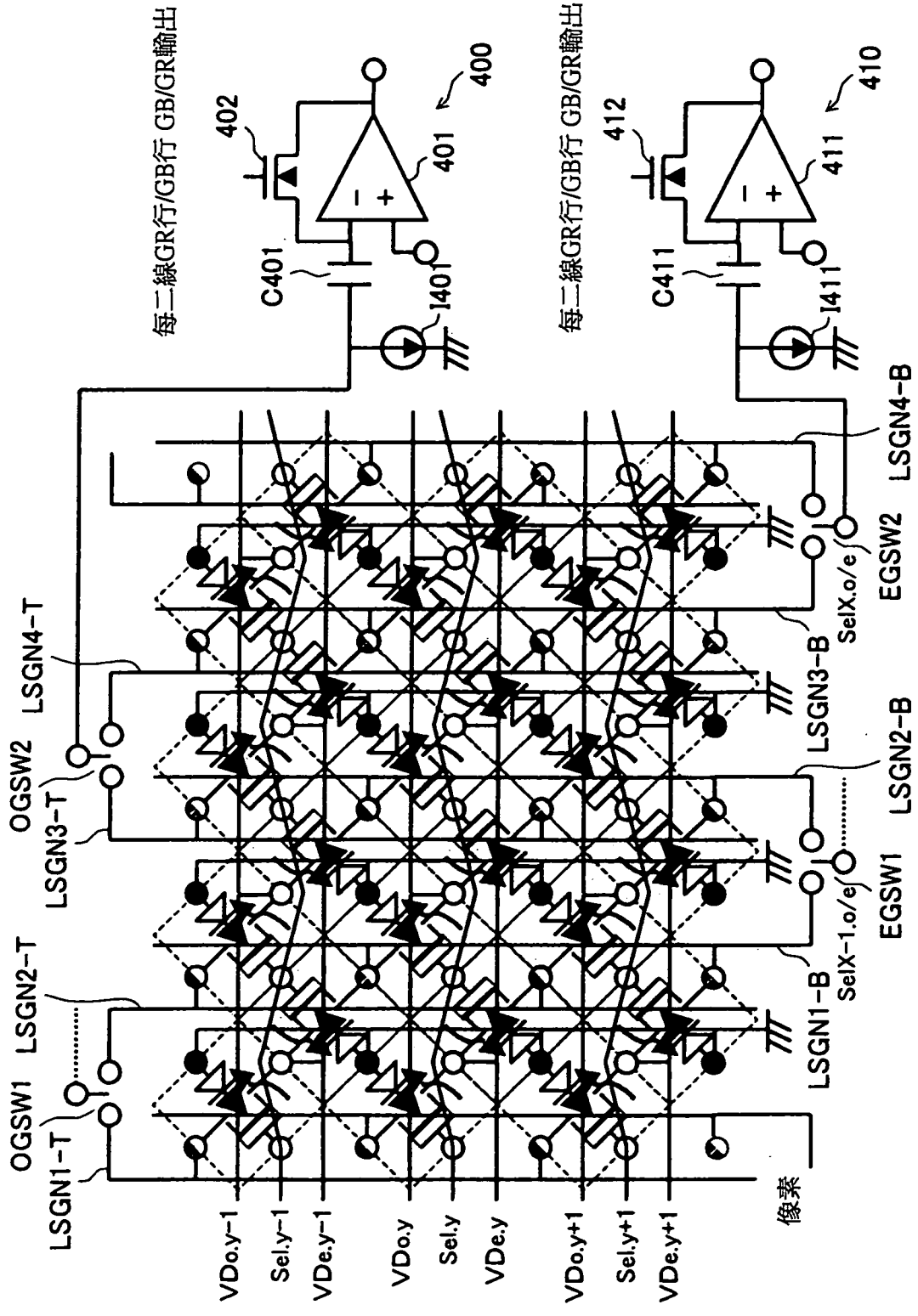


圖 22A

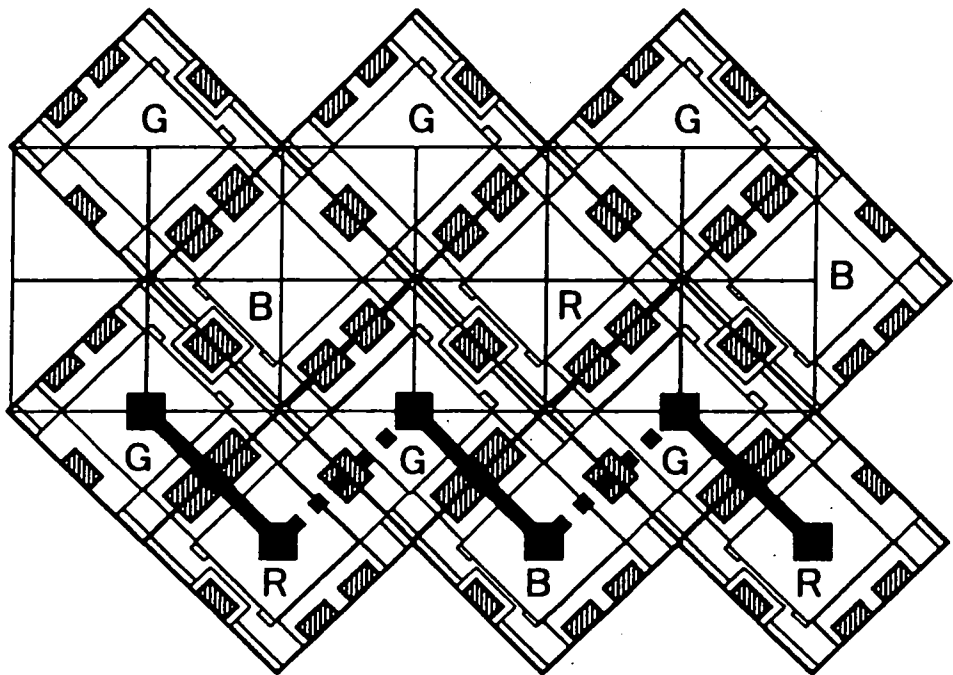


圖 22B

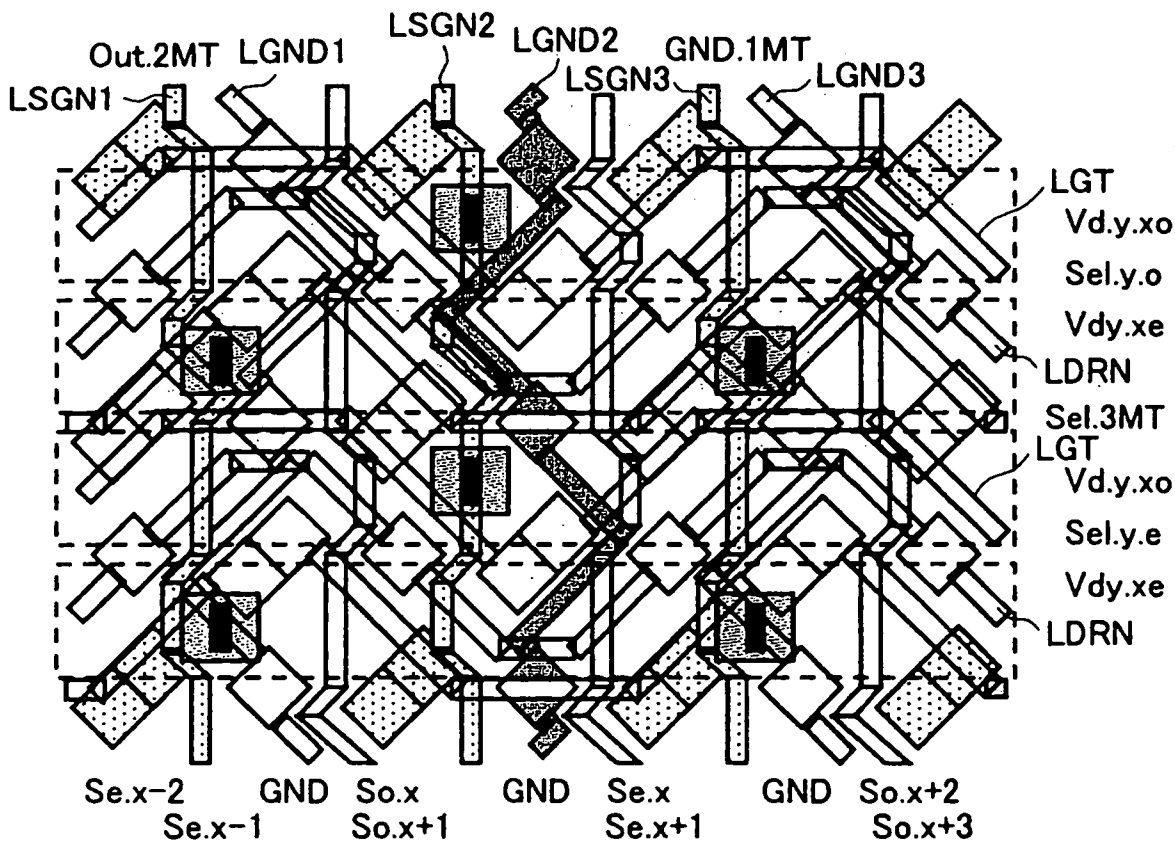


圖23

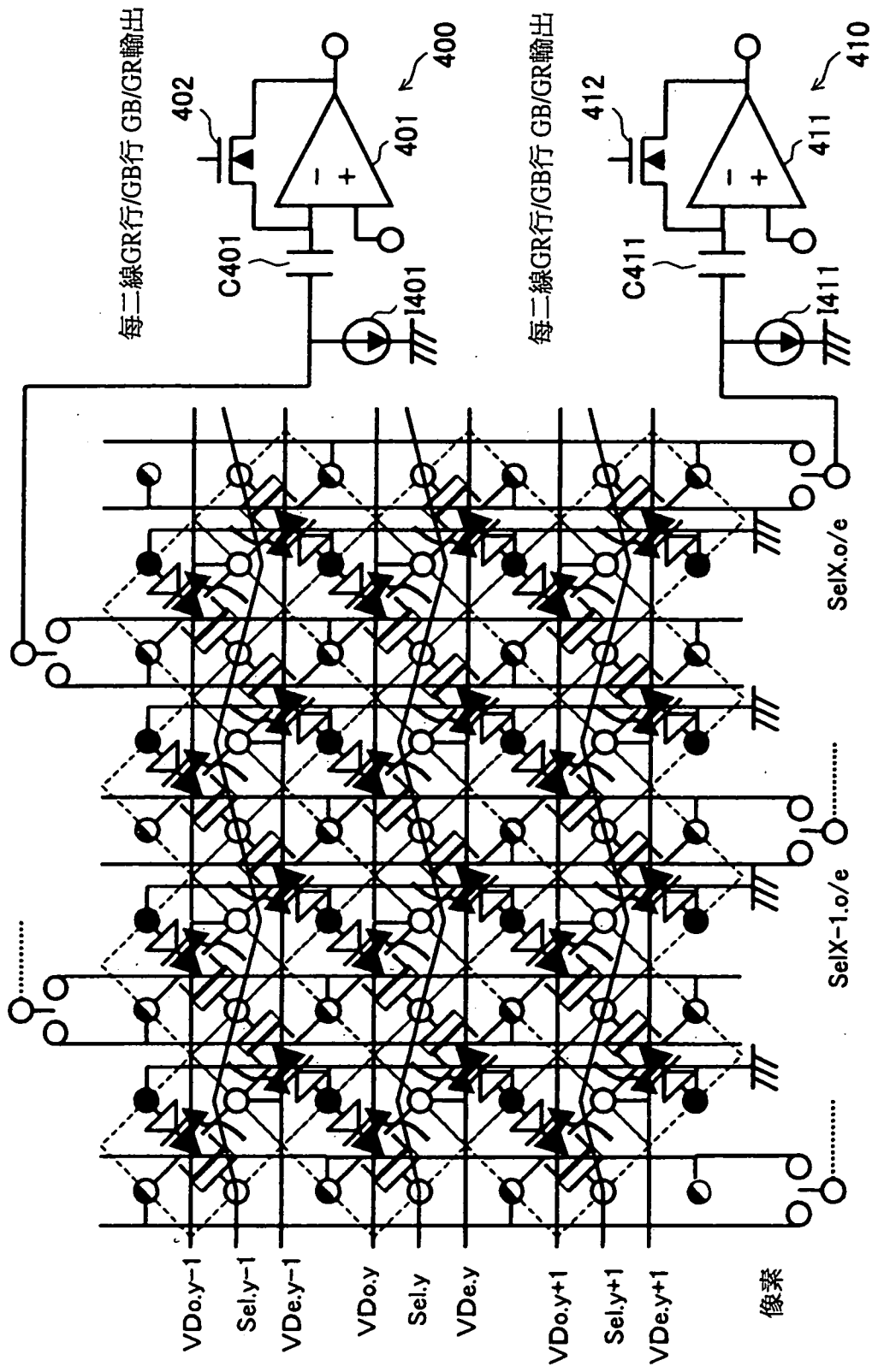


圖 24A

訊號佈線#1

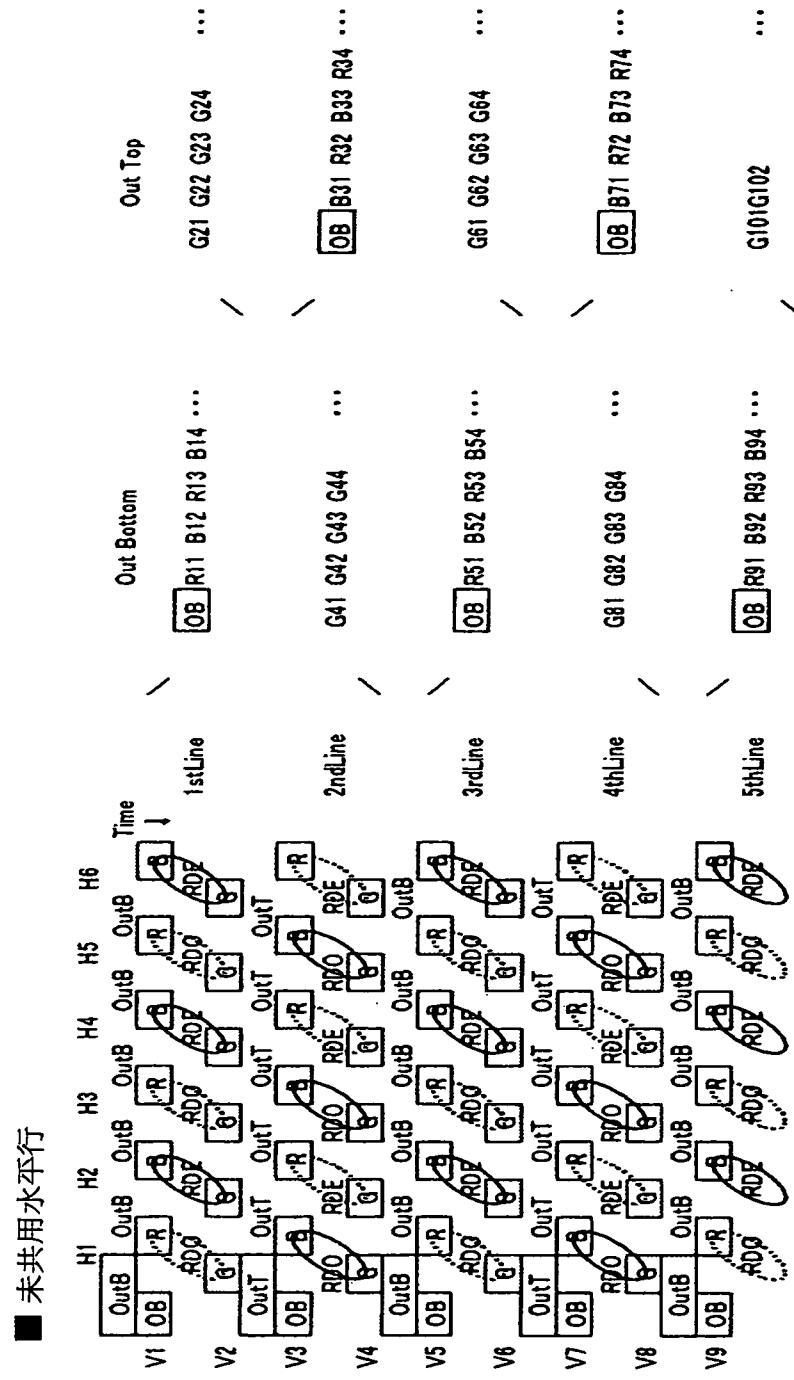


圖 24B

訊號佈線#1

■ 共用水平行

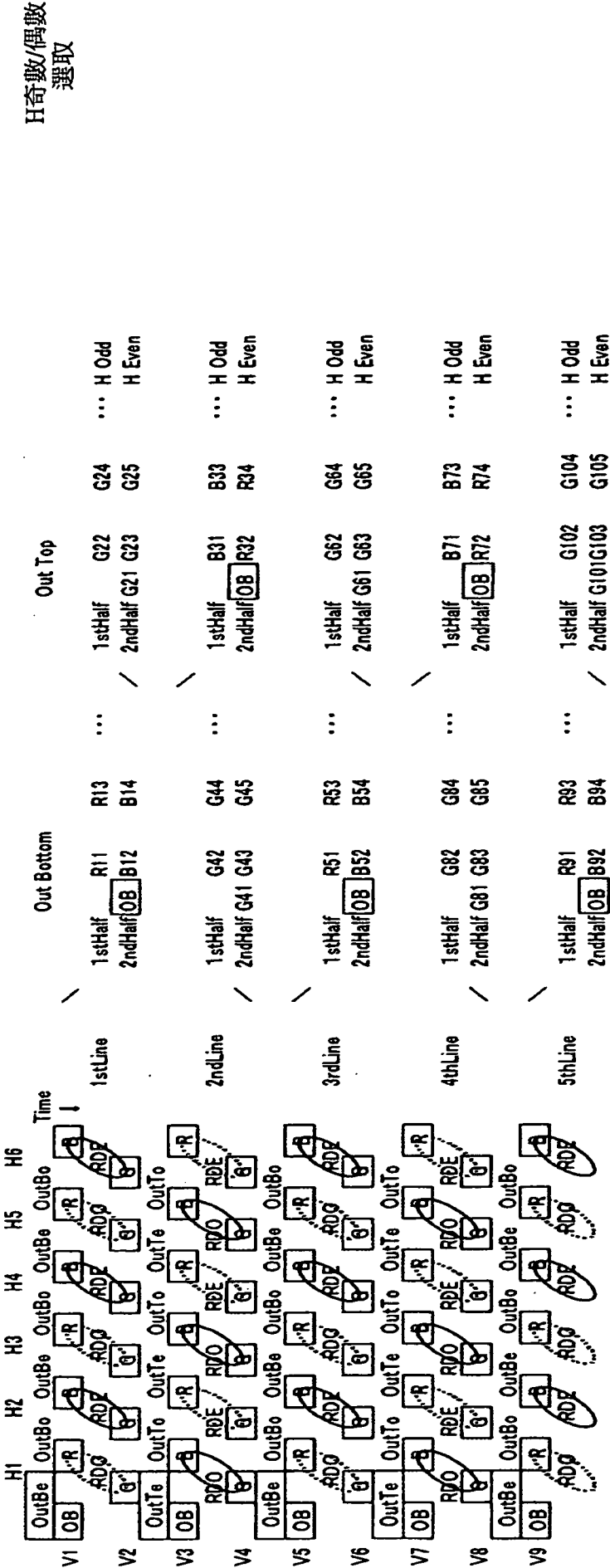




圖 25A

訊號佈線#2

■ 未共用水平行

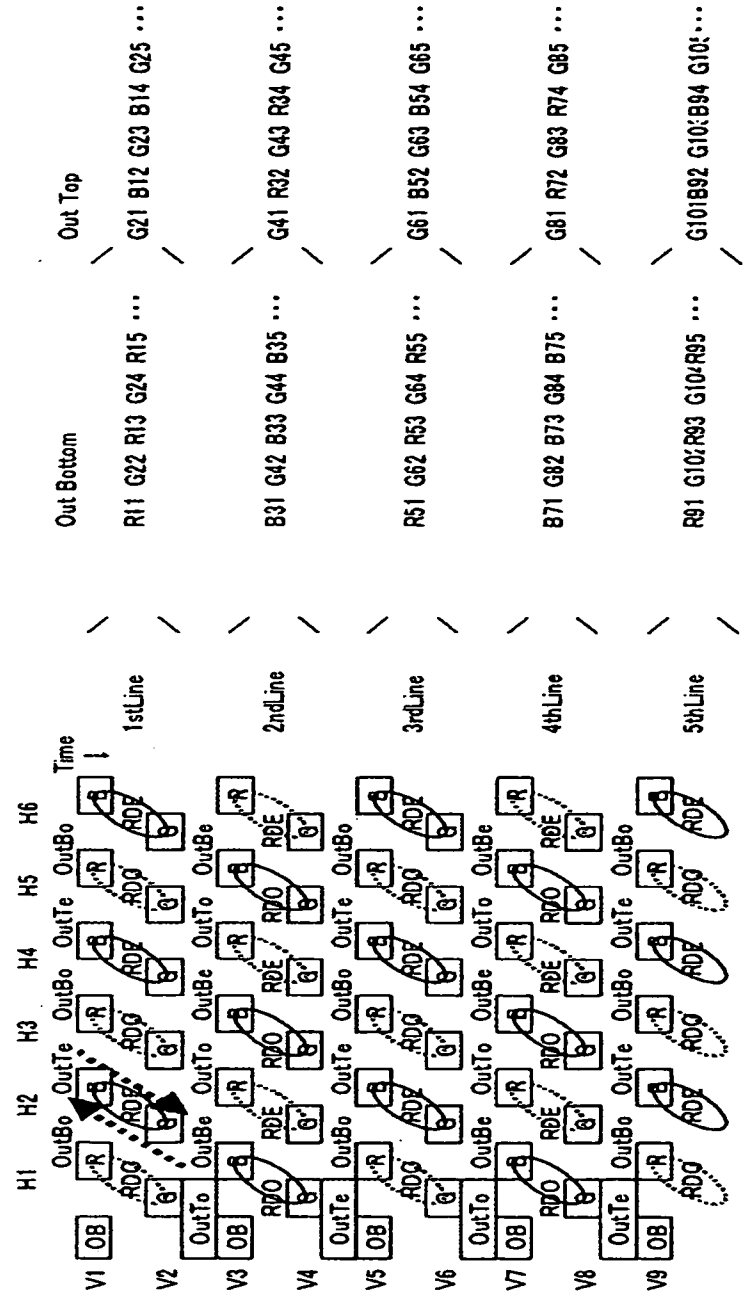


圖 25B

訊號佈線#2

■ 共用水平行

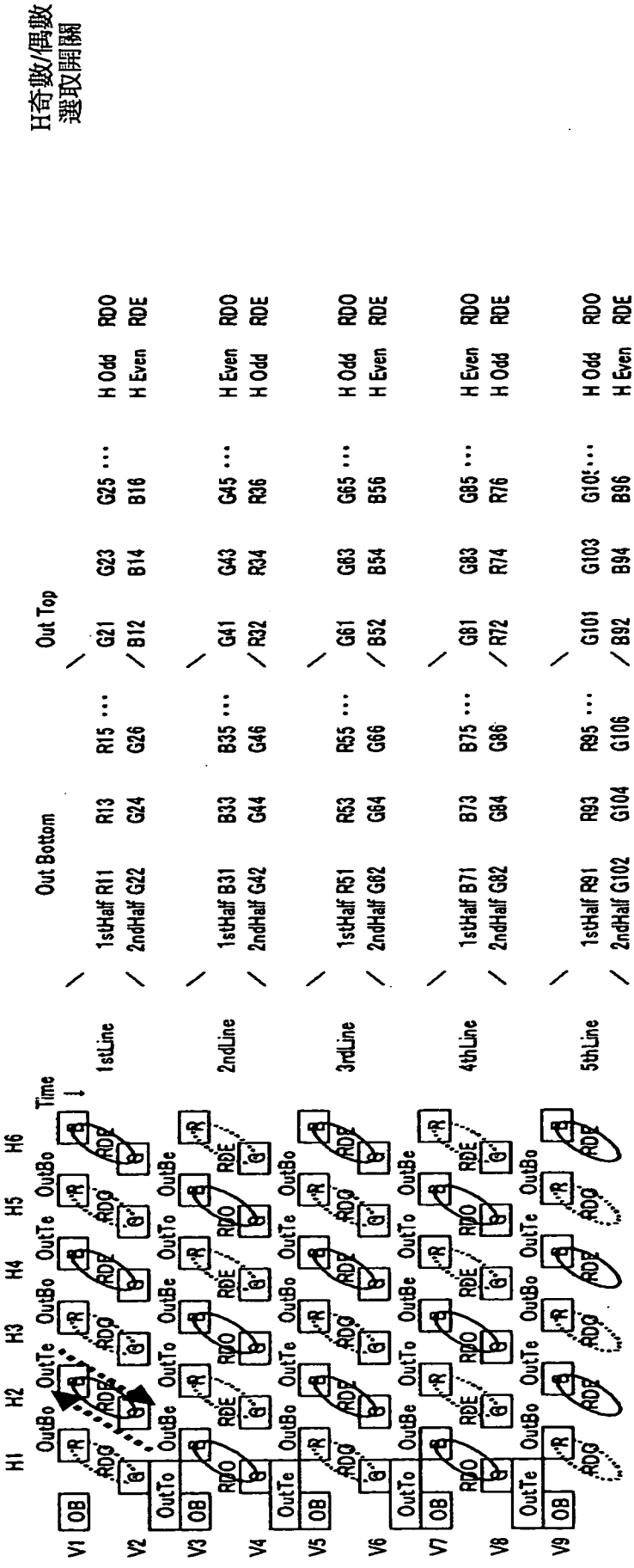
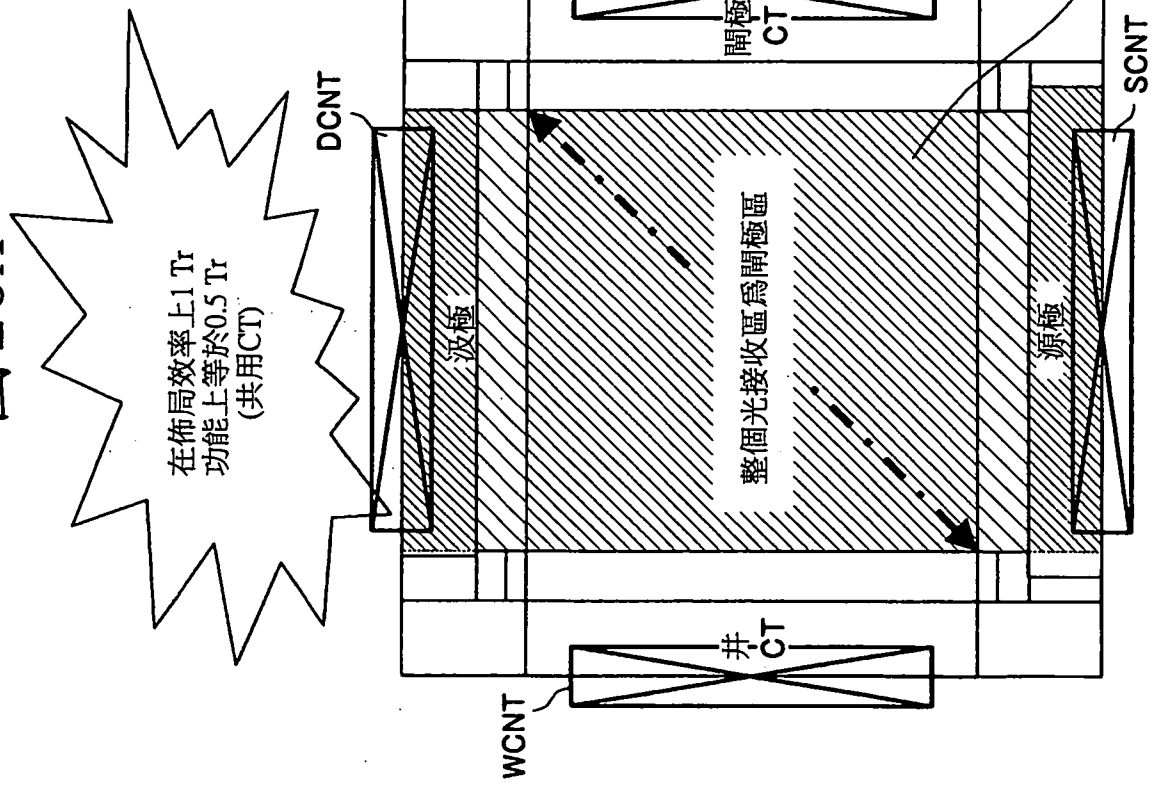
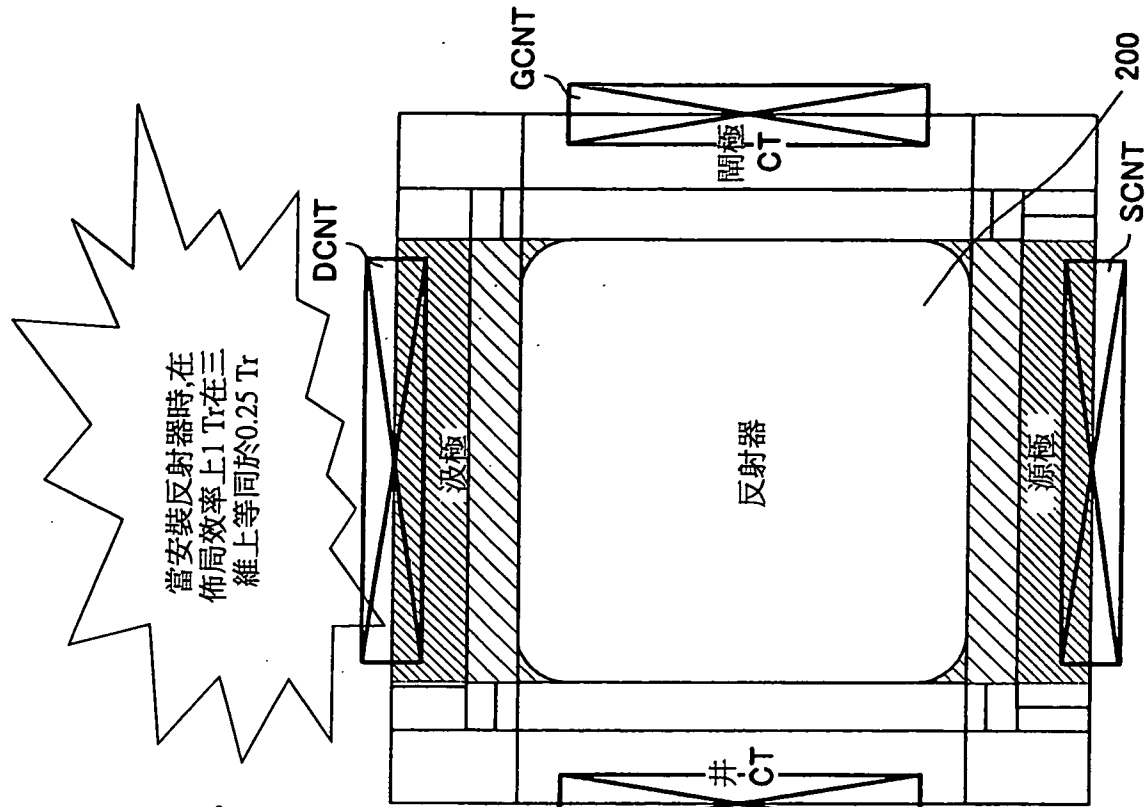


圖 26A



在佈局效率上1 Tr  
功能上等於0.5 Tr  
(共用CT)

圖 26B



當安裝反射器時,在  
佈局效率上1 Tr在三  
維上等同於0.25 Tr

圖27

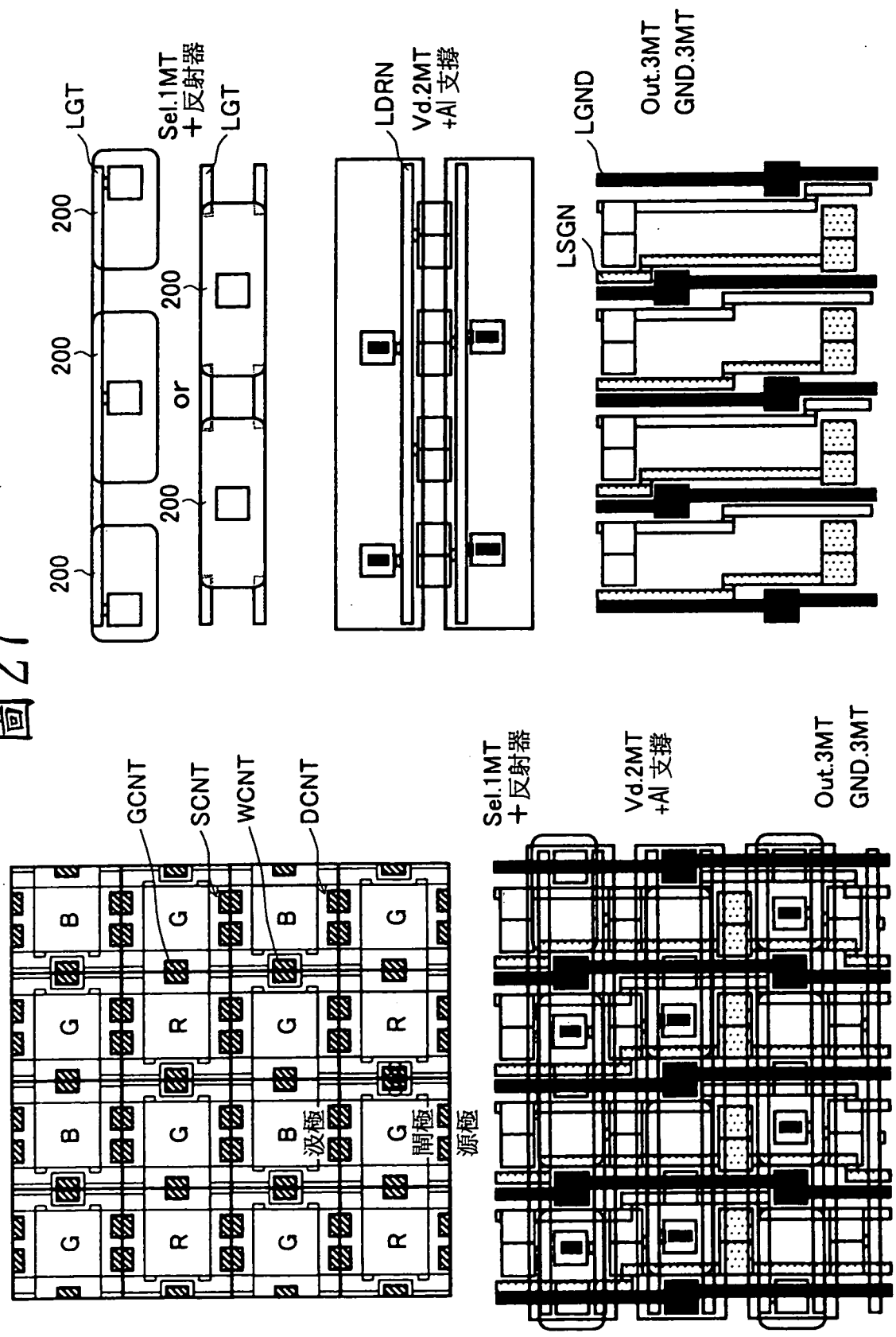


圖28

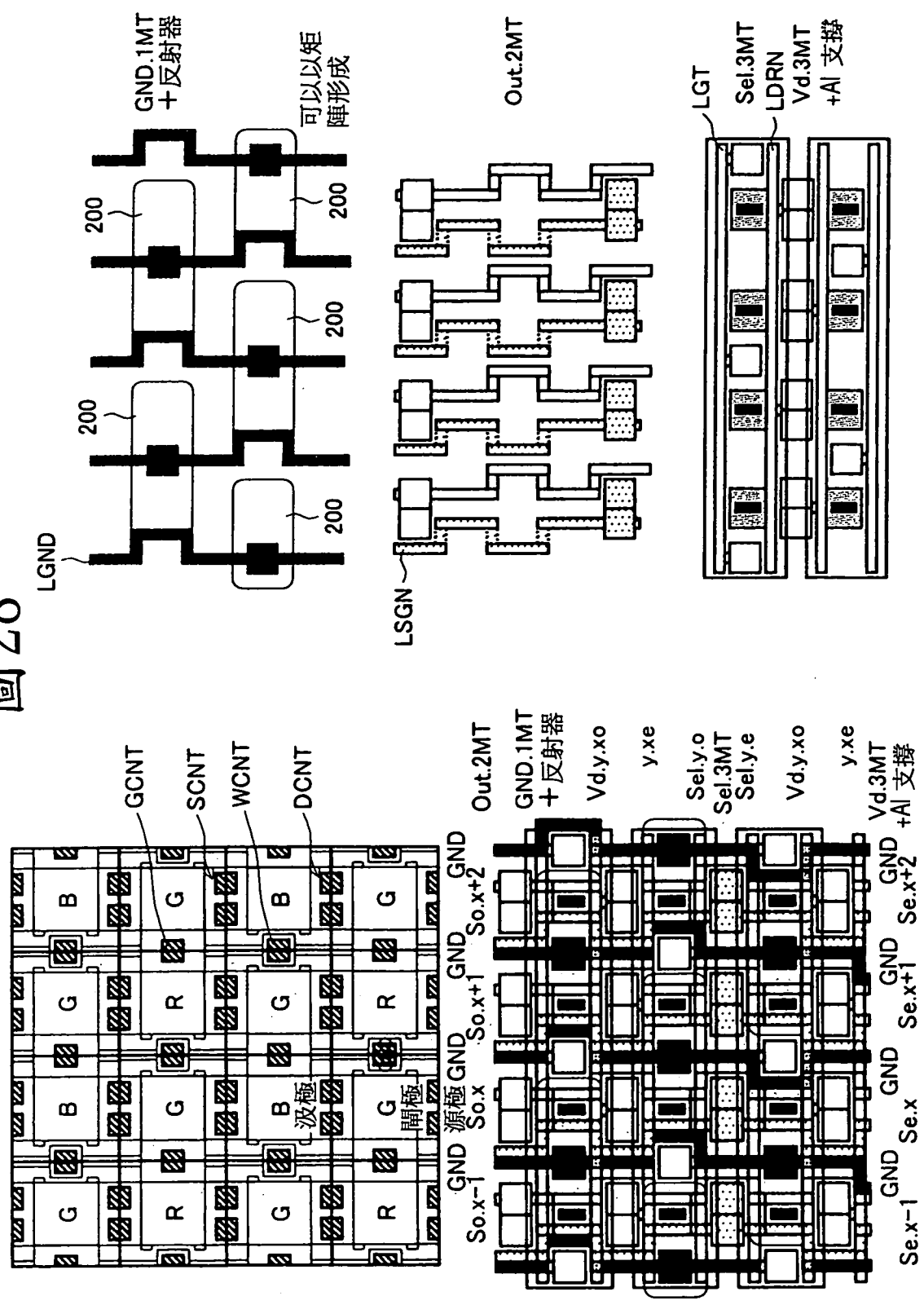


圖29

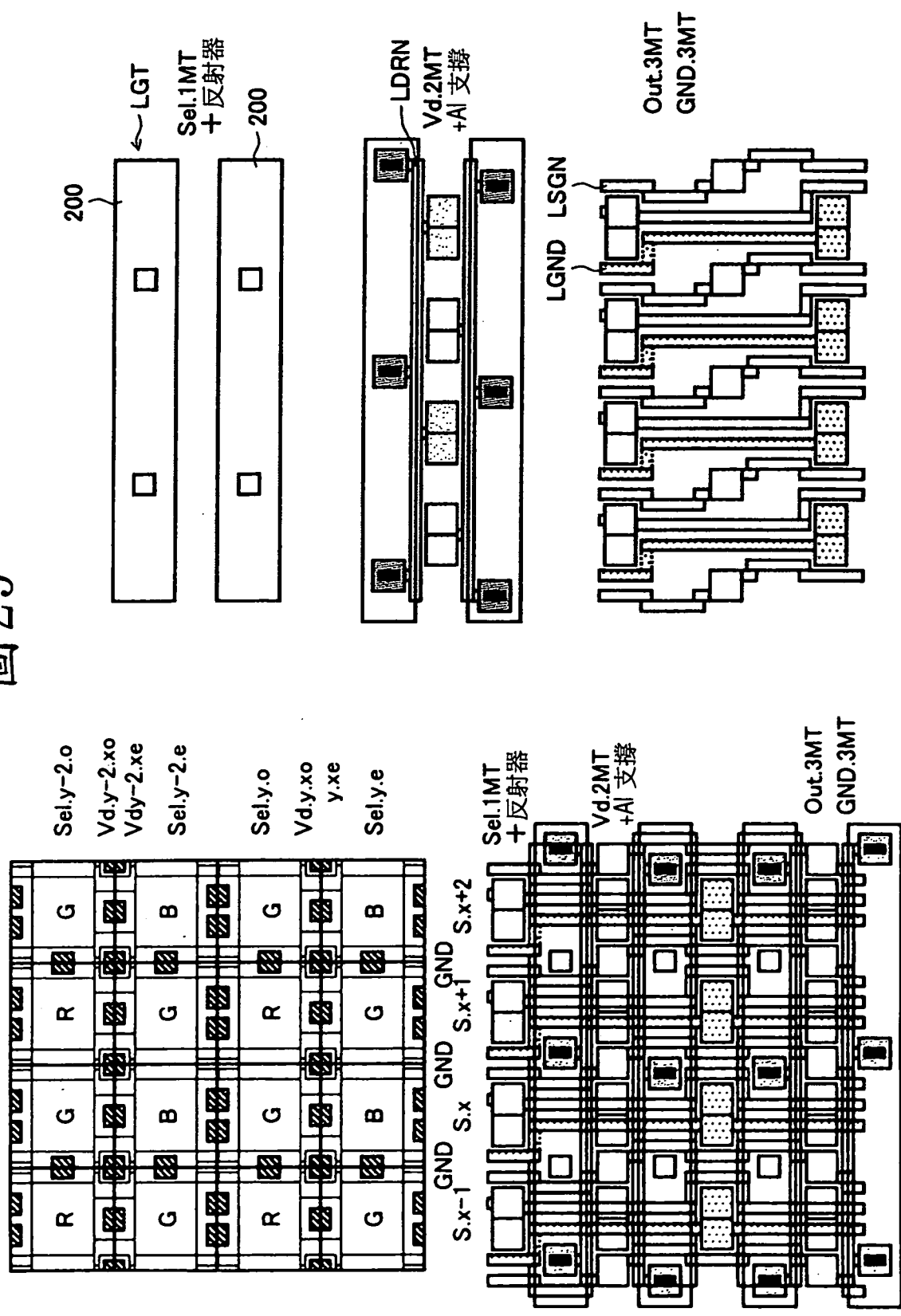


圖 30A

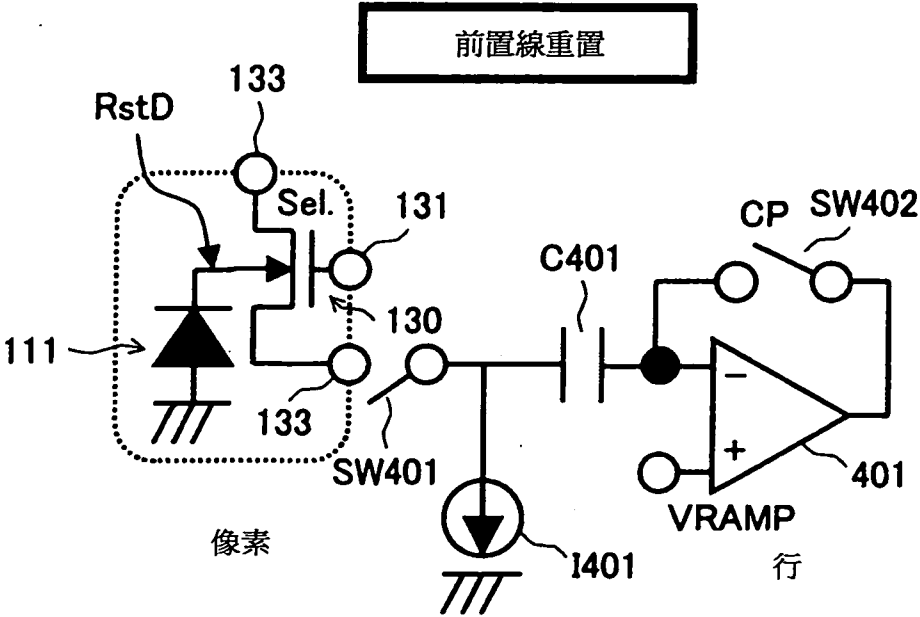
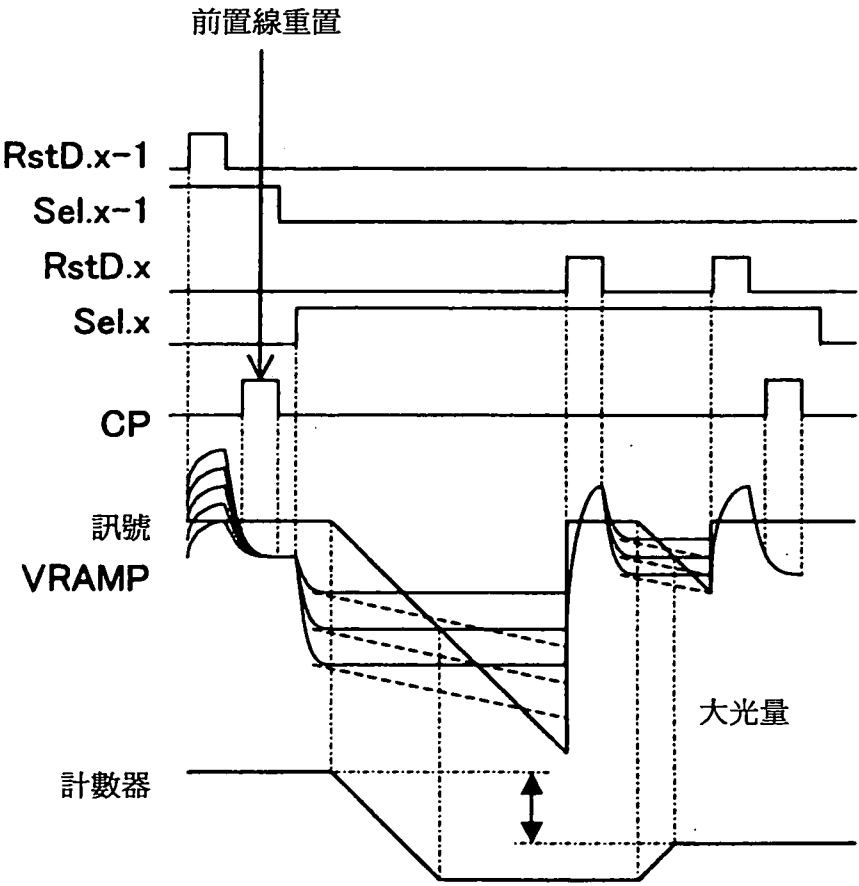


圖 30B



[illegible]

圖 31B

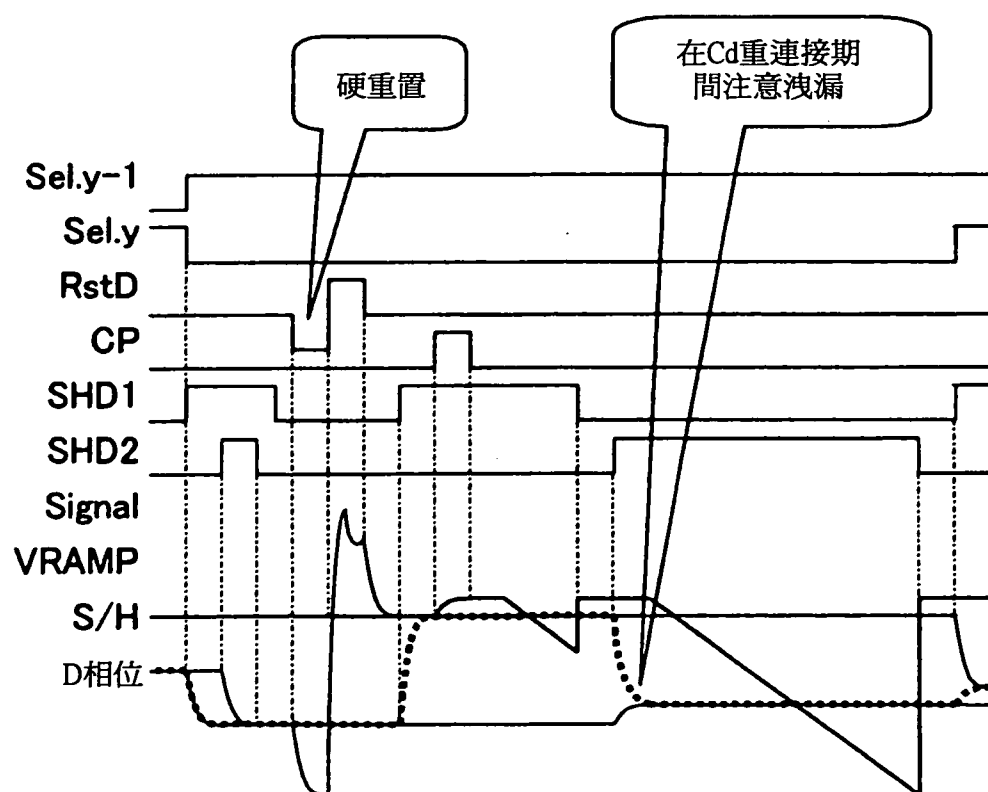




圖 32

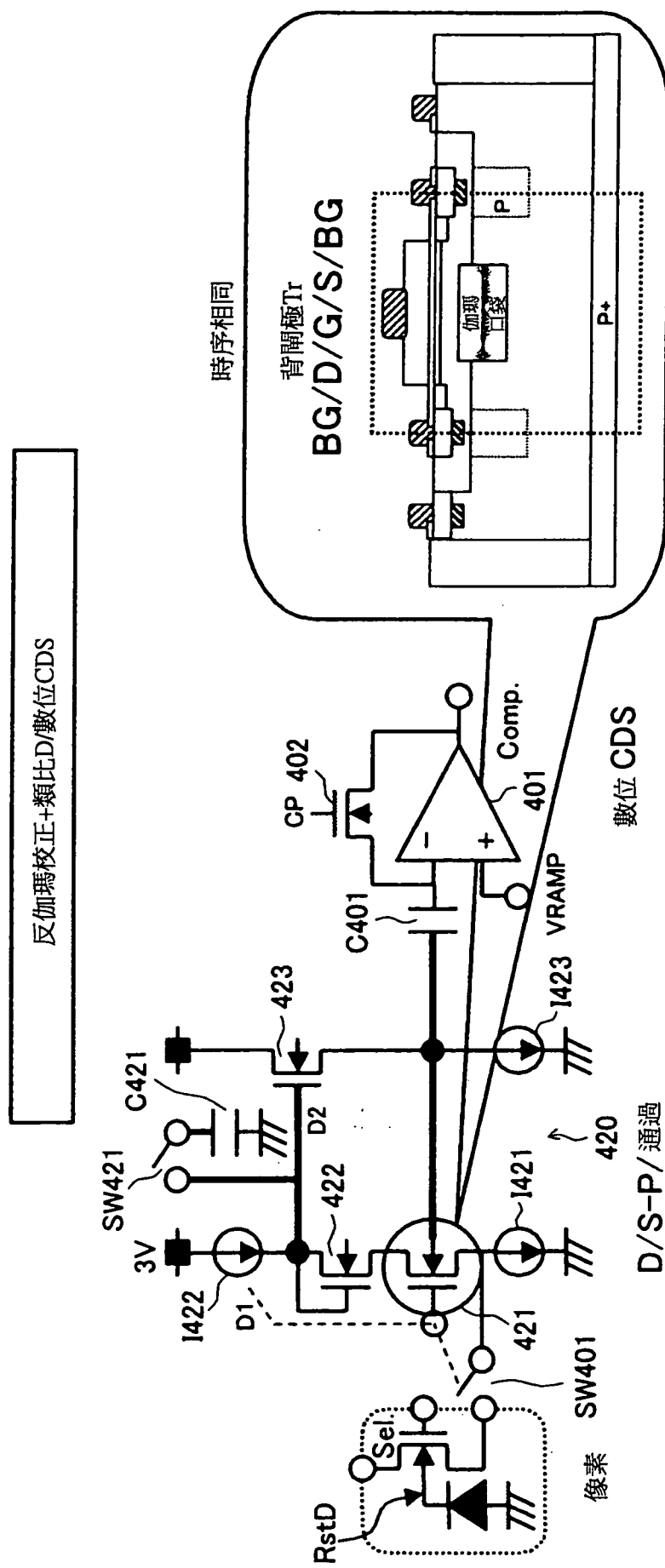
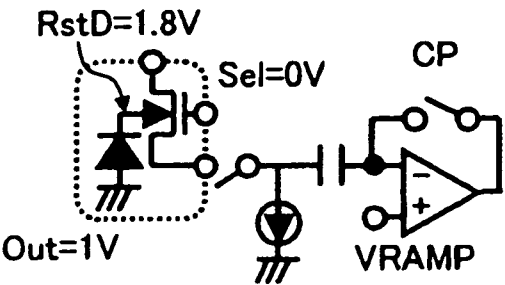


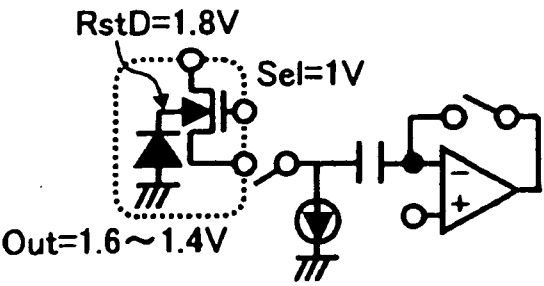
圖 33A

工作電壓

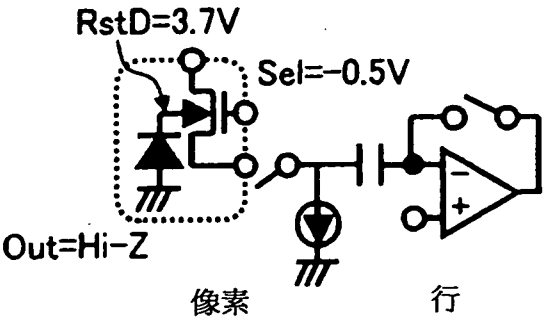
1. 累積像素(非選取像素)



2. 資料讀出



2. 重置



驅動時序

圖 33B

■ 二行共用中的靜態影像序列

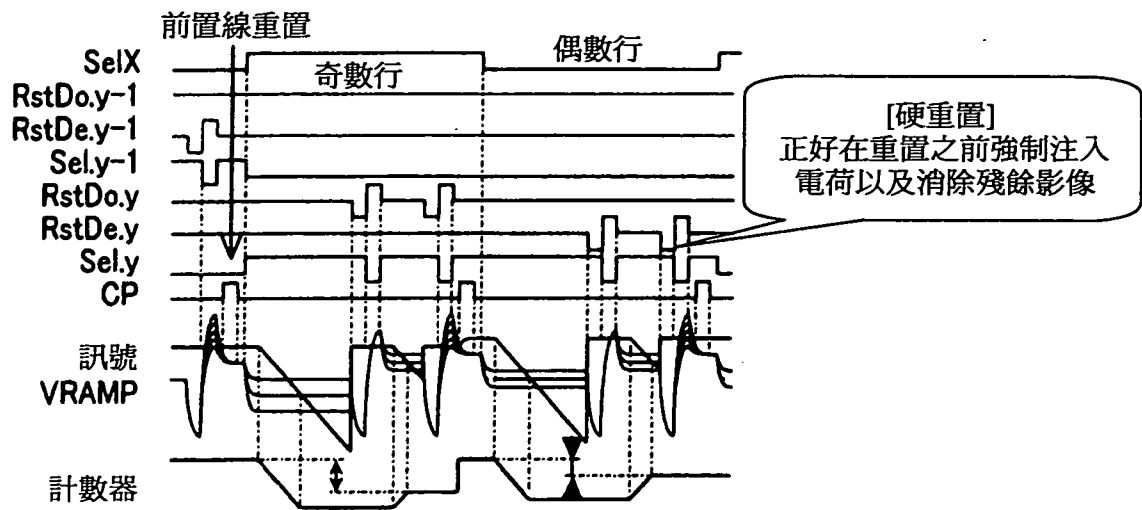


圖 33C

■ 2x2像素相加序列的實施例

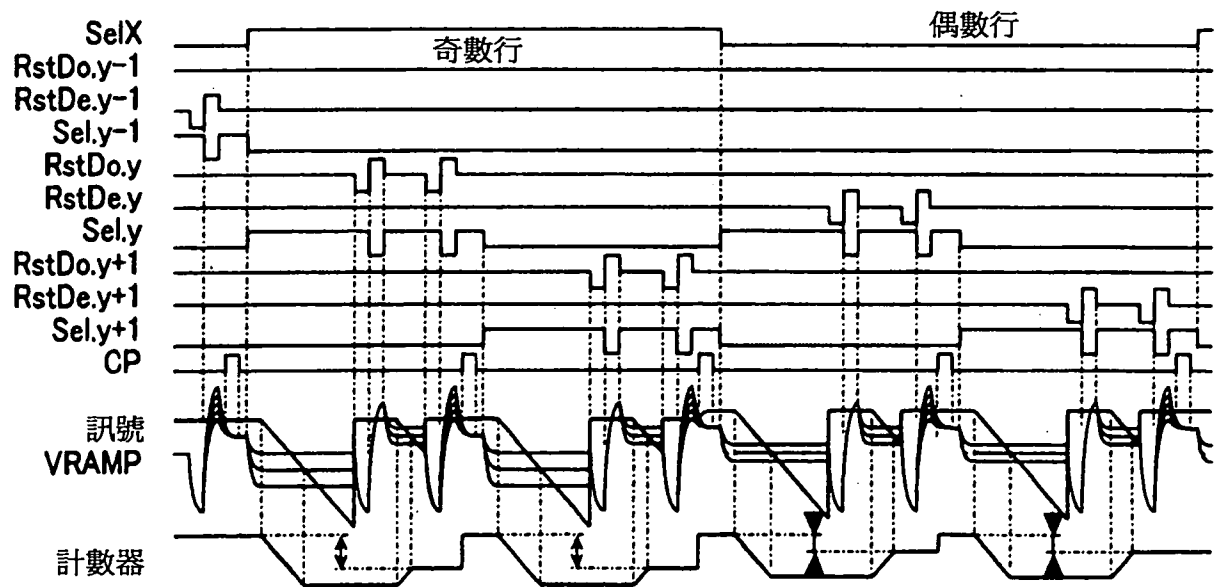


圖34

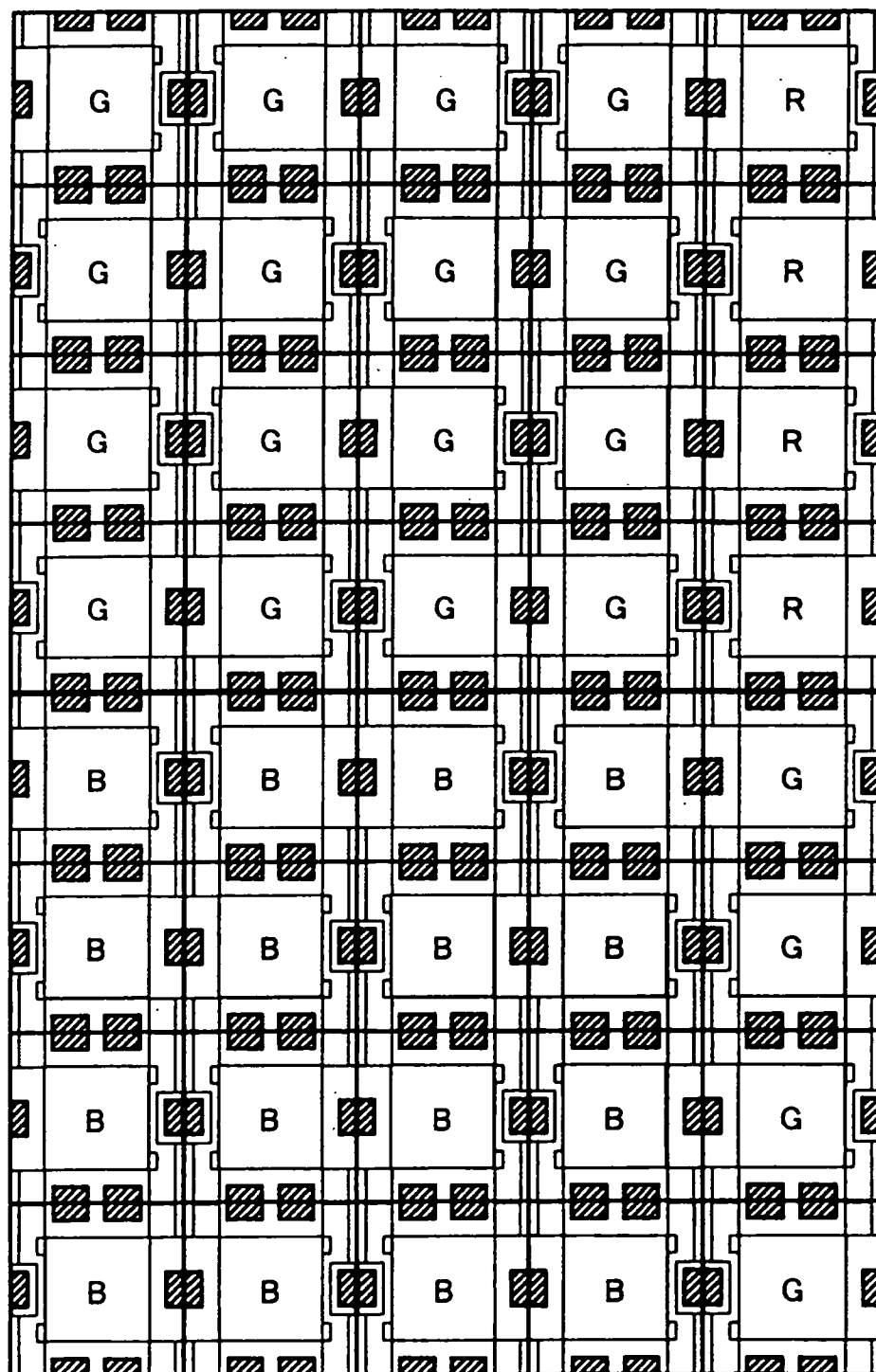


圖 35

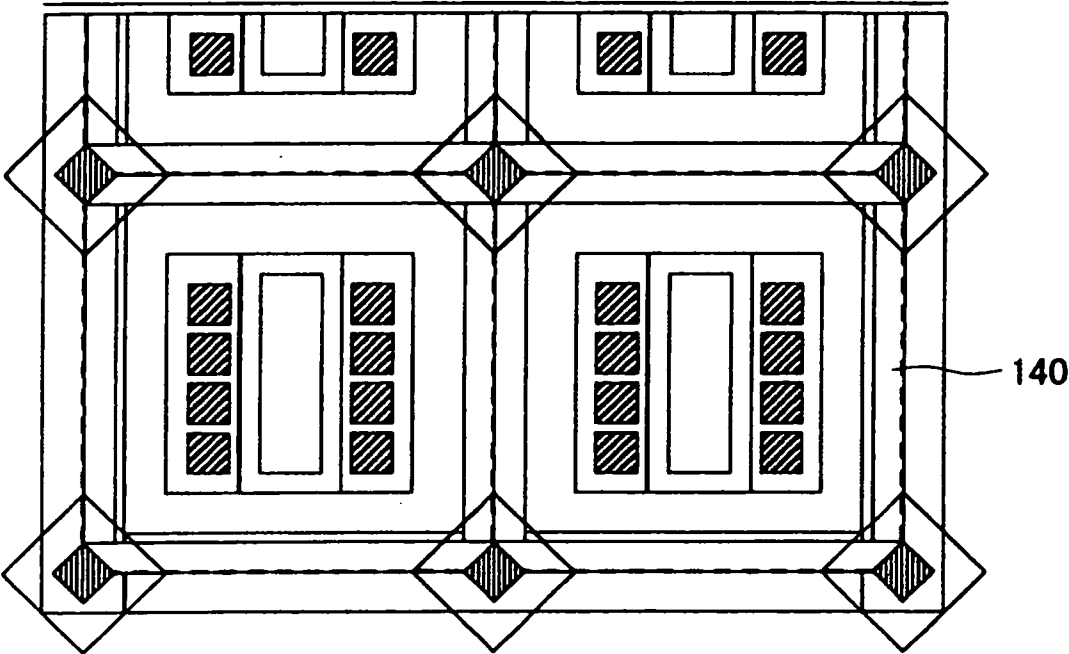


圖 36A

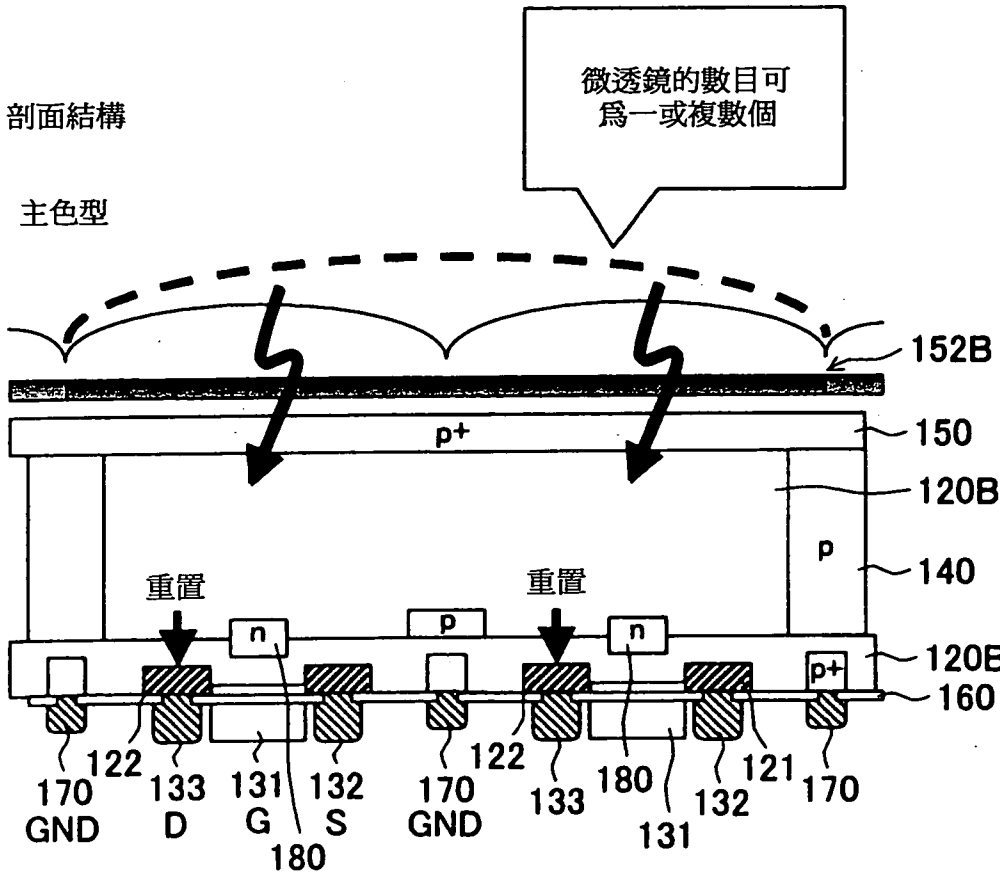


圖 36B

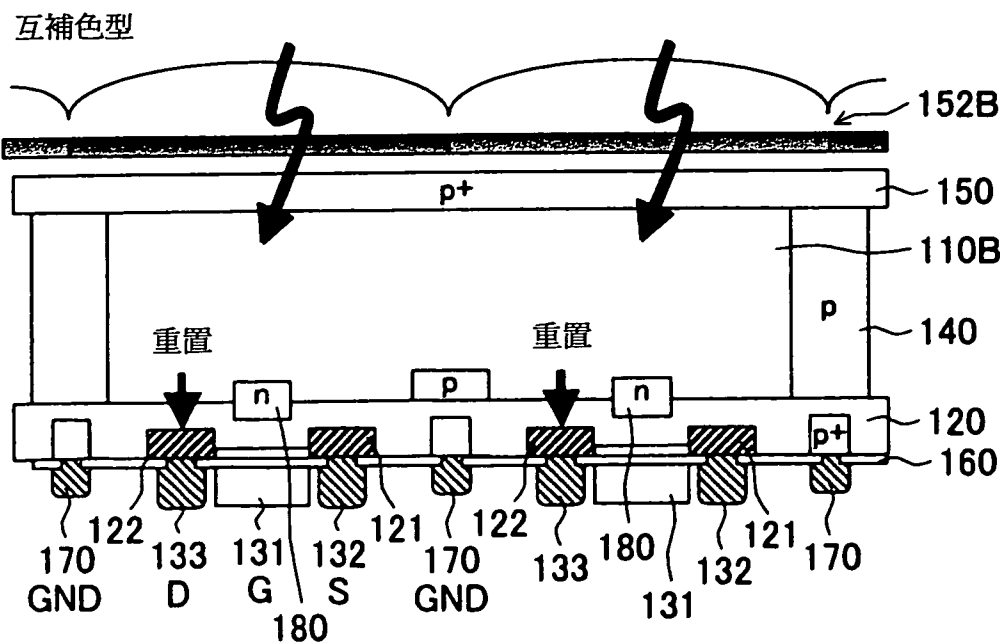


圖 37

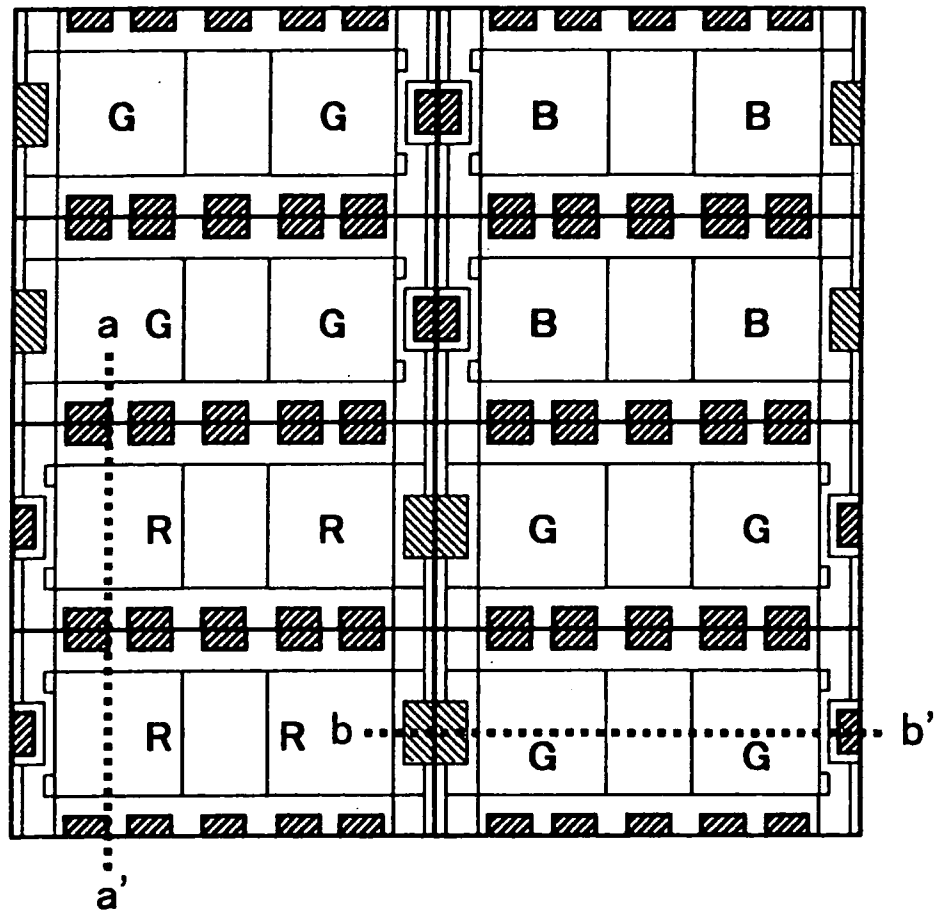


圖 38A

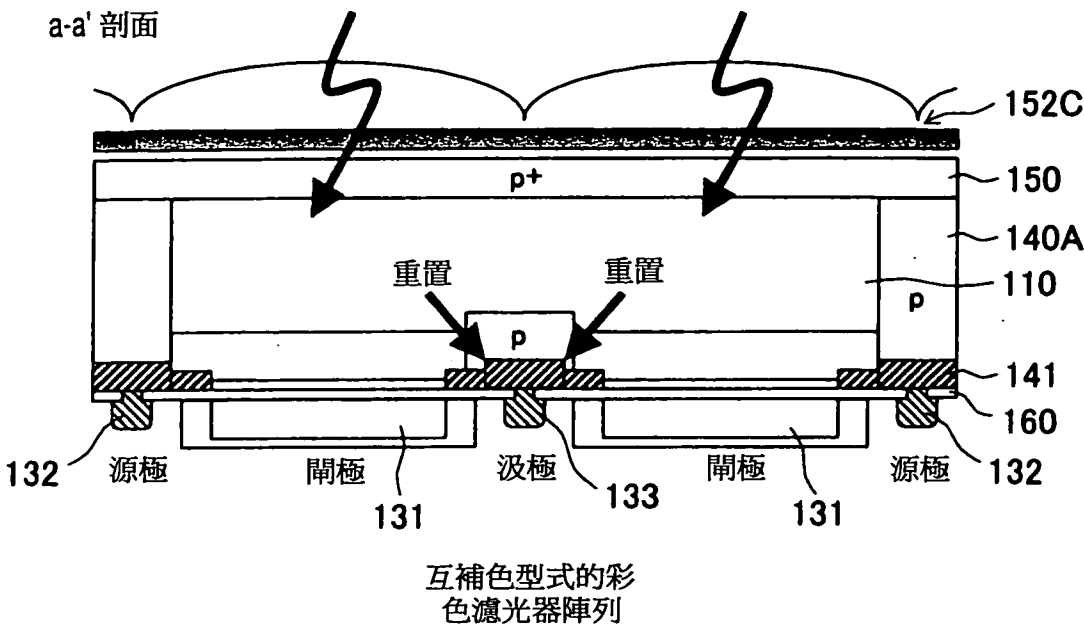


圖 38B

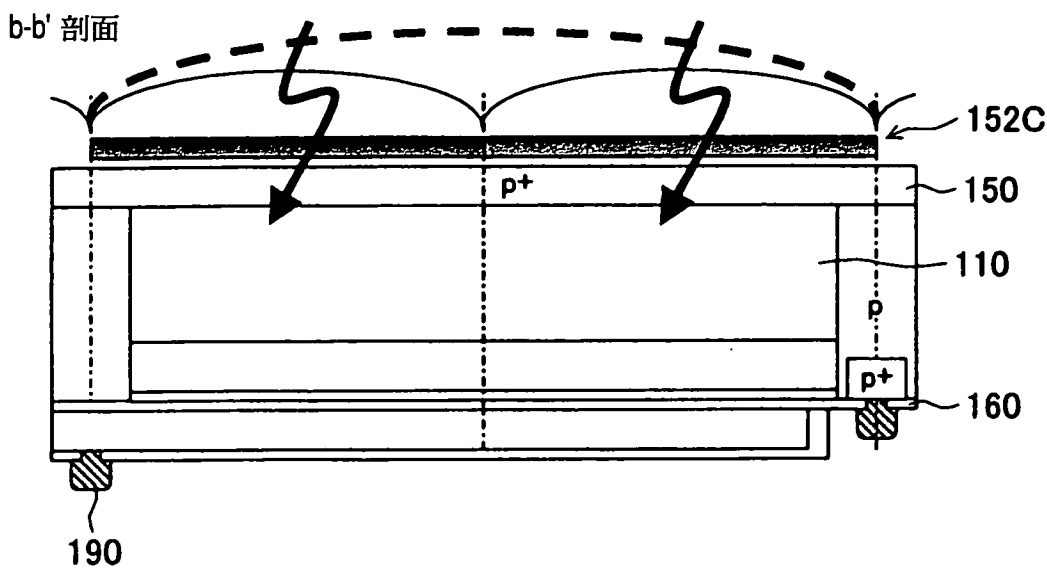




圖39

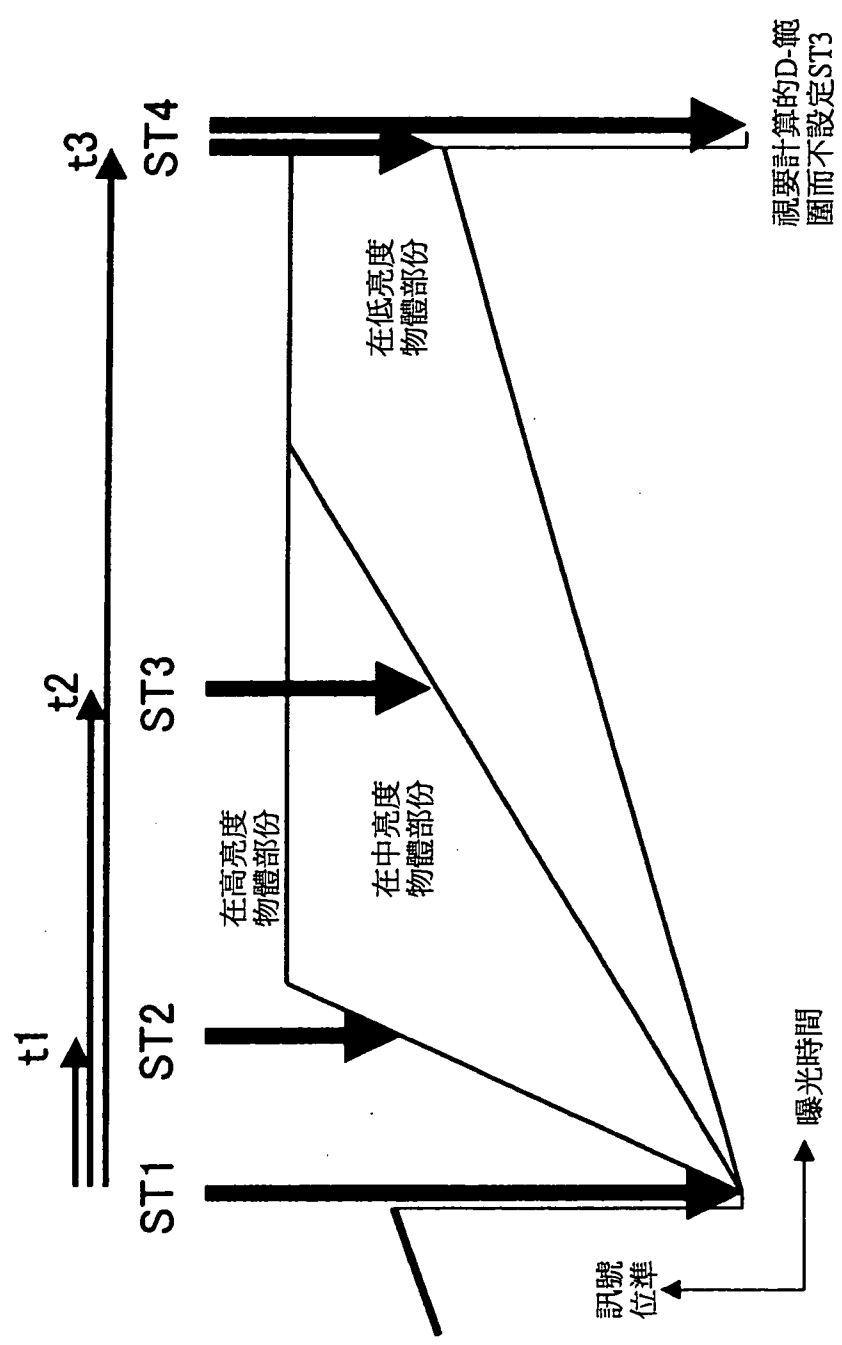


圖40

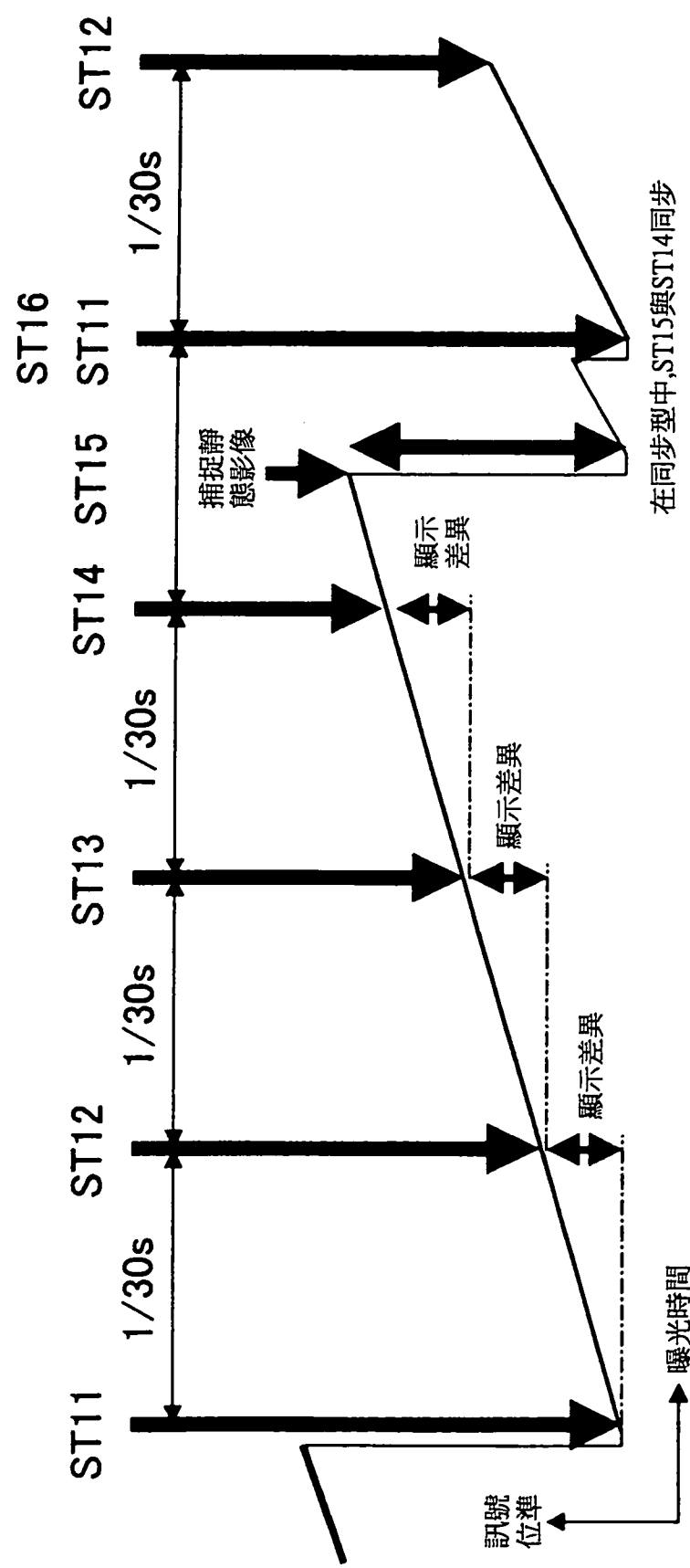


圖 41

500

