



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I618058 B

(45)公告日：中華民國 107 (2018) 年 03 月 11 日

(21)申請案號：103116240

(22)申請日：中華民國 103 (2014) 年 05 月 07 日

(51)Int. Cl. : **G11C11/401 (2006.01)**

(30)優先權：2013/05/16	日本	2013-104320
2013/10/31	日本	2013-227346
2014/02/13	日本	2014-025003

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：加藤清 KATO, KIYOSHI (JP)；大貫達也 ONUKI, TATSUYA (JP)

(74)代理人：林志剛

(56)參考文獻：

US 8378403B2	US 2011/0134683A1
US 2011/0227074A1	US 2012/0032164A1
US 2012/0223306A1	US 2012/0292613A1
US 2012/0294102A1	US 2013/0069132A1

審查人員：蕭明椿

申請專利範圍項數：15 項 圖式數：30 共 109 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

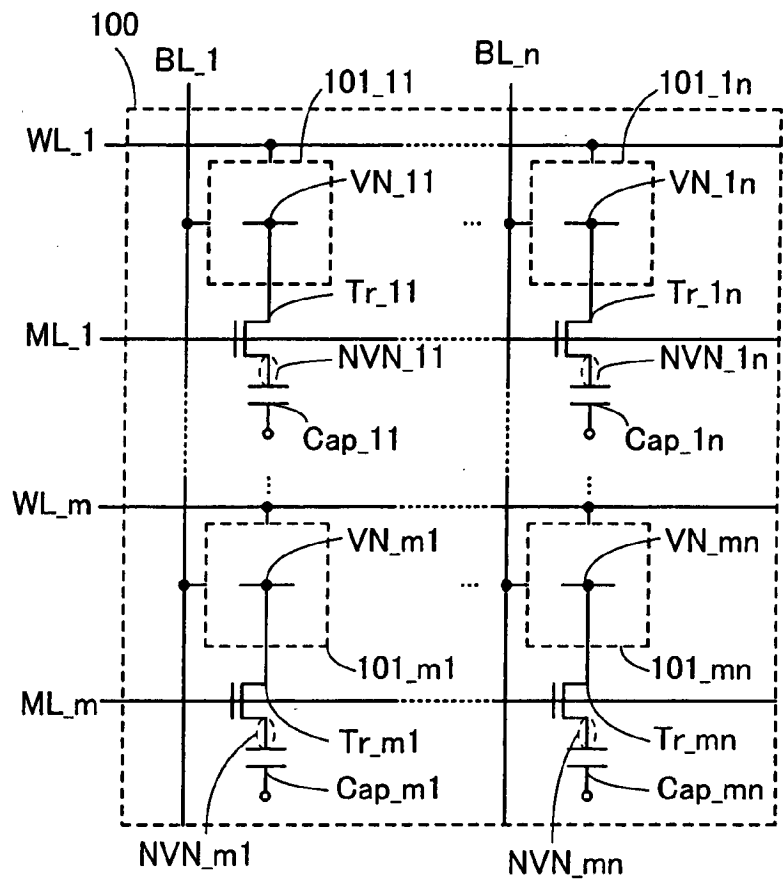
(57)摘要

本發明提供一種具有即使進行元件的微型化也可以確保保持資料時所需要的記憶容量的新穎結構的半導體裝置。構成電容器的電極包括用作電晶體的閘極的電極、用作電晶體的源極及汲極的電極以及設置在與它們相同的層中的電極。將設置有用作電晶體的閘極的電極的層設置在與連接多個記憶體之間的電晶體的閘極的佈線層不同的層中。藉由採用該結構，可以抑制形成在電晶體的閘極附近的寄生電容。因為可以將設置有用作電晶體的閘極的電極的層設置在與連接多個記憶體之間的電晶體的閘極的佈線層不同的層中，所以可以增加電容器的形成面積。

A semiconductor device with a novel structure in which storage capacity needed for holding data can be secured even with miniaturized elements is provided. In the semiconductor device, electrodes of a capacitor are an electrode provided in the same layer as a gate of a transistor and an electrode provided in the same layer as a source and a drain of the transistor. Further, a layer in which the gate of the transistor is provided and a wiring layer connecting the gates of the transistors in a plurality of memories are provided in different layers. With this structure, parasitic capacitance formed around the gate of the transistor can be reduced, and the capacitor can be formed in a larger area.

指定代表圖：

圖 1A



符號簡單說明：

100 . . . 記憶單元

101_11、101_1n、
101_m1、
101_mn . . . 記憶體
電路

BL_1、BL_n . . .
位元線

Cap_11、Cap_1n、
Cap_m1、
Cap_mn . . . 電容器

ML_1、ML_m . . .
資料控制線

NVN_11、NVN_1n、
NVN_m1、
NVN_mn . . . 非揮
發性記憶體部

Tr_11、Tr_1n、
Tr_m1、Tr_mn . . .
電晶體

VN_11、VN_1n、
VN_m1、
VN_mn . . . 揮發性
記憶體部

WL_1、WL_m . . .
字線

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【技術領域】

[0001] 本發明係關於一種物體、方法或製造方法。或者，本發明係關於一種製程 (process)、機器 (machine)、產品 (manufacture) 或組合物 (composition of matter)。尤其是，本發明係關於一種半導體裝置、顯示裝置、發光裝置、蓄電裝置、記憶體裝置、其驅動方法或其製造方法。尤其是，本發明係關於一種半導體裝置。

【先前技術】

[0002] 包括將矽 (Si) 用於半導體層的電晶體與將氧化物半導體 (Oxide Semiconductor : OS) 用於半導體層的電晶體來實現資料的保持的半導體裝置備受注目 (參照專利文獻 1 及專利文獻 2)。

[0003] 近年來，隨著使用資料量的增大，需要具有更大記憶容量的半導體裝置。為了增大每單位面積的記憶容量，實現構成半導體裝置的電晶體和電容器的微型化是有效的。

[0004]

[專利文獻 1]日本專利申請公開第 2013-008437 號公報

[專利文獻 2]日本專利申請公開第 2013-008436 號公報

[0005] 但是，當使構成半導體裝置的元件微型化時，電容器的面積也減小，因此用來保持資料的記憶容量變小。由於該記憶容量的降低而不能忽視與電容器連接的電晶體的寄生電容，因此難以進行資料的保持及/或備份與恢復資料。

【發明內容】

[0006] 鑒於上述課題，本發明的一個方式的目的之一是提供一種具有新穎結構的半導體裝置，該半導體裝置在利用電晶體的關態電流（off-state current）極小的性質進行電容器中的電荷保持來保持資料的結構中，在進行元件的微型化時也可以確保資料的保持時所需要的記憶容量。或者，本發明的一個方式的目的之一是提供一種具有新穎結構的半導體裝置，該半導體裝置可以增大電晶體的通態電流而不使半導體裝置的製程、構成電路的佈線或半導體裝置的工作複雜化。或者，本發明的一個方式的目的之一是提供一種新穎半導體裝置等。

[0007] 注意，上述目的的記載不妨礙其他課題的存在。此外，本發明的一個方式並不需要實現所有上述目的。另外，從說明書、圖式、申請專利範圍等的記載這些

目的以外的目的是顯然的，而可以從說明書、圖式、申請專利範圍等的記載中抽出這些以外的目的。

[0008] 本發明的一個方式是一種具有多個記憶體的半導體裝置，該記憶體包括具有第一資料保持部的揮發性記憶體以及具有第二資料保持部的非揮發性記憶體，第二資料保持部包括第一電晶體及第一電容器，第一電晶體的源極和汲極中的一者與第一資料保持部電連接，第一電晶體的源極和汲極中的另一者與第一電容器的一個電極電連接，第一電容器的一個電極是設置在與用作第一電晶體的源極和汲極的電極相同的層中的電極，第一電容器的另一個電極是設置在用作第一電晶體的閘極的電極相同的層中的電極，並且設置在多個記憶體之間並電連接第一電晶體的閘極的佈線是設置在與第一電容器的另一個電極不同的層中的佈線。

[0009] 在本發明的一個方式的半導體裝置中，較佳為第二資料保持部藉由使第一電晶體處於非導通狀態，在第一電晶體的源極和汲極中的另一者與第一電容器的一個電極之間保持電荷來進行儲存在第一資料保持部的資料的保持。

[0010] 在本發明的一個方式的半導體裝置中，第一電晶體中的半導體層較佳為氧化物半導體。

[0011] 在本發明的一個方式的半導體裝置中，第一電晶體較佳為具有頂閘極結構。

[0012] 在本發明的一個方式的半導體裝置中，較佳

為第一資料保持部是使用半導體層為矽的第二電晶體構成的電路。

[0013] 在本發明的一個方式的半導體裝置中，較佳為在第二電晶體上層疊有第一電晶體。

[0014] 在本發明的一個方式的半導體裝置中，較佳為在設置有第一電晶體的層與設置有第二電晶體的層之間設置有電連接第一電晶體及第二電晶體的佈線層。

[0015] 本發明的一個方式是一種具有多個記憶體的半導體裝置，該記憶體包括具有第一資料保持部及第二資料保持部的揮發性記憶體、具有第三資料保持部及第四資料保持部的非揮發性記憶體，第三資料保持部具有第一電晶體及第一電容器，第四資料保持部具有第二電晶體及第二電容器，第一電晶體的源極和汲極中的一方與第一資料保持部電連接，第一電晶體的源極和汲極中的另一方與第一電容器的一個電極電連接，第二電晶體的源極和汲極中的一方與第二資料保持部電連接，第二電晶體的源極和汲極中的另一方與第二電容器的一個電極電連接，第一電容器的一個電極是設置在與用作第一電晶體的源極及汲極的電極相同的層中的電極，第一電容器的另一個電極及第二電容器的另一個電極是設置在與用作第一電晶體的閘極的電極及用作第二電晶體的閘極的電極相同的層的電極，並且電連接第一電晶體的閘極和第二電晶體的閘極的佈線是設置在與第一電容器的另一個電極及第二電容器的另一個電極不同的層中的佈線。

[0016] 本發明的一個方式是一種具有多個記憶體的半導體裝置，該記憶體包括具有第一資料保持部及第二資料保持部的揮發性記憶體、具有第三資料保持部及第四資料保持部的非揮發性記憶體，第三資料保持部具有第一電晶體及第一電容器，第四資料保持部具有第二電晶體及第二電容器，第一電晶體的源極和汲極中的一方與第一資料保持部電連接，第一電晶體的源極和汲極中的另一方與第一電容器的一個電極電連接，第二電晶體的源極和汲極中的一方與第二資料保持部電連接，第二電晶體的源極和汲極中的另一方與第二電容器的一個電極電連接，第一電容器的一個電極是設置在與用作第一電晶體的源極及汲極的電極相同的層中的電極，第一電容器的另一個電極及第二電容器的另一個電極是設置在與用作第一電晶體的閘極的電極及用作第二電晶體的閘極的電極相同的層的電極，電連接第一電晶體的閘極和第二電晶體的閘極的佈線是設置在與第一電容器的另一個電極及第二電容器的另一個電極不同的層中的佈線，並且第一電晶體及第二電晶體的半導體層中的通道形成區與供應高電源電位的佈線重疊地設置。

[0017] 在本發明的一個方式的半導體裝置中，第三資料保持部藉由使第一電晶體處於非導通狀態，在第一電晶體的源極和汲極中的另一方與第一電容器的一個電極之間保持電荷來進行儲存在第一資料保持部的資料的保持，第四資料保持部藉由使第二電晶體處於非導通狀態，在第

二電晶體的源極和汲極中的另一方與第二電容器的一個電極之間保持電荷來進行儲存在第二資料保持部的資料的保持。

[0018] 在本發明的一個方式的半導體裝置中，較佳為第一電晶體及第二電晶體的半導體層是氧化物半導體。

[0019] 在本發明的一個方式的半導體裝置中，較佳為第一電晶體及第二電晶體具有頂閘極結構。

[0020] 在本發明的一個方式的半導體裝置中，較佳為第一資料保持部及第二資料保持部是使用半導體層為矽的第三電晶體構成的電路。

[0021] 在本發明的一個方式的半導體裝置中，較佳為在第三電晶體上層疊有第一電晶體及第二電晶體。

[0022] 在本發明的一個方式的半導體裝置中，較佳為在設置有第一電晶體及第二電晶體的層與設置有第三電晶體的層之間設置有電連接第一電晶體、第二電晶體及第三電晶體的佈線層。

[0023] 根據本發明的一個方式，可以提供一種具有新穎結構的半導體裝置，該半導體裝置在利用電晶體的截止狀態電流極小的性質進行電容器中的電荷保持來保持資料的結構中，即使進行元件的微型化也可以確保資料的保持所需要的記憶容量。或者，根據本發明的一個方式，可以提供一種具有新穎結構的半導體裝置，該半導體裝置可以增大電晶體的通態電流而不使半導體裝置的製程、構成電路的佈線或半導體裝置的工作複雜化。或者，根據本發

明的一個方式，可以提供一種新穎半導體裝置等。

[0024] 注意，本發明的一個方式不侷限於上述效果。例如，根據情況或狀況，本發明的一個方式有時具有上述效果以外的效果。或者，例如，根據情況或狀況，本發明的一個方式有時不具有上述效果。

【圖式簡單說明】

[0025] 在圖式中：

圖 1A 和圖 1B 是記憶單元的電路圖及剖面的示意圖；

圖 2A 和圖 2B 是記憶單元的電路圖及時序圖；

圖 3 是記憶單元的電路圖；

圖 4 是記憶單元的電路圖；

圖 5A 和圖 5B 是記憶單元的剖面的示意圖；

圖 6 是記憶單元的電路圖；

圖 7A 和圖 7B 是記憶單元的俯視圖及剖面的示意圖；

圖 8A 至圖 8C 是記憶單元的俯視圖；

圖 9A 和圖 9B 是記憶單元的剖面圖；

圖 10A 和圖 10B 是記憶單元的俯視圖及剖面的示意圖；

圖 11A 至圖 11C 是記憶單元的俯視圖；

圖 12A 和圖 12B 是記憶單元的剖面圖；

圖 13A 和圖 13B 是示出半導體裝置的製程的流程圖

以及透視示意圖；

圖 14A 至圖 14E 是使用半導體裝置的電子裝置；

圖 15A 和圖 15B 是記憶單元的俯視圖及剖面的示意圖；

圖 16A 至圖 16D 是記憶單元的俯視圖；

圖 17 是記憶單元的剖面圖；

圖 18 是記憶單元的剖面圖；

圖 19A 和圖 19B 是記憶單元的電路圖及時序圖；

圖 20 是 OS-SRAM 的電路圖；

圖 21 示出 OS-SRAM 的 Power-Gating sequence；

圖 22 是示出 OS-SRAM 的遮罩設計和層結構的圖；

圖 23 是 OS-SRAM 的耗電量的時間變化的示意圖；

圖 24 示出 Break-even time 的估計的圖；

圖 25A 至圖 25C 是用來比較 OS-SRAM/標準 SRAM (standard-SRAM) 的靜態雜訊邊限 (static noise margin) 的圖；

圖 26 是試製的 32 位元微處理器的晶片照片；

圖 27 是 32 位元微處理器的方塊圖；

圖 28 是快取記憶體的 Power-Gating 時的示波器波形；

圖 29 是 Power-Gating overhead 功率的測量示意圖；

圖 30 是示出 Power-Gating overhead 功率的測量結果的圖。

【實施方式】

[0026] 以下參照圖式對實施方式進行說明。但是，所屬技術領域的普通技術人員可以很容易地理解一個事實，就是實施方式可以以多個不同形式來實施，其方式和詳細內容可以在不脫離本發明的精神及其範圍的條件下被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在下面的實施方式所記載的內容中。注意，在下面說明的發明的結構中，在不同的圖式中共同使用相同的符號來表示相同的部分。

[0027] 另外，在圖式中，為便於清楚地說明，有時對大小、層的厚度或區域進行誇張的描述。因此，本發明並不一定限定於上述尺寸。此外，在圖式中，示意性地示出理想的例子，而不侷限於圖式所示的形狀或數值等。例如，可以包括因雜訊或定時偏差等所引起的信號、電壓或電流的變化等。

[0028] 此外，在本說明書等中，電晶體是指至少包括閘極、汲極以及源極這三個端子的元件。電晶體在汲極（汲極端子、汲極區或汲極電極）與源極（源極端子、源極區或源極電極）之間具有通道區，並且電流能夠流過汲極、通道區以及源極。

[0029] 在此，因為源極和汲極根據電晶體的結構或操作條件等而更換，因此很難限定哪個是源極哪個是汲極。因此，有時不將用作源極的部分或用作汲極的部分稱為源極或汲極，而將源極和汲極中的一個稱為第一電極並

將源極和汲極中的另一個稱為第二電極。

[0030] 注意，本說明書所使用的“第一”、“第二”、“第三”等序數詞是為了避免構成要素的混淆而附加的，而不是為了在數目方面上進行限定而附加的。

[0031] 注意，在本說明書中，「使 A 與 B 連接」的描述除了包括使 A 與 B 直接連接的情況以外，還包括使 A 與 B 電連接的情況。在此，「使 A 與 B 電連接」的描述是指當在 A 與 B 之間存在具有某種電作用的目標物時，能夠進行 A 和 B 的電信號的授受。

[0032] 注意，在本說明書中，為了方便起見，使用「上」及「下」等表示配置的詞句以參照圖式說明結構的位置關係。另外，結構的位置關係根據描述各結構的方向適當地改變。因此，不侷限於本說明書中所說明的詞句，根據情況可以適當地換詞句。

[0033] 另外，為了便於說明，對圖式中的各電路方塊的位置關係進行了特定，雖然在圖式中不同的電路方塊具有不同的功能，但是有時在實際電路方塊中將其設置為也可以在相同的電路方塊中實現不同的功能。此外，為了說明在圖式中的各電路方塊的功能，雖然在圖式中示出一個電路方塊，但是有時在實際電路方塊中將其設置為藉由多個電路方塊進行一個電路方塊所進行的處理。

[0034] 注意，電壓大多是指某個電位和參考電位（例如接地電位）之間的電位差。由此，可將電壓、電位以及電位差分別換稱為電位、電壓和電壓差。注意，電壓

是指兩點之間的電位差，並且電位是指某一點處的靜電場中的單位電荷所具有的靜電能（電位能）。

[0035] 注意，一般而言，電位或電壓是彼此相對的。因此，接地電位並不一定總是 0 伏特。

[0036] 注意，在本說明書等中，“平行”是指兩條直線形成的角度為大於或等於 -10° 且小於或等於 10° ，因此也包括角度為大於或等於 -5° 且小於或等於 5° 的情況。另外，“垂直”是指在大於或等於 80° 且小於或等於 100° 的角度的範圍中配置兩條直線的狀態，因此也包括大於或等於 85° 且小於或等於 95° 的角度的狀態。

[0037] 另外，在本說明書等中，六方晶系包括三方晶系和菱方晶系。

[0038]

實施方式 1

在本實施方式中，參照圖 1A 和圖 1B 對根據所公開的發明的一個方式的半導體裝置所包括的記憶單元的電路結構及其剖面的示意圖進行說明。

[0039] 注意，半導體裝置是指具有半導體元件的裝置。半導體裝置包括用來驅動具有半導體元件的電路的驅動電路等。半導體裝置除了包括記憶單元有時還包括配置於其他基板上的驅動電路和電源電路等。

[0040] 圖 1A 是示出記憶單元 100 的一個例子的電路圖。

[0041] 圖 1A 所示的記憶單元 100 包括記憶體電路 101₁₁ 至 101_{mn} (m、n 是自然數)、電晶體 Tr₁₁ 至 Tr_{mn} 以及電容器 Cap₁₁ 至 Cap_{mn}。記憶體電路 101_{mn}、電晶體 Tr_{mn} 及電容器 Cap_{mn} 是構成 m 行 n 列的記憶體的電路及元件。另外，將多個由記憶體電路 101₁₁ 至 101_{mn}、電晶體 Tr₁₁ 至 Tr_{mn} 及電容器 Cap₁₁ 至 Cap_{mn} 構成的記憶體配置為矩陣狀。

[0042] 此外，在圖 1A 中示出字線 WL₁ 至 WL_m、位元線 BL₁ 至 BL_n 以及資料控制線 ML₁ 至 ML_m。

[0043] 在圖 1A 中示出記憶體電路 101₁₁ 至 101_{mn} 中的相當於保持對應於資料的電位的節點的揮發性記憶體部 VN₁₁ 至 VN_{mn}。在圖 1A 中示出電晶體 Tr₁₁ 至 Tr_{mn} 與電容器 Cap₁₁ 至 Cap_{mn} 之間的節點的保持對應於資料的電位的非揮發性記憶體部 NVN₁₁ 至 NVN_{mn}。

[0044] 在本說明書中，節點是指用來將元件間電連接的佈線上的任一個位置。

[0045] 在本實施方式所說明的半導體裝置中，作為構成電容器 Cap₁₁ 至 Cap_{mn} 的兩個電極使用設置在與用作電晶體 Tr₁₁ 至 Tr_{mn} 的閘極的電極相同的層中的電極以及設置在與用作電晶體 Tr₁₁ 至 Tr_{mn} 的源極及汲極的電極相同的層中的電極。將設置用作電晶體 Tr₁₁ 至 Tr_{mn} 的閘極的電極的層（閘極電極層）設置在與連接多個記憶體之間的電晶體 Tr₁₁ 至 Tr_{mn} 的閘極的佈線層

（記憶單元佈線層）不同的層中。

[0046] 在本實施方式所說明的結構中，藉由將閘極電極層和記憶單元佈線層設置在不同層中，可以抑制形成在電晶體 Tr_{11} 至 Tr_{mn} 的閘極附近的寄生電容。藉由將閘極電極層和記憶單元佈線層設置在不同層中，可以增加一個電極設置在與閘極電極層相同的層中的電容器 Cap_{11} 至 Cap_{mn} 的形成面積。

[0047] 接著，說明記憶單元 100 所具有的各電路。

[0048] 記憶體電路 101_{11} 至 101_{mn} 是根據供應到字線 WL_1 至 WL_m 的字信號被寫入對應於供應到位元線 BL_1 至 BL_n 的資料的電位的電路。作為一個例子，記憶體電路 101_{11} 至 101_{mn} 是在電晶體 Tr_{11} 至 Tr_{mn} 處於非導通狀態時用作 SRAM（Static Random Access Memory：靜態隨機存取記憶體）的電路。明確而言，可以由兩個電晶體和兩個反相器電路構成記憶體電路 101_{11} 至 101_{mn} 。

[0049] 揮發性記憶體部 VN_{11} 至 VN_{mn} 是指在記憶體電路 101_{11} 至 101_{mn} 被供應電源的情況下保持根據資料的電位的節點。當記憶體電路 101_{11} 至 101_{mn} 是 SRAM 時，被輸入兩個反相器電路的輸出信號的至少一個節點相當於揮發性記憶體部 VN_{11} 至 VN_{mn} 。

[0050] 在本說明書中，“寫入資料”是指藉由控制信號而佈線的電位根據其他佈線的電位發生變化的工作。例如，藉由控制供應到字線 WL_1 的字信號，揮發性記憶

體部 VN₁₁ 至 VN_{1n} 的電位成為位元線 BL₁ 至 BL_n 的電位，將這個工作稱為“對記憶體電路 101₁₁ 至 101_{1n} 寫入資料”。

[0051] 電晶體 Tr₁₁ 至 Tr_{mn} 用作控制對非揮發性記憶體部 NVN₁₁ 至 NVN_{mn} 的資料寫入的開關。因此，可以由供應到閘極的信號切換電晶體 Tr₁₁ 至 Tr_{mn} 的導通狀態和非導通狀態。電晶體 Tr₁₁ 至 Tr_{mn} 具有藉由保持非導通狀態保持所寫入的資料的功能。電晶體 Tr₁₁ 至 Tr_{mn} 也稱為第一電晶體。假設電晶體 Tr₁₁ 至 Tr_{mn} 是 n 通道型電晶體而進行說明。

[0052] 作為電晶體 Tr₁₁ 至 Tr_{mn}，較佳為使用在非導通狀態下流過源極和汲極之間的電流（截止狀態電流）小的電晶體。在此，“截止狀態電流小”是指：在室溫下將源極與汲極之間的電壓設定為 10V 時的每通道寬度 1 μ m 的歸一化的截止狀態電流為 10zA 以下的狀態。如此，作為截止狀態電流小的電晶體，可以舉出在半導體層中包含氧化物半導體的電晶體。

[0053] 電容器 Cap₁₁ 至 Cap_{mn} 是藉由使電晶體 Tr₁₁ 至 Tr_{mn} 處於導通狀態而被寫入揮發性記憶體部 VN₁₁ 至 VN_{mn} 的資料的電容器。電容器 Cap₁₁ 至 Cap_{mn} 是如下電容器，即藉由使電晶體 Tr₁₁ 至 Tr_{mn} 處於非導通狀態，即使沒有從外部的電源供應也保持電荷的電容器。藉由使電晶體 Tr₁₁ 至 Tr_{mn} 處於導通狀態將保持在電容器 Cap₁₁ 至 Cap_{mn} 的資料寫入到揮發性記

憶體部 VN₁₁ 至 VN_{mn}。

[0054] 資料控制線 ML₁ 至 ML_m 是被供應用來切換電晶體 Tr₁₁ 至 Tr_{mn} 的導通狀態和非導通狀態的信號的佈線。藉由對資料控制線 ML₁ 至 ML_m 中的任一個（例如，資料控制線 ML₁）供應 H 位準的信號，連接到所選擇的資料控制線的電晶體 Tr₁₁ 至 Tr_{1n} 處於導通狀態，藉由對其供應 L 位準信號，連接到所選擇的資料控制線的電晶體 Tr₁₁ 至 Tr_{1n} 處於非導通狀態。

[0055] 非揮發性記憶體部 NVN₁₁ 至 NVN_{mn} 是指電晶體 Tr₁₁ 至 Tr_{mn} 與電容器 Cap₁₁ 至 Cap_{mn} 之間的節點。當電晶體 Tr₁₁ 至 Tr_{mn} 處於非導通狀態時，在非揮發性記憶體部 NVN₁₁ 至 NVN_{mn} 中，可以利用保持在電容器 Cap₁₁ 至 Cap_{mn} 的電荷經過電晶體 Tr₁₁ 至 Tr_{mn} 幾乎不洩漏的特性，即使停止電源的供應也可以繼續儲存揮發性記憶體部 VN₁₁ 至 VN_{mn} 的資料。

[0056] 在圖 1A 所示的非揮發性記憶體部 NVN₁₁ 至 NVN_{mn} 的結構中，藉由保持電晶體 Tr₁₁ 至 Tr_{mn} 的非導通狀態，保持所寫入的資料。因此，作為抑制伴隨非揮發性記憶體部 NVN₁₁ 至 NVN_{mn} 中的電荷移動的電位變動的開關，如上所述，特別較佳為使用截止狀態電流小的電晶體。

[0057] 電晶體 Tr₁₁ 至 Tr_{mn} 藉由保持非導通狀態作為截止狀態電流小的電晶體，可以將非揮發性記憶體部 NVN₁₁ 至 NVN_{mn} 用作非揮發性記憶體。因此，到再次

使電晶體 Tr₁₁ 至 Tr_{mn} 處於導通狀態為止，可以將寫入到非揮發性記憶體部 NVN₁₁ 至 NVN_{mn} 的資料保持在非揮發性記憶體部 NVN₁₁ 至 NVN_{mn}。

[0058] 接著，使用圖 1B 說明圖 1A 所示的記憶單元 100 中的電晶體 Tr₁₁ 至 Tr_{mn}、電容器 Cap₁₁ 至 Cap_{mn} 的剖面示意圖，並且說明本實施方式的結構所發揮的作用和效果。在圖 1B 中，作為電晶體 Tr₁₁ 至 Tr_{mn} 中的任一個示出電晶體 Tr，作為電容器 Cap₁₁ 至 Cap_{mn} 中的任一個示出電容器 Cap。

[0059] 圖 1B 所示的示意圖是示出電晶體 Tr 及電容器 Cap 的剖面結構的圖。圖 1B 所示的電晶體 Tr 及電容器 Cap 設置在構成圖 1A 所說明的記憶體電路 101₁₁ 至 101_{mn} 的電晶體及用來使該電晶體彼此連接的佈線上。

[0060] 在圖 1B 中，作為用來說明電晶體 Tr 及電容器 Cap 的結構，示出絕緣層 111、半導體層 112、用作源極和汲極中的一方的第一電極 113、用作源極和汲極中的另一方的第二電極 114、閘極絕緣層 115、閘極電極 116、設置在與閘極電極 116 相同的層中的電極 117、層間絕緣層 118 以及佈線層 119。

[0061] 如圖 1B 所示，在本實施方式所說明的半導體裝置中，作為構成電容器 Cap 的電極，使用設置在與電晶體 Tr 的閘極電極 116、用作源極及汲極中的另一方的第二電極 114 相同的層中的電極。將設置有閘極電極 116 的層設置在與連接多個記憶體之間的電晶體 Tr 的閘極電極

116 的佈線層 119 不同的層中。

[0062] 在本實施方式所說明的結構中，藉由將閘極電極 116 和佈線層 119 設置在不同層中，可以抑制電晶體 Tr 的閘極電極 116 附近的寄生電容。因為可以將設置有電晶體 Tr 的閘極電極 116 的層與佈線層 119 設置在不同層中，所以可以增加一個電極設置在與閘極電極 116 相同的層中的電容器 Cap 的形成面積。

[0063] 接著，說明使用圖 1B 的剖面示意圖示出的各結構。

[0064] 作為一個例子，絕緣層 111 使用無機絕緣層即可。作為無機絕緣層，較佳為形成氮化矽膜、氧氮化矽膜或氮氧化矽膜等的單層或多層。雖然在圖 1B 中省略，但是在絕緣層 111 的下層設置有電晶體以及由導電層構成的佈線層。絕緣層 111 也可以包括用來使設置在絕緣層 111 的下層的元件和設置在絕緣層 111 的上層的元件電連接的導電層。

[0065] 半導體層 112 較佳為使用氧化物半導體，以使電晶體 Tr 為在非導通狀態下流過源極和汲極之間的電流（截止狀態電流）小的電晶體。

[0066] 作為一個例子，用作源極和汲極中的一方的第一電極 113、用作源極和汲極中的另一方的第二電極 114 可以使用鋁、銅、鈦、鉭和鎢等金屬材料的單層或疊層。

[0067] 閘極絕緣層 115 與絕緣層 111 可同樣地使用

無機絕緣層。

[0068] 閘極電極 116、設置在與閘極電極 116 相同的層中的電極 117 可以與第一電極 113 及第二電極 114 同樣地使用鋁、銅、鈦、鉭、鎢等金屬材料的單層或疊層。

[0069] 層間絕緣層 118 較佳為使用無機絕緣層或有機絕緣層的單層或多層形成。作為有機絕緣層，較佳為使用聚醯亞胺或丙烯酸等的單層或多層形成。

[0070] 佈線層 119 可以與閘極電極 116、電極 117、第一電極 113 及第二電極 114 同樣地使用鋁、銅、鈦、鉭、鎢等金屬材料的單層或疊層。

[0071] 在圖 1B 的剖面示意圖的結構中，將閘極絕緣層 115 夾在第二電極 114 和電極 117 之間來形成的電容器用作電容器 Cap。閘極絕緣層 115 的厚度比層間絕緣層 118 的厚度小。因此，當閘極絕緣層 115 和層間絕緣層 118 具有相同面積時，可以實現能夠確保更多靜電電容的電容器。

[0072] 而且，在圖 1B 的剖面示意圖的結構中，將連接多個記憶體之間的電晶體 Tr 的閘極電極 116 的佈線層 119 設置在與閘極電極 116 不同的層中。因此，可以將佈線層 119 設置為與其他導電層相離。因此，可以降低形成在佈線層 119 附近的寄生電容，與在與閘極電極 116 相同的層中連接多個記憶體之間的電晶體 Tr 的閘極電極 116 的情況相比，可以抑制形成在電晶體 Tr 附近的閘極的寄生電容。

[0073] 而且，在圖 1B 的剖面示意圖的結構中，在與閘極電極 116 不同的層中連接多個記憶體之間的電晶體 Tr 的閘極電極 116。此時，不需要在與閘極電極 116 相同的層中連接多個記憶體之間的電晶體 Tr 的閘極電極 116，因此可以確保電容器 Cap 所占的面積。

[0074] 與圖 1B 的斷面示意圖的結構相反，在與閘極電極 116 相同的層中連接多個記憶體之間的電晶體 Tr 的閘極電極 116 的情況下，需要在相同層中將閘極電極 116 和電極 117 設置為彼此相離以防止它們發生短路，由此導致電容器 Cap 所占的面積縮小。因此，電容器 Cap 的靜電電容降低，不能忽視電晶體 Tr 的寄生電容，而難以進行資料的保持及/或備份與恢復資料。

[0075] 接著，參照圖 2A 至圖 5B 說明記憶單元 100 的具體電路結構及其工作。

[0076] 圖 2A 是示出圖 1A 所示的記憶單元 100 所具有的單位記憶單元的具體電路結構的圖。

[0077] 在圖 2A 中，與圖 1A 同樣地示出記憶體電路 101、電晶體 Tr 及電容器 Cap。

[0078] 在圖 2A 中，示出字線 WL、位元線 BL、反轉位元線 BLB 及資料控制線 ML。

[0079] 在圖 2A 中，示出在記憶體電路 101 中構成 SRAM 的電晶體 121、電晶體 122、反相器電路 123 及反相器電路 124。在記憶體電路 101 中，將被輸入反相器電路 124 的輸出信號的節點表示為揮發性記憶體部 VN。

[0080] 作為電晶體 121、電晶體 122、構成反相器電路 123 及反相器電路 124 的電晶體較佳為採用由矽形成通道的電晶體。當與使用將氧化物半導體用於半導體層的電晶體 Tr 及電容器 Cap 層疊而設置時，由矽形成通道的電晶體是特別較佳的。

[0081] 在圖 2A 中，與圖 1A 同樣地示出在電晶體 Tr 和電容器 Cap 之間的節點的保持對應於資料的電位的非揮發性記憶體部 NVN。

[0082] 圖 2A 所示的單位記憶單元的結構與圖 1A 及圖 1B 所示的結構相同。

[0083] 接著，說明單位記憶單元的工作。

[0084] 在圖 2B 所示的時序圖中，示出圖 2A 所示的字線 WL、位元線 BL、揮發性記憶體部 VN、資料控制線 ML、非揮發性記憶體部 NVN 的電位以及是否供應電源（在圖式中，記載為“電源（power）”）。在圖 2B 中，雖然實際上附加有陰影線的部分被供應信號，但是在此不需要說明該工作，因此陰影線是用來省略說明而附加的。

[0085] 首先，在時刻 T1 中，將供應到字線 WL 的字信號設定為 H 位準，供應到位元線 BL 的相當於 H 位準或 L 位準的電位的資料（在圖式中，記載為“資料（H/L）（data（H/L）”）被寫入到揮發性記憶體部 VN。反轉位元線 BLB 也被供應相當於與位元線 BL 相反的電位的資料。

[0086] 接著，在時刻 T2 中，將供應到資料控制線

ML 的信號設定為 H 位準，寫入到揮發性記憶體部 VN 的資料被寫入到非揮發性記憶體部 NVN。在時刻 T2 中進行的對非揮發性記憶體部 NVN 的資料寫入也稱為資料的備份（backup）。

[0087] 接著，在時刻 T3 中，停止電源供應。此時，雖然寫入到揮發性記憶體部 VN 的資料消失，但是藉由使截止狀態電流極小的電晶體 Tr 處於非導通狀態，可以保持寫入到非揮發性記憶體部 NVN 的資料。

[0088] 在時刻 T4 中，再次開始電源供應。進行將保持在非揮發性記憶體部 NVN 的資料再次寫入到揮發性記憶體部 VN 的處理。該對揮發性記憶體部 VN 的資料寫入在將供應資料控制線 ML 的信號設定為 H 位準的狀態下進行。在時刻 T4 中進行的對揮發性記憶體部 VN 的資料寫入也稱為資料的恢復（recovery）。

[0089] 可以以如圖 3 所示的電路圖那樣示意地示出圖 2B 所示的資料的備份・恢復。在圖 2B 和圖 3 所說明的資料的備份・恢復工作中，對資料控制線 ML 供應 H 位準使電晶體 Tr 處於導通狀態。

[0090] 當與電容器 Cap 的靜電電容相比，電晶體 Tr 中的閘極與源極之間的寄生電容以及閘極與汲極之間的寄生電容大得不能忽略時，隨著資料控制線 ML 的電位變動，揮發性記憶體部 VN 及非揮發性記憶體部 NVN 的電位也變動。當在資料的備份・恢復的工作中揮發性記憶體部 VN 及非揮發性記憶體部 NVN 的電位發生變動時，難

以進行正常工作。

[0091] 反過來說，當與電容器 C_{ap} 的靜電電容相比，電晶體 T_r 中的閘極與源極之間的寄生電容以及閘極與汲極之間的寄生電容小得能夠忽略時，即使資料控制線 ML 的電位發生變動，揮發性記憶體部 VN 及非揮發性記憶體部 NVN 的電位也不會發生變動。

[0092] 在本實施方式的結構中，如上所述，將連接多個記憶體之間的電晶體 T_r 的閘極電極的佈線層設置在與閘極電極不同的層中。因此，可以將佈線層設置為與其他導電層相離，而可以抑制形成在電晶體 T_r 的閘極附近的寄生電容。藉由抑制寄生電容，可以減小資料的備份・恢復工作中的揮發性記憶體部 VN 及非揮發性記憶體部 NVN 的電位變化，而進行正常工作。

[0093] 圖 4 是示意地示出電路圖中的電晶體 T_r 的閘極與源極之間的寄生電容 C_{gs} 、電晶體 T_r 的閘極與汲極之間的寄生電容 C_{gd} 、佈線層與電晶體 T_r 的源極之間的寄生電容 C_{p1} 、佈線層與電晶體 T_r 的汲極之間的寄生電容 C_{p2} 。在圖 4 中，假設源極和汲極中的一方為源極，源極和汲極中的另一方為汲極而進行說明。

[0094] 藉由將設置在資料控制線 ML 延伸的方向上的佈線層設置為與其它導電層相離，可以減小圖 4 所示的電路圖中的寄生電容 C_{p1} 以及寄生電容 C_{p2} 。

[0095] 例如，如圖 5A 所示的剖面示意圖所示，在佈線層在與電晶體的閘極電極相同的層中時，隔著閘極絕緣

層等比其它層薄的絕緣層與其它層一起形成寄生電容 C_{p1} 及寄生電容 C_{p2} 。另一方面，如圖 5B 所示的剖面示意圖所示，在佈線層形成在與電晶體的閘極電極不同的層中時，隔著層間絕緣層等比其它層厚的絕緣層，與其他層一起形成寄生電容 C_{p1} 及寄生電容 C_{p2} 。因此，在圖 5B 的結構中，與圖 5A 的結構相比，可以減小寄生電容。

[0096] 而且，藉由將設置在資料控制線 ML 延伸的方向上的佈線層設置在與位於與電晶體 T_r 的閘極電極相同的層中的電容器的電極不同的層中，可以確保圖 4 所示的電路圖中的電容器 C_{ap} 所占的面積。因此，在本實施方式的結構中，藉由減小電晶體的寄生電容並增加電容器的靜電電容，可以減小資料的備份・恢復工作中的揮發性記憶體部 VN 及非揮發性記憶體部 NVN 的電位變化，而進行正常工作。

[0097] 在上述本實施方式的結構中，不但抑制形成在電晶體 T_r 的閘極附近的寄生電容，而且不在與閘極電極相同的層中連接多個記憶體之間的電晶體 T_r 的閘極電極，由此確保電容器所占的面積。因此，即使進行電晶體及電容器的微型化，也可以減小寄生電容並確保用來形成電容器的面積，由此可以減小揮發性記憶體部 VN 及非揮發性記憶體部 NVN 的電位變動。

[0098] 本實施方式所示的結構可以與其他實施方式所示的結構適當地組合而使用。

[0099]

實施方式 2

在本實施方式中，參照電路圖、俯視圖等對根據所公開的發明的一個方式的半導體裝置的記憶單元所具有的電晶體的剖面結構進行說明。在本實施方式中，為了說明將連接多個記憶體之間的電晶體 Tr 的閘極電極的佈線層設置在與閘極電極不同的層中的結構的優點，使用俯視圖及剖面圖說明將佈線層和閘極電極設置在相同層中的結構與將佈線層和閘極電極設置在不同層中的結構。

[0100] 首先，圖 6 示出在本實施方式中作為一個例子而進行說明的記憶單元的電路結構。圖 6 所示的電路結構是將佈線層和閘極電極設置在相同層中的結構與佈線層和閘極電極設置在不同層中的結構之間共同的。

[0101] 在圖 6 中示出記憶體電路 101、電晶體 $Tr1$ 、電晶體 $Tr2$ 、電容器 $Cap1$ 及電容器 $Cap2$ 。

[0102] 另外，在圖 6 中示出字線 WL 、位元線 BL 、反轉位元線 BLB 以及資料控制線 ML 。

[0103] 在圖 6 中，與圖 2A 同樣地示出在記憶體電路 101 中構成 SRAM 的電晶體 121、電晶體 122、反相器電路 123 及反相器電路 124。在記憶體電路 101 中，將被輸入反相器電路 124 的輸出信號的節點表示為揮發性記憶體部 $VN1$ 。在記憶體電路 101 中，將被輸入反相器電路 123 的輸出信號的節點表示為揮發性記憶體部 $VN2$ 。

[0104] 在圖 6 中，示出電晶體 $Tr1$ 與電容器 $Cap1$ 之間的節點的保持對應於資料的電位的非揮發性記憶體部

NVN1。另外，在圖 6 中，示出電晶體 Tr2 與電容器 Cap2 之間的節點的保持對應於資料的電位的非揮發性記憶體部 NVN2。

[0105] 接著，在圖 7A 以及圖 8A 至圖 8C 中，示出將佈線層和閘極電極設置在相同層中的結構的對應於圖 6 所示的電路結構的俯視圖。在圖 9A 和圖 9B 中，示出沿著圖 7A 以及圖 8A 至圖 8C 所示的點劃線 B-B'及點劃線 C-C'的剖面圖。

[0106] 首先，圖 7A 所示的俯視圖示出圖 6 所示的電路圖中的電晶體 121、電晶體 122、反相器電路 123、反相器電路 124、電晶體 Tr1、電晶體 Tr2、電容器 Cap1 及電容器 Cap2 的配置。

[0107] 為了容易理解圖 7A 中的電晶體的配置，圖 7B 示出圖 7A 中的各元件的層結構的示意圖。圖 7B 所示的第一層 301 是設置有將矽用於半導體層的電晶體的層（在圖式中，記載為 Si_transistor layer）。圖 7B 所示的第二層 302 是設置有用來進行電源供應的佈線層的層（在圖式中，記載為 wiring layer）。圖 7B 所示的第三層 303 是設置有將氧化物半導體用於半導體層的電晶體的層（在圖式中，記載為 OS_transistor layer）。

[0108] 圖 7B 所示的第一層 301 包括將矽用於半導體層的電晶體，即電晶體 121（SW1）及電晶體 122（SW2）、反相器電路 123（INV1）及反相器電路 124（INV2）。圖 7B 所示的第二層 302 包括供應接地電位的

佈線 GND、位元線 BL、供應高電源電位的佈線 VIL 以及用作反轉位元線 BLB 的佈線層。圖 7B 所示的第三層 303 包括將氧化物半導體用於半導體層的電晶體，即電晶體 Tr1 (OS1) 及電晶體 Tr2 (OS2)、電容器 Cap1 以及電容器 Cap2。

[0109] 在圖 8A 中，示出圖 7B 所示的第一層 301 的俯視圖。在圖 8A 的俯視圖中，示出構成將矽用於半導體層的電晶體的半導體層、設置在與閘極電極相同的層中的佈線層、設置在與源極電極及汲極電極相同的層中的佈線層以及用來連接各層的開口部的配置。

[0110] 在圖 8A 所示的俯視圖中，示出用作電晶體 121 的 n 通道型電晶體 (nch-Tr (SW1))、用作電晶體 122 的 n 通道型電晶體 (nch-Tr (SW2))、構成反相器電路 123 的 p 通道型電晶體 (pch-Tr (INV1)) 及 n 通道型電晶體 (nch-Tr (INV1))、構成反相器電路 124 的 p 通道型電晶體 (pch-Tr (INV2)) 及 n 通道型電晶體 (nch-Tr (INV2)) 的配置。

[0111] 在圖 8B 中，示出圖 7B 所示的第二層 302 的俯視圖。在圖 8B 所示的俯視圖中，示出設置在多個層中的佈線層以及用來連接各層的開口部的配置。

[0112] 在圖 8B 所示的俯視圖中，示出供應接地電位的佈線 GND、位元線 BL、供應高電源電位的佈線 VIL、反轉位元線 BLB 的配置。

[0113] 在圖 8C 中，示出圖 7B 所示的第三層 303 的

俯視圖。在圖 8C 的俯視圖中，示出構成將氧化物半導體用於半導體層的電晶體的半導體層、設置在與閘極電極相同的層中的佈線層、設置在與源極電極及汲極電極相同的層中的佈線層以及用來連接各層的開口部的配置。

[0114] 在圖 8C 所示的俯視圖中，示出用作電晶體 Tr1 的 n 通道型電晶體（OS-Tr（OS1））、用作電晶體 Tr2 的 n 通道型電晶體（OS-Tr（OS2））、電容器 Cap1 及電容器 Cap2 以及用來連接各層的開口部的配置。

[0115] 接著，在圖 9A 中示出沿著圖 7A 以及圖 8A 至圖 8C 的點劃線 B-B' 的剖面圖，在圖 9B 中示出沿著圖 7A 以及圖 8A 至圖 8C 的點劃線 C-C' 的剖面圖。

[0116] 在本實施方式中，例示出如下情況，即第一層 301 的電晶體形成在單晶矽基板上，第二層 302 的佈線層形成在第一層 301 上，第三層 303 的電晶體形成在第二層 302 上的情況。在第一層 301 的電晶體中，可以將處於非晶狀態、微晶狀態、多晶狀態或單晶狀態的矽或鍺等薄膜半導體用於半導體層。

[0117] 在圖 9A 中示出半導體基板 800、元件分離絕緣膜 801、雜質區域 802、閘極絕緣層 803、閘極電極 804、佈線層 805、層間絕緣層 810、佈線層 821、佈線層 822、層間絕緣層 820、層間絕緣層 830、層間絕緣層 840、佈線層 841、佈線層 842、層間絕緣層 850、半導體層 851、導電層 852、閘極絕緣層 853、導電層 854 及導電層 855。

[0118] 在圖 9B 中示出半導體基板 800、元件分離隔離膜 801、閘極絕緣層 803、閘極電極 804、佈線層 823、層間絕緣層 810、層間絕緣層 820、層間絕緣層 830、佈線層 831、層間絕緣層 840、層間絕緣層 850、半導體層 851、導電層 852、閘極絕緣層 853、導電層 854、導電層 855 及導電層 856。

[0119] 作為半導體基板 800，例如可以使用具有 n 型或 p 型導電型的矽基板、鍺基板、矽鍺基板、化合物半導體基板（GaAs 基板、InP 基板、GaN 基板、SiC 基板、GaP 基板、GaInAsP 基板、ZnSe 基板等）等。

[0120] 第一層 301 的電晶體與其他電晶體由元件分離絕緣膜 801 電分離。作為元件分離絕緣膜 801 的形成方法，可以使用矽的局部氧化（LOCOS：Local Oxidation of Silicon）法或溝槽隔離法等。

[0121] 雜質區域 802 藉由適當地利用離子摻雜法或離子植入法等對半導體基板 800 添加賦予 p 型的雜質元素或賦予 n 型的雜質元素來形成。

[0122] 閘極絕緣層 803 藉由在進行加熱處理使半導體基板 800 的表面氧化來形成氧化矽膜之後，對其選擇性地進行蝕刻來形成。或者，閘極絕緣層 803 藉由在利用 CVD 法、濺射法等形成氧化矽、氧氮化矽、高介電常數物質（也稱為 high-k 材料）的氧化鉛等金屬氧化物等之後對其選擇性地進行蝕刻來形成。

[0123] 閘極電極 804、佈線層 805、佈線層 821、佈

線層 822、佈線層 823、佈線層 831、佈線層 841、佈線層 842、導電層 852、導電層 854、導電層 855 及導電層 856 較佳為使用鋁、銅、鈦、鉭、鎢等金屬材料。另外，也可以使用添加磷等雜質的多晶矽。作為形成方法，可以採用蒸鍍法、PE-CVD 法、濺射法、旋塗法等各種成膜方法。

[0124] 作為層間絕緣層 810、層間絕緣層 820、層間絕緣層 830、層間絕緣層 840 及層間絕緣層 850 較佳為形成無機絕緣層或有機絕緣層的單層或多層。作為無機絕緣層，較佳為使用氮化矽膜、氧氮化矽膜或氮氧化矽膜等的單層或多層形成。作為有機絕緣層較佳為使用聚醯亞胺或丙烯酸等的單層或多層形成。另外，對層間絕緣層 810、層間絕緣層 820、層間絕緣層 830、層間絕緣層 840 及層間絕緣層 850 的製造方法沒有特別的限制，例如可以適當地使用濺射法、MBE 法、PE-CVD 法、脈衝雷射沉積法、ALD（Atomic Layer Deposition：原子層沉積）法等。

[0125] 使用氧化物半導體層的單層或疊層設置半導體層 851 即可。氧化物半導體的一個例子是包含銦、鎵及鋅的氧化物，可以使用 In-Ga-Zn 類氧化物（也稱為 IGZO）。另外，In-Ga-Zn 類氧化物是指包含 In、Ga 及 Zn 的氧化物，而也可以包含除了 In、Ga 及 Zn 之外的金屬元素。例如，可以使用 In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物及 In-Al-Ga-Zn 類氧化物。另外，作為氧化物半導體的形成方法，可以使用濺射法、ALD 法、蒸鍍法或塗佈法等。

[0126] 作為閘極絕緣層 853，較佳為形成無機絕緣層的單層或多層。閘極絕緣層 853 較佳為具有供應氧至半導體層 851 的效果。

[0127] 接著，在圖 10A 以及圖 11A 至圖 11C 中，示出將佈線層和閘極電極設置在不同層中的結構的對應於圖 6 所示的電路結構的俯視圖。另外，在圖 12A 和圖 12B 中，示出沿著圖 10A 以及圖 11A 至圖 11C 所示的點劃線 D-D' 及點劃線 E-E' 的剖面圖。

[0128] 首先，圖 10A 所示的俯視圖與圖 7A 相同地示出圖 6 所示的電路圖中的電晶體 121、電晶體 122、反相器電路 123、反相器電路 124、電晶體 Tr1、電晶體 Tr2、電容器 Cap1 及電容器 Cap2 的配置。

[0129] 為了容易理解圖 10A 中的電晶體的配置，圖 10B 示出圖 10A 中的各元件的層結構的示意圖。圖 10B 所示的第一層 311 是設置有將矽用於半導體層的電晶體的層（在圖式中，記載為 Si_transistor layer）。圖 10B 所示的第二層 312 是設置有用來進行電源供應的佈線層的層（在圖式中，記載為 wiring layer）。圖 10B 所示的第三層 313 是設置有將氧化物半導體用於半導體層的電晶體的層（在圖式中，記載為 OS_transistor layer）。

[0130] 關於圖 10B 所示的第一層 311、第二層 312 及第三層 313 的說明與關於圖 7B 所示的第一層 301、第二層 302 及第三層 303 的說明相同，因此在此省略其說明。

[0131] 類似地，關於圖 11A 及圖 11B 所示的俯視圖的說明也相似於圖 8A 及圖 8B 的說明。關於圖 11A 及圖 11B 所示的第一層 311 及第二層 312 的說明與關於圖 8A 及圖 8B 所示的第一層 301 及第二層 302 的說明相同。

[0132] 在圖 11C 中，示出圖 10B 所示的第三層 313 的俯視圖。在圖 11C 的俯視圖中，示出構成將氧化物半導體用於半導體層的電晶體的半導體層、設置在與閘極電極相同的層中的佈線層、設置在與源極電極及汲極電極相同的層中的佈線層、用來連接記憶單元之間的閘極電極的佈線層以及用來連接各層的開口部的配置。

[0133] 在圖 11C 所示的俯視圖中，示出用作電晶體 Tr1 的 n 通道型電晶體（OS-Tr（OS1））、用作電晶體 Tr2 的 n 通道型電晶體（OS-Tr（OS2））、電容器 Cap1 及電容器 Cap2、用來連接記憶單元之間的閘極電極的佈線層（在圖 11C 中，附加有陰影線的區域 ML）以及用來連接各層的開口部的配置。

[0134] 圖 11A 至圖 11C 所示的俯視圖的佈局與圖 8A 至圖 8C 所示的俯視圖的佈局之間的不同之處在於第三層中的區域 ML 的佈局。明確而言，不同之處在於：在圖 11C 的最上層設置連接多個記憶體之間的電晶體 Tr 的閘極電極的佈線層（圖 11C 中的區域 ML），確保能夠設置電容器 Cap1 及電容器 Cap2 的面積增加。

[0135] 接著，在圖 12A 中例示出沿著圖 10A 以及圖 11A 至圖 11C 的點劃線 D-D' 的剖面圖，在圖 12B 中示出

沿著圖 10A 以及圖 11A 至圖 11C 的點劃線 E-E'的剖面圖。

[0136] 在本實施方式中，例示出如下情況，即第一層 311 的電晶體形成在單晶矽基板上，第二層 312 的佈線層形成在第一層 311 上，第三層 313 的電晶體形成在第二層 312 上的情況。在第一層 311 的電晶體中，可以將處於非晶狀態、微晶狀態、多晶狀態或單晶狀態的矽或鍺等薄膜半導體用於半導體層。

[0137] 在圖 12A 中示出半導體基板 600、元件分離絕緣膜 601、雜質區域 602、雜質區域 603、閘極絕緣層 604、佈線層 605、佈線層 606、層間絕緣層 610、層間絕緣層 620、佈線層 621、層間絕緣層 630、佈線層 631、層間絕緣層 640、佈線層 641、佈線層 642、層間絕緣層 650、半導體層 651、導電層 652、閘極絕緣層 653、導電層 654、導電層 655、導電層 656 及導電層 657。

[0138] 在圖 12B 中示出半導體基板 600、元件分離絕緣膜 601、閘極絕緣層 604、雜質區域 607、雜質區域 608、閘極電極 609、層間絕緣層 610、佈線層 611、佈線層 612、佈線層 613、佈線層 614、佈線層 622、佈線層 623、佈線層 624、層間絕緣層 620、層間絕緣層 630、佈線層 632、佈線層 633、佈線層 634、層間絕緣層 640、佈線層 643、層間絕緣層 650、半導體層 651、導電層 659、導電層 660、閘極絕緣層 653、閘極電極 661、導電層 662 及佈線層 663。

[0139] 作為半導體基板 600，例如可以使用具有 n 型或 p 型導電型的矽基板、鍺基板、矽鍺基板、化合物半導體基板（GaAs 基板、InP 基板、GaN 基板、SiC 基板、GaP 基板、GaInAsP 基板、ZnSe 基板等）等。

[0140] 第一層 311 的電晶體與其他電晶體由元件分離絕緣膜 601 電分離。作為元件分離絕緣膜 601 的形成方法，可以使用矽的局部氧化（LOCOS：Local Oxidation of Silicon）法或溝槽隔離法等。

[0141] 雜質區域 602、雜質區域 603、雜質區域 607 及雜質區域 608 藉由適當地利用離子摻雜法或離子植入法等對半導體基板 600 添加賦予 p 型的雜質元素或賦予 n 型的雜質元素來形成。

[0142] 閘極絕緣層 604 藉由在進行加熱處理使半導體基板 600 的表面氧化來形成氧化矽膜之後，對其選擇性地進行蝕刻來形成。或者，閘極絕緣層 604 藉由在利用 CVD 法、濺射法等形成氧化矽、氮氧化矽、高介電常數物質（也稱為 high-k 材料）的氧化鈣等金屬氧化物等之後對其選擇性地進行蝕刻來形成。

[0143] 佈線層 605、佈線層 606、佈線層 621、佈線層 631、佈線層 641、佈線層 642、導電層 652、導電層 654、導電層 655、導電層 656、導電層 657、閘極電極 609、佈線層 611、佈線層 612、佈線層 613、佈線層 614、佈線層 622、佈線層 623、佈線層 624、佈線層 632、佈線層 633、佈線層 634、佈線層 643、導電層

660、閘極電極 661、導電層 662 及佈線層 663 較佳為使用鋁、銅、鈦、鉭、鎢等金屬材料。另外，也可以使用添加磷等雜質的多晶矽。作為形成方法，可以採用蒸鍍法、PE-CVD 法、濺射法、旋塗法等各種成膜方法。

[0144] 作為層間絕緣層 610、層間絕緣層 620、層間絕緣層 630、層間絕緣層 640 及層間絕緣層 650 較佳為形成無機絕緣層或有機絕緣層的單層或多層。作為無機絕緣層，較佳為使用氮化矽膜、氧氮化矽膜或氮氧化矽膜等的單層或多層。作為有機絕緣層較佳為使用聚醯亞胺或丙烯酸等的單層或多層形成。另外，對層間絕緣層 610、層間絕緣層 620、層間絕緣層 630、層間絕緣層 640 及層間絕緣層 650 的製造方法沒有特別的限制，例如可以適當地使用濺射法、MBE 法、PE-CVD 法、脈衝雷射沉積法、ALD 法等。

[0145] 可使用氧化物半導體層的單層或疊層設置半導體層 651。

[0146] 作為閘極絕緣層 653，較佳為形成無機絕緣層的單層或多層。閘極絕緣層 653 較佳為具有供應氧至半導體層 651 的效果。

[0147] 在本實施方式的結構的圖 10A 至圖 12B 的俯視圖及剖面圖所示的結構中，如在上述實施方式 1 中說明那樣，將連接多個記憶體之間的電晶體 Tr 的閘極電極的佈線層設置在與閘極電極不同的層中。因此，可以將連接多個記憶體之間的電晶體 Tr 的閘極電極的佈線層設置為

與其他導電層相離。由此，可以抑制形成在電晶體 T_r 的閘極附近的寄生電容。

[0148] 與此相反，在圖 7A 至圖 9B 的俯視圖及剖面圖所示的結構中，因為連接多個記憶體之間的電晶體 T_r 的閘極電極的佈線層設置在與電晶體的閘極電極相同的層中，所以隔著閘極絕緣層等比其它層薄的絕緣層與其它層一起形成寄生電容。

[0149] 另外，在本實施方式的結構的圖 10A 至圖 12B 的俯視圖及剖面圖所示的結構中，如在上述實施方式 1 中所說明，將連接多個記憶體之間的電晶體 T_r 的閘極電極的佈線層設置在與閘極電極不同的層中。因此，可以增大形成在與電晶體 T_r 的閘極電極相同的層中的電容器 $Cap1$ 及電容器 $Cap2$ 的電極的面積。由此，可以增大電容器 $Cap1$ 及電容器 $Cap2$ 的靜電電容。

[0150] 與此相反，在圖 7A 至圖 9B 的俯視圖及剖面圖所示的結構中，將連接多個記憶體之間的電晶體 T_r 的閘極電極的佈線層設置在與電晶體的閘極電極相同的層中。因此，需要將連接多個記憶體之間的電晶體 T_r 的閘極電極的佈線層設置為與其他導電層相離，而設置在與該佈線層相同的層中的電容器 $Cap1$ 及電容器 $Cap2$ 所占的面積也縮小。因此，不能增大電容器 $Cap1$ 及電容器 $Cap2$ 的靜電電容。

[0151] 此外，在本實施方式的結構的圖 10A 至圖 12B 的俯視圖及剖面圖所示的結構中，將設置有用來進行

電源供應的佈線層的層設置在設置有將矽用於半導體層的電晶體的層與設置有將氧化物半導體用於半導體層的電晶體的層之間。因此，與將設置有用來進行電源供應的佈線層的層設置在設置有將氧化物半導體用於半導體層的電晶體的層的上層的情況相比，可以使設置在電容器 Cap1 及電容器 Cap2 中的開口部的數目最小化。

[0152] 在上述本實施方式的結構中，不但抑制形成在電晶體 Tr 的閘極附近的寄生電容，而且不在與閘極電極相同的層中連接多個記憶體之間的電晶體 Tr 的閘極電極，由此確保電容器所占的面積。因此，即使進行電晶體及電容器微型化，也可以減小寄生電容並確保用來形成電容器的面積，由此可以減小揮發性記憶體部 VN 及非揮發性記憶體部 NVN 的電位變動。

[0153] 本實施方式可以與其他實施方式適當地組合而實施。

[0154]

實施方式 3

在本實施方式中，參照圖 15A 至圖 18 說明與上述實施方式 2 的在圖 10A 至圖 12B 中說明的俯視圖及剖面圖的結構不同的結構。注意，對應圖 15A 至圖 17 所示的俯視圖及剖面圖的電路圖是圖 6 所示的電路圖。

[0155] 接著，在圖 15A 以及圖 16A 至圖 16D 中，示出對應圖 6 所示的電路結構的俯視圖，該俯視圖示出將佈線層和閘極電極設置在不同層中，並且電晶體 Tr1 和電晶

體 Tr2 與供應高電源電位的佈線 VIL 重疊的結構。圖 17 和圖 18 分別示出沿著圖 15A 以及圖 16A 至圖 16D 所示的點劃線 F-F'和點劃線 G-G'的剖面圖。

[0156] 首先，圖 15A 所示的俯視圖示出圖 6 所示的電路圖中的電晶體 121、電晶體 122、反相器電路 123、反相器電路 124、電晶體 Tr1、電晶體 Tr2、電容器 Cap1 及電容器 Cap2 的配置。

[0157] 為了容易理解圖 15A 中的電晶體的配置，圖 15B 示出圖 15A 中的各元件的層結構的示意圖。圖 15B 所示的第一層 311 是設置有將矽用於半導體層的電晶體的層（在圖式中，記載為 Si_transistor layer）。圖 15B 所示的第二層 312 是設置有用來進行電源供應的佈線層的層（在圖式中，記載為 wiring layer）。圖 15B 所示的第三層 313 是設置有將氧化物半導體用於半導體層的電晶體的層（在圖式中，記載為 OS_transistor layer）。圖 15B 所示的第四層 314 是設置有電容器以及連接多個記憶體之間的電晶體 Tr 的閘極電極的佈線層的層（在圖式中，記載為 Capacitor layer）。

[0158] 圖 15B 所示的第一層 311 包括將矽用於半導體層的電晶體，即電晶體 121（SW1）及電晶體 122（SW2）、反相器電路 123（INV1）及反相器電路 124（INV2）。圖 15B 所示的第二層 312 包括供應接地電位的佈線 GND、位元線 BL、供應高電源電位的佈線 VIL 以及用作反轉位元線 BLB 的佈線層。圖 15B 所示的第三層

313 包括將氧化物半導體用於半導體層的電晶體，即電晶體 Tr1 (OS1) 及電晶體 Tr2 (OS2)。圖 15B 所示的第四層 314 包括電容器 Cap1、電容器 Cap2 以及連接多個記憶體之間的電晶體 Tr 的閘極電極的佈線層。

[0159] 在圖 16A 中，示出圖 15B 所示的第一層 311 的俯視圖。在圖 16A 的俯視圖中，示出構成將矽用於半導體層的電晶體的半導體層、設置在與閘極電極相同的層中的佈線層、設置在與源極電極及汲極電極相同的層中的佈線層以及用來連接各層的開口部的配置。

[0160] 在圖 16A 所示的俯視圖中，示出用作電晶體 121 的 n 通道型電晶體 (nch-Tr (SW1))、用作電晶體 122 的 n 通道型電晶體 (nch-Tr (SW2))、構成反相器電路 123 的 p 通道型電晶體 (pch-Tr (INV1)) 及 n 通道型電晶體 (nch-Tr (INV1))、構成反相器電路 124 的 p 通道型電晶體 (pch-Tr (INV2)) 及 n 通道型電晶體 (nch-Tr (INV2)) 的配置。

[0161] 在圖 16B 中，示出圖 15B 所示的第二層 312 的俯視圖。在圖 16B 所示的俯視圖中，示出設置在多個層中的佈線層以及用來連接各層的開口部的配置。

[0162] 在圖 16B 所示的俯視圖中，示出供應接地電位的佈線 GND、位元線 BL、供應高電源電位的佈線 VIL、反轉位元線 BLB 的配置。

[0163] 在圖 16C 中，示出圖 15B 所示的第三層 313 的俯視圖。在圖 16C 的俯視圖中，示出構成將氧化物半導

體用於半導體層的電晶體的半導體層、閘極電極、設置在與源極電極及汲極電極相同的層中的佈線層以及用來連接各層的開口部的配置。

[0164] 在圖 16C 所示的俯視圖中，示出用作電晶體 Tr1 的 n 通道型電晶體（OS-Tr（OS1））、用作電晶體 Tr2 的 n 通道型電晶體（OS-Tr（OS2））以及用來連接各層的開口部的位置。

[0165] 在圖 16D 中，示出圖 15B 所示的第四層 314 的俯視圖。在圖 16D 的俯視圖中，示出構成電容器的導電層、用來連接記憶單元之間的閘極電極的佈線層以及用來連接各層的開口部的配置。

[0166] 在圖 16D 所示的俯視圖中，示出電容器 Cap1 及電容器 Cap2、用來連接記憶單元之間的閘極電極的佈線層（圖 16D 中的附加有陰影圖案的區域 ML）的配置。

[0167] 圖 16A 至圖 16D 所示的俯視圖的佈局與圖 11A 至圖 11C 所示的俯視圖的佈局之間的不同之處在於：在圖 16A 至圖 16D 中，電晶體 Tr1 及電晶體 Tr2 與供應高電源電位的佈線 VIL 重疊。另外，圖 16A 至圖 16D 所示的俯視圖的佈局與圖 11A 至圖 11C 所示的俯視圖的佈局之間的不同之處在於：在圖 16A 至圖 16D 中，將電容器 Cap1 及電容器 Cap2 設置在設置有連接多個記憶體之間的電晶體 Tr 的閘極電極的佈線層的第四層 314 中。

[0168] 在圖 6 所示的電路結構中，進行資料備份與資料恢復時所需的速度很大程度上取決於各電晶體（OS-

Tr (OS1) 及 OS-Tr (OS2)) 的通態電流，較佳為儘量增大通態電流。但是，在元件的微型化時需要降低驅動電壓，所以難以保持該電晶體的高通態電流。雖然藉由採用新增加用作背閘極的電極並且對背閘極供應電壓來增大通態電流結構能夠不改變電晶體的尺寸而增大通態電流，但是這種結構導致半導體裝置的製程、構成電路的佈線或半導體裝置的工作複雜化。

[0169] 如本實施方式所示的結構那樣，藉由以與供應高電源電位的佈線 VIL 重疊的方式設置電晶體 Tr1 及電晶體 Tr2，可以增大上述通態電流。

[0170] 注意，在本實施方式的結構中，將為了切換電源供應的有無被控制的佈線 VIL 的電位設定為如下電位：在對半導體裝置供應電源時設定為高電源電位 (VDD)，在不供應電源時設定為接地電位 (與佈線 GND 相同的電位)。此時，作為一個例子採用圖 19A 的電路結構，即可。

[0171] 在圖 19A 所示的電路結構中，將開關 PSW 連接到供應高電源電位的佈線，藉由控制該開關 PSW，將佈線 VIL 切換為 VDD 或 GND。在該結構中，在將開關 PSW 切換為 VDD 時對記憶單元供應電源，並且在將開關 PSW 切換為 GND 時停止對記憶單元供應電源。

[0172] 可以以圖 19B 表示在與圖 2B 所示的時序圖組合時的該佈線 VIL 的電位切換。在圖 19B 中，示出表示電源供應的有無的「power」以及佈線 VIL 及佈線 GND 的

電位變化。如圖 19B 所示，在對半導體裝置供應電源時，將供應電源電位的佈線 VIL 的電位設定為高電源電位，並且對佈線 VIL 賦予用作電晶體 Tr1 及電晶體 Tr2 的背閘極的功能，由此可以增大電晶體 Tr1 及電晶體 Tr2 的通態電流。另一方面，如圖 19B 所示，在不對半導體裝置供應電源時，將供應電源電位的佈線 VIL 設定為接地電位，並且對佈線 VIL 賦予用作電晶體 Tr1 及電晶體 Tr2 的背閘極的功能，由此不會影響到電晶體 Tr1 及電晶體 Tr2 所具有的截止狀態電流小等特性。因此，可以不使半導體裝置的製程、構成電路的佈線或半導體裝置的工作複雜化而保持被微型化的電晶體 Tr1 及電晶體 Tr2 的通態電流的大小。

[0173] 接著，在圖 17 中示出沿著圖 15A 以及圖 16A 至圖 16D 的點劃線 F-F' 的剖面圖，在圖 18 中示出沿著圖 15A 以及圖 16A 至圖 16D 的點劃線 G-G' 的剖面圖。

[0174] 在本實施方式中，例示出如下情況，即第一層 311 的電晶體形成在單晶矽基板上，第二層 312 的佈線層形成在第一層 311 上，第三層 313 的電晶體形成在第二層 312 上，並且第四層 314 的電容器以及連接多個記憶體之間的電晶體 Tr 的閘極電極的佈線層形成在第三層 313 上的情況。在第一層 311 的電晶體中，可以將處於非晶狀態、微晶狀態、多晶狀態或單晶狀態的矽或鍺等薄膜半導體用於半導體層。

[0175] 在圖 17 中示出半導體基板 400、元件分離絕緣膜 402、閘極絕緣層 410、閘極電極 412、閘極電極

414、層間絕緣層 416、佈線層 418、佈線層 420、導電層 422、層間絕緣層 424、佈線層 423、導電層 426、層間絕緣層 428、佈線層 430、佈線層 432、佈線層 434、佈線層 436、佈線層 438、佈線層 440、導電層 444、層間絕緣層 442、佈線層 446、層間絕緣層 448、半導體層 452、閘極絕緣層 450、佈線層 454、閘極電極 456、層間絕緣層 458、導電層 460、導電層 462、絕緣層 464、導電層 466、導電層 468、層間絕緣層 472、佈線層 474、佈線層 476、層間絕緣層 478 及層間絕緣層 480。

[0176] 在圖 18 中示出半導體基板 400、元件分離絕緣膜 402、閘極電極 413、閘極電極 415、層間絕緣層 416、層間絕緣層 424、佈線層 427、佈線層 429、佈線層 431、導電層 433、層間絕緣層 428、佈線層 436、層間絕緣層 442、層間絕緣層 448、半導體層 452、半導體層 453、閘極絕緣層 450、閘極電極 456、層間絕緣層 458、絕緣層 464、導電層 466、層間絕緣層 472、層間絕緣層 478、導電層 467、佈線層 477 及層間絕緣層 480。

[0177] 作為半導體基板 400，例如可以使用具有 n 型或 p 型導電型的矽基板、鍺基板、矽鍺基板、化合物半導體基板（GaAs 基板、InP 基板、GaN 基板、SiC 基板、GaP 基板、GaInAsP 基板、ZnSe 基板等）等。

[0178] 第一層 311 的電晶體與其他電晶體由元件分離絕緣膜 402 電分離。作為元件分離絕緣膜 402 的形成方法，可以使用矽的局部氧化（LOCOS：Local Oxidation of

Silicon) 法或溝槽隔離法等。

[0179] 閘極絕緣層 410 藉由在進行加熱處理使半導體基板 400 的表面氧化來氧化矽膜之後，對其選擇性地進行蝕刻來形成。或者，閘極絕緣層 410 藉由在利用 CVD 法、濺射法等形成氧化矽、氧氮化矽、高介電常數物質（也稱為 high-k 材料）的氧化鉛等金屬氧化物等之後對其選擇性地進行蝕刻來形成。

[0180] 閘極電極 412、閘極電極 413、閘極電極 414、閘極電極 415、佈線層 418、佈線層 420、導電層 422、佈線層 423、導電層 426、佈線層 430、佈線層 427、佈線層 429、佈線層 431、導電層 433、佈線層 432、佈線層 434、佈線層 436、佈線層 438、佈線層 440、導電層 444、佈線層 446、佈線層 454、閘極電極 456、導電層 460、導電層 462、導電層 466、導電層 468、佈線層 474、佈線層 476、導電層 467 及佈線層 477 較佳為使用鋁、銅、鈦、鉭、鎢等金屬材料。另外，也可以使用添加磷等雜質的多晶矽。作為形成方法，可以採用蒸鍍法、PE-CVD 法、濺射法、旋塗法等各種成膜方法。

[0181] 作為層間絕緣層 416、層間絕緣層 424、層間絕緣層 428、層間絕緣層 442、層間絕緣層 448、層間絕緣層 458、絕緣層 464、層間絕緣層 472、層間絕緣層 478 及層間絕緣層 480 較佳為形成無機絕緣層或有機絕緣層的單層或多層。作為無機絕緣層，較佳為使用氮化矽膜、氧氮化矽膜或氮氧化矽膜等的單層或多層形成。作為有機絕

緣層，較佳為形成聚醯亞胺或丙烯酸等的單層或多層形成。另外，對各絕緣層的製造方法沒有特別的限制，例如可以適當地使用濺射法、MBE 法、PE-CVD 法、脈衝雷射沉積法、ALD 法等。

[0182] 使用氧化物半導體層的單層或疊層設置半導體層 452 及半導體層 453 即可。氧化物半導體的是例如包含銦、鎵及鋅的氧化物，可以使用 In-Ga-Zn 類氧化物（也稱為 IGZO）。另外，In-Ga-Zn 類氧化物是指包含 In、Ga 及 Zn 的氧化物，而也可以包含除了 In、Ga 及 Zn 之外的金屬元素。例如，可以使用 In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物及 In-Al-Ga-Zn 類氧化物。另外，作為氧化物半導體的形成方法，可以使用濺射法、ALD 法、蒸鍍法或塗佈法等。

[0183] 作為閘極絕緣層 450，較佳為形成無機絕緣層的單層或多層。閘極絕緣層 450 更佳為具有供應氧至半導體層 452 及半導體層 453 的效果。

[0184] 在上述本實施方式的結構中，在對半導體裝置供應電源時可以增大電晶體 Tr1 及電晶體 Tr2 的通態電流。另一方面，在不對半導體裝置供應電源時佈線 VIL 的電位是接地電位，因此不會影響到電晶體 Tr1 及電晶體 Tr2 所具有的截止狀態電流小等特性。因此，可以不使半導體裝置的製程、構成電路的佈線及工作複雜化而保持被微型化的電晶體 Tr1 及電晶體 Tr2 的通態電流的大小。

[0185] 本實施方式可以與其他實施方式適當地組合

而實施。

[0186]

實施方式 4

在本實施方式中，說明可用於上述實施方式所說明的截止狀態電流小的電晶體的半導體層的氧化物半導體。

[0187] 作為用於電晶體的半導體層中的通道形成區的氧化物半導體，較佳為至少包含銦（In）或鋅（Zn）。尤其較佳為包含 In 及 Zn。此外，除了上述元素以外，較佳為還包含使氧堅固地結合的穩定劑（stabilizer）。作為穩定劑，包含鎵（Ga）、錫（Sn）、鋯（Zr）、鈪（Hf）和鋁（Al）中的至少一種即可。

[0188] 另外，作為其他穩定劑，也可以包含鑰系元素的鑰（La）、銻（Ce）、鐳（Pr）、釵（Nd）、釔（Sm）、鎔（Eu）、釷（Gd）、錒（Tb）、鐿（Dy）、釹（Ho）、鉕（Er）、銩（Tm）、鐿（Yb）、鑰（Lu）中的一種或多種。

[0189] 作為用於電晶體的半導體層的氧化物半導體，例如可以舉出氧化銦、氧化錫、氧化鋅、In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物、In-Ga-Zn 類氧化物（也記為 IGZO）、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-Zr-Zn 類氧化物、In-Ti-Zn 類氧化物、In-Sc-Zn 類氧化

物、In-Y-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物、In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物等。

[0190] 例如，可以使用其原子數比為 $\text{In:Ga:Zn}=1:1:1$ 、 $\text{In:Ga:Zn}=3:1:2$ 或 $\text{In:Ga:Zn}=2:1:3$ 的 In-Ga-Zn 類氧化物或接近於該組成的氧化物。

[0191] 當構成半導體層的氧化物半導體膜包含大量的氫時，由於氫與氧化物半導體鍵合而氫的一部分成為施體，並產生作為載子的電子。由此，電晶體的臨界電壓向負方向漂移。因此，在形成氧化物半導體膜之後較佳為進行脫水化處理（脫氫化處理），從氧化物半導體膜去除氫或水分將氧化物半導體膜高度純化以使其儘量不包含雜質。

[0192] 此外，有時因對氧化物半導體膜進行脫水化處理（脫氫化處理）而使氧化物半導體膜的氧減少。因此，為了填補因脫水化處理（脫氫化處理）而增加的氧缺陷，較佳為對氧化物半導體膜進行添加氧的處理。在本說明書等中，有時將對氧化物半導體膜供應氧的處理稱為加

氧化處理，或者，有時將使氧化物半導體膜所包含的氧多於化學計量組成的處理稱為過氧化處理。

[0193] 於本實施例中，藉由進行脫水化處理（脫氫化處理）以從氧化物半導體膜去除氫或水分，並進行加氧化處理以填補氧缺陷，可以得到 i 型（本質）或無限趨近於 i 型的實質上呈 i 型（本質）的氧化物半導體膜。需注意「實質上呈本質」是指氧化物半導體膜中的來源於施體的載子極少（近於零），載子密度為 $1 \times 10^{17}/\text{cm}^3$ 以下、 $1 \times 10^{16}/\text{cm}^3$ 以下、 $1 \times 10^{15}/\text{cm}^3$ 以下、 $1 \times 10^{14}/\text{cm}^3$ 以下、 $1 \times 10^{13}/\text{cm}^3$ 以下。

[0194] 此外，如此，具備 i 型或實質上呈 i 型的氧化物半導體膜的電晶體可以實現極為優良的截止狀態電流特性。例如，可以使使用氧化物半導體膜的電晶體的處於關閉狀態時的汲極電流在室溫（ 25°C 左右）下為 $1 \times 10^{-18}\text{A}$ 以下，較佳為 $1 \times 10^{-21}\text{A}$ 以下，更佳為 $1 \times 10^{-24}\text{A}$ 以下，或者，在 85°C 下為 $1 \times 10^{-15}\text{A}$ 以下，較佳為 $1 \times 10^{-18}\text{A}$ 以下，更佳為 $1 \times 10^{-21}\text{A}$ 以下。此外，「電晶體處於關閉狀態」是指當電晶體為 n 通道電晶體時，閘極電壓充分低於臨界電壓的狀態。明確而言，只要閘極電壓比臨界電壓低 1V 以上，2V 以上或 3V 以上，電晶體就會成為關閉狀態。

[0195] 形成的氧化物半導體可以處於非單晶狀態。非單晶例如包括 CAAC（C Axis Aligned Crystal：c 軸配向結晶）、多晶、微晶或非晶部。

[0196] 氧化物半導體也可以包括 CAAC。注意，將

包括 CAAC 的氧化物半導體稱為 CAAC-OS (c-axis aligned crystalline oxide semiconductor : c 軸配向結晶氧化物半導體) 。

[0197] 例如，有時可以在使用穿透式電子顯微鏡 (TEM : Transmission Electron Microscope) 觀察 CAAC-OS 時確認到結晶部。在大多情況下，在 TEM 的觀察影像中，包含在 CAAC-OS 中的結晶部的尺寸為能夠容納在一個邊長為 100nm 的立方體內的尺寸。此外，在使用 TEM 觀察 CAAC-OS 時，有時無法明確地確認到結晶部與結晶部之間的邊界。此外，在使用 TEM 觀察 CAAC-OS 時，有時無法明確地確認到晶界 (grain boundary) 。 CAAC-OS 不具有明確的晶界，所以不容易產生雜質的偏析。另外，CAAC-OS 不具有明確的晶界，所以陷阱態密度很少變高。另外，CAAC-OS 不具有明確的晶界，所以電子移動率的下降較小。

[0198] CAAC-OS 具有多個結晶部，有時在該多個結晶部中 c 軸在平行於形成有 CAAC-OS 的表面的法線向量或 CAAC-OS 的表面的法線向量的方向上一致。此外，當使用 X 射線繞射 (XRD : X-Ray Diffraction) 裝置並且利用 Out-of-plane 法來分析 CAAC-OS，有時在表示配向的 2θ 為 31° 附近觀察到峰值。另外，有時在 CAAC-OS 的電子繞射圖案中，觀察到斑點 (亮點) 。注意，尤其將使用電子束徑為 $10\text{nm}\phi$ 以下或 $5\text{nm}\phi$ 以下的電子線而得到的電子繞射圖案稱為奈米束電子繞射圖案。另外，在 CAAC-

OS 中，有時 a 軸及 b 軸在不同的結晶部間方向不同。在 CAAC-OS 中，有時 c 軸配向且 a 軸或/及 b 軸在宏觀上不一致。

[0199] 在包括在 CAAC-OS 中的結晶部中，c 軸在平行於形成有 CAAC-OS 的表面的法線向量或 CAAC-OS 的表面的法線向量的方向上一致。並且，當從垂直於 ab 面的方向看時金屬原子排列為三角形或六角形，且當從垂直於 c 軸的方向看時，金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。另外，在不同結晶部之間 a 軸和 b 軸的方向可以不同。在本說明書中，「垂直」的用語包括 80° 到 100° 的範圍，較佳為包括 85° 到 95° 的範圍。並且，「平行」的用語包括 -10° 到 10° 的範圍，較佳為包括 -5° 到 5° 的範圍。

[0200] 另外，CAAC-OS 可以藉由降低陷阱態密度形成。在氧化物半導體中，氧缺陷是缺陷能階。氧缺陷有時成為陷阱能階或因俘獲氫而成為載子發生源。為了形成 CAAC-OS，重要的是不在氧化物半導體中產生氧缺陷。因此，CAAC-OS 是陷阱態密度低的氧化物半導體。或者，CAAC-OS 是氧缺陷少的氧化物半導體。

[0201] 將雜質濃度低且陷阱態密度低（氧缺陷的個數少）的狀態稱為「高純度本質」或「實質上高純度本質」。高純度本質或實質上高純度本質的氧化物半導體具有較少的載子發生源，因此有時可以降低其載子密度。因此，有時將該氧化物半導體用於通道形成區的電晶體很少

具有負臨界電壓（很少成為常開啟特性）。此外，高純度本質或實質上高純度本質的氧化物半導體具有較低的陷阱態密度，因此有時其陷阱態密度也變低。因此，有時將該氧化物半導體用於通道形成區的電晶體的電特性變動小，而成為可靠性高的電晶體。此外，被氧化物半導體的陷阱能階俘獲的電荷直到被釋放為止需要較長的時間，有時像固定電荷那樣動作。因此，有時將陷阱態密度高的氧化物半導體用於通道形成區的電晶體的電特性不穩定。

[0202] 另外，在使用高純度本質或實質上高純度本質的 CAAC-OS 的電晶體中，起因於可見光或紫外光的照射的電特性的變動小。

[0203] 氧化物半導體例如可以處於多晶狀態。注意，將包括多晶的氧化物半導體稱為多晶氧化物半導體。多晶氧化物半導體包括多個晶粒。

[0204] 氧化物半導體例如可以處於微晶狀態。注意，將包括微晶的氧化物半導體稱為微晶氧化物半導體。

[0205] 在使用 TEM 觀察的微晶氧化物半導體的影像中，有時無法明確地確認到結晶部。包含在微晶氧化物半導體中的結晶部的尺寸在大多數情況下為大於或等於 1nm 且小於或等於 100nm，或大於或等於 1nm 且小於或等於 10nm 以下。尤其是，將大於或等於 1nm 且小於或等於 10nm 的微晶稱為奈米晶（nc：nanocrystal）。將具有奈米晶的氧化物半導體稱為 nc-OS（nanocrystalline Oxide Semiconductor）。此外，在使用 TEM 觀察的 nc-OS 的影

像中，有時無法明確地確認到結晶部與結晶部之間的邊界。此外，在使用 TEM 觀察的 nc-OS 的影像中，由於不具有明確的晶界，所以很少產生雜質的分離。另外，nc-OS 不具有明確的晶界，所以陷阱態密度很少變高。另外，nc-OS 不具有明確的晶界，所以電子移動率的下降較小。

[0206] nc-OS 在微小區域（例如大於或等於 1nm 且小於或等於 10nm 的區域）中有時其原子排列具有週期性。此外，nc-OS 在結晶部與結晶部之間沒有規律性，所以有時在宏觀上觀察不到原子排列的週期性，或者有時觀察不到長程有序。因此，根據分析方法，有時無法辨別 nc-OS 與非晶氧化物半導體。例如使用 XRD 裝置，並且利用電子束徑比結晶部大的 X 射線的 Out-of-plane 法來分析 nc-OS，有時檢測不到表示配向的峰值。此外，nc-OS 在使用電子束徑比結晶部大（例如 20nm ϕ 以上或 50nm ϕ 以上）的電子線而得到的電子繞射圖案中，有時可以觀察到光暈圖案。此外，nc-OS 在使用其電子束徑與結晶部大小相同或比結晶部小（例如 10nm ϕ 以下或 5nm ϕ 以下）的電子線而得到的奈米束電子繞射圖案中，有時可以觀察到斑點。此外，在 nc-OS 的奈米束電子繞射圖案中，有時觀察到如圓圈那樣的亮度高的區域。此外，在 nc-OS 的奈米束電子繞射圖案中，有時在該區域內觀察到多個斑點。

[0207] 由於有時 nc-OS 在微小區域中原子排列具有週期性，因此其陷阱態密度比非晶氧化物半導體低。注

意，由於 nc-OS 的結晶部與結晶部之間沒有規律性，因此與 CAAC-OS 相比，有時 nc-OS 的陷阱態密度變高。

[0208] 另外，氧化物半導體也可以是包括 CAAC-OS、多晶氧化物半導體、微晶氧化物半導體和非晶氧化物半導體中的兩種以上的混合膜。混合膜例如有時包括非晶氧化物半導體的區域、微晶氧化物半導體的區域、多晶氧化物半導體的區域和 CAAC-OS 的區域中的兩種以上的區域。此外，混合膜例如有時具有非晶氧化物半導體的區域、微晶氧化物半導體的區域、多晶氧化物半導體的區域和 CAAC-OS 的區域中的兩種以上的區域的疊層結構。

[0209] 本實施方式可以與其他實施方式適當地組合而實施。

[0210]

實施方式 5

在本實施方式中，參照圖 13A 和圖 13B 及圖 14A 至圖 14E 說明將在上述實施方式中說明的半導體裝置應用於電子構件及具備該電子構件的電子裝置的例子。

[0211] 在圖 13A 中，說明將在上述實施方式中說明的半導體裝置應用於電子構件的例子。注意，電子構件也被稱為半導體封裝或 IC 用封裝。該電子構件根據端子取出方向和端子的形狀存在多個規格和名稱。於是，在實施方式中，說明其一個例子。

[0212] 藉由組裝製程（後面的製程），並且藉由在印刷電路板上組合多個能夠裝卸的構件，完成由如上述實

施方式 2 的圖 10A 至圖 12B 以及上述實施方式 3 的圖 15A 至圖 19B 所示的電晶體構成的半導體裝置。

[0213] 後面的製程可以藉由進行圖 13A 所示的各製程完成。明確而言，在由前面的製程得到的元件基板完成（步驟 S1）之後，研磨基板的背面（步驟 S2）。藉由在此步驟使基板薄膜化，可以降低在前面的製程中的基板的翹曲等，而實現構件的小型化。

[0214] 進行研磨基板的背面並將基板分成多個晶片的切割（dicing）製程。並且，進行如下晶片接合（die bonding）製程（步驟 S3）：拾取被切割的各晶片，並將其安裝且接合於引線框架上。該晶片接合製程中的晶片與引線框架的接合可以適當地根據產品選擇合適的方法，如利用樹脂的接合或利用膠帶的接合等。另外，在晶片接合製程中，也可以將各晶片安裝於插入物（interposer）上來進行。

[0215] 接著，進行將引線框架的引線與晶片上的電極藉由金屬細線（wire）電連接的打線接合（wire bonding）（步驟 S4）。作為金屬細線可以使用銀線或金線。此外，打線接合可以使用球形接合（ball bonding）或楔形接合（wedge bonding）。

[0216] 實施由環氧樹脂等密封進行了打線接合的晶片的成型（molding）製程（步驟 S5）。藉由進行成型製程，使電子構件的內部被樹脂填充，可以保護安裝於電子構件內部的電路部及金屬細線免受機械外力的影響，還可

以降低因水分或灰塵而導致的特性劣化。

[0217] 接著，對引線框架的引線進行電鍍處理。並且對引線進行切斷及成型加工（步驟 S6）。藉由該電鍍處理可以防止引線生鏽，而在之後將引線安裝於印刷電路板時，可以更加確實地進行焊接。

[0218] 接著，對封裝表面實施印字處理（marking）（步驟 S7）。並且藉由最後的檢驗製程（步驟 S8）完成電子構件（步驟 S9）。

[0219] 上面說明的電子構件可以是包括在上述實施方式中所說明的半導體裝置的結構。因此，可以實現一種包括即使進行元件的微型化也可以確保保持資料時需要的記憶容量並藉由降低電晶體的寄生電容縮減正常工作所需要的記憶容量的半導體裝置的電子構件。該電子構件包括具有由於實現了進行資料備份與資料恢復的電晶體的寄生電容的降低而使保持資料時所需要的記憶容量容易確保的記憶單元的半導體裝置。因此，該電子構件是可以更確實地進行資料備份與資料恢復的電子構件。

[0220] 另外，圖 13B 示出完成的電子構件的透視示意圖。在圖 13B 中，作為電子構件的一個例子，示出 QFP（Quad Flat Package：四面扁平封裝）的透視示意圖。圖 13B 所示的電子構件 700 包括引線 701 及半導體裝置 703。圖 13B 所示的電子構件 700 例如安裝於印刷電路板 702。藉由組合多個這樣的電子構件 700 並使每一個在印刷電路板 702 上彼此電連接，來完成安裝有電子構件的基

板（電路板 704）。完成的電路板 704 設置於電子裝置等的內部。

[0221] 接著，說明將上述電子構件用於如下電子裝置的情況：電腦、可攜式資訊終端（包括行動電話、可攜式遊戲機以及音頻再生裝置等）、電子紙、電視機（也稱為電視或電視接收機）以及數位攝影機等。

[0222] 圖 14A 示出可攜式資訊終端，其包括外殼 901、外殼 902、第一顯示部 903a 和第二顯示部 903b 等。在外殼 901 和外殼 902 中的至少一個中設置有包括之前的實施方式所示的半導體裝置的電路板。因此，可以實現可以更確實地進行資料的備份與資料的恢復的可攜式資訊終端。

[0223] 另外，第一顯示部 903a 為具有觸摸輸入功能的面板，例如如圖 14A 的左圖所示，可以由第一顯示部 903a 顯示的選擇按鈕 904 選擇是進行「觸摸輸入」還是進行「鍵盤輸入」。由於可以以各種各樣的尺寸顯示選擇按鈕，所以各個年齡層的人都能容易使用。在此，例如在選擇「觸摸輸入」的情況下，如圖 14A 的右圖所示，在第一顯示部 903a 中顯示鍵盤 905。由此，可以如習知的資訊終端同樣地利用鍵盤迅速地進行文字輸入。

[0224] 另外，圖 14A 所示的可攜式資訊終端如圖 14A 的右圖所示，可以將第一顯示部 903a 及第二顯示部 903b 中的一個卸下。藉由作為第一顯示部 903a 採用具有觸摸輸入功能的面板，可以減輕攜帶時的重量，並可以用

一隻手拿著外殼 902 而用另一隻手進行操作，所以很方便。

[0225] 圖 14A 所示的可攜式資訊終端可具有在顯示部上顯示各種資訊（例如靜止影像、動態影像和文字影像等）的功能，在顯示部上顯示日曆、日期、時間等的功能，操作或編輯顯示在顯示部上的資訊的功能，控制各種軟體（程式）的處理的功能等。另外，也可以採用在外殼的背面或側面具備外部連接端子（耳機端子、USB 端子等）、儲存媒體插入部等的結構。

[0226] 另外，圖 14A 所示的可攜式資訊終端可以採用以無線方式發送且接收資訊的結構。還可以採用以無線方式從電子書伺服器購買且下載所希望的書籍資料等的結構。

[0227] 再者，也可以使圖 14A 所示的外殼 902 具有天線、麥克風功能及無線通訊功能，來將其用作行動電話。

[0228] 圖 14B 示出包括有電子紙的電子書閱讀器 910。該電子書閱讀器由兩個外殼，即外殼 911 及外殼 912 構成。在外殼 911 及外殼 912 中分別設置有顯示部 913 及顯示部 914。外殼 911 及外殼 912 由軸部 915 連接，並且可以以該軸部 915 為軸進行開閉動作。此外，外殼 911 包括電源 916、操作鍵 917 以及揚聲器 918 等。在外殼 911 和外殼 912 中的至少一個中設置有包括之前的實施方式所示的半導體裝置的電路板。因此，可以實現可以

更確實地進行資料的備份與資料的恢復的電子書閱讀器。

[0229] 圖 14C 示出電視機，其包括外殼 921、顯示部 922 和支架 923 等。可以藉由外殼 921 所具有的開關和遙控操作器 924 來進行電視機 920 的操作。在外殼 921 和遙控操作器 924 中安裝有包括之前的實施方式所示的半導體裝置的電路板。因此，可以實現可以更確實地進行資料的備份與資料的恢復的電視機。

[0230] 圖 14D 示出智慧手機，在其主體 930 中包括顯示部 931、揚聲器 932、麥克風 933 和操作按鈕 934 等。在主體 930 中設置有包括之前的實施方式所示的半導體裝置的電路板。因此，可以實現可以更確實地進行資料的備份與資料的恢復的智慧手機。

[0231] 圖 14E 示出數位相機，其包括主體 941、顯示部 942 和操作開關 943 等。在主體 941 中設置有包括之前的實施方式所示的半導體裝置的電路板。因此，可以實現可以更確實地進行資料的備份與資料的恢復的數位相機。

[0232] 如上所述，在本實施方式所示的電子裝置中安裝有包括根據之前的實施方式的半導體裝置的電路板。因此，可以實現可以更確實地進行資料的備份與資料的恢復的電子裝置。

實施例 1

[0233] 試製了安裝有具有在上述實施方式 3 中說明的半導體裝置（以下，稱為 OS-SRAM）的結構的快取記

憶體的 32 位元微處理器，在本實施例中說明其評價結果。

[0234] 圖 20 和圖 21 分別示出 OS-SRAM 的電路圖以及 Power-Gating (PG：電源閘控) 序列。

[0235] 如圖 20 所示，OS-SRAM 除了包括標準 SRAM (6T 型) 以外，還包括將氧化物半導體用於兩個半導體層的電晶體 (以下，稱為 OS-FET) 及兩個電容器。

[0236] 圖 20 所示的 OS-SRAM 所包括的電晶體的參數如表 1 所示。

[0237]

[表 1]

電晶體的寬度/長度[nm]	驅動(Drive)	200/45
	存取(Access)	130/45
	載入(Load)	130/45
	OS-FET	40/100
電容器的容量[fF]		0.94
電源電壓[V]	VDM (Si-FET 的)	1.1
	VDH (OS-FET 的)	2.5

[0238] 在圖 21 所示的 PG 程式中，將保持在雙穩定節點 Q、QB 的資料備份在節點 SN1、節點 SN2，然後遮蔽 Virtual- V_{DM} ($V-V_{DM}$) 來停止電源供應。當恢復時，藉由將保持在節點 SN1、節點 SN2 的資料返回到雙穩定節點 Q、QB，可以從 PG 之前的狀態開始通常工作。

[0239] 圖 22 示出 OS-SRAM 的佈局。可以將為了備份資料而設置的部分（兩個 OS-FET 與兩個 Capacitor）層疊在形成有標準 SRAM 的層上。因此，可以使從標準 SRAM 改變為 OS-SRAM 時的面積增加比率為 0%。OS-SRAM 單元的面積為 $0.46\mu\text{m} \times 1.24\mu\text{m} = 0.5704\mu\text{m}^2$ （ $135F^2$ ）。

[0240] 作為可以備份資料的 SRAM，除了 OS-SRAM 以外，也已提出了使用 MRAM（Magnetoresistive RAM：磁阻式隨機存取記憶體）、FeRAM（Ferroelectric Random Access Memory：鐵電隨機存取記憶體）等方法。但是，在上述方法中，其面積都比使用標準 SRAM 時的面積大，所以可以實現沒有面積增加而備份資料的 SRAM 只有 OS-SRAM。

[0241] 根據模擬確認到：PG 序列中的 OS-SRAM 的備份（Backup）時間、恢復（Recovery）時間分別可以是 3.9ns、2.0ns。在此，在圖 23 中整理示出各期間中的能耗。

[0242] 備份（Backup）期間：在備份保持在雙穩定節點 Q、QB 的資料時，由於對 OS-FET 的閘極電容與電容器的充放電而消費能量（ E_{backup} ）。

[0243] Power-off 期間：藉由遮斷電源縮減待機功率。理想上遮斷時的洩漏電流為 $I_{\text{off}}=0$ ，但是實際上在進行電源遮斷的功率開關中產生洩漏電流，該值受功率開關電晶體的設計尺寸的影響。在本模擬中，將功率開關的洩

漏電流設定為 0 ($I_{off}=0$) 以檢查不受設計規格影響的本質的 PG 效果。

[0244] 恢復 (Recovery) 期間：消費 $E_{recovery}$ 以將資料從備份部 (節點 SN1、節點 SN2) 返回到雙穩定節點 Q、QB。作為 $E_{recovery}$ 有對 OS-FET 的閘極電容或 $V-V_{DM}$ 佈線進行充電時、在雙穩定節點 Q、QB 開始工作時的貫通電流。

[0245] 在待機狀態時待機功率 ($I_{sby} \times V_D$) 不斷消耗，但是藉由進行 PG，可以使該待機功率為 0。當藉由 PG 縮減某一個期間 τ_{total} 的待機功率時，以公式 1 表示適用 PG 時的所有期間的能量 ($E_{backup}+E_{off}+E_{recovery}$) 與待機功率 ($I_{sby} \times V_D \times \tau_{total}$) 之間的差 $E_{overhead}$ 。

[0246]

[公式 1]

$$E_{overhead} = (E_{backup} + E_{off} + E_{recovery}) - (I_{sby} \times V_D \times \tau_{total}) \quad (1)$$

[0247] 在此，要注意的是待機功率不等於低功率消耗。根據公式 1 可知：當以比成為 $E_{overhead}=0$ 的時間 (BET: Break-Even Time, 損益平衡時間) 短的時間進行 PG 時，藉由進行 PG 卻使耗電量增加。以公式 2 表示 BET。

[0248]

[公式 2]

$$BET = (E_{backup} + E_{off} + E_{recovery}) / (I_{sby} \times V_D) \quad (2)$$

[0249] 如此，在以比 BET 短的時間進行 PG 時沒有

低耗電量的效果，而如何縮短 BET 是重要的。圖 24 示出在 OS-SRAM 中進行 PG 時的能量。改變電源遮斷的時間（ τ_{off} ）來求得 PG 與待機時的能量相等的時間。作為模擬的初始條件，假設雙穩定節點 Q、QB 與備份單元的資料不同的情況以及它們相同的情況的兩個情況。這兩個條件（具有資料反向的備份與不具有資料反向的備份）下的 BET 分別估計為 21.7ns、19.2ns。

[0250] 檢查了從標準 SRAM 改為 OS-SRAM 時的對通常工作的影響。

[0251] 待機功率：OS-SRAM、標準 SRAM 的待機功率都是 419nW。

[0252] 靜態雜訊邊限（SNM：Static Noise Margin）：圖 25A 至圖 25C 示出讀出工作、寫入工作、保持工作時的 SNM。從圖式可知：SNM 彼此重疊而完全沒有 SNM 的劣化。

[0253] 延遲時間：關於雙穩定節點 Q、QB 的反轉延遲，OS-SRAM 的是 17.7ps，標準 SRAM 的是 15.2ps。為了模擬字線的延遲及位元線的延遲，假設 256 行×128 列的 OS-SRAM 陣列以及標準的 SRAM 陣列。關於字線的升壓時間，OS-SRAM 的是 39.4ps，標準 SRAM 的是 36.9ps。關於當進行讀出工作時在字線上升之後到位元線進行放電而其電位成為（ $V_D - V_{BLSENSE}$ ）所需要的時間，OS-SRAM 的是 131ps，標準 SRAM 的是 126ps（ $V_{BLSENSE} = 0.3V$ ）。

[0254] 動態耗電量：使用了與模擬延遲時相同的試驗台。在 OS-SRAM 和標準 SRAM 中，雙穩定節點 Q、QB 的反轉所造成的耗電量分別是 3.73fJ、3.24fJ，字線所造成的耗電量分別是 79.9fJ、76.6fJ，位元線所造成的耗電量分別是 3.81pJ、3.77pJ。

[0255] 如上所述，幾乎可以忽視從標準 SRAM 改為 OS-SRAM 時的對通常工作的影響。這是因為藉由 OS-FET 將通常工作時使用的雙穩定節點 Q、QB 與備份單元電氣隔離。

[0256] 表 2 示出 OS-SRAM 的特性。

[0257]

[表 2]

		OS-SRAM	標準 SRAM
面積[μm^2]		0.5704(+0%)	0.5704
VTL (HP)	待機功率[nW/bit]	419(+0%)	419
	靜態雜訊邊限	沒有降低	-
	雙穩定節點的反轉延遲[ps]	17.7(+16.1%)	15.2
	字線的延遲[ps]	39.4(+6.7%)	36.9
	位元線的延遲[ps]	131(+3.9%)	126
	雙穩定節點反轉能量[fJ/bit]	3.73(+15.2%)	3.24
	字線動態能量 (Wordline dynamic energy) [fJ]	79.9(+4.3%)	76.6
	位元線動態能量 (Bitline dynamic energy) [pJ]	3.81(+1.1%)	3.77
	備份時間[ns]	3.9	-
	恢復時間[ns]	2.0	-
	PG 時的能量[fJ/bit]	9.09	-
	BET[ns]	21.7	-
VTG (LP)	待機功率[nW/bit]	45.7(+0%)	45.7
	PG 時的能量[fJ/bit]	7.09	-
	BET[ns]	155	-
VTH (LSTP)	待機功率[nW/bit]	0.589(+0%)	0.589
	PG 時的能量[fJ/bit]	6.89	-
	BET[ns]	11700	-

[0258] 將 OS-SRAM 適用於 32 位元微處理器的快取記憶體。所製造的 2 千位元組 (KB) 的快取記憶體使用 CMOS 為 350nm 且 OS 為 180nm 的製程技術 (process technology) ， OS-SRAM 的備份單元由 W/L=800nm/180nm 的 OS-FET 以及 C=27.1fF 的電容器 (Capacitor) 構成。

圖 26 示出晶片的照片。另外，表 3 示出微處理器的規格。

[0259]

[表 3]

技術		CMOS:350nm	OS:180nm
快取記憶體	組態	統一(Unified)	
	容量	2KB	
	相聯	2 路組相聯(2 way set associative)	
	置換	LRU 法	
	區塊大小	4B	
	寫入方法	寫回、寫入配置	
	命中延遲時間 (Hit latency)	2 時脈週期	
	ISA	MIPS I(32-bit, RISC)	
電源電壓		Si:2.5V	OS:2.5V/-1V
時脈頻率		15MHz	

[0260] 圖 27 示出微處理器的方塊圖。快取記憶體的三個電源定域包括：OS-SRAM 矩陣部、驅動電路部（包括快取記憶體控制器（cache controller））以及備份及恢復驅動部（Backup & Recovery Driver 部，規格為 2.5V/-1V）。在它們的 high-level（ $V-V_{DD}$ 、 $V-V_{DM}$ 、 $V-V_{DH}$ ）一側分別設置功率開關。藉由從 PMU（Power Management Unit：電源管理單元）對快取記憶體輸入控制 OS-FET 的 PG 信號、控制功率開關的 PSW_PERI 信號以及 PSW_MEM 信號，執行 PG 序列。



[0261] 可以根據圖 28 所示的 PG 時的示波器波形確認到正常 PG 工作。圖式中的 BLR 信號和 NDR 信號是用來在開始恢復工作時將 SRAM 單元中的雙穩定節點 Q、QB 預充電為 GND 電位的。根據測量，確認到 80ns 的備份工作、400ns 的恢復工作（包括用來使電源穩定化的 200ns）。正常時的待機功率為 922nW，遮斷電源時的待機功率為 22.5nW，而可以確認到由於 PG 而可以縮減待機功率的 97.6%。

[0262] 在圖 29 所示的 BET 評價中，藉由計算在正常工作（備份字（Store Word）、恢復字（Load Word））之間以 τ_{pg} 插入 PG 狀態時的平均功率 P_{pg+exe} 與在正常工作之間以 τ_{sby} ($=\tau_{pg}$) 插入待機狀態（Standby state）時的平均功率 $P_{sby+exe}$ 之間的差，測量附加功率（overhead power）（參照公式 3），將公式（3）中的附加功率為 0 的時間表示為 BET。

[0263]

[公式 3]

$$P_{overhead} = P_{pg+exe} - P_{sby+exe} \quad (3)$$

[0264] 根據圖 30，得到 BET=61.4ms。在 85℃ 下確認到一日以上的資料保持特性。

[0265] 在這次試製中，證實了 CMOS:350nm/OS:180nm 的疊層製程，並證實了在最尖端製程中可以適用 OS-SRAM 而不增加電路面積。在 350nm 的 CMOS 製程中，洩漏功率原來不大，而 2 千位元組快取記憶體的 BET 停

留在毫秒級，但是微型化製程發展而 Si-FET 的洩漏電流越大利用 OS-SRAM 的 PG 技術越發揮效果。

【符號說明】

[0266]

100：記憶單元

101：記憶體電路

101_mn：記憶體電路

101_11：記憶體電路

111：絕緣層

112：半導體層

113：電極

114：電極

115：閘極絕緣層

116：閘極電極

117：電極

118：層間絕緣層

119：佈線層

121：電晶體

122：電晶體

123：反相器電路

124：反相器電路

400：半導體基板

402：元件分離絕緣膜

410：閘極絕緣層
412：閘極電極
413：閘極電極
414：閘極電極
415：閘極電極
416：層間絕緣層
418：佈線層
420：佈線層
422：導電層
423：佈線層
424：層間絕緣層
426：導電層
427：佈線層
428：層間絕緣層
429：佈線層
430：佈線層
431：佈線層
432：佈線層
433：導電層
434：佈線層
436：佈線層
438：佈線層
440：佈線層
442：層間絕緣層

- 444：導電層
- 446：佈線層
- 448：層間絕緣層
- 450：閘極絕緣層
- 452：半導體層
- 453：半導體層
- 454：佈線層
- 456：閘極電極
- 458：層間絕緣層
- 460：導電層
- 462：導電層
- 464：絕緣層
- 466：導電層
- 467：導電層
- 468：導電層
- 472：層間絕緣層
- 474：佈線層
- 476：佈線層
- 477：佈線層
- 478：層間絕緣層
- 480：層間絕緣層
- 600：半導體基板
- 601：元件分離絕緣膜
- 602：雜質區域

603：雜質區域
604：閘極絕緣層
605：佈線層
606：佈線層
607：雜質區域
608：雜質區域
609：閘極電極
610：層間絕緣層
611：佈線層
612：佈線層
613：佈線層
614：佈線層
620：層間絕緣層
621：佈線層
622：佈線層
623：佈線層
624：佈線層
630：層間絕緣層
631：佈線層
632：佈線層
633：佈線層
634：佈線層
640：層間絕緣層
641：佈線層

642：佈線層
 643：佈線層
 650：層間絕緣層
 651：半導體層
 652：導電層
 653：閘極絕緣層
 654：導電層
 655：導電層
 656：導電層
 657：導電層
 659：導電層
 660：導電層
 661：閘極電極
 662：導電層
 663：佈線層
 700：電子構件
 701：引線
 702：印刷電路板
 703：半導體裝置
 704：電路板
 800：半導體基板
 801：元件分離絕緣膜
 802：雜質區域
 803：閘極絕緣層

804：閘極電極
805：佈線層
810：層間絕緣層
820：層間絕緣層
821：佈線層
822：佈線層
823：佈線層
830：層間絕緣層
831：佈線層
840：層間絕緣層
841：佈線層
842：佈線層
850：層間絕緣層
851：半導體層
852：導電層
853：閘極絕緣層
854：導電層
855：導電層
856：導電層
901：外殼
902：外殼
903a：顯示部
903b：顯示部
904：選擇按鈕

- 905：鍵盤
- 910：電子書閱讀器
- 911：外殼
- 912：外殼
- 913：顯示部
- 914：顯示部
- 915：軸部
- 916：電源
- 917：操作鍵
- 918：揚聲器
- 920：電視機
- 921：外殼
- 922：顯示部
- 923：支架
- 924：遙控器
- 930：主體
- 931：顯示部
- 932：揚聲器
- 933：麥克風
- 934：操作按鈕
- 941：主體
- 942：顯示部

發明摘要

※申請案號：103116240

※申請日：103 年 05 月 07 日

※IPC 分類：G11C 11/401 (2006.01)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【中文】

本發明提供一種具有即使進行元件的微型化也可以確保保持資料時所需要的記憶容量的新穎結構的半導體裝置。構成電容器的電極包括用作電晶體的閘極的電極、用作電晶體的源極及汲極的電極以及設置在與它們相同的層中的電極。將設置有用作電晶體的閘極的電極的層設置在與連接多個記憶體之間的電晶體的閘極的佈線層不同的層中。藉由採用該結構，可以抑制形成在電晶體的閘極附近的寄生電容。因為可以將設置有用作電晶體的閘極的電極的層設置在與連接多個記憶體之間的電晶體的閘極的佈線層不同的層中，所以可以增加電容器的形成面積。

【 英文 】

A semiconductor device with a novel structure in which storage capacity needed for holding data can be secured even with miniaturized elements is provided. In the semiconductor device, electrodes of a capacitor are an electrode provided in the same layer as a gate of a transistor and an electrode provided in the same layer as a source and a drain of the transistor. Further, a layer in which the gate of the transistor is provided and a wiring layer connecting the gates of the transistors in a plurality of memories are provided in different layers. With this structure, parasitic capacitance formed around the gate of the transistor can be reduced, and the capacitor can be formed in a larger area.

【代表圖】

【本案指定代表圖】：第(1A)圖。

【本代表圖之符號簡單說明】：

100：記憶單元

101_11、101_1n、101_m1、101_mn：記憶體電路

BL_1、BL_n：位元線

Cap_11、Cap_1n、Cap_m1、Cap_mn：電容器

ML_1、ML_m：資料控制線

NVN_11、NVN_1n、NVN_m1、NVN_mn：非揮發性記憶體部

Tr_11、Tr_1n、Tr_m1、Tr_mn：電晶體

VN_11、VN_1n、VN_m1、VN_mn：揮發性記憶體部

WL_1、WL_m：字線

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

申請專利範圍

1. 一種半導體裝置，包括：

複數個記憶體，各包括：

包含第一資料保持部的第一記憶體；以及

包含第二資料保持部的第二記憶體，以及佈線，

其中，該第二資料保持部包含電晶體及電容器，

該電晶體的第一電極與該第一資料保持部電連接，

該電晶體的第二電極與該電容器的第一電極電連接，

該電容器的該第一電極和該電晶體的該第一電極位於相同層上，

該電容器的第二電極和該電晶體的閘極位於相同層上，

該複數個記憶體中該電晶體的閘極經由該佈線彼此電連接，

設置有該佈線的層與設置有該電晶體的該閘極的層彼此不同。

2. 根據申請專利範圍第 1 項之半導體裝置，

其中在該第二資料保持部中，藉由使該電晶體關閉並且將電荷保持在該電晶體的該第二電極與該電容器的該第一電極之間，保持儲存在該第一資料保持部中的資料。

3. 根據申請專利範圍第 1 項之半導體裝置，其中該電晶體具有包含氧化物半導體的半導體層。

4. 根據申請專利範圍第 1 項之半導體裝置，其中該電晶體是頂閘極型電晶體。

5. 根據申請專利範圍第 1 項之半導體裝置，其中該第一資料保持部是包括具有包含矽的半導體層的第二電晶體的電路。

6. 根據申請專利範圍第 5 項之半導體裝置，其中該電晶體設置在該第二電晶體上。

7. 根據申請專利範圍第 6 項之半導體裝置，該複數個記憶體的每一個還包括：

在設置有該電晶體的層與設置有該第二電晶體的層之間的第二佈線，

其中該電晶體和該第二電晶體經由該第二佈線彼此電連接。

8. 一種半導體裝置，包括：

複數個記憶體，各包括：

包含第一資料保持部和第二資料保持部的第一記憶體；以及

包含第三資料保持部和第四資料保持部的第二記憶體，以及

佈線，

其中，

該第三資料保持部包含第一電晶體和第一電容器，

該第四資料保持部包含第二電晶體和第二電容器，

該第一電晶體的第一電極與該第一資料保持部電連接，

該第一電晶體的第二電極與該第一電容器的第一電極

電連接，

該第二電晶體的第一電極與該第二資料保持部電連接，

該第二電晶體的第二電極與該第二電容器的第一電極電連接，

該第一電容器的該第一電極和該第一電晶體的該第一電極位於相同層上，

該第一電容器的第二電極、該第二電容器的第二電極、該第一電晶體的閘極和該第二電晶體的閘極位於相同層上，

該第一電晶體的該閘極與該第二電晶體的該閘極經由該佈線彼此電連接，

並且，設置有該佈線的層與設置有該第一電晶體的該閘極和該第二電晶體的該閘極的層彼此不同。

9. 根據申請專利範圍第 8 項之半導體裝置，其中：

在該第三資料保持部中，藉由使該第一電晶體關閉並且將電荷保持在該第一電晶體的該第二電極與該第一電容器的該第一電極之間，保持儲存在該第一資料保持部中的資料，以及

在該第四資料保持部中，藉由使該第二電晶體關閉並且將電荷保持在該第二電晶體的該第二電極與該第二電容器的該第一電極之間，保持儲存在該第二資料保持部中的資料。

10. 根據申請專利範圍第 8 項之半導體裝置，其中該

第一電晶體和該第二電晶體之各者具有包含氧化物半導體的半導體層。

11. 根據申請專利範圍第 8 項之半導體裝置，其中該第一電晶體和該第二電晶體之各者為頂閘極型電晶體。

12. 根據申請專利範圍第 8 項之半導體裝置，其中：
該第一資料保持部是包含第三電晶體的電路，該第二資料保持部是包含第四電晶體的電路，

該第三電晶體和該第四電晶體之各者具有包含矽的半導體層。

13. 根據申請專利範圍第 12 項之半導體裝置，其中該第一電晶體和該第二電晶體設置在該第三電晶體上。

14. 根據申請專利範圍第 13 項之半導體裝置，該複數個記憶體的每一個還包括：

在設置有該第一電晶體和該第二電晶體的層與設置有該第三電晶體和該第四電晶體的層之間的第二佈線，

其中該第一電晶體、該第二電晶體、該第三電晶體和該第四電晶體經由該第二佈線彼此電連接。

15. 根據申請專利範圍第 1 或 8 項之半導體裝置，其中該第一記憶體為揮發性記憶體。