

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3667539号

(P3667539)

(45) 発行日 平成17年7月6日(2005.7.6)

(24) 登録日 平成17年4月15日(2005.4.15)

(51) Int. Cl.<sup>7</sup>

F I

H O 4 L 27/22

H O 4 L 27/22

C

H O 4 L 7/10

H O 4 L 7/10

H O 4 L 25/40

H O 4 L 25/40

C

請求項の数 1 (全 9 頁)

(21) 出願番号	特願平10-338704	(73) 特許権者	303013763
(22) 出願日	平成10年11月30日(1998.11.30)		日本電気エンジニアリング株式会社
(65) 公開番号	特開2000-165464(P2000-165464A)		東京都港区芝浦三丁目18番21号
(43) 公開日	平成12年6月16日(2000.6.16)	(74) 代理人	100109313
審査請求日	平成14年3月11日(2002.3.11)		弁理士 机 昌彦
		(74) 代理人	100085268
			弁理士 河合 信明
		(74) 代理人	100111637
			弁理士 谷澤 靖久
		(72) 発明者	林 俊夫
			東京都港区芝浦三丁目18番21号 日本電気エンジニアリング株式会社内
		審査官	藤井 浩

最終頁に続く

(54) 【発明の名称】 復調器におけるシンボルタイミング再生回路

(57) 【特許請求の範囲】

【請求項1】

一定数の入力データを積算してシンボルを生成する復調器におけるシンボルタイミング再生回路であって、前記一定数の入力データの相加平均値と前記入力データを掛け合わせた値を用いて、プリアンプル部に含まれる一定数のデータのうちの1つのデータの極性がその他のデータの極性と異なるプリアンプルパターンを検出することでシンボルタイミングを再生することを特徴とするシンボルタイミング再生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はシンボルタイミング再生回路に関し、特に一定数のデータを積算して生成したシンボルのタイミングを再生する回路に関する。

【0002】

【従来の技術】

デジタルデータを送受信する変復調装置(MODEM)において、送信側では伝送したいシンボルをもとに一定数のデータを繰り返し送信し、受信側ではそのデータを一定数積算することでシンボルを生成する通信方法を考える。

【0003】

送信側でのデータ伝送速度をx[bps](bit per second)とし、受信側ではこのx[bps]のデータ受信クロックは再生されているものとする。この通信系を用いて、x[bps]で送信される

10

20

データを $n$ [bit]ずつ積算して1つの受信データとし、1秒間に $z$ 個のデジタルデータを送信する。ここで、変数 $x, n, z$ は自然数であり、積算によって生成されるデータの最小単位が1シンボルとなる。送信側では送信したいシンボルをもとに、同じデータを $n$ [bit]ずつ繰り返して送信する。この通信方法では、 $x$ [bps]の通信系を用いて $z$ [sps] (symbol per second)の通信ができることになる。

【0004】

伝送速度 20 [bps]、積算個数 4 [bit]の場合の積算によるシンボル生成例を図1に示す。送信シンボル列{0,0,1,0,1,1,0,1,0,0}をもとに同じビットを4bitずつ繰り返し、20 [bps]でのビット列

{0000000011110000111111110000111100000000}

10

を送信する。

【0005】

受信側では20 [bps]のビット列を4 [bit]ずつ積算し、積算結果をシンボル列{0,0,1,0,1,1,0,1,0,0}に変換することでシンボルを生成している。この例での受信シンボル速度は5 [sps]となる。

【0006】

本発明は、このような通信方式におけるシンボルタイミングの再生回路に関する。

【0007】

【発明が解決しようとする課題】

このような通信系の受信側において $n$  [bit]の積算を行う場合、どこから積算を開始してシンボルを生成するかという、データ列上での積算開始位置を正確に知る必要がある。この位置は1つのシンボルの先頭であり、この位置を求める処理がシンボルタイミング再生である。シンボルタイミングが狂うと正しい積算ができなくなり、結果的に正しいシンボルが生成できなくなる。

20

【0008】

例えば、1つのシンボルを生成するデータ列の中心付近から積算が開始された場合、隣り合った2シンボル分のデータ列をまたいで積算することになる。こうなると積算結果に誤りが生じ、送信したいシンボルと受信側で生成されるシンボルが一致しなくなってしまう可能性が生じる。

【0009】

したがって、本発明の目的は、一定数のデータを積算してシンボルを生成する復調器におけるシンボルタイミング再生回路を提供することである。

30

【0010】

【課題を解決するための手段】

本発明によるシンボルタイミング再生回路においては、プリアンブル部に含まれる特定のプリアンブルパターンを用いてシンボルタイミングを再生することを特徴とする。

【0011】

また、本発明によれば、一定数の入力データの相加平均値を入力データと掛け合わせた値を用いることにより、同期検波方式のみではなく遅延検波方式を用いた通信系に対しても有効である。

40

【0012】

【発明の実施の形態】

図2のフレーム構成図に示すように、シンボルタイミング再生は、実際に送信したいデータ部の前に設けられたプリアンブル部に含まれるシンボルタイミング再生処理専用区間において行われ、この区間をプリアンブルパターンと呼ぶ。このため、送信データはシンボルタイミング再生用のプリアンブルパターンを含むプリアンブル部とデータ部を有するフレーム構成となる。

【0013】

図3は、本発明の第一の実施の形態における送信側の構成を示すブロック図である。送信側はベースバンド波形発生回路1と、シングルパルス発生回路2と、論理回路3とで構成

50

されている。

【0014】

ベースバンド波形発生回路1は、任意のベースバンド波形を発生する。シングルパルス発生回路2は、伝送速度に応じた時間単位幅のシングルパルスを発生する。論理回路3は、2入力の排他的論理和を取る回路である。

【0015】

図4は、本発明の第一の実施の形態における受信側の構成を示すブロック図である。受信側は、遅延回路4と、セクタ5と、振り分け回路6と、積算回路7と、比較回路8とで構成されている。積算回路7はシンボルの生成に必要な積算回数分だけ用意する。

【0016】

遅延回路4は、データ伝送速度に応じた時間単位で入力信号を遅延させる。セクタ5は、条件によって信号出力を2系統に切り替える。振り分け回路6は、入力されるデータを規則に従って振り分ける。積算回路7は、入力された値を積算して結果を記憶しておく。比較回路8は、入力された値を条件に従って比較し、シンボルタイミング再生の可否判定とシンボルタイミング再生のための遅延情報を入力する。

【0017】

データ伝送速度を5000[bps]、1シンボルを生成するための連続データ積算個数を25個とすると、この条件下では1秒間に200個のシンボルを送信できる。このような通信系を例にとって、本実施例の動作を説明する。復調は同期検波方式を用いるものとし、ベースバンド波形はデジタルデータ(シンボル)"0"に"-1"、"1"に"+1"を対応させる。また、シンボルタイミング再生用のプリアンプルパターン長は2秒間(10000[bit])とする。プリアンプルパターンは多くの組み合わせが考えられるが、以下に示すパターンが望ましい。

【0018】

図3の送信側ブロックの動作について説明する。プリアンプル部でのシンボルは一定とする。ここでは、"0"一定としたシンボルをもとにベースバンド波形を決めて、ベースバンド発生回路1から"-1"を出力する。シングルパルス発生回路2は1/200[sec]周期で繰り返される1/5000[sec]幅のシングルパルスを、1シンボル分のデータ列の先頭と一致するタイミングで発生する。シングルパルス発生回路2の出力波形を図5に示す。

【0019】

この2つの信号を論理回路3に入力し、排他的論理和を取る。論理回路3の出力波形と出力データ列を図6に示す。出力データ列は25個のデータで1つのパターンを構成し、先頭の1個が"+1"、残りの24個が"-1"の値を取る。こうして合成された信号は変調器に入力される。

【0020】

図4の受信側ブロックの動作について説明する。シンボルタイミング再生処理中は遅延回路4でデータに遅延がかかることはなく、入力データは直接セクタに伝達される。当然のことであるが、データ列のどの位置から積算が開始されているかは一切不明である。

【0021】

セクタ5では、振り分け回路6への出力が選択されている。

【0022】

入力されたデータは振り分け回路6によって25個の積算回路7に、順番に振り分けられる。1番目から25番目までひと通りデータが振り分けられると、振り分け回路6は再び1番から順にデータの振り分けを行う。振り分け回路6は、この作業を指定された回数だけ繰り返す。この回数は積算回路7で何回積算するかを示す値であり、この例では400回とする。

【0023】

積算回路7は、周期的に入力されるデータを順に積算して結果を記憶する。400回の積算が終了した時点では、400回分の積算結果が25個あるそれぞれの積算回路7に記憶されている。

【0024】

10

20

30

40

50

受信側に入力されるデータ列を  $\{x_1, x_2, x_3, \dots\}$ 、1シンボルを生成するために積算する回数を  $n$ 、積算回路 7 で積算する回数を  $r$ 、記憶される積算結果を  $S$  とすると、 $n$  個ある積算結果の  $i$  番目は次式で与えられる。

【 0 0 2 5 】

【 数式 1 】

$$S_i = \sum_{k=0}^{r-1} x_{kn+i}$$

10

図 7 を用いて、ある例における積算過程を示す。図 7 のデータ列において、シンボルの先頭位置で "+1" の値を取るものを黒、現在の積算開始位置で "-1" の値を取るものを灰、それ以外で "-1" の値を取るものを白で示す。矢印の流れに従ってそれぞれの値が振り分け回路 6 で振り分けられ、積分回路 7 - 1 から積分回路 7 - 2 5 は 4 0 0 個分の積算を繰り返す。

【 0 0 2 6 】

積分回路 7 - 2 5 が 4 0 0 回目の積算を終了した時点で全積算処理が完了し、比較回路 8 が動作を開始する。比較回路 8 の動作について説明する。

【 0 0 2 7 】

はじめに、2 5 個の積算回路 7 に記憶された値の正負を比較する。正しく積算が行われていれば、シンボル先頭位置に対応する積算回路 7 における積算結果は正、それ以外の積算結果は負になっているはずである。正の値が記憶された積算回路 7 が 2 つ以上ある場合、もしくは正の値が記憶された積算回路 7 がひとつも存在しない場合には、シンボルタイミングの再生が不成功に終わったとする。

20

【 0 0 2 8 】

正の値が記憶された積算回路 7 が 1 つだけ存在する場合、その積算回路 7 の位置がシンボルの積算開始位置すなわちシンボルの先頭位置と推定できる。続いて比較回路 8 は、実際に積算を開始した位置から上記の処理で求めたシンボルの先頭位置までの差を求め、その差分を遅延情報として遅延回路 4 に送信する。

30

【 0 0 2 9 】

遅延情報が入力されると、遅延回路 4 はその情報によって与えられた量だけ入力データに遅延をかける。

【 0 0 3 0 】

図 7 の例では、1 0 番目の積算回路 7 - 1 0 の積算結果が正の値、それ以外の積算回路 7 の積算結果が負の値となる。シンボルタイミングが正しく再生されれば、積算結果が正の値となるのは 1 番目の積算回路 7 - 1 であるはずが、この例では 1 0 番目が正の値となっていることから、現在の先頭位置は真のシンボルの先頭からデータ 9 個分遅れていることになる。従って、遅延回路 4 でデータ 9 個分の遅延をかければ、現在の先頭位置が真のシンボル先頭位置に一致し、シンボルタイミングが再生できる。

40

【 0 0 3 1 】

このようにして、最もシンボルの先頭らしい位置を推定する。なお、より確実にシンボルタイミング再生を行いたい場合は、正負の判定を行う処理に正のしきい値を設けて、シンボルタイミング再生の成否判定を厳しくすればよい。

【 0 0 3 2 】

遅延情報で指示された時間分の遅延をかけた後に、セレクタ 5 を復調側へ切り替える。これにて、シンボルタイミングの再生処理は終了である。

【 0 0 3 3 】

次に、本発明の第 1 の実施の形態の効果について説明する。本発明の回路を用いることにより、一定数のデータを積算してシンボルを再生する復調装置において、シンボルタイミ

50

ングを再生することができる。

【0034】

【発明の他の実施の形態】

シンボルタイミング再生処理内での積算回数、すなわち積算回路7での積算回数は必要に応じて設定値を変更できる。例えば、入力信号レベルが小さい場合は回数を多くして信号対雑音比を向上させられ、逆に入力信号レベルが大きい場合は積算回数を少なくできる。なお、積算回数はシンボルタイミング再生処理がプリアンブル区間で終了するような値に設定する必要がある。

【0035】

1回の再生処理でシンボルタイミングが再生できなかった場合においても、プリアンブル部の長さを調整することで引き続き再生処理を繰り返すことが可能である。 10

【0036】

今回はプリアンブル区間のベースバンド波形レベルを"-1"基準としたが、この極性を反転させて"+1"を基準としても、同様にシンボルタイミングを再生できる。

【0037】

またこの事例では、デジタルデータ"0, 1"を"-1, +1"に対応させているが、この対応を行わず、"0, +1"で判定を行うこともできる。ただしこの場合には、判定のしきい値を必ずしも0にはできず、最適な値を推定する必要がある。これは、積算されるデータ"0"がノイズ等の影響で微少に変動することにより、データ"0"の積算結果が必ず0になるとは限らず、正負に微小変動する可能性があるためである。 20

【0038】

当然のことであるが、データ伝送速度やシンボルを生成するための積算回数は上記例のみにとどまらず、動作条件を満たす値であればどんな数値でもよい。

【0039】

また、プリアンブルパターンは実施例で示したパターンに限定されない。

【0040】

さらに、遅延検波方式を用いる通信系に本発明を適用する方法について説明する。

【0041】

遅延検波方式で通信を行う場合、基準シンボルを一定にしても受信するプリアンブル区間のベースバンド波形レベルはその時々によって"-1"と"+1"とに変化する。そのため、一定周期で挿入される先頭パルスの極性もその時々で変化することになる。このとき、図4で示したブロック図でシンボルタイミングを再生しようとする、ベースバンド波形レベルが"-1"か"+1"かによって、比較回路8でのシンボル先頭位置を検出する処理を変更する必要が生じる。これは、正值だけをシンボル先頭位置として認識する処理だと、ベースバンド波形レベルが"+1"の場合にはシンボル先頭位置が負値になり、シンボルタイミングが再生できなくなってしまうからである。 30

【0042】

この対策のひとつとして、プリアンブル区間のベースバンド波形レベルが正負のどちらなのかを判定してからシンボルタイミング再生を行うという方法も考えられるが、より確実かつ有効なシンボルタイミング再生方法を以下に説明する。なお、この方法は同期検波方式にも適用できるが、追加される処理は冗長なものとなる。 40

【0043】

図8は、遅延検波に対応するために追加するブロック図である。追加ブロックは相加平均回路9と乗算器10で構成されている。相加平均回路9は入力データを一定数相加平均する。乗算器10は2入力を乗算して出力する。このブロックを、図4に示したブロック図の遅延回路4の直前に追加する。

【0044】

前述の例をもとに、図8の追加回路の動作を説明する。積算回路7での積算を開始する前に、50個分の相加平均を求める。この積算が終了するまでは、相加平均回路9の出力を0に固定するなどして遅延回路4以降にデータを送らない。50個の積算が終了した後に 50

、シンボルタイミングの再生処理が開始される。

【0045】

入力データはすでに計算された相加平均値と乗算器11によって乗算された後にセレクタ5を通過し、振り分け回路6によって振り分けられる。相加平均回路9は引き続き50個のデータが入力される毎に相加平均を求めて、乗算器10で乗算される相加平均値を更新する。なお、更新されるまでは常に同じ平均値が繰り返し出力される。

【0046】

図8で示した処理の追加により、シンボルタイミング推定処理においてシンボル先頭位置はプリアンプル部のベースバンド極性に関係なく負の値を、それ以外は正の値を取るようになるため、プリアンプル部の極性が反転した場合でも比較回路8において常に一定の判定処理が可能となる。他のブロックの処理および動作フローに関しては、同期検波方式に則して説明したとおりである。また、遅延検波方式への適用に際しても、発明の他の実施の形態は適用できる。

10

【0047】

【発明の効果】

第1の効果は、一定数のデータを積算してシンボルを生成する復調器において、そのシンボルタイミングが再生できるということである。その理由は、送信したいデータ部の前に設けたプリアンプル部に含まれるプリアンプルパターンを用いた再生処理を行うためである。

【0048】

第2の効果は、同期検波・遅延検波の両方に適用が可能ということである。

20

【0049】

その理由は、遅延検波のための追加回路を提案したことである。

【図面の簡単な説明】

【図1】積算によるシンボル生成の例である。

【図2】本発明の第一の実施の形態におけるフレームの構成を示す図である。

【図3】本発明の第一の実施の形態における送信側の構成を示すブロック図である。

【図4】本発明の第一の実施の形態における受信側の構成を示すブロック図である。

【図5】シングルパルス発生回路2の出力波形である。

【図6】論理回路3の出力波形と出力データ列である。

30

【図7】シンボルタイミング再生のある例における積算過程である。

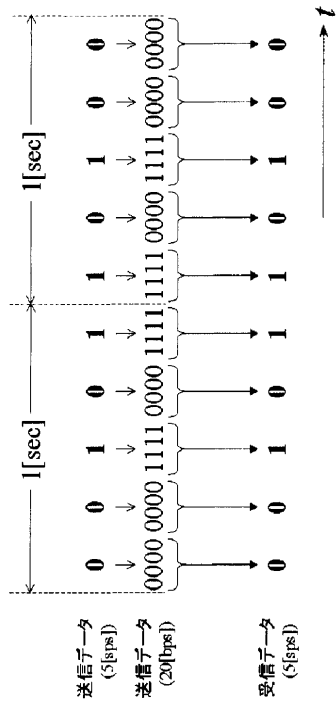
【図8】遅延検波に対応するため受信側に追加するブロック図である。

【符号の説明】

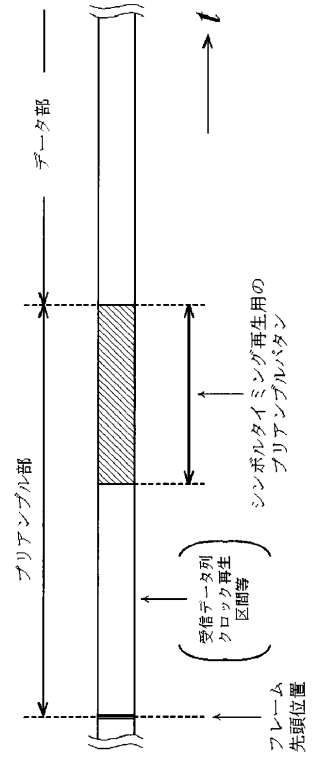
- 1 ベースバンド波形発生回路
- 2 シングルパルス発生回路
- 3 論理回路
- 4 遅延回路
- 5 セレクタ
- 6 振り分け回路
- 7 積算回路
- 8 比較回路
- 9 相加平均回路
- 10 乗算器

40

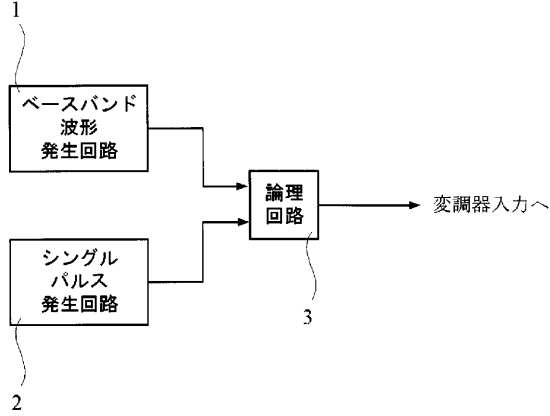
【 図 1 】



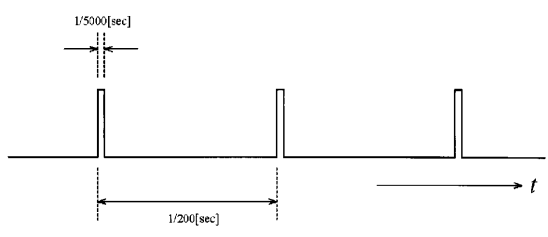
【 図 2 】



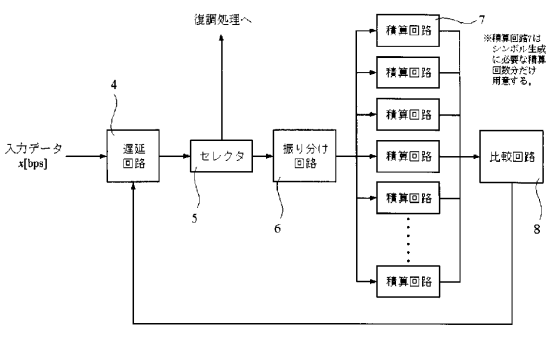
【 図 3 】



【 図 5 】



【 図 4 】





---

フロントページの続き

(56)参考文献 特開昭57-53169(JP,A)  
特開平1-233937(JP,A)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)

H04L 27/00-27/38

H04L 7/10

H04L 25/40