

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-208564

(P2017-208564A)

(43) 公開日 平成29年11月24日(2017.11.24)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/338 (2006.01)	H O 1 L 29/80 H	5 F 1 0 2
H O 1 L 29/778 (2006.01)	H O 1 L 29/80 V	5 F 1 4 0
H O 1 L 29/812 (2006.01)	H O 1 L 29/78 3 O 1 B	
H O 1 L 21/337 (2006.01)	H O 1 L 29/78 6 5 2 T	
H O 1 L 29/808 (2006.01)	H O 1 L 29/78 6 5 2 H	
審査請求 有 請求項の数 18 O L (全 52 頁) 最終頁に続く		

(21) 出願番号	特願2017-143037 (P2017-143037)	(71) 出願人	302062931
(22) 出願日	平成29年7月24日 (2017. 7. 24)		ルネサスエレクトロニクス株式会社
(62) 分割の表示	特願2013-197426 (P2013-197426) の分割	(74) 代理人	110002066 特許業務法人筒井国際特許事務所
原出願日	平成25年9月24日 (2013. 9. 24)	(72) 発明者	安藤 裕二 東京都江東区豊洲三丁目2番24号 ルネ サスエレクトロニクス株式会社内
		Fターム(参考)	5F102 GB01 GC01 GC07 GD10 GL04 GM04 GN04 GQ01 GR01
		最終頁に続く	

(54) 【発明の名称】 半導体装置の製造方法および半導体装置

(57) 【要約】

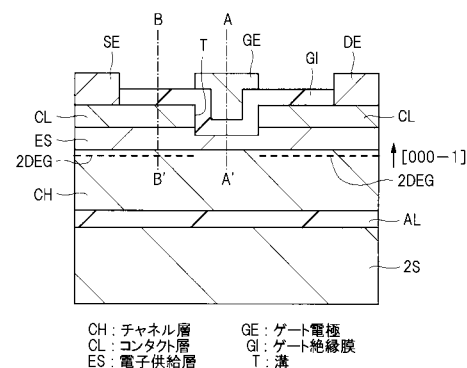
【課題】高電子移動度トランジスタの特性を向上させる

。

【解決手段】n型のコンタクト層（n型のAlGaIn層）CL、電子供給層（アンドープのAlGaIn層）ESおよびチャネル層（アンドープのGaIn層）CHの積層体を、[0001]結晶軸方向に平行なGa面での成長モードにて形成する。そして、この積層体を、n型のコンタクト層（n型のAlGaIn層）CL側が上面となるように反転させ、溝Tを形成した後、ゲート絶縁膜GIを介してゲート電極GEを形成する。このように、[000-1]方向に、チャネル層（アンドープのGaIn層）CHと電子供給層（アンドープのAlGaIn層）ESとを順に積層することにより、（1）ノーマリオフ動作と（2）高耐圧化の両立が容易となる。

【選択図】図1

図 1



【特許請求の範囲】**【請求項 1】**

基板の上方に形成された第 1 室化物半導体層と、
前記第 1 室化物半導体層上に形成され、前記第 1 室化物半導体層よりバンドギャップが
広い第 2 室化物半導体層と、
前記第 2 室化物半導体層の上方に配置されたゲート電極と、
前記第 2 室化物半導体層の上方のうち、前記ゲート電極の少なくとも一方の側に配置さ
れた第 1 電極と、
前記ゲート電極の両側の、前記第 2 室化物半導体層中または前記第 1 室化物半導体層中
に形成された不純物を含有する第 1 半導体領域と、
を有し、
前記第 1 室化物半導体層と、前記第 2 室化物半導体層との積層部において、前記第 1 室
化物半導体層から前記第 2 室化物半導体層へ向かう結晶軸方向が [0 0 0 - 1] 方向であ
る、半導体装置。

10

【請求項 2】

請求項 1 記載の半導体装置において、
前記第 1 半導体領域は、n 型の領域である、半導体装置。

【請求項 3】

請求項 2 記載の半導体装置において、
前記ゲート電極の形成領域以外の前記第 2 室化物半導体層と前記第 2 室化物半導体層と
の積層領域において、
前記第 2 室化物半導体層と前記第 2 室化物半導体層との界面に負電荷が生じ、
前記第 1 半導体領域中の n 型不純物の面密度は、前記負電荷の面密度より大きい、半導
体装置。

20

【請求項 4】

請求項 3 記載の半導体装置において、
前記基板と前記第 1 室化物半導体層との間に接着層を有する、半導体装置。

【請求項 5】

請求項 3 記載の半導体装置において、
前記基板の上方に、前記第 1 室化物半導体層、前記第 2 室化物半導体層および前記第 1
半導体領域が、下から順に積層され、
前記ゲート電極は、前記第 2 室化物半導体層上にゲート絶縁膜を介して配置され、
前記第 1 電極は、前記第 2 室化物半導体層の上方のうち、前記ゲート電極の一方の側に
、前記第 1 半導体領域を介して配置され、
前記第 2 室化物半導体層の上方のうち、前記ゲート電極の他方の側に、前記第 1 半導体
領域を介して配置された第 2 電極を有する、半導体装置。

30

【請求項 6】

請求項 5 記載の半導体装置において、
前記第 1 半導体領域を貫通し、前記第 2 室化物半導体層まで到達する溝を有し、
前記ゲート電極は、前記溝の内部において、ゲート絶縁膜を介して配置されている、半
導体装置。

40

【請求項 7】

請求項 3 記載の半導体装置において、
前記基板の上方に、前記第 1 室化物半導体層、前記第 2 室化物半導体層および前記第 1
半導体領域が、下から順に積層され、
前記第 1 室化物半導体層の下方に、前記第 1 室化物半導体層と電氣的に接続される第 2
電極を有する、半導体装置。

【請求項 8】

請求項 7 記載の半導体装置において、
前記第 1 半導体領域を貫通し、前記第 2 室化物半導体層まで到達する溝を有し、

50

前記ゲート電極は、前記溝の内部において、ゲート絶縁膜を介して配置されている、半導体装置。

【請求項 9】

請求項 7 記載の半導体装置において、

前記第 1 窒化物半導体層の下層に、開口部を有する第 2 半導体領域を有する、半導体装置。

【請求項 10】

請求項 9 記載の半導体装置において、

前記第 2 半導体領域は、p 型の領域である、半導体装置。

【請求項 11】

(a) 第 1 窒化物半導体層上に、第 2 窒化物半導体層を [0001] 方向にエピタキシャル成長させることにより、前記第 1 窒化物半導体層と前記第 2 窒化物半導体層とを有する積層体を形成する工程、

(b) 前記積層体の [000-1] 方向が上向きとなるように、前記積層体を配置し、前記第 1 窒化物半導体層側にゲート電極を形成する工程、を有し、

前記第 1 窒化物半導体層は、前記第 2 窒化物半導体層よりバンドギャップが広く、

前記 (a) 工程は、

(a1) 第 1 基板の上方に、前記第 1 窒化物半導体層を形成する工程、

(a2) 前記第 1 窒化物半導体層上に、前記第 2 窒化物半導体層を [0001] 方向にエピタキシャル成長させることにより、前記第 1 窒化物半導体層と前記第 2 窒化物半導体層とを有する積層体を形成する工程、

(a3) 前記第 2 窒化物半導体層の上方に、第 2 基板を貼り合わせる工程、

(a4) 前記第 1 基板を前記第 1 窒化物半導体層から剥離する工程、を有し、

前記 (b) 工程は、

前記第 2 基板が下側となるように、前記積層体を配置し、前記第 1 窒化物半導体層側に前記ゲート電極を形成する工程、であり、

前記第 1 窒化物半導体層は、第 1 層と、第 2 層とを有し、

前記 (a1) 工程は、

前記第 1 基板の上方に、n 型の前記第 1 層を形成した後、前記第 1 層上に、前記第 2 層を形成する工程、であり、

前記 (b) 工程は、前記第 1 層を貫通する溝を形成した後、前記溝内の底部に露出した前記第 2 層の上方に、前記ゲート電極を形成する工程である、半導体装置の製造方法。

【請求項 12】

請求項 11 記載の半導体装置の製造方法において、

前記ゲート電極の形成領域以外の前記第 2 層と前記第 2 窒化物半導体層との積層領域において、

前記第 2 層と前記第 2 窒化物半導体層との界面に負電荷が生じ、

前記第 1 層中の n 型不純物の面密度は、前記負電荷の面密度より大きい、半導体装置の製造方法。

【請求項 13】

請求項 12 記載の半導体装置の製造方法において、

前記 (b) 工程は、前記第 2 層上に、ゲート絶縁膜を介して、前記ゲート電極を形成する工程である、半導体装置の製造方法。

【請求項 14】

請求項 12 記載の半導体装置の製造方法において、

前記 (a3) 工程は、前記第 2 窒化物半導体層の上方に、接着層を介して前記第 2 基板を貼り合わせる工程である、半導体装置の製造方法。

【請求項 15】

請求項 12 記載の半導体装置の製造方法において、

10

20

30

40

50

前記 (a 2) 工程は、前記第 2 窒化物半導体層上に、さらに、開口部を有する第 3 窒化物半導体層を形成する工程を有する、半導体装置の製造方法。

【請求項 1 6】

請求項 1 2 記載の半導体装置の製造方法において、

前記 (b) 工程は、前記第 1 窒化物半導体層上の第 1 領域を除く領域にイオン注入により n 型の半導体層を形成した後、前記第 1 領域の上方に、前記ゲート電極を形成する工程である、半導体装置の製造方法。

【請求項 1 7】

請求項 1 6 記載の半導体装置の製造方法において、

前記 (b) 工程は、前記第 1 領域上に、ゲート絶縁膜を介して、前記ゲート電極を形成する工程である、半導体装置の製造方法。

10

【請求項 1 8】

請求項 1 6 記載の半導体装置の製造方法において、

前記 (a 2) 工程は、前記第 2 窒化物半導体層上に、さらに、開口部を有する第 3 窒化物半導体層を形成する工程を有する、半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、半導体装置の製造方法および半導体装置に関し、例えば、窒化物半導体を用いた半導体装置に好適に利用できるものである。

20

【背景技術】

【0 0 0 2】

G a N 系窒化物半導体は、S i や G a A s に比べてワイドバンドギャップで、高電子速度であるため、高耐圧、高出力、高周波用途でのトランジスタへの応用が期待されており、近年、盛んに開発が進められている。

【0 0 0 3】

例えば、以下の特許文献 1 (特開 2 0 1 2 - 1 7 8 4 9 5 号公報) には、[0 0 0 1] または [0 0 0 - 1] 結晶軸に平行な成長モードにてバッファ層、チャネル層および電子供給層を積層した半導体装置が開示されている。また、以下の特許文献 2 (特開 2 0 0 9 - 2 8 3 6 9 0 号公報) には、M O S 型電界効果トランジスタが開示され、特許文献 3 (特開 2 0 0 8 - 2 7 0 3 1 0 号公報) には、窒化物系の半導体を用いた縦型のトランジスタが開示されている。

30

【0 0 0 4】

また、以下の非特許文献 1 には、窒化物系の半導体を用いた横型のトランジスタが開示されている。また、以下の非特許文献 2 には、窒化物系の半導体を用いた縦型のトランジスタが開示されている。

【先行技術文献】

【特許文献】

【0 0 0 5】

【特許文献 1】特開 2 0 1 2 - 1 7 8 4 9 5 号公報

40

【特許文献 2】特開 2 0 0 9 - 2 8 3 6 9 0 号公報

【特許文献 3】特開 2 0 0 8 - 2 7 0 3 1 0 号公報

【非特許文献】

【0 0 0 6】

【非特許文献 1】Y, Yamashita, et al., "Effect of bottom SiN thickness for AlGaIn/GaN metal-insulator-semiconductor high electron mobility transistors using SiN/SiO₂/SiN triple-layer insulators," Jpn. J. Appl. Phys., vol. 45, pp. L666-L668, 2006.

【非特許文献 2】I. Ben-Yaacov, et al., "AlGaIn/GaN current aperture vertical electron transistors," Conference Digest of Device Res. Conf., pp. 31-32, 2002.

50

【発明の概要】**【発明が解決しようとする課題】****【0007】**

本発明者は、窒化物半導体を用いた半導体装置の研究開発に従事しており、半導体装置の特性向上について、鋭意検討している。その過程において、窒化物半導体を用いた半導体装置の特性について更なる改善の余地があることが判明した。

【0008】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

10

【0009】

本願において開示される実施の形態のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0010】

本願において開示される一実施の形態に示される半導体装置の製造方法は、第1窒化物半導体層上に、第2窒化物半導体層を[0001]方向にエピタキシャル成長させた積層体を形成し、この積層体の[000-1]方向が上向きとなるように配置し、第1窒化物半導体層側にゲート電極を形成する。

【0011】

本願において開示される一実施の形態に示される半導体装置は、第1窒化物半導体層上に形成され、第1窒化物半導体層よりバンドギャップが広い第2窒化物半導体層の上方に配置されたゲート電極を有し、第1窒化物半導体層から第2窒化物半導体層へ向かう結晶軸方向が[000-1]方向である。

20

【発明の効果】**【0012】**

本願において開示される、以下に示す代表的な実施の形態に示される半導体装置の製造方法によれば、特性の良好な半導体装置を製造することができる。また、本願において開示される、以下に示す代表的な実施の形態に示される半導体装置によれば、半導体装置の特性を向上させることができる。

【図面の簡単な説明】

30

【0013】

【図1】実施の形態1の半導体装置の構成を示す断面図である。

【図2】Ga₂Nの結晶構造を示す図である。

【図3】結晶における面と方位の関係を示す図である。

【図4】実施の形態1の半導体装置の製造工程を示す断面図である。

【図5】実施の形態1の半導体装置の製造工程を示す断面図であって、図4に続く製造工程を示す断面図である。

【図6】実施の形態1の半導体装置の製造工程を示す断面図であって、図5に続く製造工程を示す断面図である。

【図7】実施の形態1の半導体装置の製造工程を示す断面図であって、図6に続く製造工程を示す断面図である。

40

【図8】実施の形態1の半導体装置の製造工程を示す断面図であって、図7に続く製造工程を示す断面図である。

【図9】実施の形態1の半導体装置の製造工程を示す断面図であって、図8に続く製造工程を示す断面図である。

【図10】実施の形態1の半導体装置の製造工程を示す断面図であって、図9に続く製造工程を示す断面図である。

【図11】実施の形態1の半導体装置の製造工程を示す断面図であって、図10に続く製造工程を示す断面図である。

【図12】実施の形態1の半導体装置の製造工程を示す断面図であって、図11に続く製

50

造工程を示す断面図である。

【図 1 3】実施の形態 1 の半導体装置の製造工程を示す断面図であって、図 1 2 に続く製造工程を示す断面図である。

【図 1 4】実施の形態 1 の半導体装置の製造工程を示す断面図であって、図 1 3 に続く製造工程を示す断面図である。

【図 1 5】実施の形態 1 の比較例 1 の半導体装置の構成を示す断面図である。

【図 1 6】実施の形態 1 の比較例 2 の半導体装置の構成を示す断面図である。

【図 1 7】比較例 1 の半導体装置のゲート電極直下 (A - A' 部) における伝導帯エネルギープロファイルを示す図である。

【図 1 8】実施の形態 1 の半導体装置 (図 1) の伝導帯エネルギープロファイルを示す図である。

10

【図 1 9】実施の形態 2 の半導体装置の構成を示す断面図である。

【図 2 0】実施の形態 2 の半導体装置の製造工程を示す断面図である。

【図 2 1】実施の形態 2 の半導体装置の製造工程を示す断面図であって、図 2 0 に続く製造工程を示す断面図である。

【図 2 2】実施の形態 2 の半導体装置の製造工程を示す断面図であって、図 2 1 に続く製造工程を示す断面図である。

【図 2 3】実施の形態 2 の半導体装置の製造工程を示す断面図であって、図 2 2 に続く製造工程を示す断面図である。

【図 2 4】実施の形態 2 の半導体装置の製造工程を示す断面図であって、図 2 3 に続く製造工程を示す断面図である。

20

【図 2 5】実施の形態 2 の半導体装置の製造工程を示す断面図であって、図 2 4 に続く製造工程を示す断面図である。

【図 2 6】実施の形態 3 の半導体装置の構成を示す断面図である。

【図 2 7】実施の形態 3 の半導体装置の製造工程を示す断面図である。

【図 2 8】実施の形態 3 の半導体装置の製造工程を示す断面図であって、図 2 7 に続く製造工程を示す断面図である。

【図 2 9】実施の形態 3 の半導体装置の製造工程を示す断面図であって、図 2 8 に続く製造工程を示す断面図である。

【図 3 0】実施の形態 3 の半導体装置の製造工程を示す断面図であって、図 2 9 に続く製造工程を示す断面図である。

30

【図 3 1】実施の形態 3 の半導体装置の製造工程を示す断面図であって、図 3 0 に続く製造工程を示す断面図である。

【図 3 2】実施の形態 3 の半導体装置の製造工程を示す断面図であって、図 3 1 に続く製造工程を示す断面図である。

【図 3 3】実施の形態 4 の半導体装置の構成を示す断面図である。

【図 3 4】実施の形態 4 の半導体装置の製造工程を示す断面図である。

【図 3 5】実施の形態 4 の半導体装置の製造工程を示す断面図であって、図 3 4 に続く製造工程を示す断面図である。

【図 3 6】実施の形態 4 の半導体装置の製造工程を示す断面図であって、図 3 5 に続く製造工程を示す断面図である。

40

【図 3 7】実施の形態 4 の半導体装置の製造工程を示す断面図であって、図 3 6 に続く製造工程を示す断面図である。

【図 3 8】実施の形態 4 の半導体装置の製造工程を示す断面図であって、図 3 7 に続く製造工程を示す断面図である。

【図 3 9】実施の形態 4 の半導体装置の製造工程を示す断面図であって、図 3 8 に続く製造工程を示す断面図である。

【図 4 0】実施の形態 4 の半導体装置の製造工程を示す断面図であって、図 3 9 に続く製造工程を示す断面図である。

【図 4 1】実施の形態 5 の半導体装置の製造工程を示す断面図である。

50

【図４２】実施の形態５の半導体装置の製造工程を示す断面図であって、図４１に続く製造工程を示す断面図である。

【図４３】実施の形態５の半導体装置の製造工程を示す断面図であって、図４２に続く製造工程を示す断面図である。

【図４４】実施の形態５の半導体装置の製造工程を示す断面図であって、図４３に続く製造工程を示す断面図である。

【図４５】実施の形態５の半導体装置の製造工程を示す断面図であって、図４４に続く製造工程を示す断面図である。

【図４６】実施の形態６の半導体装置の製造工程を示す断面図である。

【図４７】実施の形態６の半導体装置の製造工程を示す断面図であって、図４６に続く製造工程を示す断面図である。

【図４８】実施の形態６の半導体装置の製造工程を示す断面図であって、図４７に続く製造工程を示す断面図である。

【図４９】実施の形態６の半導体装置の製造工程を示す断面図であって、図４８に続く製造工程を示す断面図である。

【図５０】実施の形態６の半導体装置の製造工程を示す断面図であって、図４９に続く製造工程を示す断面図である。

【図５１】チャンネル層の一部にｎ型不純物層を設けた横型の半導体装置の構成例を示す断面図である。

【図５２】チャンネル層の一部にｎ型不純物層を設けた縦型の半導体装置の構成例を示す断面図である。

【発明を実施するための形態】

【００１４】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、応用例、詳細説明、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

【００１５】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数等（個数、数値、量、範囲等を含む）についても同様である。

【００１６】

以下、実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一または関連する符号を付し、その繰り返しの説明は省略する。また、複数の類似の部材（部位）が存在する場合には、総称の符号に記号を追加し個別または特定の部位を示す場合がある。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【００１７】

また、実施の形態で用いる図面においては、断面図であっても図面を見易くするためにハッチングを省略する場合もある。

【００１８】

また、断面図において、各部位の大きさは実デバイスと対応するものではなく、図面を分かりやすくするため、特定の部位を相対的に大きく表示する場合がある。

【００１９】

（実施の形態１）

10

20

30

40

50

以下、図面を参照しながら本実施の形態の半導体装置について詳細に説明する。

【0020】

[構造説明]

図1は、本実施の形態の半導体装置の構成を示す断面図である。図1に示す半導体装置は、窒化物半導体を用いた電界効果トランジスタ(FET; Field Effect Transistor)である。また、高電子移動度トランジスタ(HEMT: High Electron Mobility Transistor)とも呼ばれる。

【0021】

図1に示すように、本実施の形態の半導体装置においては、支持基板2S上に接合層ALを介して、チャンネル層(電子走行層ともいう)CH、電子供給層ESおよびn型のコンタクト層CLの積層体が配置されている。この積層体は、窒化物半導体よりなる。そして、電子供給層ESは、チャンネル層CHよりバンドギャップが広い窒化物半導体である。

【0022】

ここでは、チャンネル層CHとして、アンドープのGaN層が、電子供給層ESとして、アンドープのAlGaN層が、コンタクト層CLとして、n型のAlGaN層が用いられている。この電子供給層ESとチャンネル層CHとの界面近傍のチャンネル層CH側に、2次元電子ガス2DEGが生成される。

【0023】

この電子供給層(アンドープのAlGaN層)ESとチャンネル層(アンドープのGaN層)CHとの接合面は、Ga面((0001)面)である。そして、チャンネル層(アンドープのGaN層)CHから電子供給層(アンドープのAlGaN層)ES側へ向かう方向は、[000-1]方向となる。言い換えれば、接合面(2次元電子ガス2DEGの生成面)から電子供給層(アンドープのAlGaN層)ES側への方向は、[000-1]方向となる。

【0024】

図2は、GaNの結晶構造を示す図であり、図3は、結晶における面と方位の関係を示す図である。

【0025】

[000-1]方向([000-1]結晶軸方向ともいう)とは、図2および図3に示すように、c軸方向([0001]方向)の逆方向を意味する。よって、[000-1]方向は、(000-1)面に対する外向きの法線ベクトルの向きとなる。ここで、GaNの結晶構造においては、(000-1)面は、N面(窒素側の面、N極性面)となる。

【0026】

また、[0001]方向([0001]結晶軸方向ともいう)とは、図2および図3に示すように、c軸方向([0001]方向)を意味する。よって、[0001]方向は、(0001)面に対する外向きの法線ベクトルの向きとなる。ここで、GaNの結晶構造においては、(0001)面は、Ga面(ガリウム側の面、Ga極性面)となる。

【0027】

また、ゲート電極GEは、n型のコンタクト層(n型のAlGaN層)CLを貫通し、その底面から電子供給層(アンドープのAlGaN層)ESを露出する溝Tの内部に、ゲート絶縁膜GIを介して配置されている。このゲート電極GEの両側のn型のコンタクト層(n型のAlGaN層)CL上には、それぞれソース電極SEおよびドレイン電極DEが配置されている。

【0028】

ゲート電極GE上には、層間絶縁層(図示せず)が配置される。また、上記ソース電極SEおよびドレイン電極DE上には、上記層間絶縁層中に形成されたコンタクトホール内に埋め込まれた導電性膜(プラグ、図示せず)が配置される。

【0029】

[製法説明]

次いで、図4～図14を参照しながら、本実施の形態の半導体装置の製造方法を説明す

10

20

30

40

50

るとともに、当該半導体装置の構成をより明確にする。図4～図14は、本実施の形態の半導体装置の製造工程を示す断面図である。

【0030】

図4に示すように、基板（成長用基板ともいう）1Sとして、例えば窒化ガリウム（GaN）からなる基板1Sを準備する。

【0031】

次いで、基板1S上に核生成層（図示せず）を介して犠牲層SLを形成する。この犠牲層SLは、例えば、GaN層よりなる。例えば、窒化ガリウム（GaN）からなる基板1S上に、有機金属気相成長（Metalorganic Chemical Vapor Deposition、MOCVDともいう）法を用いて、層厚1μm程度の犠牲層（GaN層）SLを堆積する。

10

【0032】

次いで、犠牲層（GaN層）SL上に、n型のコンタクト層CLを形成する。例えば、MOCVD法を用いて、層厚50nm程度のn型のAlGaN層を堆積する。AlGaN層は、 $Al_{0.2}Ga_{0.8}N$ で示す組成比を有する。n型の不純物としては、例えばSi（シリコン）が用いられ、その濃度（不純物濃度）は、例えば、 $1 \times 10^{19} / cm^3$ 程度である。次いで、n型のコンタクト層（n型のAlGaN層）CL上に、電子供給層ESを形成する。例えば、MOCVD法を用いて、層厚20nm程度のアンドープのAlGaN層を堆積する。AlGaN層は、 $Al_{0.2}Ga_{0.8}N$ で示す組成比を有する。次いで、電子供給層（アンドープのAlGaN層）ES上にチャネル層CHを形成する。例えば、MOCVD法を用いて、層厚1μm程度のアンドープのGaN層を堆積する。

20

【0033】

このようなMOCVD法を用いて形成された成長膜をエピタキシャル層（エピタキシャル膜）という。上記犠牲層（GaN層）SL、n型のコンタクト層（n型のAlGaN層）CL、電子供給層（アンドープのAlGaN層）ESおよびチャネル層（アンドープのGaN層）CHの積層体は、[0001]結晶軸方向に平行なGa面での成長モードにて形成される。言い換えれば、[0001]結晶軸方向に平行なGa面上に、それぞれの層が順次成長する。

【0034】

具体的には、窒化ガリウム（GaN）からなる基板1SのGa面（（0001）面）上に、[0001]方向にGaNが成長し、犠牲層（GaN層）SLが形成される。そして、犠牲層（GaN層）SLのGa面（（0001）面）上に、[0001]方向にn型のAlGaNが成長し、n型のコンタクト層（n型のAlGaN層）CLが形成される。そして、n型のコンタクト層（n型のAlGaN層）CLのGa面（（0001）面）上に、[0001]方向にアンドープのAlGaNが成長し、電子供給層（アンドープのAlGaN層）ESが形成される。そして、電子供給層（アンドープのAlGaN層）ESのGa面（（0001）面）上に、[0001]方向にアンドープのGaNが成長し、チャネル層（アンドープのGaN層）CHが形成される。

30

【0035】

この電子供給層（アンドープのAlGaN層）ESとチャネル層（アンドープのGaN層）CHとの界面近傍に、2次元電子ガス（2次元電子ガス層）2DEGが生成（形成）される。この2次元電子ガス2DEGの生成面、即ち、電子供給層（アンドープのAlGaN層）ESとチャネル層（アンドープのGaN層）CHとの接合面（界面）は、Ga面（（0001）面）であり、この接合面（2次元電子ガス2DEGの生成面）からチャネル層（アンドープのGaN層）CH側への方向は、[0001]方向となる。

40

【0036】

このように、[0001]結晶軸方向に平行なGa面での成長モードで、上記積層体の各層（犠牲層（GaN層）SL、n型のコンタクト層（n型のAlGaN層）CL、電子供給層（アンドープのAlGaN層）ESおよびチャネル層（アンドープのGaN層）CH）を形成することにより、凹凸の少ないより平坦なエピタキシャル層よりなる積層体を得ることができる。

50

【0037】

ここで、AlGa_NとGa_Nとは、格子定数が異なるが、AlGa_Nのトータル膜厚を臨界膜厚以下に設定することにより、転位の発生の少ない良好な結晶品質の積層体を得ることができる。

【0038】

基板1Sとしては、窒化ガリウム(GaN)からなる基板以外の基板を用いてもよい。窒化ガリウム(GaN)からなる基板を用いることにより、転位発生の少ない良好な結晶品質の積層体を成長させることができる。上記転位などの結晶欠陥は、リーク電流の原因となる。このため、結晶欠陥を抑制することにより、リーク電流を低減することができ、トランジスタのオフ耐圧を向上させることができる。

10

【0039】

なお、基板1S上の核生成層(図示せず)としては、窒化ガリウム(GaN)層と窒化アルミニウム(AlN)層との積層膜(AlN/GaN膜)を、繰り返し積層した超格子層を用いることができる。

【0040】

次いで、図5に示すように、チャンネル層(アンドープのGa_N層)CHの(0001)面上に、接合層ALを形成し、支持基板2Sを搭載する。接合層ALとしては、例えば、水素シルセスキオキサン(Hydrogen Silsesquioxane:HSQと略する)などの塗布系絶縁膜を用いることができる。また、支持基板2Sとしては、例えば、シリコン(Si)からなる基板を用いることができる。

20

【0041】

例えば、HSQの前駆体をチャンネル層(アンドープのGa_N層)CH上に塗布し、支持基板2Sを搭載した後、200程度程度の熱処理を施す。これにより、HSQが硬化し、図6に示すように、チャンネル層(アンドープのGa_N層)CHと支持基板2Sとを接合層ALを介して接着する(貼り合わせる)ことができる。接合層ALとして、HSQを用いた場合、約900程度までの熱負荷に耐えることができる。

【0042】

次いで、図7に示すように、犠牲層(GaN層)SLとn型のコンタクト層(n型のAlGa_N層)CLとの界面から犠牲層(GaN層)SLおよび基板1Sを剥離する。剥離方法としては、例えば、レーザーリフトオフ法を用いることができる。例えば、犠牲層(GaN層)SLとn型のコンタクト層(n型のAlGa_N層)CLとの界面にレーザーを照射し、犠牲層(GaN層)SLとn型のコンタクト層(n型のAlGa_N層)CLとの界面部においてアブレーションを生じさせ、隙間を形成する。次いで、この隙間から犠牲層(GaN層)SLと基板1Sとを剥離する。この結果、n型のコンタクト層(n型のAlGa_N層)CL上に、電子供給層(アンドープのAlGa_N層)ESおよびチャンネル層(アンドープのGa_N層)CHが積層され、さらに、この上部に、接合層ALおよび支持基板2Sが積層された積層構造体が形成される。

30

【0043】

次いで、図8に示すように、上記積層構造体のn型のコンタクト層(n型のAlGa_N層)CL側が上面となるように、上記積層構造体を反転させる。言い換えれば、上記積層構造体の[000-1]方向が上向きとなるように、上記積層構造体を配置する。これにより、支持基板2S上に接合層ALを介して、チャンネル層(アンドープのGa_N層)CH、電子供給層(アンドープのAlGa_N層)ESおよびn型のコンタクト層(n型のAlGa_N層)CLの積層体が配置される。前述したとおり、電子供給層(アンドープのAlGa_N層)ESとチャンネル層(アンドープのGa_N層)CHとの接合面は、Ga面((0001)面)である。そして、この接合面(2次元電子ガス2DEGの生成面)から電子供給層(アンドープのAlGa_N層)ES側への方向は、[000-1]方向となる。

40

【0044】

次いで、図9および図10に示すように、n型のコンタクト層(n型のAlGa_N層)CL上のゲート電極GEの形成予定領域の両側にソース電極SEおよびドレイン電極DE

50

を形成する。このソース電極 S E およびドレイン電極 D E は、例えば、リフトオフ法を用いて形成することができる。例えば、図 9 に示すように、n 型のコンタクト層 (n 型の A l G a N 層) C L 上にフォトリソ膜 P R 1 0 を形成し、露光・現像することにより、ソース電極 S E およびドレイン電極 D E の形成領域上のフォトリソ膜 P R 1 0 を除去する。

【 0 0 4 5 】

次いで、フォトリソ膜 P R 1 0 上を含む n 型のコンタクト層 (n 型の A l G a N 層) C L 上に、金属膜 M L を形成する。これにより、ソース電極 S E およびドレイン電極 D E の形成領域においては、n 型のコンタクト層 (n 型の A l G a N 層) C L 上に、直接、金属膜 M L が形成される。一方、その他の領域では、フォトリソ膜 P R 1 0 上に金属膜 M L が形成される。

10

【 0 0 4 6 】

金属膜 M L は、例えば、チタン (T i) 膜と、チタン膜上に形成されたアルミニウム (A l) 膜との積層膜 (T i / A l 膜) により構成される。金属膜 M L を構成する各膜は、例えば、真空蒸着法を用いて形成することができる。

【 0 0 4 7 】

次いで、フォトリソ膜 P R 1 0 を除去する。この際、フォトリソ膜 P R 1 0 上に形成されている金属膜 M L もフォトリソ膜 P R 1 0 とともに除去され、n 型のコンタクト層 (n 型の A l G a N 層) C L 上に直接接触するように形成されている金属膜 M L (ソース電極 S E およびドレイン電極 D E) だけが残存する (図 1 0) 。

20

【 0 0 4 8 】

次いで、支持基板 2 S に対して、熱処理 (アロイ処理) を施す。熱処理としては、例えば、窒素雰囲気中で、6 0 0 、1 分程度の熱処理を施す。この熱処理により、ソース電極 S E と、2 次元電子ガス 2 D E G が形成されているチャネル層 (アンダーの G a N 層) C H とのオーミック接触を図ることができる。同様に、ドレイン電極 D E とチャネル層 (アンダーの G a N 層) C H とのオーミック接触を図ることができる。即ち、ソース電極 S E およびドレイン電極 D E が、それぞれ 2 次元電子ガス 2 D E G に対して電氣的に接続された状態となる。

【 0 0 4 9 】

次いで、図 1 1 および図 1 2 に示すように、n 型のコンタクト層 (n 型の A l G a N 層) C L の中央部、言い換えれば、ゲート電極 G E の形成予定領域の近傍の n 型のコンタクト層 (n 型の A l G a N 層) C L を除去することにより、n 型のコンタクト層 (n 型の A l G a N 層) C L を分離する。まず、図 1 1 に示すように、ソース電極 S E およびドレイン電極 D E 上を含む n 型のコンタクト層 (n 型の A l G a N 層) C L 上にフォトリソ膜 P R 1 1 を形成し、露光・現像することにより、ゲート電極 G E の形成予定領域の近傍のフォトリソ膜 P R 1 1 を除去する。

30

【 0 0 5 0 】

次いで、図 1 2 に示すように、フォトリソ膜 P R 1 1 をマスクとして n 型のコンタクト層 (n 型の A l G a N 層) C L をドライエッチング法などを用いて除去する。エッチングガスとしては、塩化硼素 (B C l ₃) 系のガスを用いることができる。この工程により、n 型のコンタクト層 (n 型の A l G a N 層) C L の下層の電子供給層 (アンダーの A l G a N 層) E S が露出する。言い換えれば、n 型のコンタクト層 (n 型の A l G a N 層) C L を貫通し、電子供給層 (アンダーの A l G a N 層) E S まで到達する溝 (リセスともいう) T が形成される。この後、フォトリソ膜 P R 1 1 を除去する。

40

【 0 0 5 1 】

次いで、図 1 3 および図 1 4 に示すように、ゲート絶縁膜 G I を形成した後、ゲート電極 G E を形成する。まず、図 1 3 に示すように、ゲート絶縁膜 G I を形成する。ゲート絶縁膜 G I としては、アルミナ (酸化アルミニウム、A l ₂ O ₃) を用いることができる。例えば、ソース電極 S E 、ドレイン電極 D E および溝 T の内部上を含む n 型のコンタクト層 (n 型の A l G a N 層) C L 上に、ゲート絶縁膜 G I として、例えば、アルミナ膜を、

50

原子層堆積 (Atomic Layer Deposition: A L D と略する) 法を用いて形成する。次いで、ソース電極 S E およびドレイン電極 D E 上のゲート絶縁膜 G I を除去する。なお、このゲート絶縁膜 G I の除去は、ソース電極 S E およびドレイン電極 D E 上にコンタクトホールを形成する際に行ってもよい。

【 0 0 5 2 】

次いで、ゲート絶縁膜 G I 上にゲート電極 G E を形成する。ゲート電極 G E は、例えば、リフトオフ法を用いて形成することができる。例えば、図 1 3 に示すように、ゲート絶縁膜 G I 上にフォトレジスト膜 P R 1 2 を形成し、露光・現像することにより、ゲート電極 G E の形成領域上のフォトレジスト膜 P R 1 2 を除去する。

【 0 0 5 3 】

次いで、フォトレジスト膜 P R 1 2 上を含むゲート絶縁膜 G I 上に、金属膜 M L 2 を形成する。これにより、ゲート電極 G E の形成領域においては、ゲート絶縁膜 G I 上に、直接、金属膜 M L 2 が形成される。一方、その他の領域では、フォトレジスト膜 P R 1 2 上に金属膜 M L 2 が形成される。金属膜 M L 2 は、例えば、ニッケル (N i) 膜と、ニッケル膜上に形成された金 (A u) 膜との積層膜 (N i / A u 膜) により構成される。金属膜 M L 2 を構成する各膜は、例えば、真空蒸着法を用いて形成することができる。

【 0 0 5 4 】

次いで、フォトレジスト膜 P R 1 2 を除去する。この際、フォトレジスト膜 P R 1 2 上に形成されている金属膜 M L 2 もフォトレジスト膜 P R 1 2 とともに除去され、溝 T の内部およびその近傍にのみ金属膜 M L 2 (ゲート電極 G E) が残存する (図 1 4) 。

【 0 0 5 5 】

以上の工程により、本実施の形態の半導体装置が略完成する。なお、上記工程においては、ゲート電極 G E 、ソース電極 S E およびドレイン電極 D E を、リフトオフ法を用いて形成したが、これらの電極を金属膜のパターニングにより形成してもよい。

【 0 0 5 6 】

このように、本実施の形態の半導体装置においては、[0 0 0 - 1] 方向に、チャネル層 (アンドープの G a N 層) C H と電子供給層 (アンドープの A l G a N 層) E S とを順に積層した構成としたので、(1) ノーマリオフ動作と (2) 高耐圧化の両立が容易となる。

【 0 0 5 7 】

図 1 5 は、本実施の形態の比較例 1 の半導体装置の構成を示す断面図である。また、図 1 6 は、本実施の形態の比較例 2 の半導体装置の構成を示す断面図である。

【 0 0 5 8 】

図 1 5 の比較例 1 の半導体装置は、いわゆる横型の F E T である。この半導体装置においては、基板 S 上に形成されたチャネル層 (アンドープの G a N 層) C H と電子供給層 (アンドープの A l G a N 層) E S との積層体と、電子供給層 (アンドープの A l G a N 層) E S 上にゲート絶縁膜 G I を介して形成されたゲート電極 G E とを有する。このチャネル層 (アンドープの G a N 層) C H と電子供給層 (アンドープの A l G a N 層) E S との界面近傍には、2 次元電子ガス 2 D E G が形成される。また、ゲート電極 G E の両側の電子供給層 (アンドープの A l G a N 層) E S 上には、ソース電極 S E およびドレイン電極 D E が形成されている。

【 0 0 5 9 】

ここで、チャネル層 (アンドープの G a N 層) C H と電子供給層 (アンドープの A l G a N 層) E S との積層体は、[0 0 0 1] 方向のエピタキシャル成長により形成されている。言い換えれば、いわゆる、ガリウム (G a) 面成長モードにて形成されている。

【 0 0 6 0 】

このような、比較例 1 の構成の半導体装置は、閾値電圧 (V t) が負のノーマリオントランジスタであり、ノーマリオフ化は困難である。例えば、閾値電圧 (V t) は、- 4 V ~ - 9 V 程度である。さらに、比較例 1 の構成の半導体装置においては、ゲート絶縁膜 G I を厚膜化するにしたがい、閾値電圧 (V t) が減少してしまう。即ち、比較例 1 の構成

10

20

30

40

50

の半導体装置は、ノーマリオフ動作と高耐圧化を両立することがきわめて困難な構成である。

【0061】

図17は、比較例1の半導体装置のゲート電極直下(A-A'部)における伝導帯エネルギープロファイルを示す図である。横軸は、ゲート電極直下(A-A'部)の位置を、縦軸は、エネルギーの大きさを示す。また、(a)は、ゲート電圧 $V_g = 0V$ の場合、(b)は、ゲート電圧 $V_g = \text{閾値電圧}(V_t)$ の場合の伝導帯エネルギープロファイルである。

【0062】

電子供給層(アンドープのAlGaIn層)ESはチャンネル層(アンドープのGaIn層)CHより格子定数が小さく、電子供給層(アンドープのAlGaIn層)ESに引張応力が生じる。このため、自発性分極効果とピエゾ分極効果に基づいて電子供給層(アンドープのAlGaIn層)ESに分極が発生する。[0001]方向のエピタキシャル成長により形成され、電子供給層(アンドープのAlGaIn層)ESとチャンネル層(アンドープのGaIn層)CHとがGa面配向した比較例1の構成では、電子供給層(アンドープのAlGaIn層)ESとチャンネル層(アンドープのGaIn層)CHとの界面が正電荷(+)になる。同様に、電子供給層(アンドープのAlGaIn層)ESとチャンネル層(アンドープのGaIn層)CHとの界面には負電荷(-)が発生する(図17(a))。しかしながら、この負電荷(-)は、ゲート絶縁膜GIとの界面準位により補償されるため電氣的に中性になる。

【0063】

この分極電荷の面密度は、電子供給層ESであるAlGaIn層のAl組成を x 、素電荷を q とすると、次の式(1)のように近似できる。

$$/q \approx 6.4 \times 10^{13} [\text{cm}^{-2}] \times x \dots (1)$$

例えば、Al組成が $x = 0.2$ の場合、分極電荷の面密度は、 $1.2 \times 10^{13} [\text{cm}^{-2}]$ と計算される。このため、ゲート電圧 $V_g = 0V$ の熱平衡状態においてもヘテロ界面近傍に2次元電子ガス2DEGが誘起され、ノーマリオン動作となる(図17(a))。

【0064】

一方、ゲート電圧 $V_g = \text{閾値電圧}(V_t)$ のオフ状態ではゲート絶縁膜GIの内部に電界が発生して、ゲート絶縁膜GI中の伝導帯のポテンシャルエネルギーは、基板S側(チャンネル層(アンドープのGaIn層))からゲート電極GE側に向かって増加する(図17(b))。この電界強度($/$: はゲート絶縁膜の誘電率)はゲート絶縁膜GIの厚さに依存しないため、ゲート絶縁膜GIを厚くするにしたがって閾値電圧(V_t)が減少する。よって、所望の閾値電圧(V_t)を得るためには、ゲート絶縁膜GIを薄くする必要がある。このように、ノーマリオン動作と高耐圧化を両立することが困難である。

【0065】

図16の比較例2の半導体装置は、いわゆる縦型のFETである。この半導体装置においても、同様に、ノーマリオン動作と高耐圧化を両立することが困難である。この場合、基板S上には、n型のドリフト層(GaIn層)DLと、開口部を有するp型の電流ブロック層(GaIn層)CBとが形成されている。この開口部は、電流狭窄部となる。p型の電流ブロック層(GaIn層)CB上には、チャンネル層(アンドープのGaIn層)CHと電子供給層(アンドープのAlGaIn層)ESとの積層体が形成され、電子供給層(アンドープのAlGaIn層)ES上には、ゲート電極GEが形成されている。このチャンネル層(アンドープのGaIn層)CHと電子供給層(アンドープのAlGaIn層)ESとの界面近傍には、2次元電子ガス2DEGが形成される。また、ゲート電極GEの両側の電子供給層(アンドープのAlGaIn層)ES上には、ソース電極SEが形成されている。また、ドレイン電極DEは、n型のドリフト層(GaIn層)DLの引き出し部上に形成されている。この比較例2の場合も、比較例1と同様に、ノーマリオン動作と高耐圧化を両立することが困難である。

10

20

30

40

50

【 0 0 6 6 】

これに対し、本実施の形態の半導体装置の伝導帯エネルギープロファイルは図 1 8 に示すようになる。図 1 8 は、本実施の形態の半導体装置（図 1）の伝導帯エネルギープロファイルを示す図である。横軸は、位置を、縦軸は、エネルギーの大きさを示す。また、（a）は、ゲート電極直下（A - A' 部）の伝導帯エネルギープロファイルを示し、（b）は、ゲート電極とソース電極（またはドレイン電極）との間に位置する部位の直下（B - B' 部）の伝導帯エネルギープロファイルを示す。

【 0 0 6 7 】

電子供給層（アンドープの AlGaIn 層）ES はチャンネル層（アンドープの GaN 層）CH より格子定数が小さく、電子供給層（アンドープの AlGaIn 層）ES に引張応力が生じる。このため、自発性分極効果とピエゾ分極効果に基づいて電子供給層（アンドープの AlGaIn 層）ES に分極が発生する。しかしながら、本実施の形態においては、結晶面を反転させたので、電子供給層（アンドープの AlGaIn 層）ES とチャンネル層（アンドープの GaN 層）CH との界面に負電荷（-）が生成される。言い換えれば、電子供給層（アンドープの AlGaIn 層）ES とチャンネル層（アンドープの GaN 層）CH とが N 面配向した本実施の形態の半導体装置においては、電子供給層（アンドープの AlGaIn 層）ES とチャンネル層（アンドープの GaN 層）CH との界面が負電荷（-）になる。同様に、電子供給層（アンドープの AlGaIn 層）ES とチャンネル層（アンドープの GaN 層）CH との界面には正電荷（+）が発生する（図 1 8（a））。しかしながら、この正電荷（+）は、ゲート絶縁膜 GI との界面準位により補償されるため電氣的に中性になる。

【 0 0 6 8 】

上記式（1）から、電子供給層 ES である AlGaIn 層の Al 組成が $x = 0.2$ の場合、分極電荷の面密度は、 $1.2 \times 10^{13} [\text{cm}^{-2}]$ と計算される。このため、ゲート電圧 $V_g = 0 \text{ V}$ の熱平衡状態においては、ゲート電極直下（A - A' 部）の 2 次元電子ガス（チャンネル）2DEG が空乏化して、ノーマリオフ動作が可能となる（図 1 8（a））。一方、ゲート電圧 $V_g = \text{閾値電圧} (V_t)$ のオフ状態においては、ゲート絶縁膜 GI の内部に発生する電界の方向も比較例 1 の場合と逆になるため、ゲート絶縁膜 GI 中の伝導帯のポテンシャルエネルギーが、基板 2S 側（チャンネル層（アンドープの GaN 層）CH）からゲート電極 GE 側に向かって減少する。この電界強度（/ : はゲート絶縁膜の誘電率）はゲート絶縁膜 GI の厚さに依存しないため、ゲート絶縁膜 GI を厚くするにしたがって閾値電圧（ V_t ）が増加することとなる。このように、本実施の形態の半導体装置においては、ノーマリオフ動作と高耐圧化の両立が容易になる。

【 0 0 6 9 】

さらに、ゲート電極直下を除く領域（B - B' 部）においては、n 型のコンタクト層（n 型の AlGaIn 層）CL 中の n 型不純物がイオン化し、正電荷が形成される。ここで、n 型のコンタクト層（n 型の AlGaIn 層）CL 中の n 型不純物の面密度を、例えば、 $5 \times 10^{13} \text{ cm}^{-2}$ と、負電荷の面密度より大きくなるように設定する。また、チャンネル層（アンドープの GaN 層）CH は、電子供給層（アンドープの AlGaIn 層）ES よりバンドギャップが小さいため、電子供給層（アンドープの AlGaIn 層）ES とチャンネル層（アンドープの GaN 層）CH との境界に、2 次元電子ガス 2DEG が生成されてオン抵抗が低減される（図 1 8（b））。

【 0 0 7 0 】

（変形例）

図 1 に示す形態においては、AlGaIn 層（n 型のコンタクト層（n 型の AlGaIn 層）CL、電子供給層（アンドープの AlGaIn 層）ES）の一部に n 型不純物層（n 型の半導体層、n 型の半導体領域ともいう、n 型のコンタクト層（n 型の AlGaIn 層）CL）を設けたが、チャンネル層（アンドープの GaN 層）CH の一部に n 型不純物層（n 型のコンタクト層（n 型の AlGaIn 層）CL）を設けてもよい。

【 0 0 7 1 】

10

20

30

40

50

例えば、チャネル層（アンドープの GaN 層）CH、n 型のコンタクト層（n 型の GaN 層）CL および電子供給層（アンドープの AlGaIn 層）ES を積層した後、電子供給層（アンドープの AlGaIn 層）ES および n 型のコンタクト層（n 型の GaN 層）CL を除去することにより、溝 T を形成すればよい。

【0072】

また、図 1 に示す形態においては、電子供給層（アンドープの AlGaIn 層）ES 上にゲート絶縁膜 GI を介してゲート電極 GE を配置した、いわゆる、MIS 型（金属 - 絶縁膜 - 半導体型）のゲート電極構成を例示したが、電子供給層（アンドープの AlGaIn 層）ES 上に直接ゲート電極 GE を配置した、いわゆる、ショットキー型のゲート電極構成を採用してもよい。

10

【0073】

なお、電子供給層（アンドープの AlGaIn 層）ES とチャネル層（アンドープの GaN 層）CH とを N 面配向させるためには、チャネル層（アンドープの GaN 層）CH 上に、[000-1] 方向に、電子供給層（アンドープの AlGaIn 層）ES を結晶成長させる、いわゆる、N 面（窒素面）での成長モードを用いることが考えられる。しかしながら、チャネル層（アンドープの GaN 層）CH の N 面は、エッチング速度が Ga 面より大きいことに起因して、鏡面成長を得るのが難しい。その結果、N 面での成長モードでは、良好な結晶が得られない。

【0074】

これに対し、本実施の形態においては、良好な結晶が得られる Ga 面モードでの結晶成長を行い、上下を反転させることで、電子供給層（アンドープの AlGaIn 層）ES とチャネル層（アンドープの GaN 層）CH とが N 面配向した積層体を得ることができる。特に、Ga 面モードでの結晶成長を行い、レーザーリフトオフ法などを用いて、犠牲層（GaN 層）SL と n 型のコンタクト層（n 型の AlGaIn 層）CL との間を剥離することで、平坦性の高い積層体を形成することができる。

20

【0075】

（実施の形態 2）

実施の形態 1 においては、いわゆるリセスゲート構造のゲート電極を設けているが、本実施の形態においては、プレーナゲート構造のゲート電極を用いる。

【0076】

30

〔構造説明〕

図 19 は、本実施の形態の半導体装置の構成を示す断面図である。図 19 に示す半導体装置は、窒化物半導体を用いた電界効果トランジスタである。また、高電子移動度トランジスタ（HEMT）とも呼ばれる。

【0077】

図 19 に示すように、本実施の形態の半導体装置においては、支持基板 2S 上に接合層 AL を介して、チャネル層（電子走行層ともいう）CH、電子供給層 ES および n 型のコンタクト層 CL の積層体が配置されている。この積層体は、窒化物半導体よりなる。そして、電子供給層 ES は、チャネル層 CH よりバンドギャップが広い窒化物半導体である。

40

【0078】

ここでは、チャネル層 CH として、アンドープの GaN 層が、電子供給層 ES として、アンドープの AlGaIn 層が、コンタクト層 CL として、n 型の AlGaIn 層が用いられている。この電子供給層 ES とチャネル層 CH との界面近傍のチャネル層 CH 側に、2 次元電子ガス 2DEG が生成される。

【0079】

この電子供給層（アンドープの AlGaIn 層）ES とチャネル層（アンドープの GaN 層）CH との接合面は、Ga 面（（0001）面）である。そしてチャネル層（アンドープの GaN 層）CH から電子供給層（アンドープの AlGaIn 層）ES 側へ向かう方向は、[000-1] 方向となる。言い換えれば、接合面（2 次元電子ガス 2DEG の生成面）から電子供給層（アンドープの AlGaIn 層）ES 側への方向は、[000-1] 方向

50

となる。

【0080】

また、ゲート電極GEは、n型のコンタクト層(n型のAlGaIn層)CLの開口部から露出する電子供給層(アンドープのAlGaIn層)ES上に、ゲート絶縁膜GIを介して配置されている。言い換えれば、ゲート電極GEの両側には、ゲート絶縁膜GIを介してn型のコンタクト層(n型のAlGaIn層)CLが配置され、ゲート電極GE下には、ゲート絶縁膜GIを介して電子供給層(アンドープのAlGaIn層)ESが配置されている。このゲート電極GEの両側のn型のコンタクト層(n型のAlGaIn層)CL上には、それぞれソース電極SEおよびドレイン電極DEが配置されている。

【0081】

ゲート電極GE上には、層間絶縁層(図示せず)が配置される。また、上記ソース電極SEおよびドレイン電極DE上には、上記層間絶縁層中に形成されたコンタクトホール内に埋め込まれた導電性膜(プラグ、図示せず)が配置される。

【0082】

[製法説明]

次いで、図20～図25を参照しながら、本実施の形態の半導体装置の製造方法を説明するとともに、当該半導体装置の構成をより明確にする。図20～図25は、本実施の形態の半導体装置の製造工程を示す断面図である。

【0083】

図20に示すように、基板(成長用基板ともいう)1Sとして、例えば窒化ガリウム(GaN)からなる基板1Sを準備する。

【0084】

次いで、基板1S上に核生成層(図示せず)を介して犠牲層SLを形成する。この犠牲層SLは、例えば、GaN層よりなる。例えば、窒化ガリウム(GaN)からなる基板1S上に、MOCVD法を用いて、層厚1μm程度の犠牲層(GaN層)SLを堆積する。

【0085】

次いで、犠牲層(GaN層)SL上に、電子供給層ESを形成する。例えば、MOCVD法を用いて、層厚50nm程度のアンドープのAlGaIn層を堆積する。AlGaIn層は、Al_{0.2}Ga_{0.8}Nで示す組成比を有する。次いで、電子供給層(アンドープのAlGaIn層)ES上にチャネル層CHを形成する。例えば、MOCVD法を用いて、層厚1μm程度のアンドープのGaN層を堆積する。

【0086】

このようなMOCVD法を用いて形成された成長膜をエピタキシャル層(エピタキシャル膜)という。上記犠牲層(GaN層)SL、電子供給層(アンドープのAlGaIn層)ESおよびチャネル層(アンドープのGaN層)CHの積層体は、[0001]結晶軸方向に平行なGa面での成長モードにて形成される。言い換えれば、[0001]結晶軸方向に平行なGa面上に、それぞれの層が順次成長する。

【0087】

具体的には、窒化ガリウム(GaN)からなる基板1SのGa面((0001)面)上に、[0001]方向にGaNが成長し、犠牲層(GaN層)SLが形成される。そして、犠牲層(GaN層)SLのGa面((0001)面)上に、[0001]方向にアンドープのAlGaInが成長し、電子供給層(アンドープのAlGaIn層)ESが形成される。そして、電子供給層(アンドープのAlGaIn層)ESのGa面((0001)面)上に、[0001]方向にアンドープのGaNが成長し、チャネル層(アンドープのGaN層)CHが形成される。

【0088】

この電子供給層(アンドープのAlGaIn層)ESとチャネル層(アンドープのGaN層)CHとの界面(接合面)は、Ga面((0001)面)であり、この界面からチャネル層(アンドープのGaN層)CH側への方向は、[0001]方向となる。

【0089】

10

20

30

40

50

このように、 $[0001]$ 結晶軸方向に平行なGa面での成長モードで、上記積層体の各層（犠牲層（Ga_{0.9}N層）SL、電子供給層（アンドープのAlGa_{0.9}N層）ESおよびチャンネル層（アンドープのGa_{0.9}N層）CH）を形成することにより、凹凸の少ないより平坦なエピタキシャル層よりなる積層体を得ることができる。

【0090】

ここで、AlGa_{0.9}NとGa_{0.9}Nとは、格子定数が異なるが、AlGa_{0.9}Nのトータル膜厚を臨界膜厚以下に設定することにより、転位の発生の少ない良好な結晶品質の積層体を得ることができる。

【0091】

基板1Sとしては、窒化ガリウム（Ga_{0.9}N）からなる基板以外の基板を用いてもよい。窒化ガリウム（Ga_{0.9}N）からなる基板を用いることにより、転位発生の少ない良好な結晶品質の積層体を成長させることができる。上記転位などの結晶欠陥は、リーク電流の原因となる。このため、結晶欠陥を抑制することにより、リーク電流を低減することができ、トランジスタのオフ耐圧を向上させることができる。

【0092】

なお、基板1S上の核生成層（図示せず）としては、窒化ガリウム（Ga_{0.9}N）層と窒化アルミニウム（AlN）層との積層膜（AlN/Ga_{0.9}N膜）を、繰り返し積層した超格子層を用いることができる。

【0093】

次いで、図21に示すように、チャンネル層（アンドープのGa_{0.9}N層）CHの (0001) 面上に、接合層ALを形成し、支持基板2Sを搭載する。接合層ALとしては、例えば、HSQなどの塗布系絶縁膜を用いることができる。また、支持基板2Sとしては、例えば、シリコン（Si）からなる基板を用いることができる。

【0094】

例えば、HSQの前駆体をチャンネル層（アンドープのGa_{0.9}N層）CH上に塗布し、支持基板2Sを搭載した後、200程度度の熱処理を施す。これにより、HSQが硬化し、図6に示すように、チャンネル層（アンドープのGa_{0.9}N層）CHと支持基板2Sとを接合層ALを介して接着することができる。接合層ALとして、HSQを用いた場合、約900程度までの熱負荷に耐えることができる。

【0095】

次いで、犠牲層（Ga_{0.9}N層）SLと電子供給層（アンドープのAlGa_{0.9}N層）ESとの界面から犠牲層（Ga_{0.9}N層）SLおよび基板1Sを剥離する。剥離方法としては、実施の形態1と同様に、例えば、レーザーリフトオフ法を用いることができる。これにより、電子供給層（アンドープのAlGa_{0.9}N層）ESおよびチャンネル層（アンドープのGa_{0.9}N層）CHが積層され、さらに、この上部に、接合層ALおよび支持基板2Sが積層された積層構造体が形成される。

【0096】

次いで、図22に示すように、上記積層構造体の電子供給層（アンドープのAlGa_{0.9}N層）ES側が上面となるように、上記積層構造体を反転させる。これにより、支持基板2S上に接合層ALを介して、チャンネル層（アンドープのGa_{0.9}N層）CHおよび電子供給層（アンドープのAlGa_{0.9}N層）ESの積層体が配置される。前述したとおり、電子供給層（アンドープのAlGa_{0.9}N層）ESとチャンネル層（アンドープのGa_{0.9}N層）CHとの接合面は、Ga面（ (0001) 面）である。そして、この接合面から電子供給層（アンドープのAlGa_{0.9}N層）ES側への方向は、 $[000-1]$ 方向となる。

【0097】

次いで、図23に示すように、イオン注入法によりn型のコンタクト層（n型のAlGa_{0.9}N層）CLを形成する。まず、図23に示すように、電子供給層（アンドープのAlGa_{0.9}N層）ES上にフォトリジスト膜PR21を形成し、露光・現像することにより、ゲート電極GEの形成予定領域以外のフォトリジスト膜PR21を除去する。次いで、フォトリジスト膜PR21をマスクとして、電子供給層（アンドープのAlGa_{0.9}N層）ESの上

10

20

30

40

50

層部に、 n 型の不純物をイオン注入する。これにより、ゲート電極 GE の形成予定領域の両側の電子供給層（アンドープの $AlGaIn$ 層） ES の上層部に、 n 型のコンタクト層（ n 型の $AlGaIn$ 層） CL が形成される。 n 型の不純物としては、例えば Si （シリコン）が用いられ、その濃度（不純物濃度）は、例えば、 $1 \times 10^{19} / cm^3$ 程度である。また、 n 型のコンタクト層（ n 型の $AlGaIn$ 層） CL の厚さは、例えば $30 nm$ 程度である。この後、フォトリジスト膜 $PR21$ を除去する。次いで、例えば、窒素雰囲気中で、熱処理（アニール）を行い、 n 型のコンタクト層（ n 型の $AlGaIn$ 層） CL 中の n 型の不純物（ここでは、 Si ）を活性化する。この熱処理により、 n 型のコンタクト層（ n 型の $AlGaIn$ 層） CL 中の電子濃度は、例えば、 $2 \times 10^{19} / cm^3$ 程度となる。

【0098】

次いで、図 24 に示すように、 n 型のコンタクト層（ n 型の $AlGaIn$ 層） CL 上のゲート電極 GE の形成予定領域の両側にソース電極 SE およびドレイン電極 DE を形成する。このソース電極 SE およびドレイン電極 DE は、実施の形態 1 と同様に、例えば、リフトオフ法を用いて形成することができる。次いで、実施の形態 1 と同様に、支持基板 $2S$ に対して、熱処理（アロイ処理）を施す。この熱処理により、ソース電極 SE と、2次元電子ガス $2DEG$ が形成されているチャネル層（アンドープの GaN 層） CH とのオーミック接触を図ることができる。同様に、ドレイン電極 DE とチャネル層（アンドープの GaN 層） CH とのオーミック接触を図ることができる。即ち、ソース電極 SE およびドレイン電極 DE が、それぞれ 2次元電子ガス $2DEG$ に対して電気的に接続された状態となる。

【0099】

次いで、図 25 に示すように、ゲート絶縁膜 GI を形成した後、ゲート電極 GE を形成する。まず、実施の形態 1 と同様に、ゲート絶縁膜 GI を形成する。例えば、ソース電極 SE 、ドレイン電極 DE 、電子供給層（アンドープの $AlGaIn$ 層） ES および n 型のコンタクト層（ n 型の $AlGaIn$ 層） CL 上に、ゲート絶縁膜 GI として、例えば、アルミナ膜を、原子層堆積法を用いて形成する。次いで、ソース電極 SE およびドレイン電極 DE 上のゲート絶縁膜 GI を除去する。なお、このゲート絶縁膜 GI の除去は、ソース電極 SE およびドレイン電極 DE 上にコンタクトホールを形成する際に行ってもよい。

【0100】

次いで、ゲート絶縁膜 GI 上にゲート電極 GE を形成する。ゲート電極 GE は、実施の形態 1 と同様に、例えば、リフトオフ法を用いて形成することができる。

【0101】

以上の工程により、本実施の形態の半導体装置が略完成する。なお、上記工程においては、ゲート電極 GE 、ソース電極 SE およびドレイン電極 DE を、リフトオフ法を用いて形成したが、これらの電極を金属膜のパターニングにより形成してもよい。

【0102】

このように、本実施の形態の半導体装置においては、 $[000-1]$ 方向に、チャネル層（アンドープの GaN 層） CH と電子供給層（アンドープの $AlGaIn$ 層） ES とを順に積層した構成としたので、実施の形態 1 で詳細に説明したように、（１）ノーマリオフ動作と（２）高耐圧化の両立が容易となる。

【0103】

即ち、本実施の形態の半導体装置の伝導帯エネルギープロファイルは、実施の形態 1 の場合（図 18）と同様である。よって、実施の形態 1 において詳細に説明したように、電子供給層（アンドープの $AlGaIn$ 層） ES とチャネル層（アンドープの GaN 層） CH との界面に負電荷（ $-$ ）が生成される。このため、ゲート電圧 $V_g = 0 V$ の熱平衡状態においては、ゲート電極直下（ $A-A'$ 部）の 2次元電子ガス（チャネル） $2DEG$ が空乏化して、ノーマリオフ動作が可能となる（図 18（a）参照）。また、ゲート電圧 $V_g =$ 閾値電圧（ V_t ）のオフ状態においては、ゲート絶縁膜 GI 中の伝導帯のポテンシャルエネルギーが、基板 $2S$ 側（チャネル層（アンドープの GaN 層） CH ）からゲート電極 GE 側に向かって減少する。この電界強度（ $/$ ： ϵ はゲート絶縁膜の誘電率）はゲー

10

20

30

40

50

ト絶縁膜 G I の厚さに依存しないため、ゲート絶縁膜 G I を厚くするにしたがって閾値電圧 (V t) が増加することとなる。このように、本実施の形態の半導体装置においては、ノーマリオフ動作と高耐圧化の両立が容易になる。

【 0 1 0 4 】

さらに、ゲート電極直下を除く領域 (B - B ' 部) においては、 n 型のコンタクト層 (n 型の A l G a N 層) C L 中の n 型不純物がイオン化し、正電荷が形成され、電子供給層 (アンドープの A l G a N 層) E S とチャネル層 (アンドープの G a N 層) C H との境界に、 2 次元電子ガス 2 D E G が生成されてオン抵抗が低減される (図 1 8 (b) 参照)。

【 0 1 0 5 】

また、本実施の形態においては、溝 T の形成工程を必要としないため、閾値電圧 (V t) の調整が実施の形態 1 の場合より容易となる。

【 0 1 0 6 】

(変形例)

図 1 9 に示す形態においては、 A l G a N 層 (n 型のコンタクト層 (n 型の A l G a N 層) C L 、電子供給層 (アンドープの A l G a N 層) E S) の一部に n 型不純物層 (n 型のコンタクト層 (n 型の A l G a N 層) C L) を設けたが、チャネル層 (アンドープの G a N 層) C H の一部に n 型不純物層 (n 型のコンタクト層 (n 型の A l G a N 層) C L) を設けてもよい。

【 0 1 0 7 】

例えば、図 2 3 に示すイオン注入法の際に、チャネル層 (アンドープの G a N 層) C H の上層部に、 n 型の不純物をイオン注入することにより、ゲート電極 G E の形成予定領域の両側のチャネル層 (アンドープの G a N 層) C H の上層部に、 n 型のコンタクト層 (n 型の A l G a N 層) C L を形成してもよい。

【 0 1 0 8 】

また、図 1 9 に示す形態においては、電子供給層 (アンドープの A l G a N 層) E S 上にゲート絶縁膜 G I を介してゲート電極 G E を配置した、いわゆる、 M I S 型 (金属 - 絶縁膜 - 半導体型) のゲート電極構成を例示したが、電子供給層 (アンドープの A l G a N 層) E S 上に直接ゲート電極 G E を配置した、いわゆる、ショットキー型のゲート電極構成を採用してもよい。

【 0 1 0 9 】

(実施の形態 3)

実施の形態 1 および 2 においては、いわゆる横型の F E T を例に説明したが、実施の形態 3 ~ 6 においては、いわゆる縦型の F E T について説明する。以下、図面を参照しながら本実施の形態の半導体装置について詳細に説明する。

【 0 1 1 0 】

[構造説明]

図 2 6 は、本実施の形態の半導体装置の構成を示す断面図である。図 2 6 に示す半導体装置は、窒化物半導体を用いた電界効果トランジスタである。また、高電子移動度トランジスタ (H E M T) とも呼ばれる。

【 0 1 1 1 】

図 2 6 に示すように、本実施の形態の半導体装置においては、支持基板 2 S 上に接合層 A L を介して、 n 型のドリフト層 D L 、電流ブロック層 C B 、チャネル層 (電子走行層ともいう) C H 、電子供給層 E S および n 型のコンタクト層 C L の積層体が配置されている。この積層体は、窒化物半導体よりなる。そして、電子供給層 E S は、チャネル層 C H よりバンドギャップが広い窒化物半導体である。電流ブロック層 C B は、ゲート電極 G E と対応する位置に開口部 (離間部) を有する。この電流ブロック層 C B の開口部は、電流狭窄部となる。

【 0 1 1 2 】

ここでは、 n 型のドリフト層 D L として、 n 型の G a N 層が、電流ブロック層 C B として、 p 型の G a N 層が用いられている。そして、チャネル層 C H として、アンドープの G

10

20

30

40

50

a N層が、電子供給層E Sとして、アンドープのA l G a N層が、コンタクト層C Lとして、n型のA l G a N層が用いられている。この電子供給層E Sとチャネル層C Hとの界面近傍のチャネル層C H側に、2次元電子ガス2 D E Gが生成される。

【0113】

この電子供給層（アンドープのA l G a N層）E Sとチャネル層（アンドープのG a N層）C Hとの接合面は、G a面（（0001）面）である。そして、チャネル層（アンドープのG a N層）C Hから電子供給層（アンドープのA l G a N層）E S側へ向かう方向は、[000-1]方向となる。言い換えれば、接合面（2次元電子ガス2 D E Gの生成面）から電子供給層（アンドープのA l G a N層）E S側への方向は、[000-1]方向となる。

10

【0114】

また、ゲート電極G Eは、n型のコンタクト層（n型のA l G a N層）C Lを貫通し、その底面から電子供給層（アンドープのA l G a N層）E Sを露出する溝Tの内部に、ゲート絶縁膜G Iを介して配置されている。このゲート電極G Eの両側のn型のコンタクト層（n型のA l G a N層）C L上には、ソース電極S Eが配置されている。また、ドレイン電極D Eは、支持基板2 Sの裏面側に配置されている。

【0115】

このような構成の半導体装置は、縦型のF E Tと呼ばれ、キャリアが、チャネル層（アンドープのG a N層）C Hから開口部（電流狭窄部）を介してn型のドリフト層（n型のG a N層）D Lへと、支持基板2 Sと垂直な方向に走行する。2次元電子ガス2 D E Gのキャリア濃度をゲート電圧で変調することによりF E T動作が行われる。

20

【0116】

ゲート電極G E上には、層間絶縁層（図示せず）が配置される。また、上記ソース電極S E上には、上記層間絶縁層中に形成されたコンタクトホール内に埋め込まれた導電性膜（プラグ、図示せず）が配置される。

【0117】

[製法説明]

次いで、図27～図32を参照しながら、本実施の形態の半導体装置の製造方法を説明するとともに、当該半導体装置の構成をより明確にする。図27～図32は、本実施の形態の半導体装置の製造工程を示す断面図である。

30

【0118】

図27に示すように、基板（成長用基板ともいう）1 Sとして、例えば窒化ガリウム（G a N）からなる基板1 Sを準備する。

【0119】

次いで、基板1 S上に核生成層（図示せず）を介して犠牲層S Lを形成する。この犠牲層S Lは、例えば、G a N層よりなる。例えば、窒化ガリウム（G a N）からなる基板1 S上に、M O C V D法を用いて、層厚1 μ m程度の犠牲層（G a N層）S Lを堆積する。

【0120】

次いで、犠牲層（G a N層）S L上に、n型のコンタクト層C Lを形成する。例えば、M O C V D法を用いて、層厚50 nm程度のn型のA l G a N層を堆積する。A l G a N層は、A l_{0.2}G a_{0.8}Nで示す組成比を有する。n型の不純物としては、例えばS i（シリコン）が用いられ、その濃度（不純物濃度）は、例えば、 $1 \times 10^{19} / \text{cm}^3$ 程度である。次いで、n型のコンタクト層（n型のA l G a N層）C L上に、電子供給層E Sを形成する。例えば、M O C V D法を用いて、層厚20 nm程度のアンドープのA l G a N層を堆積する。A l G a N層は、A l_{0.2}G a_{0.8}Nで示す組成比を有する。次いで、電子供給層（アンドープのA l G a N層）E S上にチャネル層C Hを形成する。例えば、M O C V D法を用いて、層厚0.1 μ m程度のアンドープのG a N層を堆積する。次いで、チャネル層C H（アンドープのG a N層）上に、p型の電流ブロック層（p型不純物層、p型の半導体領域ともいう）C Bを形成する。例えば、M O C V D法を用いて、層厚0.5 μ m程度のp型のG a N層を堆積する。p型の不純物としては、例えばM g

40

50

(マグネシウム) が用いられ、その濃度 (不純物濃度) は、例えば、 $1 \times 10^{19} / \text{cm}^3$ 程度である。

【0121】

このような MOCVD 法を用いて形成された成長膜をエピタキシャル層 (エピタキシャル膜) という。上記犠牲層 (Ga N 層) SL、n 型のコンタクト層 (n 型の Al Ga N 層) CL、電子供給層 (アンドープの Al Ga N 層) ES、チャネル層 (アンドープの Ga N 層) CH および p 型の電流ブロック層 (p 型の Ga N 層) CB の積層体は、[0001] 結晶軸方向に平行な Ga 面での成長モードにて形成される。言い換えれば、[0001] 結晶軸方向に平行な Ga 面上に、それぞれの層が順次成長する。

【0122】

具体的には、窒化ガリウム (Ga N) からなる基板 1 S の Ga 面 ((0001) 面) 上に、[0001] 方向に Ga N が成長し、犠牲層 (Ga N 層) SL が形成される。そして、犠牲層 (Ga N 層) SL の Ga 面 ((0001) 面) 上に、[0001] 方向に n 型の Al Ga N が成長し、n 型のコンタクト層 (n 型の Al Ga N 層) CL が形成される。そして、n 型のコンタクト層 (n 型の Al Ga N 層) CL の Ga 面 ((0001) 面) 上に、[0001] 方向にアンドープの Al Ga N が成長し、電子供給層 (アンドープの Al Ga N 層) ES が形成される。そして、電子供給層 (アンドープの Al Ga N 層) ES の Ga 面 ((0001) 面) 上に、[0001] 方向にアンドープの Ga N が成長し、チャネル層 (アンドープの Ga N 層) CH が形成される。そして、チャネル層 (アンドープの Ga N 層) CH の Ga 面 ((0001) 面) 上に、[0001] 方向に p 型の Ga N が成長し、電流ブロック層 (p 型の Ga N 層) CB が形成される。

【0123】

この電子供給層 (アンドープの Al Ga N 層) ES とチャネル層 (アンドープの Ga N 層) CH との界面近傍に、2 次元電子ガス (2 次元電子ガス層) 2 DEG が生成 (形成) される。この 2 次元電子ガス 2 DEG の生成面、即ち、電子供給層 (アンドープの Al Ga N 層) ES とチャネル層 (アンドープの Ga N 層) CH との接合面 (界面) は、Ga 面 ((0001) 面) であり、この接合面 (2 次元電子ガス 2 DEG の生成面) からチャネル層 (アンドープの Ga N 層) CH 側への方向は、[0001] 方向となる。

【0124】

このように、[0001] 結晶軸方向に平行な Ga 面での成長モードで、上記積層体の各層 (n 型のコンタクト層 (n 型の Al Ga N 層) CL、電子供給層 (アンドープの Al Ga N 層) ES、チャネル層 (アンドープの Ga N 層) CH および p 型の電流ブロック層 (p 型の Ga N 層) CB) を形成することにより、凹凸の少ないより平坦なエピタキシャル層よりなる積層体を得ることができる。

【0125】

ここで、Al Ga N と Ga N とは、格子定数が異なるが、Al Ga N のトータル膜厚を臨界膜厚以下に設定することにより、転位の発生の少ない良好な結晶品質の積層体を得ることができる。

【0126】

基板 1 S としては、窒化ガリウム (Ga N) からなる基板以外の基板を用いてもよい。窒化ガリウム (Ga N) からなる基板を用いることにより、転位発生の少ない良好な結晶品質の積層体を成長させることができる。上記転位などの結晶欠陥は、リーク電流の原因となる。このため、結晶欠陥を抑制することにより、リーク電流を低減することができ、トランジスタのオフ耐圧を向上させることができる。

【0127】

なお、基板 1 S 上の核生成層 (図示せず) としては、窒化ガリウム (Ga N) 層と窒化アルミニウム (Al N) 層との積層膜 (Al N / Ga N 膜) を、繰り返し積層した超格子層を用いることができる。

【0128】

次いで、例えば、窒素雰囲気中で、熱処理 (アニール) を行い、電流ブロック層 (p 型

10

20

30

40

50

の GaN 層) CB 中の p 型の不純物 (ここでは、Mg) を活性化する。この熱処理により、電流ブロック層 (p 型の GaN 層) CB 中の正孔濃度は、例えば、 $2 \times 10^{18} / \text{cm}^3$ 程度となる。

【0129】

次いで、図 28 に示すように、電流ブロック層 (p 型の GaN 層) CB の中央部、言い換えれば、ゲート電極 GE の形成予定領域の近傍の電流ブロック層 (p 型の GaN 層) CB を除去することにより、電流ブロック層 (p 型の GaN 層) CB に開口部を形成する。例えば、電流ブロック層 (p 型の GaN 層) CB 上に、ゲート電極 GE の形成予定領域を覆うフォトリソ膜 (図示せず) を形成し、電流ブロック層 (p 型の GaN 層) CB をドライエッチング法などを用いて除去する。エッチングガスとしては、塩化硼素 (BCl₃) 系のガスを用いることができる。この工程により、電流ブロック層 (p 型の GaN 層) CB に開口部が形成され、その底面からチャネル層 (アンドープの GaN 層) CH が露出する。この後、上記フォトリソ膜 (図示せず) を除去する。

10

【0130】

次いで、図 29 に示すように、チャネル層 (アンドープの GaN 層) CH の露出部を含む電流ブロック層 (p 型の GaN 層) CB 上に、n 型のドリフト層 (n 型の GaN 層) DL を形成する。例えば、上記開口部内を含む電流ブロック層 (p 型の GaN 層) CB 上に、層厚 10 μm 程度の n 型のドリフト層 (n 型の GaN 層) DL を MOCVD 法を用いて成長させる。n 型の不純物としては、例えば Si (シリコン) が用いられ、その濃度 (不純物濃度) は、例えば、 $5 \times 10^{16} / \text{cm}^3$ 程度である。このように、開口部内を含む電流ブロック層 (p 型の GaN 層) CB 上へのエピタキシャル成長は、埋め込み再成長と呼ばれる。

20

【0131】

なお、電流ブロック層 CB として、p 型の GaN 層とその上部の AlN 層 (窒化アルミニウム層、層厚 0.01 μm 程度) との積層膜を用いてもよい。この場合、この積層膜に開口部を形成し、開口部内を含む電流ブロック層 (積層膜) CB 上に、n 型のドリフト層 (n 型の GaN 層) DL を MOCVD 法を用いて成長させる (埋め込み再成長)。この際、開口部内においては、チャネル層 (アンドープの GaN 層) CH の露出部から n 型のドリフト層 (n 型の GaN 層) DL がエピタキシャル成長し、他の部分においては、AlN 層上に n 型のドリフト層 (n 型の GaN 層) DL がエピタキシャル成長する。AlN 層上においては、アンドープの GaN 層上と比較し、n 型の GaN 層の成長速度が小さい。よって、開口部内において優先的に成膜がなされる。また、開口部が n 型の GaN 層で埋め尽くされた後は、開口部の両側において横方向に成長が進む。これにより、埋め込み再成長の際、n 型のドリフト層 (n 型の GaN 層) DL の表面の平坦性を向上させることができる。上記開口部に埋め込まれた n 型のドリフト層 (n 型の GaN 層) DL は、電流狭窄部 (アパーチャ) となる。

30

【0132】

次いで、図 30 に示すように、n 型のドリフト層 (n 型の GaN 層) DL の (0001) 面上に、接合層 AL を形成し、支持基板 2S を搭載する。接合層 AL としては、例えば、Au (金) と Sn (錫) との合金である半田層を用いることができる。また、半田層の上下に金属膜 (メタライズ) を設けてもよい。例えば、n 型のドリフト層 (n 型の GaN 層) DL の (0001) 面上に、金属膜として、チタン (Ti) 膜と、チタン膜上に形成されたアルミニウム (Al) 膜との積層膜 (Ti/Al) を形成し、この上部に、半田層を形成する。また、支持基板 2S 上に金属膜として、チタン (Ti) 膜と、チタン膜上に形成された白金 (Pt) 膜と、白金膜上に形成された金 (Au) 膜との積層膜 (Ti/Pt/Au) を形成する。支持基板 2S としては、シリコン (Si) からなる基板を用いることができる。

40

【0133】

次いで、接合層 AL である半田層と、支持基板 2S の金属膜とを対向させ、n 型のドリフト層 (n 型の GaN 層) DL と支持基板 2S とを半田層 (接合層 AL) を介して融着す

50

る。

【0134】

次いで、犠牲層（GaN層）SLとn型のコンタクト層（n型のAlGaIn層）CLとの界面から犠牲層（GaN層）SLおよび基板1Sを剥離する。剥離方法としては、実施の形態1の場合と同様に、レーザーリフトオフ法を用いることができる。

【0135】

これにより、n型のコンタクト層（n型のAlGaIn層）CL、電子供給層（アンドープのAlGaIn層）ES、チャネル層（アンドープのGaIn層）CH、電流ブロック層（p型のGaIn層）CB、n型のドリフト層（n型のGaIn層）DLが積層され、さらに、この上部に、接合層ALおよび支持基板2Sが積層された積層構造体が形成される。

10

【0136】

次いで、図31に示すように、上記積層構造体のn型のコンタクト層（n型のAlGaIn層）CL側が上面となるように、上記積層構造体を反転させる。これにより、支持基板2S上に接合層ALを介して上記積層体が配置される。前述したとおり、電子供給層（アンドープのAlGaIn層）ESとチャネル層（アンドープのGaIn層）CHとの接合面は、Ga面（（0001）面）である。そして、この接合面（2次元電子ガス2DEGの生成面）から電子供給層（アンドープのAlGaIn層）ES側への方向は、[000-1]方向となる。

【0137】

次いで、図32に示すように、n型のコンタクト層（n型のAlGaIn層）CL上に、ソース電極SEを形成する。このソース電極SEは、実施の形態1の場合と同様に、リフトオフ法を用いて形成することができる。例えば、ソース電極SEの形成領域に開口部を有するフォトリソ膜（図示せず）を形成する。次いで、このフォトリソ膜上を含むn型のコンタクト層（n型のAlGaIn層）CL上に、金属膜を形成し、フォトリソ膜上の金属膜をフォトリソ膜とともに除去する。これにより、n型のコンタクト層（n型のAlGaIn層）CL上に、ソース電極SEを形成することができる。

20

【0138】

次いで、支持基板2Sに対して、熱処理（アロイ処理）を施す。熱処理としては、例えば、窒素雰囲気中で、600、1分程度の熱処理を施す。この熱処理により、ソース電極SEと、2次元電子ガス2DEGが形成されているチャネル層（アンドープのGaIn層）CHとのオーミック接触を図ることができる。

30

【0139】

次いで、実施の形態1と同様に、溝Tを形成した後、ゲート絶縁膜GIを形成し、さらに、ゲート電極GEを形成する。即ち、n型のコンタクト層（n型のAlGaIn層）CLをドライエッチング法などを用いて除去し、n型のコンタクト層（n型のAlGaIn層）CLを貫通し、電子供給層（アンドープのAlGaIn層）ESを露出する溝Tを形成する。そして、ソース電極SE上を含む電子供給層（アンドープのAlGaIn層）ES上に、ゲート絶縁膜GIとして、例えば、アルミナ膜を、ALD法を用いて形成する。次いで、ソース電極SE上のゲート絶縁膜GIを除去する。次いで、溝Tの内部のゲート絶縁膜GI上にゲート電極GEをリフトオフ法などを用いて形成する。

40

【0140】

次いで、支持基板2Sの裏面側が上面となるように支持基板2Sを反転し、支持基板2S上にドレイン電極DEを形成する（図32）。例えば、支持基板2S上に、金属膜を形成することにより、ドレイン電極DEを形成する。金属膜としては、例えば、チタン（Ti）膜と、チタン膜上に形成されたアルミニウム（Al）膜との積層膜（Ti/Al）を用いることができる。この膜は、例えば、真空蒸着法を用いて形成することができる。

【0141】

以上の工程により、本実施の形態の半導体装置が略完成する。なお、上記工程においては、ゲート電極GEおよびソース電極SEを、リフトオフ法を用いて形成したが、これらの電極を金属膜のパターニングにより形成してもよい。

50

【 0 1 4 2 】

このように、本実施の形態の半導体装置においては、[0 0 0 - 1] 方向に、チャンネル層（アンドープの GaN 層） CH と電子供給層（アンドープの $AlGaN$ 層） ES とを順に積層した構成としたので、実施の形態 1 で詳細に説明したように、（ 1 ）ノーマリオフ動作と（ 2 ）高耐圧化の両立が容易となる。

【 0 1 4 3 】

即ち、本実施の形態の半導体装置の伝導帯エネルギープロフィールは、実施の形態 1 の場合（図 1 8）と同様である。よって、実施の形態 1 において詳細に説明したように、電子供給層（アンドープの $AlGaN$ 層） ES とチャンネル層（アンドープの GaN 層） CH との界面に負電荷（ $-$ ）が生成される。このため、ゲート電圧 $V_g = 0 V$ の熱平衡状態においては、ゲート電極直下（ $A - A'$ 部）の 2 次元電子ガス（チャンネル） $2DEG$ が空乏化して、ノーマリオフ動作が可能となる（図 1 8（a）参照）。また、ゲート電圧 $V_g =$ 閾値電圧（ V_t ）のオフ状態においては、ゲート絶縁膜 GI 中の伝導帯のポテンシャルエネルギーが、基板 $2S$ 側（チャンネル層（アンドープの GaN 層） CH ）からゲート電極 GE 側に向かって減少する。この電界強度（ E ）はゲート絶縁膜の誘電率（ ϵ ）はゲート絶縁膜 GI の厚さに依存しないため、ゲート絶縁膜 GI を厚くするにしたがって閾値電圧（ V_t ）が増加することとなる。このように、本実施の形態の半導体装置においては、ノーマリオフ動作と高耐圧化の両立が容易になる。

【 0 1 4 4 】

さらに、ゲート電極直下を除く領域（ $B - B'$ 部）においては、 n 型のコンタクト層（ n 型の $AlGaN$ 層） CL 中の n 型不純物がイオン化し、正電荷が形成され、電子供給層（アンドープの $AlGaN$ 層） ES とチャンネル層（アンドープの GaN 層） CH との境界に、2 次元電子ガス $2DEG$ が生成されてオン抵抗が低減される（図 1 8（b）参照）。

【 0 1 4 5 】

また、本実施の形態においては、電流ブロック層（ p 型の GaN 層） CB に開口部（電流狭窄部）を設けたので、効率良くキャリアをドレイン側に導くことができる。また、本実施の形態によれば、電流ブロック層（ p 型の GaN 層） CB や、その開口部（電流狭窄部）も容易に形成することができる。

【 0 1 4 6 】

（変形例）

図 2 6 に示す形態においては、 $AlGaN$ 層（ n 型のコンタクト層（ n 型の $AlGaN$ 層） CL 、電子供給層（アンドープの $AlGaN$ 層） ES ）の一部に n 型不純物層（ n 型のコンタクト層（ n 型の $AlGaN$ 層） CL ）を設けたが、チャンネル層（アンドープの GaN 層） CH の一部に n 型不純物層（ n 型のコンタクト層（ n 型の $AlGaN$ 層） CL ）を設けてもよい。

【 0 1 4 7 】

例えば、チャンネル層（アンドープの GaN 層） CH 、 n 型のコンタクト層（ n 型の GaN 層） CL および電子供給層（アンドープの $AlGaN$ 層） ES を積層した後、電子供給層（アンドープの $AlGaN$ 層） ES および n 型のコンタクト層（ n 型の GaN 層） CL を除去することにより、溝 T を形成すればよい。

【 0 1 4 8 】

また、図 2 6 に示す形態においては、電子供給層（アンドープの $AlGaN$ 層） ES 上にゲート絶縁膜 GI を介してゲート電極 GE を配置した、いわゆる、 MIS 型（金属 - 絶縁膜 - 半導体型）のゲート電極構成を例示したが、電子供給層（アンドープの $AlGaN$ 層） ES 上に直接ゲート電極 GE を配置した、いわゆる、ショットキー型のゲート電極構成を採用してもよい。

【 0 1 4 9 】

（実施の形態 4）

以下、図面を参照しながら本実施の形態の半導体装置について詳細に説明する。

【 0 1 5 0 】

〔構造説明〕

図33は、本実施の形態の半導体装置の構成を示す断面図である。図33に示す半導体装置は、窒化物半導体を用いた電界効果トランジスタである。また、高電子移動度トランジスタ（HEMT）とも呼ばれる。

【0151】

図33に示すように、本実施の形態の半導体装置においては、支持基板2S上に接合層ALを介して、n型のドリフト層DL、電流ブロック層CB、チャネル層（電子走行層ともいう）CH、電子供給層ESおよびn型のコンタクト層CLの積層体が配置されている。この積層体は、窒化物半導体よりなる。そして、電子供給層ESは、チャネル層CHよりバンドギャップが広い窒化物半導体である。

10

【0152】

電流ブロック層CBは、ゲート電極GEと対応する位置に開口部を有する。この電流ブロック層CBの開口部は、電流狭窄部となる。

【0153】

ここでは、n型のドリフト層DLとして、n型のGaN層が、電流ブロック層CBとして、p型のGaN層が用いられている。そして、チャネル層CHとして、アンドープのGaN層が、電子供給層ESとして、アンドープのAlGaN層が、コンタクト層CLとして、n型のAlGaN層が用いられている。この電子供給層ESとチャネル層CHとの界面近傍のチャネル層CH側に、2次元電子ガス2DEGが生成される。

【0154】

20

この電子供給層（アンドープのAlGaN層）ESとチャネル層（アンドープのGaN層）CHとの接合面は、Ga面（0001）面である。そして、チャネル層（アンドープのGaN層）CHから電子供給層（アンドープのAlGaN層）ES側へ向かう方向は、[000-1]方向となる。言い換えれば、接合面（2次元電子ガス2DEGの生成面）から電子供給層（アンドープのAlGaN層）ES側への方向は、[000-1]方向となる。

【0155】

また、ゲート電極GEは、n型のコンタクト層（n型のAlGaN層）CLの開口部から露出する電子供給層（アンドープのAlGaN層）ES上に、ゲート絶縁膜GIを介して配置されている。言い換えれば、ゲート電極GEの両側には、ゲート絶縁膜GIを介してn型のコンタクト層（n型のAlGaN層）CLが配置され、ゲート電極GE下には、ゲート絶縁膜GIを介して電子供給層（アンドープのAlGaN層）ESが配置されている。このゲート電極GEの両側のn型のコンタクト層（n型のAlGaN層）CL上には、ソース電極SEが配置されている。また、ドレイン電極DEは、支持基板2Sの裏面側に配置されている。

30

【0156】

このような構成の半導体装置は、縦型のFETと呼ばれ、キャリアが、チャネル層（アンドープのGaN層）CHから開口部（電流狭窄部）を介してn型のドリフト層（n型のGaN層）DLへと、支持基板2Sと垂直な方向に走行する。2次元電子ガス2DEGのキャリア濃度をゲート電圧で変調することによりFET動作が行われる。

40

【0157】

ゲート電極GE上には、層間絶縁層（図示せず）が配置される。また、上記ソース電極SE上には、上記層間絶縁層中に形成されたコンタクトホール内に埋め込まれた導電性膜（プラグ、図示せず）が配置される。

【0158】

〔製法説明〕

次いで、図34～図40を参照しながら、本実施の形態の半導体装置の製造方法を説明するとともに、当該半導体装置の構成をより明確にする。図34～図40は、本実施の形態の半導体装置の製造工程を示す断面図である。

【0159】

50

図34に示すように、基板（成長用基板ともいう）1Sとして、例えば窒化ガリウム（GaN）からなる基板1Sを準備する。

【0160】

次いで、基板1S上に核生成層（図示せず）を介して犠牲層SLを形成する。この犠牲層SLは、例えば、GaN層よりなる。例えば、窒化ガリウム（GaN）からなる基板1S上に、MOCVD法を用いて、層厚1μm程度の犠牲層（GaN層）SLを堆積する。

【0161】

次いで、犠牲層（GaN層）SL上に、電子供給層ESを形成する。例えば、MOCVD法を用いて、層厚20nm程度のアンドープのAlGaN層を堆積する。AlGaN層は、 $Al_{0.2}Ga_{0.8}N$ で示す組成比を有する。次いで、電子供給層（アンドープのAlGaN層）ES上にチャネル層CHを形成する。例えば、MOCVD法を用いて、層厚0.1μm程度のアンドープのGaN層を堆積する。次いで、チャネル層CH（アンドープのGaN層）上に、p型の電流ブロック層CBを形成する。例えば、MOCVD法を用いて、層厚0.5μm程度のp型のGaN層を堆積する。p型の不純物としては、例えばMg（マグネシウム）が用いられ、その濃度（不純物濃度）は、例えば、 $1 \times 10^{19} / cm^3$ 程度である。

【0162】

このようなMOCVD法を用いて形成された成長膜をエピタキシャル層（エピタキシャル膜）という。上記犠牲層（GaN層）SL、電子供給層（アンドープのAlGaN層）ES、チャネル層（アンドープのGaN層）CHおよびp型の電流ブロック層（p型のGaN層）CBの積層体は、[0001]結晶軸方向に平行なGa面での成長モードにて形成される。言い換えれば、[0001]結晶軸方向に平行なGa面上に、それぞれの層が順次成長する。

【0163】

具体的には、窒化ガリウム（GaN）からなる基板1SのGa面（（0001）面）上に、[0001]方向にGaNが成長し、犠牲層（GaN層）SLが形成される。そして、犠牲層（GaN層）SLのGa面（（0001）面）上に、[0001]方向にアンドープのAlGaNが成長し、電子供給層（アンドープのAlGaN層）ESが形成される。そして、電子供給層（アンドープのAlGaN層）ESのGa面（（0001）面）上に、[0001]方向にアンドープのGaNが成長し、チャネル層（アンドープのGaN層）CHが形成される。そして、チャネル層（アンドープのGaN層）CHのGa面（（0001）面）上に、[0001]方向にp型のGaNが成長し、電流ブロック層（p型のGaN層）CBが形成される。

【0164】

この電子供給層（アンドープのAlGaN層）ESとチャネル層（アンドープのGaN層）CHとの界面（接合面）は、Ga面（（0001）面）であり、この界面（接合面）からチャネル層（アンドープのGaN層）CH側への方向は、[0001]方向となる。

【0165】

このように、[0001]結晶軸方向に平行なGa面での成長モードで、上記積層体の各層（犠牲層（GaN層）SL、電子供給層（アンドープのAlGaN層）ES、チャネル層（アンドープのGaN層）CHおよびp型の電流ブロック層（p型のGaN層）CB）を形成することにより、凹凸の少ないより平坦なエピタキシャル層よりなる積層体を得ることができる。

【0166】

ここで、AlGaNとGaNとは、格子定数が異なるが、AlGaNのトータル膜厚を臨界膜厚以下に設定することにより、転位の発生の少ない良好な結晶品質の積層体を得ることができる。

【0167】

基板1Sとしては、窒化ガリウム（GaN）からなる基板以外の基板を用いてもよい。窒化ガリウム（GaN）からなる基板を用いることにより、転位発生の少ない良好な結晶

10

20

30

40

50

品質の積層体を成長させることができる。上記転位などの結晶欠陥は、リーク電流の原因となる。このため、結晶欠陥を抑制することにより、リーク電流を低減することができ、トランジスタのオフ耐圧を向上させることができる。

【0168】

なお、基板1S上の核生成層(図示せず)としては、窒化ガリウム(GaN)層と窒化アルミニウム(AlN)層との積層膜(AlN/GaN膜)を、繰り返し積層した超格子層を用いることができる。

【0169】

次いで、例えば、窒素雰囲気中で、熱処理(アニール)を行い、電流ブロック層(p型のGaN層)CB中のp型の不純物(ここでは、Mg)を活性化する。この熱処理により、電流ブロック層(p型のGaN層)CB中の正孔濃度は、例えば、 $2 \times 10^{18} / \text{cm}^3$ 程度となる。

10

【0170】

次いで、図35に示すように、電流ブロック層(p型のGaN層)CBの中央部、言い換えれば、ゲート電極GEの形成予定領域の近傍の電流ブロック層(p型のGaN層)CBを除去することにより、電流ブロック層(p型のGaN層)CBに開口部を形成する。例えば、電流ブロック層(p型のGaN層)CB上に、ゲート電極GEの形成予定領域を覆うフォトリソist膜(図示せず)を形成し、電流ブロック層(p型のGaN層)CBをドライエッチング法などを用いて除去する。エッチングガスとしては、塩化硼素(BCl_3)系のガスを用いることができる。この工程により、電流ブロック層(p型のGaN層)CBに開口部が形成され、その底面からチャネル層(アンドープのGaN層)CHが露出する。この後、上記フォトリソist膜(図示せず)を除去する。

20

【0171】

次いで、図36に示すように、チャネル層(アンドープのGaN層)CHの露出部を含む電流ブロック層(p型のGaN層)CB上に、n型のドリフト層(n型のGaN層)DLを形成する。例えば、上記開口部内を含む電流ブロック層(p型のGaN層)CB上に、層厚 $10 \mu\text{m}$ 程度のn型のドリフト層(n型のGaN層)DLをMOCVD法を用いて成長させる。n型の不純物としては、例えばSi(シリコン)が用いられ、その濃度(不純物濃度)は、例えば、 $5 \times 10^{16} / \text{cm}^3$ 程度である。このように、開口部内を含む電流ブロック層(p型のGaN層)CB上へのエピタキシャル成長は、埋め込み再成長と呼ばれる。

30

【0172】

なお、電流ブロック層CBとして、p型のGaN層とその上部のAlN層(窒化アルミニウム層、層厚 $0.01 \mu\text{m}$ 程度)との積層膜を用いてもよい。この場合、この積層膜に開口部を形成し、開口部内を含む電流ブロック層(積層膜)CB上に、n型のドリフト層(n型のGaN層)DLをMOCVD法を用いて成長させる(埋め込み再成長)。この際、開口部内においては、チャネル層(アンドープのGaN層)CHの露出部からn型のドリフト層(n型のGaN層)DLがエピタキシャル成長し、他の部分においては、AlN層上にn型のドリフト層(n型のGaN層)DLがエピタキシャル成長する。AlN層上においては、アンドープのGaN層上と比較し、n型のGaN層の成長速度が小さい。よって、開口部内において優先的に成膜がなされる。また、開口部がn型のGaN層で埋め尽くされた後は、開口部の両側において横方向に成長が進む。これにより、埋め込み再成長の際、n型のドリフト層(n型のGaN層)DLの表面の平坦性を向上させることができる。上記開口部に埋め込まれたn型のドリフト層(n型のGaN層)DLは、電流狭窄部となる。

40

【0173】

次いで、図37に示すように、n型のドリフト層(n型のGaN層)DLの(0001)面上に、接合層ALを形成し、支持基板2Sを搭載する。接合層ALとしては、例えば、Ag(銀)ペーストを用いることができる。また、Ag(銀)ペーストの上下に金属膜(メタライズ)を設けてもよい。例えば、n型のドリフト層(n型のGaN層)DLの(

50

0001) 面上に、金属膜として、チタン (Ti) 膜と、チタン膜上に形成されたアルミニウム (Al) 膜の積層膜 (Ti/Al) を形成し、この上部に、Ag (銀) ペーストを形成する。また、支持基板 2S 上に金属膜として、チタン (Ti) 膜と、チタン膜上に形成された白金 (Pt) 膜と、白金膜上に形成された金 (Au) 膜との積層膜 (Ti/Pt/Au) を形成する。支持基板 2S としては、シリコン (Si) からなる基板を用いることができる。

【0174】

次いで、接合層 AL である Ag (銀) ペーストと、支持基板 2S の金属膜とを対向させ、n 型のドリフト層 (n 型の GaN 層) DL と支持基板 2S とを Ag (銀) ペースト (接合層 AL) を介して融着する。

10

【0175】

次いで、犠牲層 (GaN 層) SL と電子供給層 (アンドープの AlGaIn 層) ES との界面から犠牲層 (GaN 層) SL および基板 1S を剥離する。剥離方法としては、実施の形態 1 の場合と同様に、レーザーリフトオフ法を用いることができる。

【0176】

これにより、電子供給層 (アンドープの AlGaIn 層) ES、チャネル層 (アンドープの GaN 層) CH、電流ブロック層 (p 型の GaN 層) CB、n 型のドリフト層 (n 型の GaN 層) DL が積層され、さらに、この上部に、接合層 AL および支持基板 2S が積層された積層構造体が形成される。

20

【0177】

次いで、図 38 に示すように、上記積層構造体の電子供給層 (アンドープの AlGaIn 層) ES 側が上面となるように、上記積層構造体を反転させる。これにより、支持基板 2S 上に接合層 AL を介して上記積層体が配置される。前述したとおり、電子供給層 (アンドープの AlGaIn 層) ES とチャネル層 (アンドープの GaN 層) CH との接合面は、Ga 面 ((0001) 面) である。そして、この接合面から電子供給層 (アンドープの AlGaIn 層) ES 側への方向は、[000-1] 方向となる。

【0178】

次いで、図 39 に示すように、イオン注入法により n 型のコンタクト層 (n 型の AlGaIn 層) CL を形成する。まず、電子供給層 (アンドープの AlGaIn 層) ES 上のゲート電極 GE の形成予定領域にフォトレジスト膜 PR41 を形成する。次いで、フォトレジスト膜 PR41 をマスクとして、電子供給層 (アンドープの AlGaIn 層) ES の上層部に、n 型の不純物をイオン注入する。これにより、ゲート電極 GE の形成予定領域の両側の電子供給層 (アンドープの AlGaIn 層) ES の上層部に、n 型のコンタクト層 (n 型の AlGaIn 層) CL が形成される。n 型の不純物としては、例えば Si (シリコン) が用いられ、その濃度 (不純物濃度) は、例えば、 $1 \times 10^{19} / \text{cm}^3$ 程度である。また、n 型のコンタクト層 (n 型の AlGaIn 層) CL の厚さは、例えば 30 nm 程度である。この後、フォトレジスト膜 PR41 を除去する。次いで、例えば、窒素雰囲気中で、熱処理 (アニール) を行い、n 型のコンタクト層 (n 型の AlGaIn 層) CL 中の n 型の不純物 (ここでは、Si) を活性化する。この熱処理により、n 型のコンタクト層 (n 型の AlGaIn 層) CL 中の電子濃度は、例えば、 $2 \times 10^{19} / \text{cm}^3$ 程度となる。

30

40

【0179】

次いで、図 40 に示すように、n 型のコンタクト層 (n 型の AlGaIn 層) CL 上のゲート電極 GE の形成予定領域の両側にソース電極 SE を形成する。このソース電極 SE は、実施の形態 1 の場合と同様に、リフトオフ法を用いて形成することができる。例えば、ソース電極 SE の形成領域に開口部を有するフォトレジスト膜 (図示せず) を形成する。次いで、このフォトレジスト膜上を含む n 型のコンタクト層 (n 型の AlGaIn 層) CL 上に、金属膜を形成し、フォトレジスト膜上の金属膜をフォトレジスト膜とともに除去する。これにより、n 型のコンタクト層 (n 型の AlGaIn 層) CL 上に、ソース電極 SE を形成することができる。

【0180】

50

次いで、支持基板 2 S に対して、熱処理（アロイ処理）を施す。熱処理としては、例えば、窒素雰囲気中で、600、1分程度の熱処理を施す。この熱処理により、ソース電極 S E と、2次元電子ガス 2 D E G が形成されているチャンネル層（アンドープの G a N 層）C H とのオーミック接触を図ることができる。

【0181】

次いで、実施の形態 2 と同様にして、ゲート絶縁膜 G I を形成し、さらに、ゲート電極 G E を形成する。即ち、ソース電極 S E 上を含む電子供給層（アンドープの A l G a N 層）E S 上に、ゲート絶縁膜 G I として、例えば、アルミナ膜を、A L D 法を用いて形成する。次いで、ソース電極 S E 上のゲート絶縁膜 G I を除去する。次いで、ゲート絶縁膜 G I 上にゲート電極 G E をリフトオフ法などを用いて形成する。

10

【0182】

次いで、支持基板 2 S の裏面側が上面となるように支持基板 2 S を反転し、支持基板 2 S 上にドレイン電極 D E を形成する（図 40）。例えば、支持基板 2 S 上に、金属膜を形成することにより、ドレイン電極 D E を形成する。金属膜としては、例えば、チタン（T i）膜と、チタン膜上に形成されたアルミニウム（A l）膜との積層膜（T i / A l）を用いることができる。この膜は、例えば、真空蒸着法を用いて形成することができる。

【0183】

以上の工程により、本実施の形態の半導体装置が略完成する。なお、上記工程においては、ゲート電極 G E およびソース電極 S E を、リフトオフ法を用いて形成したが、これらの電極を金属膜のパターニングにより形成してもよい。

20

【0184】

このように、本実施の形態の半導体装置においては、[000-1]方向に、チャンネル層（アンドープの G a N 層）C H と電子供給層（アンドープの A l G a N 層）E S とを順に積層した構成としたので、実施の形態 1 で詳細に説明したように、（1）ノーマリオフ動作と（2）高耐圧化の両立が容易となる。

【0185】

即ち、本実施の形態の半導体装置の伝導帯エネルギープロファイルは、実施の形態 1 の場合（図 18）と同様である。よって、実施の形態 1 において詳細に説明したように、電子供給層（アンドープの A l G a N 層）E S とチャンネル層（アンドープの G a N 層）C H との界面に負電荷（-）が生成される。このため、ゲート電圧 $V_g = 0$ V の熱平衡状態においては、ゲート電極直下（A - A' 部）の 2次元電子ガス（チャンネル）2 D E G が空乏化して、ノーマリオフ動作が可能となる（図 18（a）参照）。また、ゲート電圧 $V_g =$ 閾値電圧（ V_t ）のオフ状態においては、ゲート絶縁膜 G I 中の伝導帯のポテンシャルエネルギーが、基板 2 S 側（チャンネル層（アンドープの G a N 層）C H）からゲート電極 G E 側に向かって減少する。この電界強度（ $/$ ：はゲート絶縁膜の誘電率）はゲート絶縁膜 G I の厚さに依存しないため、ゲート絶縁膜 G I を厚くするにしたがって閾値電圧（ V_t ）が増加することとなる。このように、本実施の形態の半導体装置においては、ノーマリオフ動作と高耐圧化の両立が容易になる。

30

【0186】

さらに、ゲート電極直下を除く領域（B - B' 部）においては、n 型のコンタクト層（n 型の A l G a N 層）C L 中の n 型不純物がイオン化し、正電荷が形成され、電子供給層（アンドープの A l G a N 層）E S とチャンネル層（アンドープの G a N 層）C H との境界に、2次元電子ガス 2 D E G が生成されてオン抵抗が低減される（図 18（b）参照）。

40

【0187】

また、本実施の形態においては、電流ブロック層（p 型の G a N 層）C B に開口部（電流狭窄部）を設けたので、効率良くキャリアをドレイン側に導くことができる。また、本実施の形態によれば、電流ブロック層（p 型の G a N 層）C B や、その開口部（電流狭窄部）も容易に形成することができる。

【0188】

（変形例）

50

図 3 3 に示す形態においては、 AlGaIn 層 (n 型のコンタクト層 (n 型の AlGaIn 層) CL 、電子供給層 (アンドープの AlGaIn 層) ES) の一部に n 型不純物層 (n 型のコンタクト層 (n 型の AlGaIn 層) CL) を設けたが、チャンネル層 (アンドープの GaIn 層) CH の一部に n 型不純物層 (n 型のコンタクト層 (n 型の AlGaIn 層) CL) を設けてもよい。

【0189】

例えば、チャンネル層 (アンドープの GaIn 層) CH および電子供給層 (アンドープの AlGaIn 層) ES の積層体のうち、チャンネル層 (アンドープの GaIn 層) CH の上層部に n 型の不純物をイオン注入し、 n 型のコンタクト層 (n 型の GaIn 層) CL を形成してもよい。

10

【0190】

また、図 3 3 に示す形態においては、電子供給層 (アンドープの AlGaIn 層) ES 上にゲート絶縁膜 GI を介してゲート電極 GE を配置した、いわゆる、 MIS 型 (金属 - 絶縁膜 - 半導体型) のゲート電極構成を例示したが、電子供給層 (アンドープの AlGaIn 層) ES 上に直接ゲート電極 GE を配置した、いわゆる、ショットキー型のゲート電極構成を採用してもよい。

【0191】

(実施の形態 5)

本実施の形態においては、実施の形態 3 の電流ブロック層 (p 型の GaIn 層) CB を、イオン注入法で形成する。以下、図面を参照しながら本実施の形態の半導体装置について詳細に説明する。

20

【0192】

[構造説明]

本実施の形態の半導体装置の構成は実施の形態 3 (図 2 6) と同様の構成であるため、その詳細な説明を省略する。

【0193】

[製法説明]

次いで、図 4 1 ~ 図 4 5 を参照しながら、本実施の形態の半導体装置の製造方法を説明するとともに、当該半導体装置の構成をより明確にする。図 4 1 ~ 図 4 5 は、本実施の形態の半導体装置の製造工程を示す断面図である。

30

【0194】

図 4 1 に示すように、基板 (成長用基板ともいう) 1S として、例えば窒化ガリウム (GaIn) からなる基板 1S を準備する。

【0195】

次いで、基板 1S 上に核生成層 (図示せず) を介して犠牲層 SL を形成する。この犠牲層 SL は、例えば、 GaIn 層よりなる。例えば、窒化ガリウム (GaIn) からなる基板 1S 上に、 MOCVD 法を用いて、層厚 $1\text{ }\mu\text{m}$ 程度の犠牲層 (GaIn 層) SL を堆積する。

【0196】

次いで、犠牲層 (GaIn 層) SL 上に、 n 型のコンタクト層 CL を形成する。例えば、 MOCVD 法を用いて、層厚 50 nm 程度の n 型の AlGaIn 層を堆積する。 AlGaIn 層は、 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{In}$ で示す組成比を有する。 n 型の不純物としては、例えば Si (シリコン) が用いられ、その濃度 (不純物濃度) は、例えば、 $1 \times 10^{19} / \text{cm}^3$ 程度である。次いで、 n 型のコンタクト層 (n 型の AlGaIn 層) CL 上に、電子供給層 ES を形成する。例えば、 MOCVD 法を用いて、層厚 20 nm 程度のアンドープの AlGaIn 層を堆積する。 AlGaIn 層は、 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{In}$ で示す組成比を有する。次いで、電子供給層 (アンドープの AlGaIn 層) ES 上にチャンネル層 CH を形成する。例えば、 MOCVD 法を用いて、層厚 $0.1\text{ }\mu\text{m}$ 程度のアンドープの GaIn 層を堆積する。次いで、チャンネル層 CH (アンドープの GaIn 層) 上に、 n 型のドリフト層 (n 型の GaIn 層) DL を形成する。例えば、チャンネル層 CH (アンドープの GaIn 層) 上に、層厚 $10\text{ }\mu\text{m}$ 程度の n 型のドリフト層 (n 型の GaIn 層) DL を MOCVD 法を用いて成長さ

40

50

せる。n型の不純物としては、例えばSi（シリコン）が用いられ、その濃度（不純物濃度）は、例えば、 $5 \times 10^{16} / \text{cm}^3$ 程度である。

【0197】

このようなMOCVD法を用いて形成された成長膜をエピタキシャル層（エピタキシャル膜）という。上記犠牲層（Ga_{0.9}N_{0.1}層）SL、n型のコンタクト層（n型のAl_{0.1}Ga_{0.9}N層）CL、電子供給層（アンドープのAl_{0.1}Ga_{0.9}N層）ESおよびチャネル層（アンドープのGa_{0.9}N層）CHの積層体は、[0001]結晶軸方向に平行なGa面での成長モードにて形成される。言い換えれば、[0001]結晶軸方向に平行なGa面上に、それぞれの層が順次成長する。

【0198】

具体的には、窒化ガリウム（Ga_{0.9}N_{0.1}）からなる基板1SのGa面（（0001）面）上に、[0001]方向にGa_{0.9}N_{0.1}が成長し、犠牲層（Ga_{0.9}N_{0.1}層）SLが形成される。そして、犠牲層（Ga_{0.9}N_{0.1}層）SLのGa面（（0001）面）上に、[0001]方向にn型のAl_{0.1}Ga_{0.9}N_{0.1}が成長し、n型のコンタクト層（n型のAl_{0.1}Ga_{0.9}N層）CLが形成される。そして、n型のコンタクト層（n型のAl_{0.1}Ga_{0.9}N層）CLのGa面（（0001）面）上に、[0001]方向にアンドープのAl_{0.1}Ga_{0.9}N_{0.1}が成長し、電子供給層（アンドープのAl_{0.1}Ga_{0.9}N層）ESが形成される。そして、電子供給層（アンドープのAl_{0.1}Ga_{0.9}N層）ESのGa面（（0001）面）上に、[0001]方向にアンドープのGa_{0.9}N_{0.1}が成長し、チャネル層（アンドープのGa_{0.9}N層）CHが形成される。そして、チャネル層（アンドープのGa_{0.9}N層）CHのGa面（（0001）面）上に、[0001]方向にn型のGa_{0.9}N_{0.1}が成長し、n型のドリフト層（n型のGa_{0.9}N層）DLが形成される。

【0199】

この電子供給層（アンドープのAl_{0.1}Ga_{0.9}N層）ESとチャネル層（アンドープのGa_{0.9}N層）CHとの界面近傍に、2次元電子ガス（2次元電子ガス層）2DEGが生成（形成）される。この2次元電子ガス2DEGの生成面、即ち、電子供給層（アンドープのAl_{0.1}Ga_{0.9}N層）ESとチャネル層（アンドープのGa_{0.9}N層）CHとの接合面（界面）は、Ga面（（0001）面）であり、この接合面（2次元電子ガス2DEGの生成面）からチャネル層（アンドープのGa_{0.9}N層）CH側への方向は、[0001]方向となる。

【0200】

このように、[0001]結晶軸方向に平行なGa面での成長モードで、上記積層体の各層（n型のコンタクト層（n型のAl_{0.1}Ga_{0.9}N層）CL、電子供給層（アンドープのAl_{0.1}Ga_{0.9}N層）ES、チャネル層（アンドープのGa_{0.9}N層）CHおよびn型のドリフト層（n型のGa_{0.9}N層）DL）を形成することにより、凹凸の少ないより平坦なエピタキシャル層よりなる積層体を得ることができる。

【0201】

ここで、Al_{0.1}Ga_{0.9}NとGa_{0.9}Nとは、格子定数が異なるが、Al_{0.1}Ga_{0.9}Nのトータル膜厚を臨界膜厚以下に設定することにより、転位の発生の少ない良好な結晶品質の積層体を得ることができる。

【0202】

基板1Sとしては、窒化ガリウム（Ga_{0.9}N_{0.1}）からなる基板以外の基板を用いてもよい。窒化ガリウム（Ga_{0.9}N_{0.1}）からなる基板を用いることにより、転位発生の少ない良好な結晶品質の積層体を成長させることができる。上記転位などの結晶欠陥は、リーク電流の原因となる。このため、結晶欠陥を抑制することにより、リーク電流を低減することができ、トランジスタのオフ耐圧を向上させることができる。

【0203】

なお、基板1S上の核生成層（図示せず）としては、窒化ガリウム（Ga_{0.9}N_{0.1}）層と窒化アルミニウム（Al_{0.1}N_{0.9}）層との積層膜（Al_{0.1}N_{0.9}/Ga_{0.9}N_{0.1}膜）を、繰り返し積層した超格子層を用いることができる。

【0204】

次いで、図42に示すように、イオン注入法によりp型の電流ブロック層（p型のGa

N層)CBを形成する。まず、n型のドリフト層(n型のGa_{0.5}N層)DL上のゲート電極GEの形成予定領域にフォトレジスト膜PR51を形成する。次いで、フォトレジスト膜PR51をマスクとして、n型のドリフト層(n型のGa_{0.5}N層)DLの底部に、p型の不純物をイオン注入する。これにより、ゲート電極GEの形成予定領域の両側のn型のドリフト層(n型のGa_{0.5}N層)DLの底部、即ち、n型のドリフト層(n型のGa_{0.5}N層)DLとチャンネル層(アンドープのGa_{0.5}N層)CHとの境界部近傍に、p型の電流ブロック層(p型のGa_{0.5}N層)CBが形成される。p型の不純物としては、例えばMg(マグネシウム)が用いられ、その濃度(不純物濃度)は、例えば、 $1 \times 10^{19} / \text{cm}^3$ 程度である。また、p型の電流ブロック層(p型のGa_{0.5}N層)CBの厚さは、例えば0.5μm程度である。この後、フォトレジスト膜PR51を除去する。次いで、例えば、窒素雰囲気中で、熱処理(アニール)を行い、p型の電流ブロック層(p型のGa_{0.5}N層)CB中のp型の不純物(ここでは、Mg)を活性化する。この熱処理により、n型のコンタクト層(n型のAlGa_{0.5}N層)CL中の正孔濃度は、例えば、 $2 \times 10^{18} / \text{cm}^3$ 程度となる。

10

20

30

40

50

【0205】

なお、p型の電流ブロック層(p型のGa_{0.5}N層)CBの形成に際して、比較例2(図16)のp型の電流ブロック層(p型のGa_{0.5}N層)CBをイオン注入法で形成する場合には、電子供給層ES側から、電子供給層(アンドープのAlGa_{0.5}N層)ESとチャンネル層(アンドープのGa_{0.5}N層)CHとの界面(2次元電子ガス2DEG)を介して不純物イオンを注入する必要がある。このため、これらの層において不純物イオンの注入による損傷が生じ、上記界面(2次元電子ガス2DEG)でのキャリアの移動度やキャリア濃度が低下する恐れがある。

【0206】

これに対し、本実施の形態によれば、n型のドリフト層(n型のGa_{0.5}N層)DLから不純物イオンを注入することができるため、電子供給層(アンドープのAlGa_{0.5}N層)ESとチャンネル層(アンドープのGa_{0.5}N層)CHとの界面(2次元電子ガス2DEG)において不純物イオンの注入による損傷が生じ難い。よって、上記界面(2次元電子ガス2DEG)でのキャリアの移動度やキャリア濃度を向上させることができる。

【0207】

次いで、図43に示すように、n型のドリフト層(n型のGa_{0.5}N層)DLの(0001)面上に、接合層ALを形成し、支持基板2Sを搭載する。接合層ALとしては、例えば、Au(金)とSn(スズ)との合金である半田層を用いることができる。また、半田層の上下に金属膜(メタライズ)を設けてもよい。例えば、n型のドリフト層(n型のGa_{0.5}N層)DLの(0001)面上に、金属膜として、チタン(Ti)膜と、チタン膜上に形成されたアルミニウム(Al)膜との積層膜(Ti/Al)を形成し、この上部に、半田層を形成する。また、支持基板2S上に金属膜として、チタン(Ti)膜と、チタン膜上に形成された白金(Pt)膜と、白金膜上に形成された金(Au)膜との積層膜(Ti/Pt/Au)を形成する。支持基板2Sとしては、シリコン(Si)からなる基板を用いることができる。

【0208】

次いで、接合層ALである半田層と、支持基板2Sの金属膜とを対向させ、n型のドリフト層(n型のGa_{0.5}N層)DLと支持基板2Sとを半田層(接合層AL)を介して融着する。

【0209】

次いで、犠牲層(GaN層)SLとn型のコンタクト層(n型のAlGa_{0.5}N層)CLとの界面から犠牲層(GaN層)SLおよび基板1Sを剥離する。剥離方法としては、実施の形態1の場合と同様に、レーザーリフトオフ法を用いることができる。

【0210】

これにより、n型のコンタクト層(n型のAlGa_{0.5}N層)CL、電子供給層(アンドープのAlGa_{0.5}N層)ES、チャンネル層(アンドープのGa_{0.5}N層)CH、電流ブロック層(p型のGa_{0.5}N層)CB、n型のドリフト層(n型のGa_{0.5}N層)DLが積層され、さらに、

この上部に、接合層 A L および支持基板 2 S が積層された積層構造体が形成される。

【0211】

次いで、図 4 4 に示すように、上記積層構造体の n 型のコンタクト層 (n 型の A l G a N 層) C L 側が上面となるように、上記積層構造体を反転させる。これにより、支持基板 2 S 上に接合層 A L を介して上記積層体が配置される。前述したとおり、電子供給層 (アンダーの A l G a N 層) E S とチャネル層 (アンダーの G a N 層) C H との接合面は、G a 面 ((0 0 0 1) 面) である。そして、この接合面 (2 次元電子ガス 2 D E G の生成面) から電子供給層 (アンダーの A l G a N 層) E S 側への方向は、[0 0 0 - 1] 方向となる。

【0212】

次いで、図 4 5 に示すように、n 型のコンタクト層 (n 型の A l G a N 層) C L 上に、ソース電極 S E を形成する。このソース電極 S E は、実施の形態 1 の場合と同様に、リフトオフ法を用いて形成することができる。例えば、ソース電極 S E の形成領域に開口部を有するフォトレジスト膜 (図示せず) を形成する。次いで、このフォトレジスト膜上を含む n 型のコンタクト層 (n 型の A l G a N 層) C L 上に、金属膜を形成し、フォトレジスト膜上の金属膜をフォトレジスト膜とともに除去する。これにより、n 型のコンタクト層 (n 型の A l G a N 層) C L 上に、ソース電極 S E を形成することができる。

【0213】

次いで、支持基板 2 S に対して、熱処理 (アロイ処理) を施す。熱処理としては、例えば、窒素雰囲気中で、6 0 0 、1 分程度の熱処理を施す。この熱処理により、ソース電極 S E と、2 次元電子ガス 2 D E G が形成されているチャネル層 (アンダーの G a N 層) C H とのオーミック接触を図ることができる。

【0214】

次いで、実施の形態 1 と同様にして、溝 T を形成した後、ゲート絶縁膜 G I を形成し、さらに、ゲート電極 G E を形成する。即ち、n 型のコンタクト層 (n 型の A l G a N 層) C L をドライエッチング法などを用いて除去し、n 型のコンタクト層 (n 型の A l G a N 層) C L を貫通し、電子供給層 (アンダーの A l G a N 層) E S を露出する溝 T を形成する。そして、ソース電極 S E 上を含む電子供給層 (アンダーの A l G a N 層) E S 上に、ゲート絶縁膜 G I として、例えば、アルミナ膜を、A L D 法を用いて形成する。次いで、ソース電極 S E 上のゲート絶縁膜 G I を除去する。次いで、溝 T の内部のゲート絶縁膜 G I 上にゲート電極 G E をリフトオフ法などを用いて形成する。

【0215】

次いで、支持基板 2 S の裏面側が上面となるように支持基板 2 S を反転し、支持基板 2 S 上にドレイン電極 D E を形成する。例えば、支持基板 2 S 上に、金属膜を形成することにより、ドレイン電極 D E を形成する。金属膜としては、例えば、チタン (T i) 膜と、チタン膜上に形成されたアルミニウム (A l) 膜との積層膜 (T i / A l) を用いることができる。この膜は、例えば、真空蒸着法を用いて形成することができる。

【0216】

以上の工程により、本実施の形態の半導体装置が略完成する。なお、上記工程においては、ゲート電極 G E およびソース電極 S E を、リフトオフ法を用いて形成したが、これらの電極を金属膜のパターニングにより形成してもよい。

【0217】

このように、本実施の形態の半導体装置においては、[0 0 0 - 1] 方向に、チャネル層 (アンダーの G a N 層) C H と電子供給層 (アンダーの A l G a N 層) E S とを順に積層した構成としたので、実施の形態 1 で詳細に説明したように、(1) ノーマリオフ動作と (2) 高耐圧化の両立が容易となる。

【0218】

即ち、本実施の形態の半導体装置の伝導帯エネルギープロファイルは、実施の形態 1 の場合 (図 1 8) と同様である。よって、実施の形態 1 において詳細に説明したように、電子供給層 (アンダーの A l G a N 層) E S とチャネル層 (アンダーの G a N 層) C H

10

20

30

40

50

との界面に負電荷（ $-$ ）が生成される。このため、ゲート電圧 $V_g = 0\text{ V}$ の熱平衡状態においては、ゲート電極直下（ $A - A'$ 部）の 2 次元電子ガス（チャンネル） 2DEG が空乏化して、ノーマリオフ動作が可能となる（図 18（a）参照）。また、ゲート電圧 $V_g = \text{閾値電圧}（V_t）$ のオフ状態においては、ゲート絶縁膜 $G\text{I}$ 中の伝導帯のポテンシャルエネルギーが、基板 2S 側（チャンネル層（アンドープの $G\text{aN}$ 層） CH ）からゲート電極 $G\text{E}$ 側に向かって減少する。この電界強度（ $/$ ： ϵ はゲート絶縁膜の誘電率）はゲート絶縁膜 $G\text{I}$ の厚さに依存しないため、ゲート絶縁膜 $G\text{I}$ を厚くするにしたがって閾値電圧（ V_t ）が増加することとなる。このように、本実施の形態の半導体装置においては、ノーマリオフ動作と高耐圧化の両立が容易になる。

【0219】

10

さらに、ゲート電極直下を除く領域（ $B - B'$ 部）においては、 n 型のコンタクト層（ n 型の AlGaIn 層） CL 中の n 型不純物がイオン化し、正電荷が形成され、電子供給層（アンドープの AlGaIn 層） ES とチャンネル層（アンドープの $G\text{aN}$ 層） CH との境界に、2 次元電子ガス 2DEG が生成されてオン抵抗が低減される（図 18（b）参照）。

【0220】

また、本実施の形態においては、電流ブロック層（ p 型の $G\text{aN}$ 層） CB に開口部（電流狭窄部）を設けたので、効率良くキャリアをドレイン側に導くことができる。また、本実施の形態によれば、電流ブロック層（ p 型の $G\text{aN}$ 層） CB や、その開口部（電流狭窄部）も容易に形成することができる。

【0221】

20

（変形例）

図 45 に示す形態においては、 AlGaIn 層（ n 型のコンタクト層（ n 型の AlGaIn 層） CL 、電子供給層（アンドープの AlGaIn 層） ES ）の一部に n 型不純物層（ n 型のコンタクト層（ n 型の AlGaIn 層） CL ）を設けたが、チャンネル層（アンドープの $G\text{aN}$ 層） CH の一部に n 型不純物層（ n 型のコンタクト層（ n 型の AlGaIn 層） CL ）を設けてもよい。

【0222】

例えば、チャンネル層（アンドープの $G\text{aN}$ 層） CH 、 n 型のコンタクト層（ n 型の $G\text{aN}$ 層） CL および電子供給層（アンドープの AlGaIn 層） ES を積層した後、電子供給層（アンドープの AlGaIn 層） ES および n 型のコンタクト層（ n 型の $G\text{aN}$ 層） CL を除去することにより、溝 T を形成すればよい。

30

【0223】

また、図 45 に示す形態においては、電子供給層（アンドープの AlGaIn 層） ES 上にゲート絶縁膜 $G\text{I}$ を介してゲート電極 $G\text{E}$ を配置した、いわゆる、 MIS 型（金属 - 絶縁膜 - 半導体型）のゲート電極構成を例示したが、電子供給層（アンドープの AlGaIn 層） ES 上に直接ゲート電極 $G\text{E}$ を配置した、いわゆる、ショットキー型のゲート電極構成を採用してもよい。

【0224】

（実施の形態 6）

本実施の形態においては、実施の形態 4 の電流ブロック層（ p 型の $G\text{aN}$ 層） CB を、イオン注入法で形成する。以下、図面を参照しながら本実施の形態の半導体装置について詳細に説明する。

40

【0225】

〔構造説明〕

本実施の形態の半導体装置の構成は実施の形態 4（図 33）と同様の構成であるため、その詳細な説明を省略する。

【0226】

〔製法説明〕

次いで、図 46 ~ 図 50 を参照しながら、本実施の形態の半導体装置の製造方法を説明するとともに、当該半導体装置の構成をより明確にする。図 46 ~ 図 50 は、本実施の形

50

態の半導体装置の製造工程を示す断面図である。

【0227】

図46に示すように、基板（成長用基板ともいう）1Sとして、例えば窒化ガリウム（GaN）からなる基板1Sを準備する。

【0228】

次いで、基板1S上に核生成層（図示せず）を介して犠牲層SLを形成する。この犠牲層SLは、例えば、GaN層よりなる。例えば、窒化ガリウム（GaN）からなる基板1S上に、MOCVD法を用いて、層厚1μm程度の犠牲層（GaN層）SLを堆積する。

【0229】

次いで、犠牲層（GaN層）SL上に、電子供給層ESを形成する。例えば、MOCVD法を用いて、層厚50nm程度のアンドープのAlGaN層を堆積する。AlGaN層は、 $Al_{0.2}Ga_{0.8}N$ で示す組成比を有する。次いで、電子供給層（アンドープのAlGaN層）ES上にチャネル層CHを形成する。例えば、MOCVD法を用いて、層厚0.1μm程度のアンドープのGaN層を堆積する。次いで、チャネル層CH（アンドープのGaN層）上に、n型のドリフト層（n型のGaN層）DLを形成する。例えば、チャネル層CH（アンドープのGaN層）上に、層厚10μm程度のn型のドリフト層（n型のGaN層）DLをMOCVD法を用いて成長させる。n型の不純物としては、例えばSi（シリコン）が用いられ、その濃度（不純物濃度）は、例えば、 $5 \times 10^{16} / cm^3$ 程度である。

10

【0230】

このようなMOCVD法を用いて形成された成長膜をエピタキシャル層（エピタキシャル膜）という。上記犠牲層（GaN層）SL、電子供給層（アンドープのAlGaN層）ES、チャネル層（アンドープのGaN層）CHおよびn型のドリフト層（n型のGaN層）DLの積層体は、[0001]結晶軸方向に平行なGa面での成長モードにて形成される。言い換えれば、[0001]結晶軸方向に平行なGa面上に、それぞれの層が順次成長する。

20

【0231】

具体的には、窒化ガリウム（GaN）からなる基板1SのGa面（（0001）面）上に、[0001]方向にGaNが成長し、犠牲層（GaN層）SLが形成される。そして、犠牲層（GaN層）SLのGa面（（0001）面）上に、[0001]方向にアンドープのAlGaNが成長し、電子供給層（アンドープのAlGaN層）ESが形成される。そして、電子供給層（アンドープのAlGaN層）ESのGa面（（0001）面）上に、[0001]方向にアンドープのGaNが成長し、チャネル層（アンドープのGaN層）CHが形成される。そして、チャネル層（アンドープのGaN層）CHのGa面（（0001）面）上に、[0001]方向にn型のGaNが成長し、n型のドリフト層（n型のGaN層）DLが形成される。

30

【0232】

この電子供給層（アンドープのAlGaN層）ESとチャネル層（アンドープのGaN層）CHとの界面（接合面）は、Ga面（（0001）面）であり、この界面（接合面）からチャネル層（アンドープのGaN層）CH側への方向は、[0001]方向となる。

40

【0233】

このように、[0001]結晶軸方向に平行なGa面での成長モードで、上記積層体の各層（犠牲層（GaN層）SL、電子供給層（アンドープのAlGaN層）ES、チャネル層（アンドープのGaN層）CHおよびn型のドリフト層（n型のGaN層）DLを形成することにより、凹凸の少ないより平坦なエピタキシャル層よりなる積層体を得ることができる。

【0234】

ここで、AlGaNとGaNとは、格子定数が異なるが、AlGaNのトータル膜厚を臨界膜厚以下に設定することにより、転位の発生の少ない良好な結晶品質の積層体を得ることができる。

50

【0235】

基板1Sとしては、窒化ガリウム（GaN）からなる基板以外の基板を用いてもよい。窒化ガリウム（GaN）からなる基板を用いることにより、転位発生の少ない良好な結晶品質の積層体を成長させることができる。上記転位などの結晶欠陥は、リーク電流の原因となる。このため、結晶欠陥を抑制することにより、リーク電流を低減することができ、トランジスタのオフ耐圧を向上させることができる。

【0236】

なお、基板1S上の核生成層（図示せず）としては、窒化ガリウム（GaN）層と窒化アルミニウム（AlN）層との積層膜（AlN/GaN膜）を、繰り返し積層した超格子層を用いることができる。

10

【0237】

次いで、図47に示すように、イオン注入法によりp型の電流ブロック層（p型のGaN層）CBを形成する。まず、n型のドリフト層（n型のGaN層）DL上のゲート電極GEの形成予定領域にフォトレジスト膜PR61を形成する。次いで、フォトレジスト膜PR61をマスクとして、n型のドリフト層（n型のGaN層）DLの底部に、p型の不純物をイオン注入する。これにより、ゲート電極GEの形成予定領域の両側のn型のドリフト層（n型のGaN層）DLの底部、即ち、n型のドリフト層（n型のGaN層）DLとチャネル層（アンドープのGaN層）CHとの境界部近傍に、p型の電流ブロック層（p型のGaN層）CBが形成される。p型の不純物としては、例えばMg（マグネシウム）が用いられ、その濃度（不純物濃度）は、例えば、 $1 \times 10^{19} / \text{cm}^3$ 程度である。また、p型の電流ブロック層（p型のGaN層）CBの厚さは、例えば0.5μm程度である。この後、フォトレジスト膜PR61を除去する。次いで、例えば、窒素雰囲気中で、熱処理（アニール）を行い、p型の電流ブロック層（p型のGaN層）CB中のp型の不純物（ここでは、Mg）を活性化する。この熱処理により、p型の電流ブロック層（p型のGaN層）CB中の正孔濃度は、例えば、 $2 \times 10^{18} / \text{cm}^3$ 程度となる。

20

【0238】

なお、p型の電流ブロック層（p型のGaN層）CBの形成に際して、比較例2（図16）のp型の電流ブロック層（p型のGaN層）CBをイオン注入法で形成する場合には、電子供給層ES側から、電子供給層（アンドープのAlGaN層）ESとチャネル層（アンドープのGaN層）CHとの界面（2次元電子ガス2DEG）を介して不純物イオンを注入する必要がある。このため、これらの層において不純物イオンの注入による損傷が生じ、上記界面（2次元電子ガス2DEG）でのキャリアの移動度やキャリア濃度が低下する恐れがある。

30

【0239】

これに対し、本実施の形態によれば、n型のドリフト層（n型のGaN層）DLから不純物イオンを注入することができるため、電子供給層（アンドープのAlGaN層）ESとチャネル層（アンドープのGaN層）CHとの界面（2次元電子ガス（2DEG））において不純物イオンの注入による損傷が生じ難い。よって、上記界面（2次元電子ガス（2DEG））でのキャリアの移動度やキャリア濃度を向上させることができる。

40

【0240】

次いで、図48に示すように、n型のドリフト層（n型のGaN層）DLの（0001）面上に、接合層ALを形成し、支持基板2Sを搭載する。接合層ALとしては、例えば、Ag（銀）ペーストを用いることができる。また、Ag（銀）ペーストの上下に金属膜（メタライズ）を設けてもよい。例えば、n型のドリフト層（n型のGaN層）DLの（0001）面上に、金属膜として、チタン（Ti）膜と、チタン膜上に形成されたアルミニウム（Al）膜の積層膜（Ti/Al）を形成し、この上部に、Ag（銀）ペーストを形成する。また、支持基板2S上に金属膜として、チタン（Ti）膜と、チタン膜上に形成された白金（Pt）膜と、白金膜上に形成された金（Au）膜との積層膜（Ti/Pt/Au）を形成する。支持基板2Sとしては、シリコン（Si）からなる基板を用いることができる。

50

【0241】

次いで、接合層ALであるAg（銀）ペーストと、支持基板2Sの金属膜とを対向させ、n型のドリフト層（n型のGaN層）DLと支持基板2SとをAg（銀）ペースト（接合層AL）を介して融着する。

【0242】

次いで、犠牲層（GaN層）SLと電子供給層（アンドープのAlGaN層）ESとの界面から犠牲層（GaN層）SLおよび基板1Sを剥離する。剥離方法としては、実施の形態1の場合と同様に、レーザーリフトオフ法を用いることができる。

【0243】

これにより、電子供給層（アンドープのAlGaN層）ES、チャネル層（アンドープのGaN層）CH、電流ブロック層（p型のGaN層）CB、n型のドリフト層（n型のGaN層）DLが積層され、さらに、この上部に、接合層ALおよび支持基板2Sが積層された積層構造体が形成される。

【0244】

次いで、図49に示すように、上記積層構造体の電子供給層（アンドープのAlGaN層）ES側が上面となるように、上記積層構造体を反転させる。これにより、支持基板2S上に接合層ALを介して上記積層体が配置される。前述したとおり、電子供給層（アンドープのAlGaN層）ESとチャネル層（アンドープのGaN層）CHとの接合面は、Ga面（（0001）面）である。そして、この接合面から電子供給層（アンドープのAlGaN層）ES側への方向は、[000-1]方向となる。

【0245】

次いで、図50に示すように、イオン注入法によりn型のコンタクト層（n型のAlGaN層）CLを形成する。まず、電子供給層（アンドープのAlGaN層）ESのゲート電極GEの形成予定領域上にフォトレジスト膜（図示せず）を形成する。次いで、このフォトレジスト膜をマスクとして、電子供給層（アンドープのAlGaN層）ESの上層部に、n型の不純物をイオン注入する。これにより、ゲート電極GEの形成予定領域の両側の電子供給層（アンドープのAlGaN層）ESの上層部に、n型のコンタクト層（n型のAlGaN層）CLが形成される。n型の不純物としては、例えばSi（シリコン）が用いられ、その濃度（不純物濃度）は、例えば、 $1 \times 10^{19} / \text{cm}^3$ 程度である。また、n型のコンタクト層（n型のAlGaN層）CLの厚さは、例えば30nm程度である。この後、フォトレジスト膜を除去する。次いで、例えば、窒素雰囲気中で、熱処理（アニール）を行い、n型のコンタクト層（n型のAlGaN層）CL中のn型の不純物（ここでは、Si）を活性化する。この熱処理により、n型のコンタクト層（n型のAlGaN層）CL中の電子濃度は、例えば、 $2 \times 10^{19} / \text{cm}^3$ 程度となる。

【0246】

次いで、n型のコンタクト層（n型のAlGaN層）CL上のゲート電極GEの形成予定領域の両側にソース電極SEを形成する。このソース電極SEは、実施の形態1等と同様に、例えば、リフトオフ法を用いて形成することができる。次いで、実施の形態1と同様に、支持基板2Sに対して、熱処理（アロイ処理）を施す。この熱処理により、ソース電極SEと、2次元電子ガス2DEGが形成されているチャネル層（アンドープのGaN層）CHとのオーミック接触を図ることができる。即ち、ソース電極SEが、それぞれ2次元電子ガス2DEGに対して電氣的に接続された状態となる。

【0247】

次いで、ゲート絶縁膜GIを形成した後、ゲート電極GEを形成する。まず、実施の形態2と同様に、ゲート絶縁膜GIを形成する。例えば、ソース電極SE、電子供給層（アンドープのAlGaN層）ESおよびn型のコンタクト層（n型のAlGaN層）CL上に、ゲート絶縁膜GIとして、例えば、アルミナ膜を、原子層堆積法を用いて形成する。次いで、ソース電極SE上のゲート絶縁膜GIを除去する。なお、このゲート絶縁膜GIの除去は、ソース電極SE上にコンタクトホールを形成する際に行ってもよい。

【0248】

次いで、ゲート絶縁膜 G I 上にゲート電極 G E を形成する。ゲート電極 G E は、実施の形態 2 と同様に、例えば、リフトオフ法を用いて形成することができる。

【0249】

次いで、支持基板 2 S の裏面側が上面となるように支持基板 2 S を反転し、支持基板 2 S 上にドレイン電極 D E を形成する。例えば、支持基板 2 S 上に、金属膜を形成することにより、ドレイン電極 D E を形成する。金属膜としては、例えば、チタン (T i) 膜と、チタン膜上に形成されたアルミニウム (A l) 膜との積層膜 (T i / A l) を用いることができる。この膜は、例えば、真空蒸着法を用いて形成することができる。

【0250】

以上の工程により、本実施の形態の半導体装置が略完成する。なお、上記工程においては、ゲート電極 G E およびソース電極 S E を、リフトオフ法を用いて形成したが、これらの電極を金属膜のパターニングにより形成してもよい。

【0251】

このように、本実施の形態の半導体装置においては、[000 - 1] 方向に、チャネル層 (アンドープの G a N 層) C H と電子供給層 (アンドープの A l G a N 層) E S とを順に積層した構成としたので、実施の形態 1 で詳細に説明したように、(1) ノーマリオフ動作と (2) 高耐圧化の両立が容易となる。

【0252】

即ち、本実施の形態の半導体装置の伝導帯エネルギープロファイルは、実施の形態 1 の場合 (図 18) と同様である。よって、実施の形態 1 において詳細に説明したように、電子供給層 (アンドープの A l G a N 層) E S とチャネル層 (アンドープの G a N 層) C H との界面に負電荷 (-) が生成される。このため、ゲート電圧 $V_g = 0$ V の熱平衡状態においては、ゲート電極直下 (A - A' 部) の 2 次元電子ガス (チャネル) 2 D E G が空乏化して、ノーマリオフ動作が可能となる (図 18 (a) 参照)。また、ゲート電圧 $V_g =$ 閾値電圧 (V_t) のオフ状態においては、ゲート絶縁膜 G I 中の伝導帯のポテンシャルエネルギーが、基板 2 S 側 (チャネル層 (アンドープの G a N 層) C H) からゲート電極 G E 側に向かって減少する。この電界強度 (E : はゲート絶縁膜の誘電率) はゲート絶縁膜 G I の厚さに依存しないため、ゲート絶縁膜 G I を厚くするにしたがって閾値電圧 (V_t) が増加することとなる。このように、本実施の形態の半導体装置においては、ノーマリオフ動作と高耐圧化の両立が容易になる。

【0253】

さらに、ゲート電極直下を除く領域 (B - B' 部) においては、n 型のコンタクト層 (n 型の A l G a N 層) C L 中の n 型不純物がイオン化し、正電荷が形成され、電子供給層 (アンドープの A l G a N 層) E S とチャネル層 (アンドープの G a N 層) C H との境界に、2 次元電子ガス 2 D E G が生成されてオン抵抗が低減される (図 18 (b) 参照)。

【0254】

また、本実施の形態においては、溝 T の形成工程を必要としないため、閾値電圧 (V_t) の調整が実施の形態 1 等の場合より容易となる。

【0255】

また、本実施の形態においては、電流ブロック層 (p 型の G a N 層) C B に開口部 (電流狭窄部) を設けたので、効率良くキャリアをドレイン側に導くことができる。また、本実施の形態によれば、電流ブロック層 (p 型の G a N 層) C B や、その開口部 (電流狭窄部) も容易に形成することができる。

【0256】

また、本実施の形態においては、実施の形態 4 等で説明した埋め込み再成長を用いる必要がなく、より簡易な工程で半導体装置を製造することができる。

【0257】

(変形例)

図 50 に示す形態においては、A l G a N 層 (n 型のコンタクト層 (n 型の A l G a N 層) C L 、電子供給層 (アンドープの A l G a N 層) E S) の一部に n 型不純物層 (n 型

10

20

30

40

50

のコンタクト層（ n 型の AlGaIn 層） CL ）を設けたが、チャネル層（アンドープの GaIn 層） CH の一部に n 型不純物層（ n 型のコンタクト層（ n 型の AlGaIn 層） CL ）を設けてもよい。

【0258】

例えば、チャネル層（アンドープの GaIn 層） CH および電子供給層（アンドープの AlGaIn 層） ES の積層体のうち、チャネル層（アンドープの GaIn 層） CH の上層部に n 型の不純物をイオン注入し、 n 型のコンタクト層（ n 型の GaIn 層） CL を形成してもよい。

【0259】

また、図50に示す形態においては、電子供給層（アンドープの AlGaIn 層） ES 上にゲート絶縁膜 GI を介してゲート電極 GE を配置した、いわゆる、 MIS 型（金属 - 絶縁膜 - 半導体型）のゲート電極構成を例示したが、電子供給層（アンドープの AlGaIn 層） ES 上に直接ゲート電極 GE を配置した、いわゆる、ショットキー型のゲート電極構成を採用してもよい。

【0260】

（共通変形例の説明）

本欄においては、上記実施の形態1～6に共通するその他の変形例について説明する。

【0261】

前述したように、上記実施の形態1～6において、 AlGaIn 層（ n 型のコンタクト層（ n 型の AlGaIn 層） CL 、電子供給層（アンドープの AlGaIn 層） ES ）の一部に n 型不純物層（ n 型のコンタクト層（ n 型の AlGaIn 層） CL ）を設けたが、チャネル層（アンドープの GaIn 層） CH の一部に n 型不純物層（ n 型のコンタクト層（ n 型の AlGaIn 層） CL ）を設けてもよい。言い換えれば、電子供給層（アンドープの AlGaIn 層） ES の一部に n 型不純物層（ n 型のコンタクト層（ n 型の AlGaIn 層） CL ）を設けても、チャネル層（アンドープの GaIn 層） CH の一部に n 型不純物層（ n 型のコンタクト層（ n 型の AlGaIn 層） CL ）を設けてもよい。図51は、チャネル層の一部に n 型不純物層を設けた横型の半導体装置の構成例を示す断面図である。図52は、チャネル層の一部に n 型不純物層を設けた縦型の半導体装置の構成例を示す断面図である。なお、上記実施の形態1～6と共通する部位には同一の符号を付し、その繰り返しの説明を省略する。

【0262】

例えば、図51に示すように、チャネル層（アンドープの GaIn 層） CH 、 n 型のコンタクト層（ n 型の GaIn 層） CL および電子供給層（アンドープの AlGaIn 層） ES を積層した後、電子供給層（アンドープの AlGaIn 層） ES および n 型のコンタクト層（ n 型の GaIn 層） CL を除去することにより、溝 T を形成すればよい。

【0263】

また、図52に示すように、チャネル層（アンドープの GaIn 層） CH および電子供給層（アンドープの AlGaIn 層） ES の積層体のうち、チャネル層（アンドープの GaIn 層） CH の上層部に n 型の不純物をイオン注入し、 n 型のコンタクト層（ n 型の GaIn 層） CL を形成してもよい。

【0264】

このように、 n 型のコンタクト層 CL は、電子供給層 ES の一部としてその中に形成してもよく、また、チャネル層 CH の一部としてその中に形成してもよい。

【0265】

上記実施の形態1～6においては、支持基板 2S として、シリコン（ Si ）からなる基板を用いたが、この他、炭化シリコン（ SiC ）からなる基板、サファイア基板またはシリコン（ Si ）からなる基板などを用いることができる。

【0266】

また、上記実施の形態1～6においては、核生成層として、 AlN/GaIn 膜を繰り返し積層した超格子層を用いたが、 AlN 膜、 AlGaIn 膜や GaIn 膜などの単層膜を用い

10

20

30

40

50

てもよい。

【0267】

また、上記実施の形態1～6においては、チャネル層CHとして、Ga₂N (Ga₂N層)を用いたが、AlGa₂N、AlInN、AlGaInN、InGa₂N、窒化インジウム(InN)などのIII族窒化物半導体を用いてもよい。

【0268】

また、上記実施の形態1～6においては、電子供給層ESとして、AlGa₂N (AlGa₂N層)を用いたが、チャネル層CHよりバンドギャップが広い(バンドギャップが大きい)他のIII族窒化物半導体を用いてもよい。例えば、AlN、Ga₂N、AlGaInN、InGa₂Nなどを電子供給層として用いることができる。

10

【0269】

また、上記実施の形態1～6においては、電子供給層ESとして、アンドープのIII族窒化物半導体を用いたが、n型のIII族窒化物半導体を用いてもよい。n型の不純物としては、例えばSi(シリコン)を用いることができる。また、アンドープのIII族窒化物半導体とn型のIII族窒化物半導体との積層膜や、アンドープのIII族窒化物半導体とn型のIII族窒化物半導体とアンドープのIII族窒化物半導体との積層膜を、電子供給層として用いてもよい。

【0270】

また、上記実施の形態1～6においては、コンタクト層CLとして、AlGa₂N (AlGa₂N層)を用いたが、AlN、Ga₂N、AlGaInN、InGa₂N、InNなどの他のIII族窒化物半導体を用いてもよい。

20

【0271】

また、上記実施の形態1～6においては、電流ブロック層CBとして、Ga₂N (Ga₂N層)を用いたが、AlGa₂N、AlN、AlGaInN、InGa₂N、InNなどの他のIII族窒化物半導体を用いてもよい。

【0272】

また、上記実施の形態3～6においては、p型の不純物として、Mgを用いたが、この他、亜鉛(Zn)、水素(H)などの他の不純物を用いてもよい。

【0273】

また、上記実施の形態1～6においては、ソース電極SEやドレイン電極DEの材料として、Ti/Al膜を用いたが、この他、Ti/Al/Ni/Au膜、Ti/Al/Mo/Au膜、Ti/Al/Nb/Au膜などの他の金属膜を用いてもよい。Moは、モリブデン、Nbは、ニオブウムである。

30

【0274】

また、上記実施の形態1～6においては、ゲート電極GEの材料として、Ni/Au膜を用いたが、この他、Ni/Pd/Au膜、Ni/Pt/Au膜、Ti/Au膜、Ti/Pd/Au膜などの他の金属膜を用いてもよい。Pdは、パラジウム、Ptは、白金である。

【0275】

また、上記実施の形態1～6においては、ゲート絶縁膜GIとして、アルミナを用いたが、この他、窒化シリコン(Si₃N₄)、酸化シリコン(SiO₂)などの他の絶縁体を用いてもよい。

40

【0276】

また、上記実施の形態1～6においては、接合層ALとして、HSQや半田などを用いたが、SOG(Spin-on-glass)、SOD(Spin-on-Dielectrics)、ポリイミドなどの塗布系絶縁膜を用いてもよい。また、Sn-Pb、Sn-Sb、Bi-Sn、Sn-Cu、Sn-Inなどの半田、Niペースト、Auペースト、Pdペースト、カーボンペーストなどよりなる導電性接着剤を用いても良い。また、酸化インジウム(In₂O₃)、酸化錫(SnO₂)、酸化亜鉛(ZnO)などの導電性酸化物を用いても良い。Pbは鉛、Sbはアンチモン、Biはビスマス、Cuは銅、Inはインジウムである。

50

【 0 2 7 7 】

また、上記実施の形態 1 ～ 6 において説明した断面図には、素子分離を記載していないが、素子（FET）間には、必要に応じて素子分離が設けられる。この素子分離は、例えば、III族窒化物半導体中にNやB（ホウ素）などのイオン注入することにより形成することができる。このイオン注入により、注入領域が高抵抗化し、素子分離として機能する。また、素子形成領域の外周をエッチングする（メサエッチングする）ことにより素子間を分離してもよい。

【 0 2 7 8 】

また、上記実施の形態において示した具体的材料の組成式（例えば、AlGaInなど）において、各元素の組成比は発明の要旨を逸脱しない範囲で適宜設定可能である。

10

【 0 2 7 9 】

このように、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能である。

【 符号の説明 】

【 0 2 8 0 】

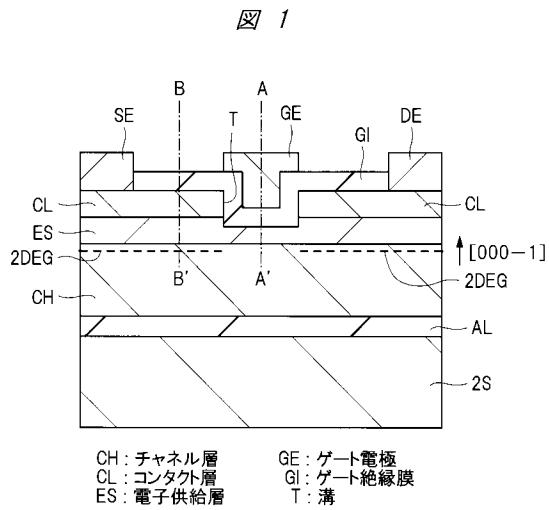
1 S 基板
 2 DEG 2次元電子ガス
 2 S 支持基板
 AL 接合層
 CB 電流ブロック層
 CH チャネル層
 CL コンタクト層
 DE ドレイン電極
 DL ドリフト層
 ES 電子供給層
 GE ゲート電極
 GI ゲート絶縁膜
 ML 金属膜
 ML2 金属膜
 PR10 フォトレジスト膜
 PR11 フォトレジスト膜
 PR12 フォトレジスト膜
 PR21 フォトレジスト膜
 PR41 フォトレジスト膜
 PR51 フォトレジスト膜
 PR61 フォトレジスト膜
 S 基板
 SE ソース電極
 SL 犠牲層
 T 溝

20

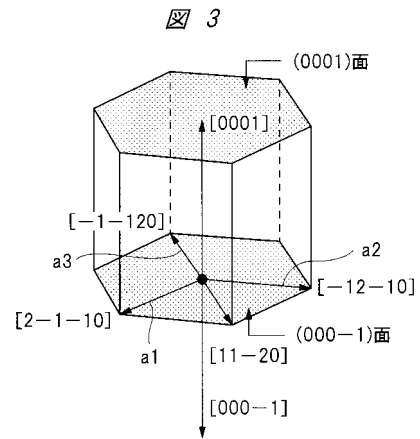
30

40

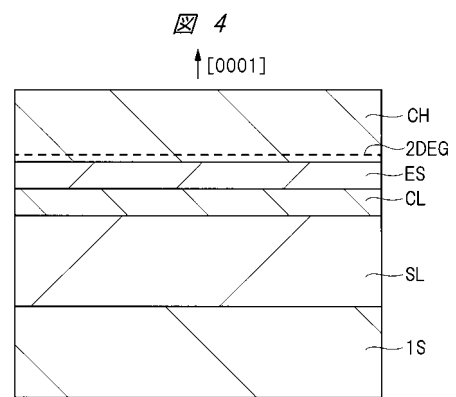
【図 1】



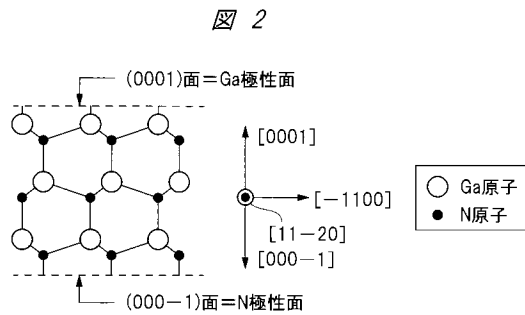
【図 3】



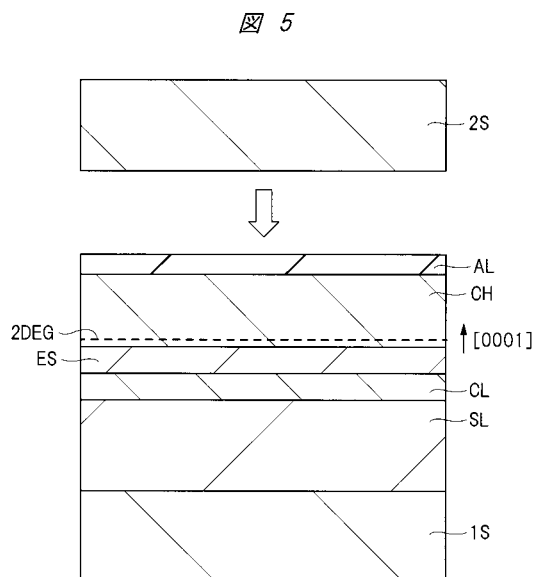
【図 4】



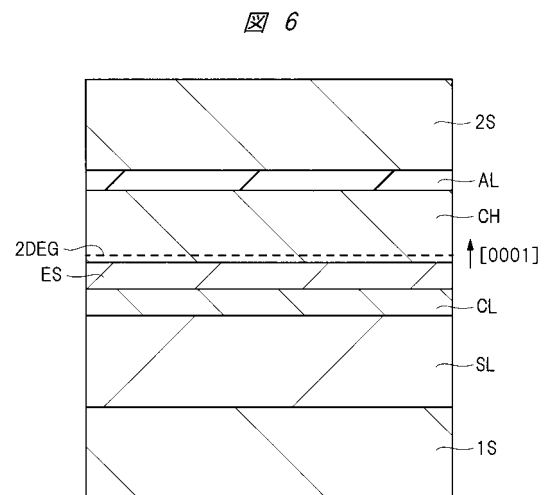
【図 2】



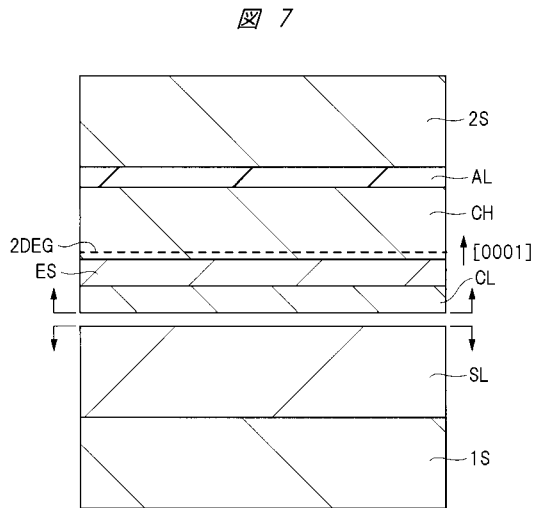
【図 5】



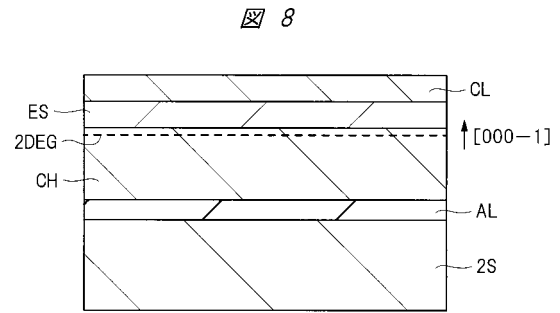
【図 6】



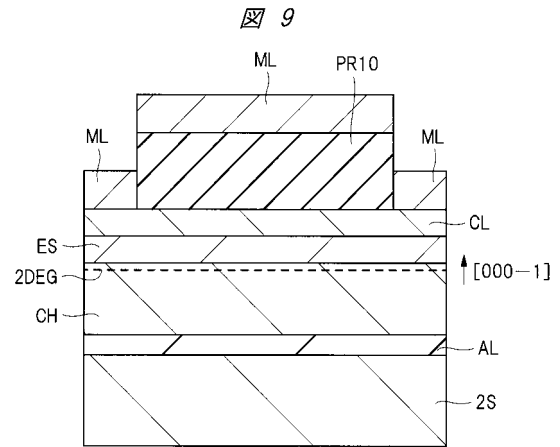
【図 7】



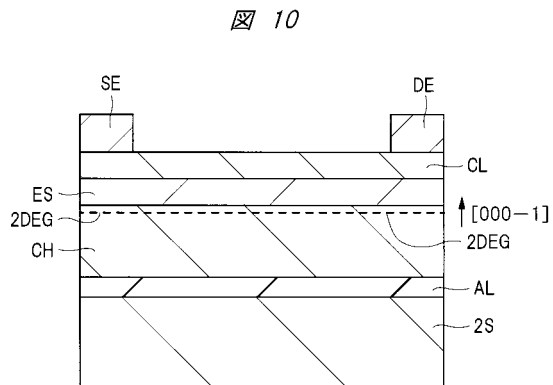
【図 8】



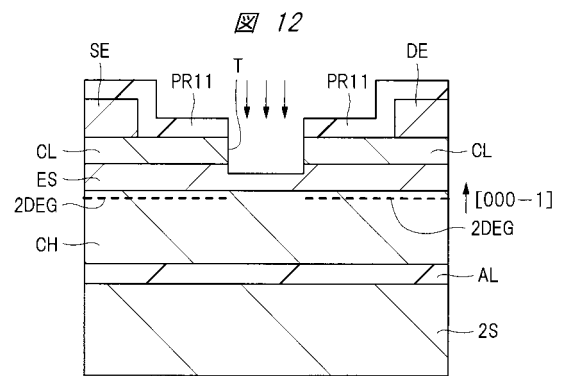
【図 9】



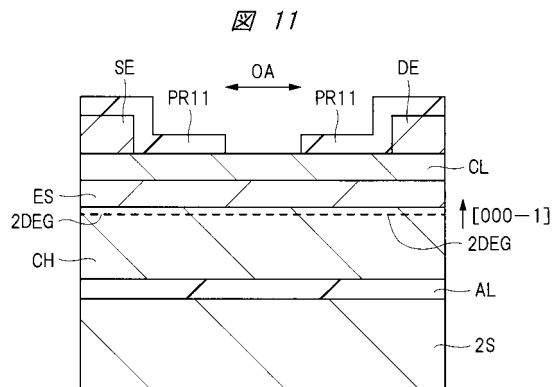
【図 10】



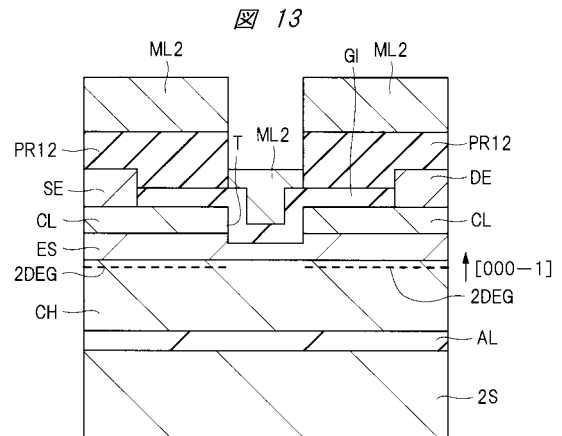
【図 12】



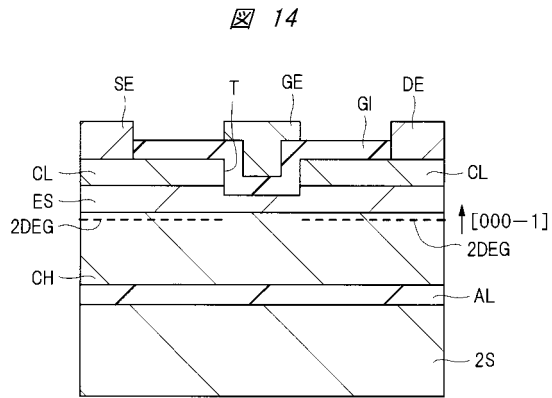
【図 11】



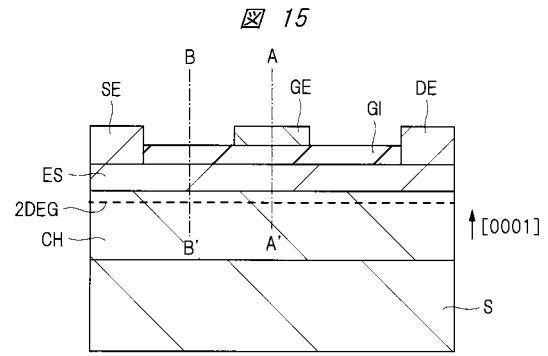
【図 13】



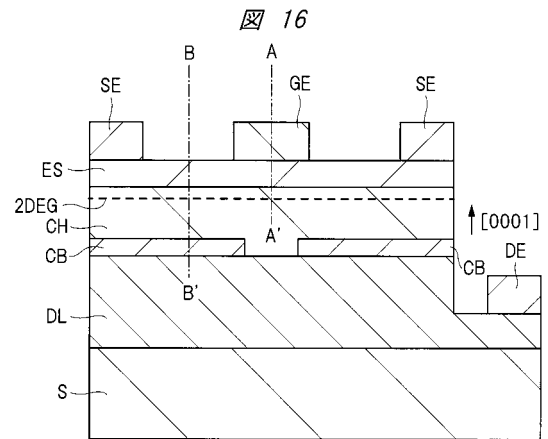
【図 14】



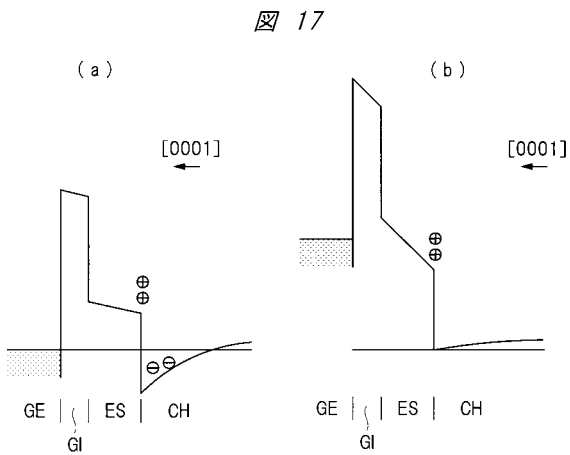
【図 15】



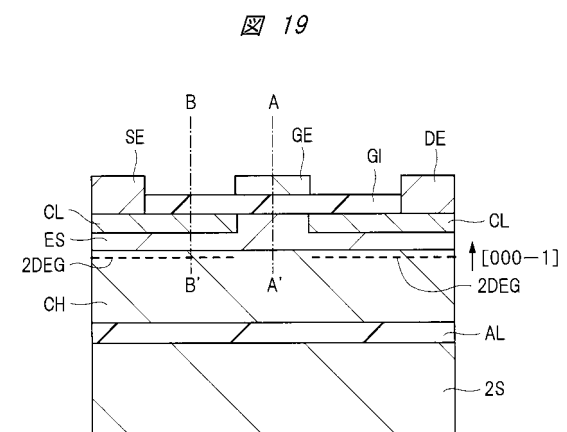
【図 16】



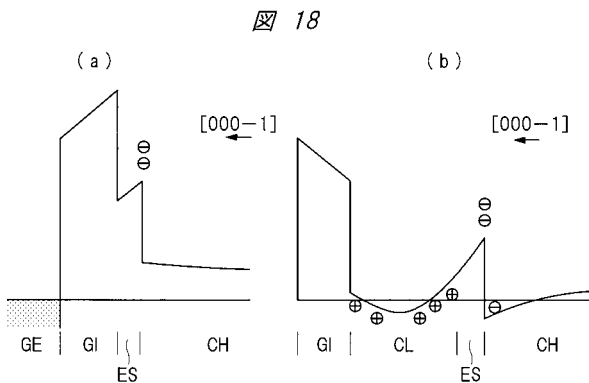
【図 17】

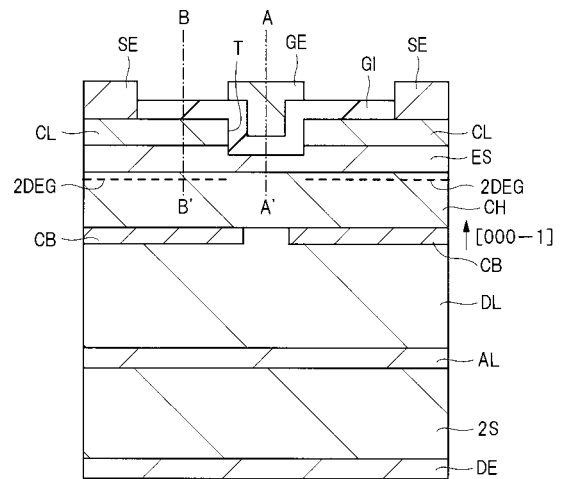
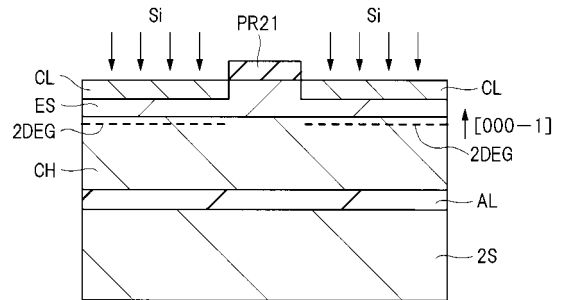
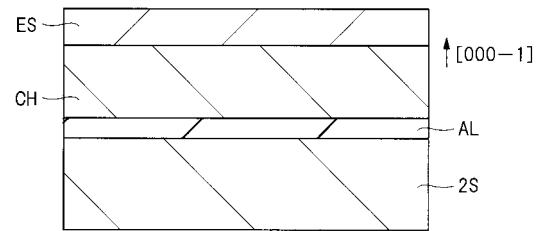
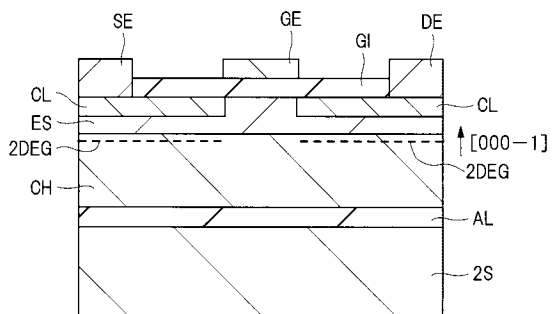
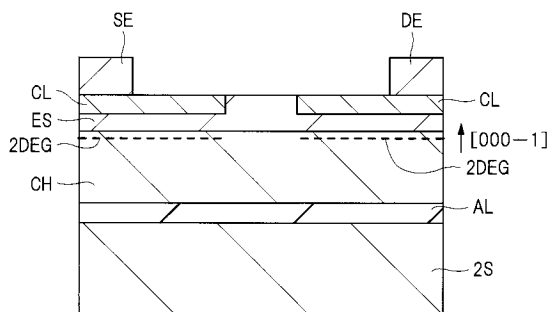
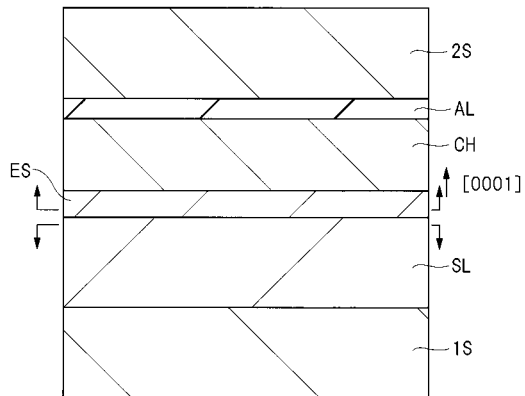
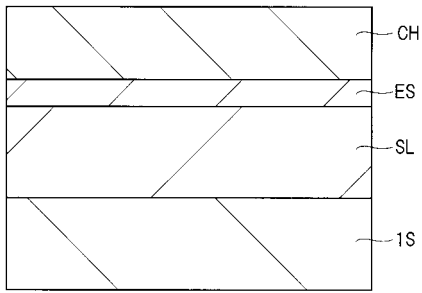


【図 19】

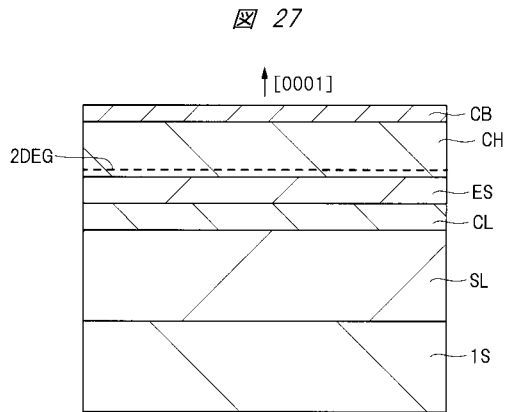


【図 18】

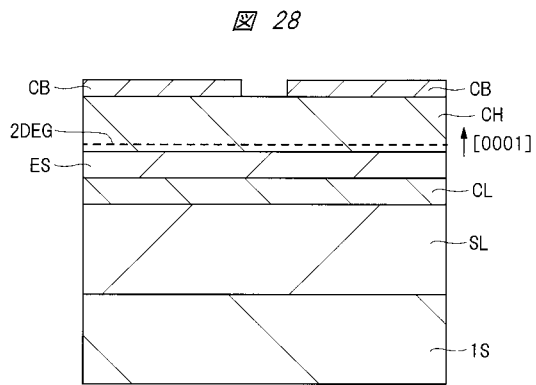




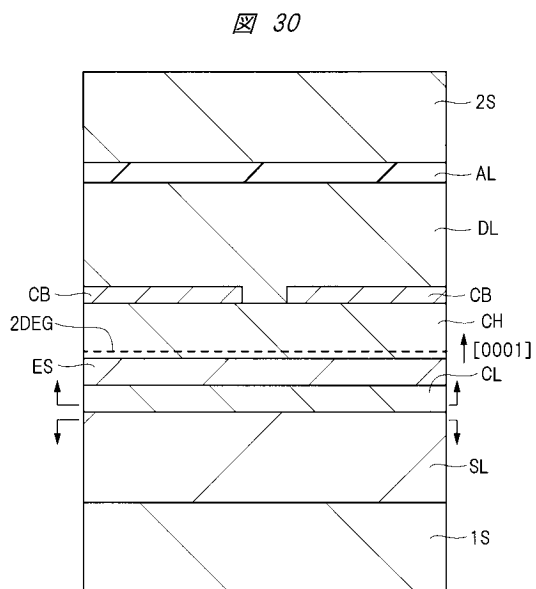
【図 27】



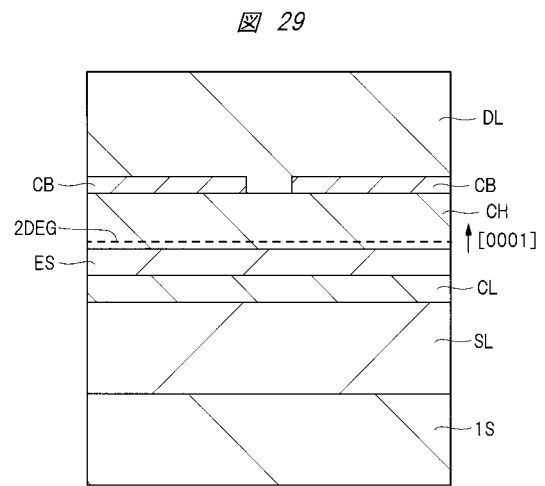
【図 28】



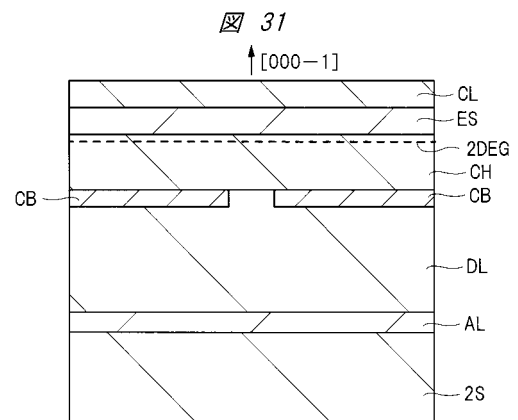
【図 30】



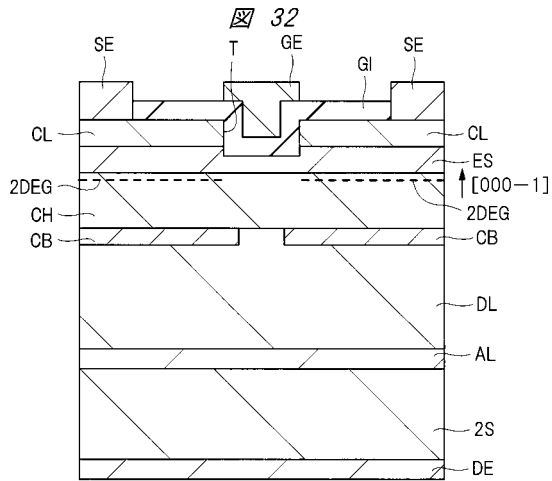
【図 29】



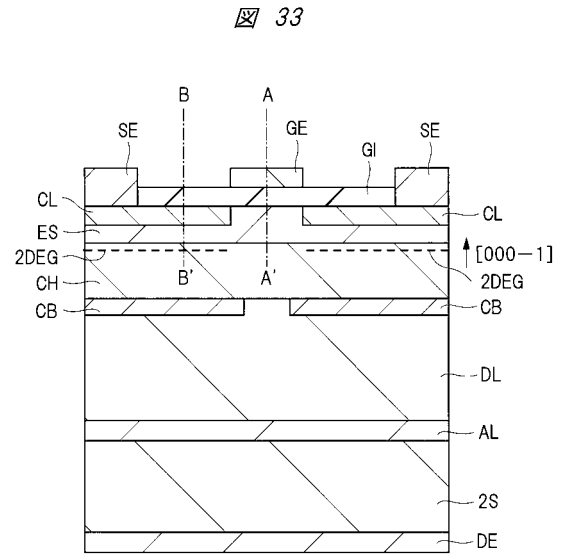
【図 31】



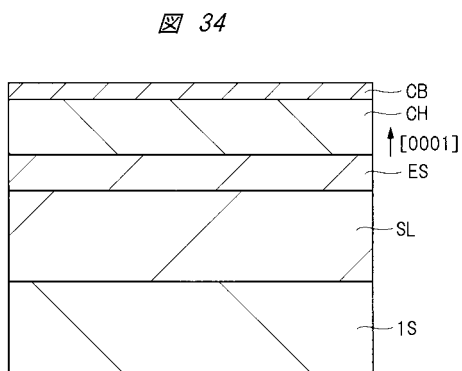
【図 3 2】



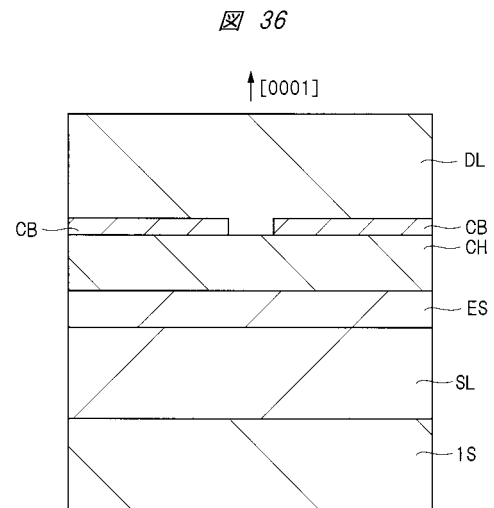
【図 3 3】



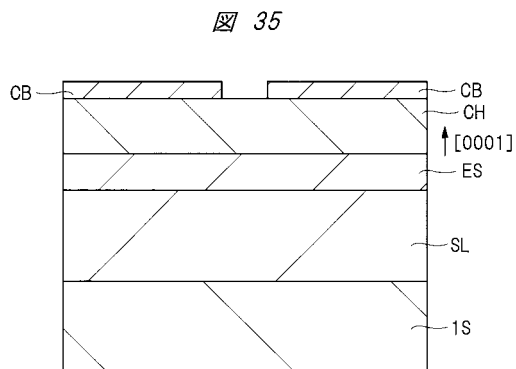
【図 3 4】



【図 3 6】

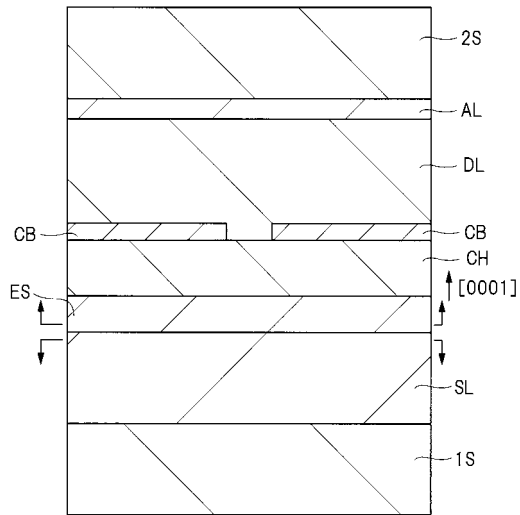


【図 3 5】



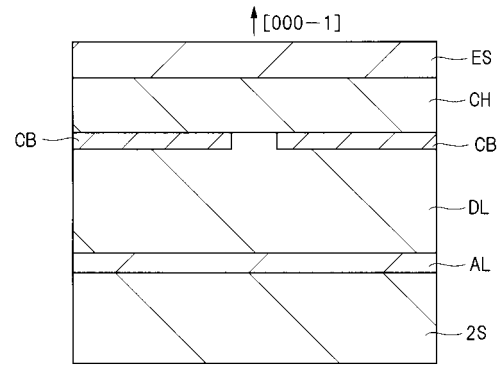
【図 37】

図 37



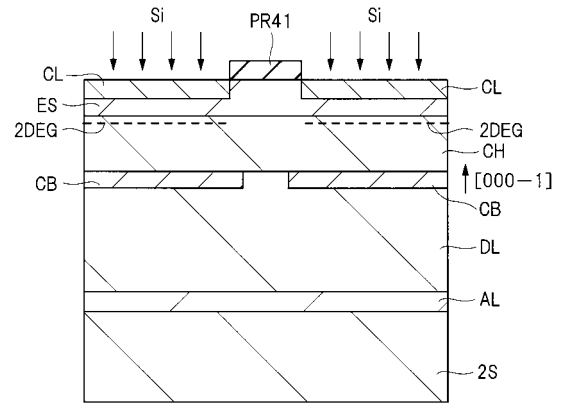
【図 38】

図 38



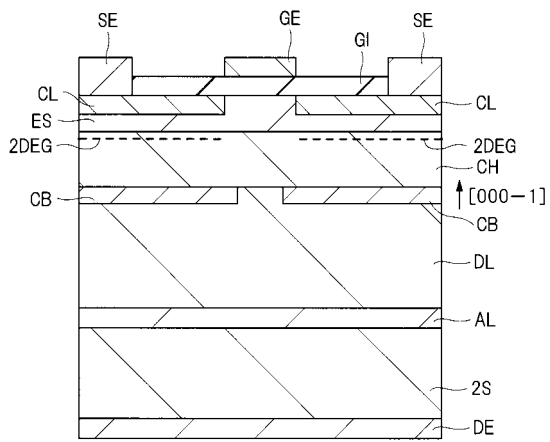
【図 39】

図 39



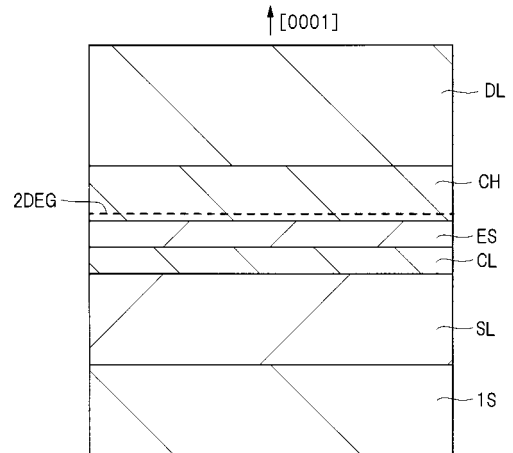
【図 40】

図 40

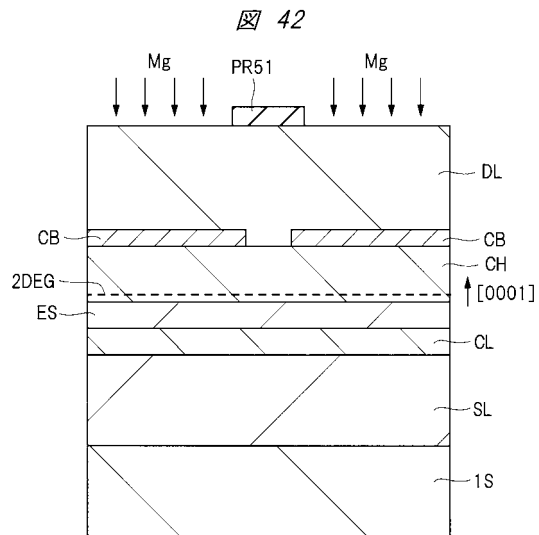


【図 41】

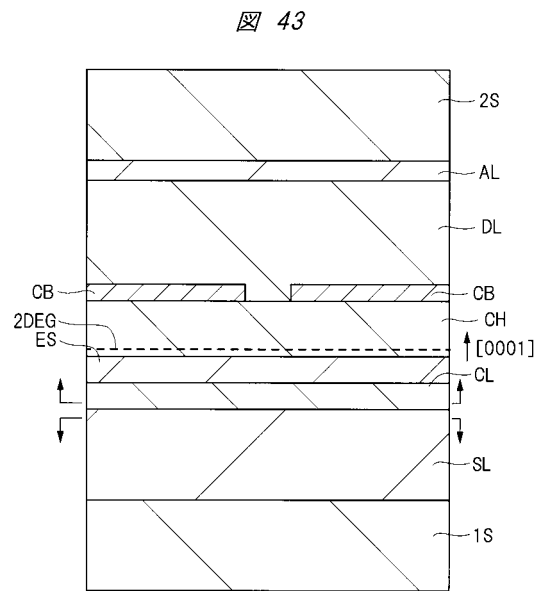
図 41



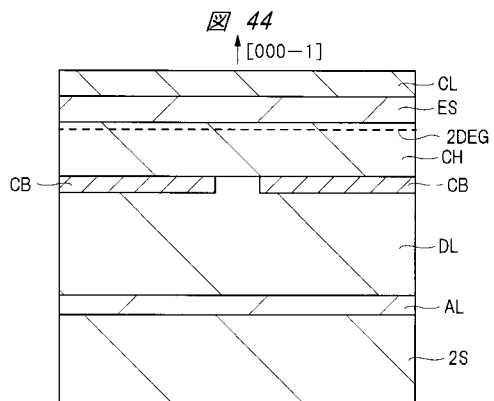
【図 4 2】



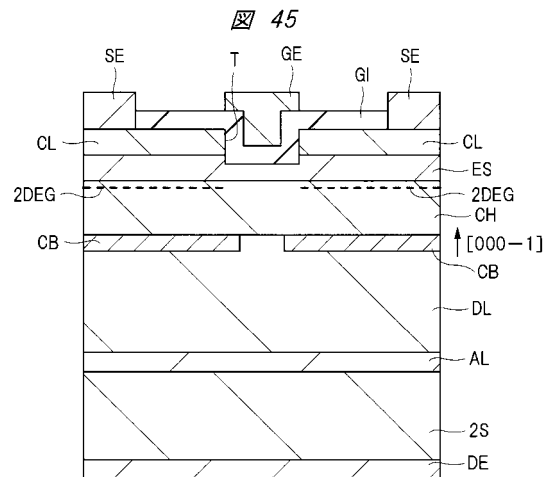
【図 4 3】



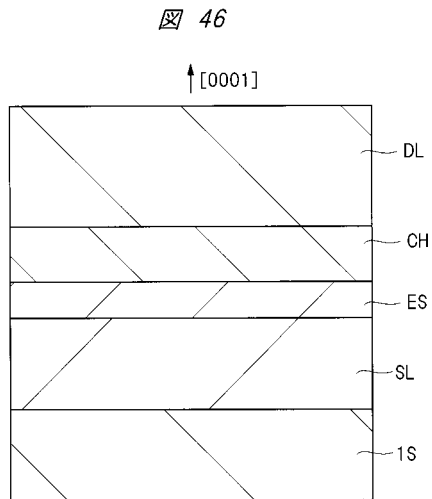
【図 4 4】



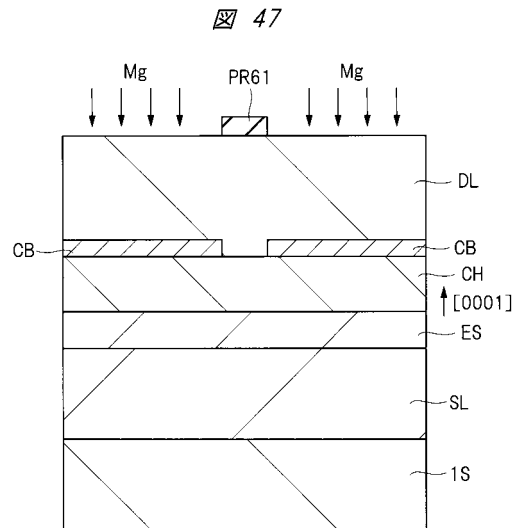
【図 4 5】



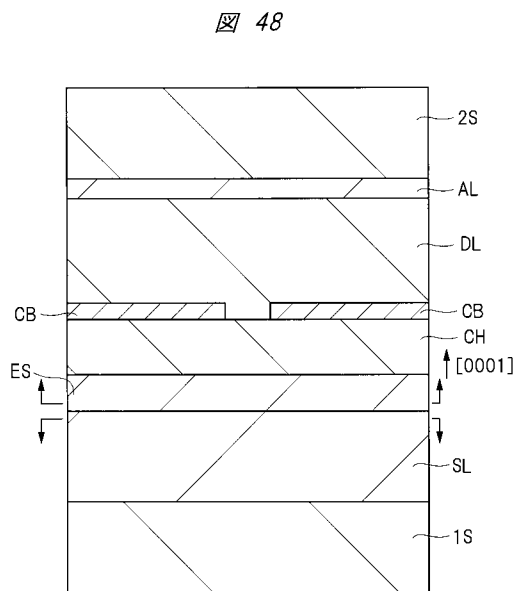
【図 46】



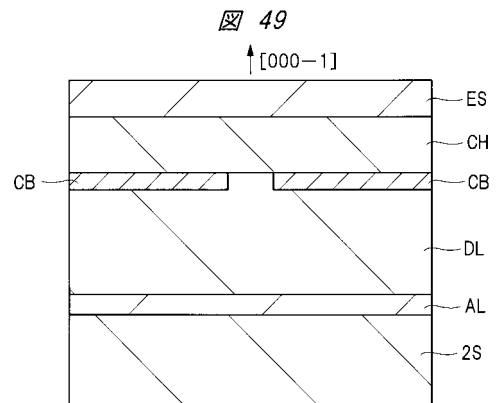
【図 47】



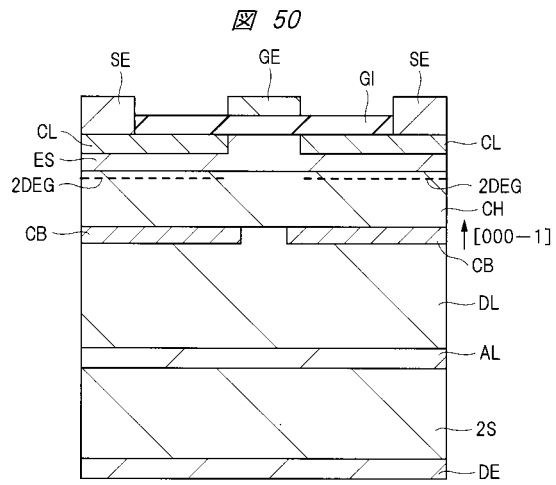
【図 48】



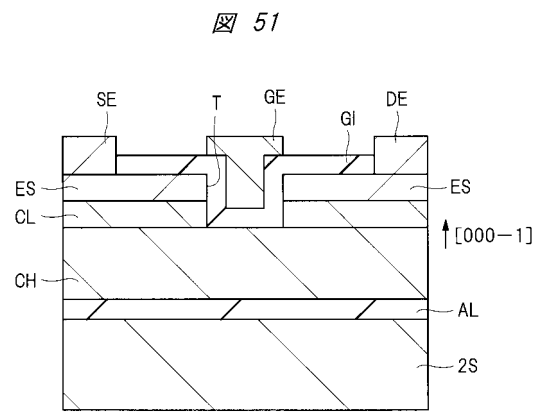
【図 49】



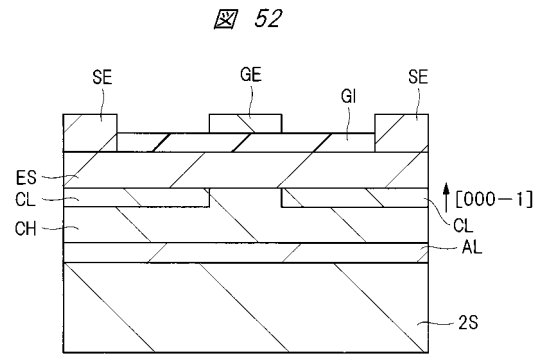
【図 50】



【図 51】



【図 52】



 フロントページの続き

(51)Int.Cl.	F I			テーマコード (参考)		
<i>H 0 1 L 21/336 (2006.01)</i>	H 0 1 L	29/78	6 5 2 E			
<i>H 0 1 L 29/78 (2006.01)</i>	H 0 1 L	29/78	6 5 8 E			
<i>H 0 1 L 29/12 (2006.01)</i>	H 0 1 L	29/78	6 5 2 L			
<i>H 0 1 L 21/02 (2006.01)</i>	H 0 1 L	29/78	6 5 2 M			
	H 0 1 L	21/02	B			
	H 0 1 L	21/02	C			

F ターム (参考) 5F140 AA24 AA25 BA01 BA02 BA06 BA09 BA16 BA20 BB06 BB15
 BB18 BC12 BD07 BD11 BE09 BF05 BF07 BF11 BF13 BF15
 BF43 BG27 BJ07 BJ11 BJ13 BJ15 BK13 BK21 BK29 BK38
 CE02