【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第３区分
【発行日】平成24年5月24日(2012.5.24)

【公表番号】特表2011-516950(P2011-516950A)
【公表日】平成23年5月26日(2011.5.26)
【年通号数】公開・登録公報2011-021
【出願番号】特願2011-502109(P2011-502109)
【国際特許分類】
Ｇ０６Ｆ　13/16　(2006.01)
Ｇ０６Ｆ　13/36　(2006.01)
Ｇ０６Ｆ　13/38　(2006.01)
Ｇ０６Ｆ　12/00　(2006.01)
【ＦＩ】
Ｇ０６Ｆ　13/16　５１０Ｄ
Ｇ０６Ｆ　13/36　５３０Ｂ
Ｇ０６Ｆ　13/38　３４０Ａ
Ｇ０６Ｆ　12/00　５８０

【手続補正書】
【提出日】平成24年3月27日(2012.3.27)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
複数の専用プロセッサと、
前記複数の専用のプロセッサのそれぞれを、当該複数の専用プロセッサのうちの少なくとも別の１つにブリッジを介して結合するホストブリッジバスと、
前記複数の専用プロセッサのそれぞれを、当該複数の専用プロセッサのうちの少なくとも別の１つに直接結合するダイレクトバスと、
少なくとも１つのローカルメモリと、
少なくとも１つのシステムメモリと、
少なくとも１つのピアメモリと、
前記複数の専用プロセッサのそれぞれに結合されたメモリコントローラとを備え、
前記メモリコントローラは、ホストブリッジバス又はダイレクトバスのいずれを介してデータを転送するかを決定すると共に、各メモリのアドレス範囲に基づきいずれのメモリにアクセスするかを決定し、さらに、アドレスがピアメモリの範囲に入るときには、ホストブリッジバスおよびダイレクトバスのそれぞれにおけるトラフィック量に基づきいずれのバスを使用するかを決定するように構成されている、システム。
【請求項２】
メモリコントローラは、複数の専用プロセッサの少なくとも１つの上に存在する、請求項１に記載のシステム。
【請求項３】
複数の専用プロセッサはグラフィックス処理装置（ＧＰＵ）を含む、請求項１に記載のシステム。
【請求項４】
ホストバスは、ＰＣＩ　Ｅｘｐｒｅｓｓ（ＰＣＩｅ（登録商標））バスを含む、請求項

１に記載のシステム。
【請求項５】
ダイレクトバスは、ＰＣＩ　Ｅｘｐｒｅｓｓ（ＰＣＩｅ（登録商標））バスを含む、請求項１に記載のシステム。
【請求項６】
ダイレクトバスは、プロプライエタリバスを含む、請求項１に記載のシステム。
【請求項７】
前記メモリコントローラは、さらに、アドレスがピアメモリの範囲に入るときには、ホストブリッジバス及びダイレクトバスのいずれかが現在満杯か否かに基づき、いずれのバスを使用するかを決定する、請求項１に記載のシステム。
【請求項８】
前記メモリコントローラは、さらに、アドレスがピアメモリの範囲に入るときには、ホストブリッジバスおよびダイレクトバスのいずれかに対する固定マッピングに基づき、いずれのバスを使用するかを決定する、請求項１に記載のシステム。
【請求項９】
前記メモリコントローラは、さらに、ホストバス及びダイレクトバスのそれぞれにおけるトラフィック量に基づき動的負荷分散を行なう、請求項１に記載のシステム。
【請求項１０】
ホストプロセッサ及び複数の専用プロセッサにより共有されるホストブリッジバス、又は複数の専用プロセッサを直接結合するダイレクトバス、のいずれを介してデータを転送又は受信するかを決定することを含み、この決定が転送のメモリアドレス範囲に基づき行われ、アドレスがピアメモリを特定する範囲内に含まれるときの当該決定が、ホストブリッジバスおよびダイレクトバスのそれぞれにおけるトラフィック量に基づき行われる、マルチプロセッサシステムにおけるデータ通信方法。
【請求項１１】
前記アドレス範囲は、専用プロセッサ上に存在するピアメモリ、ホストバス上のシステムメモリ、及び複数の専用プロセッサ間に結合されたローカルメモリのうち１つを特定する、請求項１０に記載の方法。
【請求項１２】
ホストバス又はダイレクトバスのいずれかにピアメモリを特定する範囲内の特定アドレスが割り当てられる、請求項１１に記載の方法。
【請求項１３】
動的負荷分散を行なって、ホストバス及びダイレクトバスのそれぞれにおけるトラフィックの割合を、トラフィック履歴データに基づき調整することを更に含む、請求項１１に記載の方法。
【請求項１４】
メモリアパーチャをホストプロセッサ及び複数の専用プロセッサのそれぞれに割り当てることを更に含み、メモリアパーチャはピアメモリ、システムメモリ、及びローカルメモリに適用され、アパーチャが各プロセッサのメモリの見方を決定する、請求項１１に記載の方法。
【請求項１５】
アパーチャ圧縮を行なうことを更に含み、同圧縮が、オフセットレジスタを用いて、オフセットを変更することにより全てのピアメモリを可視化することを含む、請求項１４に記載の方法。
【請求項１６】
実行されるとマルチプロセッサシステムにおけるデータ通信方法を遂行させるインストラクションが記憶されたコンピュータ可読媒体であって、同方法が、
ホストプロセッサ及び複数の専用プロセッサにより共有されるホストブリッジバス、又は複数の専用プロセッサを直接結合するダイレクトバスのいずれを介してデータを転送又は受信するかを決定することを含み、この決定が転送のメモリアドレス範囲に基づき行わ

れると共に、そのアドレス範囲が、専用プロセッサ上に位置するピアメモリ、ホストバス上のシステムメモリ、および専用プロセッサに結合されたローカルメモリのうちの１つを特定し、アドレスがピアメモリを特定する範囲内に含まれるときの当該決定が、ホストブリッジバスおよびダイレクトバスのそれぞれにおけるトラフィック量に基づき行われる、コンピュータ可読媒体。

【請求項１７】

ピアメモリを特定する範囲内の特定アドレスが、ホストブリッジバス又はダイレクトバスのいずれかに割り当てられる、請求項１６に記載のコンピュータ可読媒体。

【請求項１８】

実行される方法に、動的負荷分散を行なって、ホストバス及びダイレクトバスのそれぞれにおけるトラフィックの割合を、トラフィック履歴データに基づき調整することが更に含まれる、請求項１６に記載のコンピュータ可読媒体。

【請求項１９】

実行される方法に、メモリアパーチャをホストプロセッサ及び複数の専用プロセッサのそれぞれに割り当てることが更に含まれ、メモリアパーチャはピアメモリ、システムメモリ、及びローカルメモリに適用され、アパーチャが各プロセッサのメモリの見方を決定する、請求項１６に記載のコンピュータ可読媒体。

【請求項２０】

実行される方法に、アパーチャ圧縮を行なうことが更に含まれ、同圧縮が、オフセットレジスタを用いて、オフセットを変更することにより全てのローカルメモリを可視化することを含む、請求項１９に記載のコンピュータ可読媒体。

【請求項２１】

インストラクションは、実行する方法を遂行するための特定用途向け集積回路（ＡＳＩＣ）の作製に使用することのできるハードウェア記述言語によるインストラクションを含む、請求項１９に記載のコンピュータ可読媒体。

【手続補正２】

【補正対象書類名】明細書

【補正対象項目名】０００７

【補正方法】変更

【補正の内容】

【０００７】

図２は一実施形態に係るマルチプロセッサシステム２００の一部のブロック図である。システム２００はブリッジ２０６に結合されたルートプロセッサ２０８を含む。ブリッジ２０６は各バス２０５ａ、２０５ｂを介してバスエンドポイントＥＰ０（２０４ａ）、ＥＰ１（２０４ｂ）に結合されている。各エンドポイント２０４はそれぞれのメモリ装置２０２ａ又は２０２ｂに結合されている。

【手続補正３】

【補正対象書類名】明細書

【補正対象項目名】００１４

【補正方法】変更

【補正の内容】

【００１４】

上記のシーケンスでは「４」の書き込みが最初に行われたが、この書き込みはホストブリッジバス３０５ａ、３０５ｂを介している。「６」の書き込みは後から始まったが、ダイレクトバス３０７（より速い経路）を介している。「６」は最初に書き込まれるが、「４」が後から到着し「６」を上書きする。このような問題が予測される場合、この問題を回避するモードは、アドレスベースルーティングである。同一アドレスへのデータが同一ルートで送信されるようにアドレスを分割することができる。例えば、偶数のダブルワードアドレスをダイレクトバス３０７経由で送信し、奇数のダブルワードアドレスをホストブリッジバス３０５ａ、３０５ｂ経由で送信することができる。あるいは、８つのアドレ

スのうち７つ（バイナリデータが０００で終わらないもの）をダイレクトバス３０７経由で送信し、残りをホストブリッジバス３０５ａ、３０５ｂ経由で送信することができる。
【手続補正４】
【補正対象書類名】明細書
【補正対象項目名】００１９
【補正方法】変更
【補正の内容】
【００１９】
図５は一実施形態に係る４つのＧＰＵを有するシステムのブロック図である。一実施形態においては、２つのＧＰＵ、ＧＰＵＡ（５０４ａ）及びＧＰＵＢ（５０４ｂ）が１つのボード（ボード０）を占有し、更なる２つのＧＰＵ、ＧＰＵＣ（５０４ｃ）及びＧＰＵＤ（５０４ｄ）が別のボード（ボード１）を占有している。ＧＰＵ５０４ａ及びＧＰＵ５０４ｂは、ダイレクトバス５０７ａ及び表示リンク５１１ａを介して結合されている。ＧＰＵ５０４ａ及びＧＰＵ５０４ｂはそれぞれ、各ＰＣＩｅ（登録商標）バスを通して単体ブリッジ５０９ａに結合されている。
【手続補正５】
【補正対象書類名】図面
【補正対象項目名】図８
【補正方法】変更
【補正の内容】
【図８】

