

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 7 月 7 日 (07.07.2016)



(10) 国际公布号
WO 2016/106888 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2015/071134
- (22) 国际申请日: 2015 年 1 月 20 日 (20.01.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410856592.7 2014 年 12 月 31 日 (31.12.2014) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 戴荣磊 (DAI, Ronglei); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 颜尧 (YAN, Yao); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 肖军城 (XIAO, Juncheng); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 北京聿宏知识产权代理有限公司 (YUHONG INTELLECTUAL PROPERTY LAW FIRM); 中国北京市西城区宣武门外大街 6 号庄胜广场第一座西翼 713 室吴大建/刘华联, Beijing 100052 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则 4.17 的声明:

— 发明人资格(细则 4.17(iv))

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: GATE DRIVING CIRCUIT

(54) 发明名称: 一种栅极驱动电路

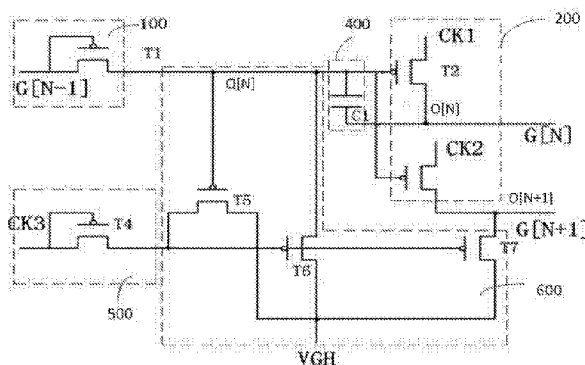


图 1a / FIG. 1a

(57) Abstract: A gate driving circuit comprises GOA driving units at multiple stages. Each GOA driving unit at each stage comprises: a signal input unit (100) for outputting a pull-down control signal; an output unit (200), for enabling the GOA driving unit at the stage of the output unit to output a first gate signal and a second gate signal; a pull-up control unit (500) for outputting a pull-up control signal; and a pull-up retention unit (600) for pulling up a potential of a control end of the output unit to a potential of a direct-current power supply so as to retain the first gate signal and the second gate signal to be at a high potential.

(57) 摘要: 一种栅极驱动电路, 其包括多级 GOA 驱动单元。每级 GOA 驱动单元包括: 信号传入单元 (100), 其输出下拉控制信号; 输出单元 (200), 其使本级 GOA 驱动单元输出第一和第二栅极信号; 上拉控制单元 (500), 其输出上拉控制信号; 上拉维持单元 (600), 将输出单元控制端的电位上拉至直流电源电位, 从而使第一栅极信号和第二栅极信号维持在高电位。

WO 2016/106888 A1

一种栅极驱动电路

相关申请的交叉引用

本申请要求享有 2014 年 12 月 31 日提交的名称为“一种栅极驱动电路”的中国专利申请 CN201410856592.7 的优先权，其全部内容通过引用并入本文中。

技术领域

本发明涉及显示技术领域，具体地说，涉及一种显示装置的栅极驱动电路。

背景技术

现有技术中，通常在液晶显示面板的阵列制程阶段采用阵列基板栅极驱动(Gate Driver On Array, GOA)技术将栅极驱动电路制作在阵列基板上，从而实现对栅线逐行扫描驱动。该技术可减少外接 IC 的绑定(bonding)工序，并提高液晶显示面板的集成度。

自从低温多晶硅(Low Temperature Poly-silicon, LTPS)出现后，由于 LTPS 半导体本身超高载流子迁移率的特性，面板周边集成电路的设计成为行业关注的焦点。LTPS 可采用离子布置技术调节 TFT 类型，因此，GOA 电路可以配置为 NMOS、PMOS 或者 CMOS 类型。然而就光罩成本而言，CMOS 和 NMOS 较 PMOS 需要更多道光罩制程，导致 CMOS 和 NMOS 的制造成本会大幅提升。而且 CMOS 类型的电路结构过于复杂，很难做到超窄边框的设计。特别是对于小尺寸的显示装置（如手机屏幕）来说，为了获得更佳的用户使用体验，边框的尺寸显得尤为重要。

此外，GOA 电路的功耗也是显示装置性能的重要参考指标。现有技术中 LTPS GOA 驱动电路结构过于复杂，功耗较大。

发明内容

本发明所要解决的技术问题之一是现有技术中低温多晶硅的 GOA 驱动电路结构过于复杂的技术缺陷。

为了解决上述技术问题，本发明的实施例提供一种栅极驱动电路，包括多级 GOA 驱

动单元，每级 GOA 驱动单元包括：

信号传入单元，其用于根据传入信号输出下拉控制信号；

输出单元，其控制端耦接在信号传入单元的输出端，以根据下拉控制信号和第一时钟脉冲信号下拉第一栅极信号输出端的电位，以及根据下拉控制信号和第二时钟脉冲信号下拉第二栅极信号输出端的电位，使本级 GOA 驱动单元输出第一和第二栅极信号，所述第一和第二栅极信号为相邻两行栅线的扫描信号；

上拉控制单元，其根据上拉信号输出上拉控制信号；

上拉维持单元，其耦接在上拉控制单元的输出端、输出单元的控制端、第二栅极信号输出端和直流电源之间，以根据上拉控制信号将输出单元控制端的电位上拉至直流电源电位，从而使第一栅极信号和第二栅极信号维持在高电位。

在一个实施例中，每级 GOA 驱动单元的第二栅极信号输出端耦接在下一级 GOA 驱动单元的信号传入单元的输入端，以根据当前级 GOA 驱动单元输出的第二栅极信号启动下一级 GOA 驱动单元。

在一个实施例中，每级 GOA 驱动单元的第一和第二时钟脉冲信号与其下一级 GOA 驱动单元的第一和第二时钟脉冲信号构成一个时钟周期，在时序上互相错开并且顺次衔接。

在一个实施例中，所述输出单元包括：

第一输出晶体管，其栅极耦接在信号传入单元的输出端，其第一端接收第一时钟信号，其第二端输出第一栅极信号；

第二输出晶体管，其栅极耦接在信号传入单元的输出端，其第一端接收第二时钟信号，其第二端输出第二栅极信号。

在一个实施例中，还包括降压单元，所述降压单元包括第一降压电容和/或第二降压电容，其中，

第一降压电容的第一端耦接在所述输出单元控制端，第二端耦接在所述第一输出晶体管的第二端，以根据第一时钟信号下拉或者抬升所述输出单元控制端的电位；

第二降压电容的第一端耦接在所述输出单元控制端，第二端耦接在所述第二输出晶体管的第二端，以根据第二时钟信号下拉所述输出单元控制端的电位。

在一个实施例中，每级 GOA 驱动单元的上拉信号为下一级 GOA 驱动单元的第一时钟信号，或者为下一级 GOA 驱动单元输出的第一栅极信号。

在一个实施例中，所述上拉维持单元包括：

第一上拉晶体管,其栅极耦接在所述上拉控制单元的输出端,其第一端耦接直流电源,其第二端耦接在输出单元的控制端;

第二上拉晶体管,其栅极耦接在所述上拉控制单元的输出端,其第一端耦接直流电源,其第二端耦接在输出单元的第二栅极信号输出端;

其中,在上拉控制信号有效时第一和第二上拉晶体管导通,将输出单元控制端的电位上拉至直流电源电位,并将第二栅极信号上拉至直流电源电位。

在一个实施例中,所述上拉维持单元进一步包括:

防漏电晶体管,其栅极耦接在输出单元的控制端,其第一端耦接直流电源,其第二端耦接在第一上拉晶体管和第二上拉晶体管的栅极;

其中,在输出单元控制端为低电位的情况下所述防漏电晶体管导通,使第一和第二上拉晶体管的栅极保持在高电位,从而防止产生从直流电源到输出单元控制端的漏电流。

在一个实施例中,所述上拉控制单元包括一上拉控制晶体管,其栅极短接第一端,以接收上拉信号,其第二端耦接在所述第一和第二上拉晶体管的栅极。

在一个实施例中,所述信号传入单元包括一信号传入晶体管,其栅极短接第一端,以接收传入信号,其第二端耦接在所述输出单元的控制端。

与现有的 GOA 驱动单元相比,本发明具有以下优点。

1、本发明通过采用单级 GOA 驱动单元驱动双行栅线,减少栅极驱动电路中 TFT 的使用数量,降低电路功耗,实现扫描驱动电路的简化,使得显示装置能够实现窄边框设计。

2、本发明相邻两级 GOA 驱动单元的第一时钟脉冲信号和第二时钟脉冲信号构成一个时钟周期,并在时序上互相错开并且顺次衔接,完成上拉维持作用,解决目前 LTPS GOA 电路中上拉维持电路部分在非作用期间的冗长的电路架构问题。

3、本发明采用直流电源的高电位完成在 GOA 驱动单元非作用期间持续上拉 Q[N]点电位,并将输出的栅极扫描信号上拉至高点位,保证电路时序功能完整。

4、本发明在上拉维持单元中设置防漏电晶体管,可以防止本级 GOA 驱动单元在作用期间从直流电源到 Q[N]点的漏电流,保证驱动电路的稳定。

本发明的其它特征和优点将在随后的说明书中阐述,并且,部分地从说明书中变得显而易见,或者通过实施本发明而了解。本发明的目的和其他优点可通过在说明书、权利要求书以及附图中所特别指出的结构来实现和获得。

附图说明

附图用来提供对本申请技术方案或现有技术的进一步理解，并且构成说明书的一部分，但并不构成对本申请技术方案的限制。

图 1a 是根据本发明实施例一的第 N 级 GOA 驱动单元的结构示意图；

图 1b 是根据本发明实施例一的第 N+2 级 GOA 驱动单元的结构示意图；

图 2 是根据本发明实施例一的 GOA 驱动单元工作时序图；

图 3 是根据本发明实施例二的 GOA 驱动单元的结构示意图；

图 4 是根据本发明实施例二的 GOA 驱动单元工作时序图；

图 5 是根据本发明实施例三的 GOA 驱动单元的结构示意图；

图 6 是根据本发明实施例三的 GOA 驱动单元工作时序图；

图 7 是根据本发明实施例四的 GOA 驱动单元的结构示意图。

具体实施方式

为使本发明的目的、技术方案和优点更加清楚，下面以具有 P 型晶体管的 LTPS GOA 栅极驱动电路为例，参照附图详细介绍 GOA 驱动单元的电路结构和工作原理。

实施例一

本实施例提供一种栅极驱动电路，包括多级 GOA 驱动单元，每级 GOA 输出双行栅线的扫描信号。图 1a 和图 1b 分别是根据本实施例的栅极驱动电路第 N 级和第 N+2 级 GOA 驱动单元的结构示意图。图中仅显示了多级 GOA 驱动单元中的相邻两级。由于每级驱动电路产生两行栅线的扫描信号，为便于说明，将前一级 GOA 驱动单元标示为 N，相邻的后一级 GOA 驱动单元标示为 N+2。图 1a 和图 1b 中所示的晶体管元件均为 P 型。

如图 1a 所示，第 N 级 GOA 驱动单元包括信号传入单元 100、输出单元 200、降压单元 400、上拉维持单元 500 和上拉控制单元 600。

其中，信号传入单元 100 包括信号传入晶体管 T1。T1 的栅极与第一端短路连接，以接收传入信号。在本实施例中，该传入信号优选为第 N-2 级 GOA 驱动单元输出的栅极信号 G[N-1]。T1 的第二端耦接在输出单元 200 的控制端（图中 Q[N]点），当传入信号到来时，T1 的第二端输出下拉控制信号 KD[N]。

输出单元 200 的控制端耦接在信号传入单元 100 的输出端，以根据下拉控制信号 KD[N]和第一时钟脉冲信号 CK1 下拉第一栅极信号输出端（图中 O[N]点）的电位，以及根据下拉控制信号 KD[N]和第二时钟脉冲信号 CK2 下拉第二栅极信号输出端（图中 O[N+1]点）的电位。从而使第 N 级 GOA 驱动单元输出第一栅极信号 G[N]和第二栅极信

号 $G[N+1]$ ，其中，第一栅极信号 $G[N]$ 和第二栅极信号 $G[N+1]$ 为相邻两行栅线的扫描信号。

具体而言，如图 1a 所示，输出单元 200 包括第一输出晶体管 T2 和第二输出晶体管 T3。

第一输出晶体管 T2 的栅极耦接信号传入单元 100 的输出端，接收下拉控制信号 $KD[N]$ 。T2 的第一端接收第一时钟脉冲信号 CK1，其第二端做为第一栅极信号输出端而输出第一栅极信号 $G[N]$ 。

第二输出晶体管 T3 的栅极耦接信号传入单元 100 的输出端，接收下拉控制信号 $KD[N]$ 。T3 的第一端接收第二时钟脉冲信号 CK2，其第二端做为第二栅极信号输出端而输出第二栅极信号 $G[N+1]$ 。

降压单元 400 包括第一降压电容 C1。C1 的第一端耦接在输出单元 200 控制端，C1 的第二端耦接在 T2 的第二端（图中 $O[N]$ 点），以根据第一时钟信号 CK1 下拉或者抬升输出单元 200 控制端，即 $Q[N]$ 点的电位。需要强调的是，在第 N 行栅线的作用期间，第一降压电容 C1 可下拉 $Q[N]$ 点的电位以保证第一输出晶体管 T2 正常输出；在第 N+1 行栅线的作用期间，第一降压电容 C1 还可适当推高 $Q[N]$ 点电位，从而保证在第 N+1 行栅线由作用状态切换至非作用状态时第二输出晶体管 T3 快速关闭。

上拉控制单元 500 根据上拉信号输出上拉控制信号 $KU[N]$ 。在本实施例中，上拉信号优选为时钟信号 CK3。如图 1b 所示，时钟信号 CK3 也是输入到第 N+2 级 GOA 驱动单元的第一时钟信号。上拉控制单元 500 包括上拉控制晶体管 T4。T4 的栅极与第一端短路连接，以接收时钟信号 CK3。当时钟信号 CK3 到来时，T4 的第二端输出上拉控制信号 $KU[N]$ 。

上拉维持单元 600 耦接在上拉控制单元 500 的输出端、输出单元 200 的控制端、第二栅极信号输出端（图中 $O[N+1]$ 点）和直流电源 VGH 之间，以根据上拉控制信号 $KU[N]$ 将 $Q[N]$ 点上拉至直流电源 VGH 的电位，使 T2 和 T3 关闭，并将第二栅极信号 $G[N+1]$ 上拉至高电位。从而在第 N 级 GOA 驱动单元完成对第 N 行和第 N+1 行栅线的扫描驱动之后，通过直流电源 VGH 将第一栅极信号 $G[N]$ 和第二栅极信号 $G[N+1]$ 维持在高电位，直到下一帧内传入信号的到来。

具体而言，上拉维持单元 600 包括第一上拉晶体管 T6 和第二上拉晶体管 T7。T6 的栅极耦接在上拉控制单元 500 的输出端，其第一端耦接直流电源 VGH，其第二端耦接在输出单元 200 的控制端（图中 $Q[N]$ 点）。T7 的栅极耦接在上拉控制单元 600 的输出端，

其第一端耦接直流电源 VGH，其第二端耦接在输出单元 700 的第二栅极信号输出端（图中 O[N+1]点）。

上拉维持单元 600 还包括防漏电晶体管 T5。T5 的栅极耦接在输出单元 200 的控制端，其第一端耦接直流电源 VGH，其第二端耦接在第一上拉晶体管 T6 的和第二上拉晶体管 T7 的栅极。在 Q[N]点为低电位的情况下，T5 导通，使 T6 和 T7 的栅极保持在高电位，从而使得 T6 和 T7 处于关闭状态，防止产生从直流电源 VGH 到 Q[N]点的漏电流。

第 N+2 级 GOA 驱动单元的结构与第 N 级类似，不同之处在于传入信号和时钟信号。

如图 1b 所示，第 N+2 级 GOA 驱动单元中 T1 接收的传入信号为第 N 级 GOA 驱动单元输出的第二栅极信号 G[N+1]。T2 的第一端接收的第一时钟信号为 CK3，T3 的第一端接收的第二时钟信号为 CK4。T4 的栅极与其第一端短路连接，以接收时钟信号 CK1。也就是说，在当前级和下一级 GOA 驱动单元中，CK1 与 CK3 的输入位置互换，CK2 与 CK4 的输入位置互换，每相邻级均如此配置。

需要说明的是，第 N 级 GOA 驱动单元的第一时钟脉冲信号 CK1 和第二时钟脉冲信号 CK2 与第 N+2 级 GOA 驱动单元的第一时钟脉冲信号 CK3 和第二时钟脉冲信号 CK4 构成一个时钟周期，在时序上互相错开并且顺次衔接。即 CK1、CK2、CK3 和 CK4 的脉冲宽度分别为 25%时钟周期。在本实施例提供的 GOA 驱动单元中，合理配置 CK1 至 CK4 的工作时序并利用降压单元 400 实现对 Q[N]点电位的调整，可以在较少晶体管元件的情况下完成对第 N 行和第 N+1 行栅线的扫描驱动。并在非作用期间保证 Q[N]点维持在高电位，以使得第一栅极信号 G[N]和第二栅极信号 G[N+1]维持在高电位。

如图 1b 所示，在本实施例中，第 N 级 GOA 驱动电路的第二栅极信号输出端（图中 O[N+1]点）耦接在第 N+2 级 GOA 驱动单元的信号传入单元 100 的输入端，以根据第 N 级 GOA 驱动单元输出的第二栅极信号 G[N+1]启动第 N+2 级 GOA 驱动单元。

以下结合图 2 所示的信号时序图详细说明第 N 级 GOA 驱动单元的工作原理。在图 2 中，时段 t0 至 t3 构成一个时钟周期，时段 t0 至 t3 分别为 25%时钟周期。

在时段 t0 期间，传入信号 G[N-1]从高电位跳变至低电位，T1 导通，T1 输出的下拉控制信号 KD[N]为低电位，即将 Q[N]的电位下拉至第一低电位。由于 Q[N]为低电位，T2、T3 和 T5 导通。T2 导通，因为 CK1 为高电位进而使输出的第一栅极信号 G[N]保持高电位。T3 导通，因为 CK2 为高电位进而使 T3 输出的第二栅极信号 G[N+1]保持高电位。

由于 CK3 为高电位，T4 截止。T5 导通，使得 T6 和 T7 栅极电位保持在高电位 VGH，从而 T6 和 T7 截止。这样 T6 和 T7 可以保持在稳定的截止状态，防止产生从高电位直流

电源 VGH 到 Q[N]点的漏电流, 有利于保持 GOA 驱动单元的稳定性。

在时段 t1 期间, 传入信号 G[N-1]从低电位跳变至高电位, T1 截止。Q[N]点为低电位, T2、T3 和 T5 导通。T3 导通, 因为 CK2 保持高电位, 使得 T3 输出的第二栅极信号 G[N+1]保持高电位。T2 导通, CK1 由高电位跳变至低电位, 使得 T2 输出的第一栅极信号 G[N]跳变为低电位。在时段 t1 的初始时刻, 由于电容 C1 第二端 (图中 O[N]点) 由高电位跳变为低电位, 因此电容 C1 第一端 (图中 Q[N]点) 由第一低电位变化为更低的第二低电位。在本实施例中, T2 的栅极耦接在 Q[N]点, T2 的第一端为源极以接收第一时钟信号 CK1。由于 T2 为 P 型晶体管且栅极电位为更低的第二低电位, 可保证在 CK1 跳变为低电位的情况下, T2 的栅极和源极之间保持负压差, 使得 T2 仍然处于打开状态, 保证 T2 能够正常输出第一栅极信号 G[N]。

在时段 t2 期间, 传入信号 G[N-1]保持高电位, 使得 T1 截止。Q[N]点为低电位, T2、T3 和 T5 导通。在 t2 时段的初始时刻, Q[N]点为第二低电位, T2 和 T3 均导通。T3 导通, CK2 由高电位跳变至低电位, 进而使输出的第二栅极信号 G[N+2]为低电位。T2 导通, CK1 由低电位跳变至高电位, 进而使输出的第一栅极信号 G[N]为高电位。由于电容 C1 第二端的电位从低电位跳变为高电位, 使得 Q[N]的电位由第二低电位推高至第一低电位。

在时段 t3 期间, 传入信号 G[N-1]保持高电位, 使得 T1 和 T5 截止。由于 CK3 由高电位跳变至低电位, T4 导通, 从而 T6 和 T7 导通。T6 导通, 直流电源 VGH 向电容 C1 充电, 将 Q[N]点上拉至高电位, 进而使得 T2 和 T3 截止。需要说明的是, 由于在时段 t2 内 Q[N]的电位由第二低电位推高至第一低电位, 直流电源 VGH 仅需较短的充电时间即可将 Q[N]点上拉至高电位, 以使得 T2 和 T3 迅速截止。

T2 截止, 使第一栅极信号 G[N]仍然保持前一时段的高电位。T7 导通, 使得直流电源 VGH 将第二栅极信号 G[N+1]的电位上拉至高电位。这样以来, 直流电源 VGH 将 Q[N]点和第二栅极信号 G[N+1]的电位持续上拉, 直到下一个帧周期中传入信号 G[N-1]低电位脉冲到来。

以下说明第 N+2 级 GOA 驱动单元的工作过程。

如上文所述, 第 N+2 级 GOA 驱动单元的结构与第 N 级类似, 不同之处在于传入信号和时钟信号。其中, 第 N+2 级 GOA 驱动单元接收的传入信号为 G[N+1], 第一时钟信号为 CK3, 第二时钟信号为 CK4。并且, 第 N+2 级 GOA 驱动单元接收的上拉信号为时钟信号 CK1。

如图 2 所示, 与第 N 级 GOA 驱动单元相比, 第 N+2 级 GOA 驱动单元接收的传入信

号和时钟信号均延迟两个时钟脉冲。因此， $Q[N+2]$ 点电位的波形图比 $Q[N]$ 点电位的波形图延迟两个时钟脉冲，第 $N+2$ 级 GOA 驱动单元输出的第一栅极信号 $G[N+2]$ 比 $G[N]$ 延迟两个时钟脉冲，同样的，第 $N+2$ 级 GOA 驱动单元输出的第二栅极信号 $G[N+3]$ 比 $G[N+1]$ 延迟两个时钟脉冲。

从以上信号时序分析可以看出，本实施例提供的栅极驱动电路可根据 CK1、CK2、CK3 和 CK4 的周期性变化完成连续四行栅线的驱动扫描。本实施例通过设计单级控制双行栅线扫描驱动，能够减少 TFT 使用数目，实现栅极驱动电路的简化设计，并能降低电路功耗。并可使显示装置实现更窄边框的设计。

实施例二

图 3 是本实施例第 N 级 GOA 驱动单元的结构示意图。本实施例的第 $N+2$ 级 GOA 驱动单元的结构与图 3 类似，不同之处在于传入信号和时钟信号。

与图 1a 相比，本实施例中降压单元 400 的结构不同。具体而言，降压单元 400 包括第二降压电容 C2。第二降压电容 C2 的第一端耦接在输出单元 200 的控制端（图中 $Q[N]$ 点），第二端耦接在第二输出晶体管 T3 的第二端（图中 $O[N]$ 点），以根据第二时钟信号 CK2 下拉 $Q[N]$ 的电位。

以下结合图 4 所示的信号时序图详细说明本实施例中第 N 级 GOA 驱动单元的工作原理。

在时段 t_0 期间，传入信号 $G[N-1]$ 从高电位跳变至低电位，T1 导通，T1 输出的下拉控制信号 $KD[N]$ 为低电位，即将 $Q[N]$ 的电位下拉至第一低电位。由于 $Q[N]$ 为低电位，T2、T3 和 T5 导通。T2 导通，因为 CK1 为高电位进而使输出的第一栅极信号 $G[N]$ 保持高电位。T3 导通，因为 CK2 为高电位进而使 T3 输出的第二栅极信号 $G[N+1]$ 保持高电位。

由于 CK3 为高电位，T4 截止。T5 导通，使得 T6 和 T7 栅极电位保持在高电位 V_{GH} ，从而 T6 和 T7 处于稳定的截止状态，防止产生漏电流。

在时段 t_1 期间，传入信号 $G[N-1]$ 从低电位跳变至高电位，T1 截止。 $Q[N]$ 点为低电位，T2、T3 和 T5 导通。T3 导通，由于 CK2 保持高电位，使得 T3 输出的第二栅极信号 $G[N+1]$ 保持高电位。由于电容 C1 第二端保持在高电位，且与 t_0 时段电位相同，因此在时段 t_1 内电容 C1 并未发生充电或者放电，因此 $Q[N]$ 点的电位保持在第一低电位。T2 导通，CK1 由高电位跳变至低电位，使得输出的第一栅极信号 $G[N]$ 跳变为低电位。

在时段 t_2 期间，传入信号 $G[N-1]$ 保持高电位，使得 T1 截止。 $Q[N]$ 点为低电位，T2、

T3 和 T5 导通。在 t2 时段的初始时刻, Q[N]点为第一低电位, T2 和 T3 均导通。T3 导通, 由于 CK2 由高电位跳变至低电位, 进而使输出的第二栅极信号 G[N+2]为低电位。由于电容 C2 第二端 (图中 O[N+1]点) 由高电位跳变为低电位, 电容 C2 第一端 (图中 Q[N]点) 由第一低电位变化为更低的第二低电位。在本实施例中, T3 的栅极耦接在 Q[N]点, T3 的第一端为源极以接收第二时钟信号 CK2。由于 T3 为 P 型晶体管且栅极电位为更低的第二低电位, 可保证在 CK2 跳变为低电位的情况下, T3 的栅极和源极之间保持负压差, 使得 T3 仍然处于打开状态, 保证 T3 能够正常输出第二栅极信号 G[N+1]。T2 导通, 由于 CK1 由低电位跳变至高电位, 进而使输出的第一栅极信号 G[N]为高电位。

在时段 t3 期间, 传入信号 G[N-1]保持高电位, 使得 T1 和 T5 截止。由于 CK3 由高电位跳变至低电位, T4 导通, 从而 T6 和 T7 导通。T6 导通, 直流电源 VGH 向电容 C1 充电, 将 Q[N]点上拉至高电位, 进而使得 T2 和 T3 截止。T2 截至, 使第一栅极信号 G[N]仍然保持前一时段的高电位。T7 导通, 使得直流电源 VGH 将第二栅极信号 G[N+1]上拉至高电位。

第 N+2 级 GOA 驱动单元的工作过程与第 N 级 GOA 驱动单元类似。如图 4 所示, Q[N+2]点电位的波形图比 Q[N]点电位的波形图延迟两个时钟脉冲, 第 N+2 级 GOA 驱动单元输出的第一栅极信号 G[N+2]比 G[N]延迟两个时钟脉冲, 同样的, 第 N+2 级 GOA 驱动单元输出的第二栅极信号 G[N+3]比 G[N+1]延迟两个时钟脉冲。

实施例三

图 5 显示了本实施例的 GOA 驱动单元的电路结构示意图。该电路是图 1a 和图 2 所示的两种 GOA 驱动单元的整合。

以下结合图 6 所示的信号时序图详细说明本实施例中第 N 级 GOA 驱动单元的工作原理。

在时段 t0 期间, 传入信号 G[N-1]从高电位跳变至低电位, T1 导通, T1 输出的下拉控制信号 KD[N]为低电位, 即将 Q[N]的电位下拉至第一低电位。由于 Q[N]为低电位, T2、T3 和 T5 导通。T2 导通, 因为 CK1 为高电位进而使输出的第一栅极信号 G[N]保持高电位。T3 导通, 因为 CK2 为高电位进而使 T3 输出的第二栅极信号 G[N+1]保持高电位。

在时段 t1 期间, 传入信号 G[N-1]从低电位跳变至高电位, T1 截止。Q[N]点为低电位, T2、T3 和 T5 导通。T3 导通, 由于 CK2 保持高电位, 使得 T3 输出的第二栅极信号 G[N+1]保持高电位。T2 导通, CK1 由高电位跳变至低电位, 使得输出的第一栅极信号 G[N]跳变

为低电位。在时段 t_1 的初始时刻, 由于电容 C_1 第二端 (图中 $O[N]$ 点) 由高电位跳变为低电位, 电容 C_1 第一端 (图中 $Q[N]$ 点) 由第一低电位变化为更低的第二低电位。在本实施例中, T_2 的栅极耦接在 $Q[N]$ 点, T_2 的第一端为源极以接收第一时钟信号 CK_1 。由于 T_2 为 P 型晶体管且栅极电位为更低的第二低电位, 可保证在 CK_1 跳变为低电位的情况下, T_2 的栅极和源极之间保持负压差, 使得 T_2 仍然处于打开状态, 保证 T_2 能够正常输出第一栅极信号 $G[N]$ 。

在时段 t_2 期间, 传入信号 $G[N-1]$ 保持高电位, 使得 T_1 截止。 $Q[N]$ 点为低电位, T_2 、 T_3 和 T_5 导通。在 t_2 时段的初始时刻, $Q[N]$ 点为第二低电位, T_2 和 T_3 均导通。

T_3 导通, CK_2 由高电位跳变至低电位, 进而使输出的第二栅极信号 $G[N+2]$ 为低电位。电容 C_2 的第二端 (图中 $O[N+1]$ 点) 由高电位跳变为低电位, 对 $Q[N]$ 点电位具有下拉的作用。 T_2 导通, CK_1 由低电位跳变至高电位, 进而使输出的第一栅极信号 $G[N]$ 为高电位。电容 C_1 的第二端 (图中 $O[N]$ 点) 由低电位跳变为高电位, 对 $Q[N]$ 点电位具有推高的作用。在本实施例中, 晶体管 T_2 和 T_3 电性能相同, 优选地将电容 C_1 和 C_2 配置为容量相等。对 $Q[N]$ 点的电位来说, 时钟信号 CK_1 的推高作用与 CK_2 的下拉作用抵消, 使得 $Q[N]$ 点的电位保持在第二低电位。

这样既可以在 CK_2 跳变为低电位的情况下, T_3 的栅极和源极之间保持负压差, 使得 T_3 仍然处于打开状态, 保证 T_3 能够正常输出第二栅极信号 $G[N+1]$; 又可避免 CK_2 的下拉作用将 $Q[N]$ 点下拉至更低的电位, 从而防止在时段 t_3 期间中直流电源 V_{GH} 对 C_1 和 C_2 的充电时间过长。

在时段 t_3 期间, 传入信号 $G[N-1]$ 保持高电位, 使得 T_1 和 T_5 截止。由于 CK_3 由高电位跳变至低电位, T_4 导通, 从而 T_6 和 T_7 导通。 T_6 导通, 直流电源 V_{GH} 向电容 C_1 和 C_2 充电, 将 $Q[N]$ 点上拉至高电位, 进而使得 T_2 和 T_3 截止。 T_2 截止, 使第一栅极信号 $G[N]$ 仍然保持前一时段的高电位。 T_7 导通, 使得直流电源 V_{GH} 将第二栅极信号 $G[N+1]$ 的电位上拉至高电位。需要说明的是, 由于在时段 t_2 内 $Q[N]$ 的电位保持在第二低电位, 直流电源 V_{GH} 仅需较短的充电时间即可将 $Q[N]$ 点上拉至高电位, 以使得 T_2 和 T_3 迅速截止。

因此, 电容 C_1 和 C_2 对 $Q[N]$ 点的电位具有调节的作用。既能在第 N 行和第 $N+1$ 行栅线作用期间下拉 $Q[N]$ 点电位, 使得 T_2 和 T_3 正常输出, 又能使得第 $N+1$ 行栅线由作用状态切换至非作用状态时第二输出晶体管 T_3 迅速关闭。

此外, 直流电源 V_{GH} 为恒压的 DC 高电位, 结合四个时钟源和降压单元的配合作用,

可以解决现有技术中 LTPS GOA 电路中下拉维持部分在非作用期间冗长的下拉维持电路架构，完成下拉维持功能。

实施例四

图 7 显示了本实施例的第 N 级 GOA 驱动单元的电路结构示意图。该电路是在图 1a 的电路基础上对其中的上拉控制单元 500 做出了进一步改进。需要说明的是，第 N+2 级驱动单元（图中未示出）也做出相应的改进。

具体而言，上拉控制单元 500 接收的上拉信号为第 N+2 级 GOA 驱动单元输出的第一栅极信号 $G[N+2]$ 。具体信号时序及对其的分析过程参考附图 2，不再赘述。

本实施例在实施例一的基础上将下一级输出 $Gate[N+2]$ 信号输入到 T4 的栅极，可保持上拉控制单元 500 和上拉维持单元 600 在非作用期间的稳定性。

需要说明的是，实施例二和实施例三也可以适用于实施例四中。

虽然本发明所公开的实施方式如上，但所述的内容只是为了便于理解本发明而采用的实施方式。任何本发明所属技术领域内的技术人员，在不脱离本发明所公开的精神和范围的前提下，可以在实施的形式上及细节上作任何的修改与变化，但本发明的专利保护范围，仍须以所附的权利要求书所界定的范围为准。

权利要求书

1、一种栅极驱动电路，包括多级 GOA 驱动单元，每级 GOA 驱动单元包括：

信号传入单元，其用于根据传入信号输出下拉控制信号；

输出单元，其控制端耦接在信号传入单元的输出端，以根据下拉控制信号和第一时钟脉冲信号下拉第一栅极信号输出端的电位，以及根据下拉控制信号和第二时钟脉冲信号下拉第二栅极信号输出端的电位，使本级 GOA 驱动单元输出第一和第二栅极信号，所述第一和第二栅极信号为相邻两行栅线的扫描信号；

上拉控制单元，其根据上拉信号输出上拉控制信号；

上拉维持单元，其耦接在上拉控制单元的输出端、输出单元的控制端、第二栅极信号输出端和直流电源之间，以根据上拉控制信号将输出单元控制端的电位上拉至直流电源电位，从而使第一栅极信号和第二栅极信号维持在高电位。

2、根据权利要求 1 所述的栅极驱动电路，其中，每级 GOA 驱动单元的第二栅极信号输出端耦接在下一级 GOA 驱动单元的信号传入单元的输入端，以根据当前级 GOA 驱动单元输出的第二栅极信号启动下一级 GOA 驱动单元。

3、根据权利要求 1 所述的栅极驱动电路，其中，每级 GOA 驱动单元的第一和第二时钟脉冲信号与其下一级 GOA 驱动单元的第一和第二时钟脉冲信号构成一个时钟周期，在时序上互相错开并且顺次衔接。

4、根据权利要求 1 所述的栅极驱动电路，其中，所述输出单元包括：

第一输出晶体管，其栅极耦接在信号传入单元的输出端，其第一端接收第一时钟信号，其第二端输出第一栅极信号；

第二输出晶体管，其栅极耦接在信号传入单元的输出端，其第一端接收第二时钟信号，其第二端输出第二栅极信号。

5、根据权利要求 4 所述的栅极驱动电路，其中，还包括降压单元，所述降压单元包括第一降压电容和/或第二降压电容，

第一降压电容的第一端耦接在所述输出单元控制端，第二端耦接在所述第一输出晶体管的第二端，以根据第一时钟信号下拉或者抬升所述输出单元控制端的电位；

第二降压电容的第一端耦接在所述输出单元控制端，第二端耦接在所述第二输出晶体管的第二端，以根据第二时钟信号下拉所述输出单元控制端的电位。

6、根据权利要求 3 所述的栅极驱动电路，其中，每级 GOA 驱动单元的上拉信号为

下一级 GOA 驱动单元的第一时钟信号，或者为下一级 GOA 驱动单元输出的第一栅极信号。

7、根据权利要求 3 所述的栅极驱动电路，其中，所述上拉维持单元包括：

第一上拉晶体管，其栅极耦接在所述上拉控制单元的输出端，其第一端耦接直流电源，其第二端耦接在输出单元的控制端；

第二上拉晶体管，其栅极耦接在所述上拉控制单元的输出端，其第一端耦接直流电源，其第二端耦接在输出单元的第二栅极信号输出端；

其中，在上拉控制信号有效时第一和第二上拉晶体管导通，将输出单元控制端的电位上拉至直流电源电位，并将第二栅极信号上拉至直流电源电位。

8、根据权利要求 7 所述的栅极驱动电路，其中，所述上拉维持单元进一步包括：

防漏电晶体管，其栅极耦接在输出单元的控制端，其第一端耦接直流电源，其第二端耦接在第一上拉晶体管和第二上拉晶体管的栅极；

其中，在输出单元控制端为低电位的情况下所述防漏电晶体管导通，使第一和第二上拉晶体管的栅极保持在高电位，从而防止产生从直流电源到输出单元控制端的漏电流。

9、根据权利要求 7 所述的栅极驱动电路，其中，所述上拉控制单元包括一上拉控制晶体管，其栅极短接第一端，以接收上拉信号，其第二端耦接在所述第一和第二上拉晶体管的栅极。

10、根据权利要求 2 所述的栅极驱动电路，其中，所述信号传入单元包括一信号传入晶体管，其栅极短接第一端，以接收传入信号，其第二端耦接在所述输出单元的控制端。

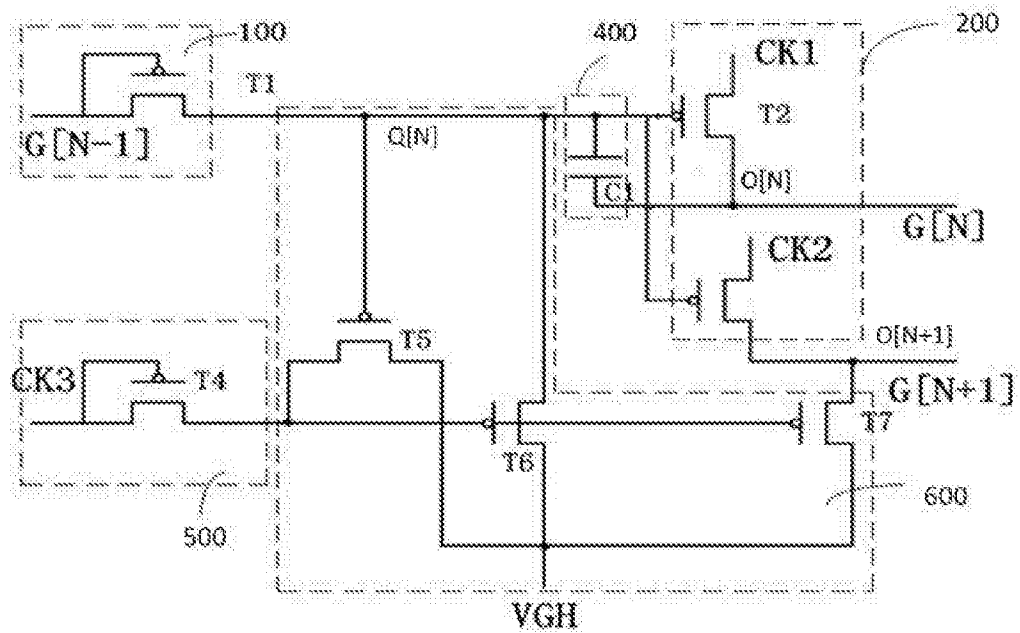


图 1a

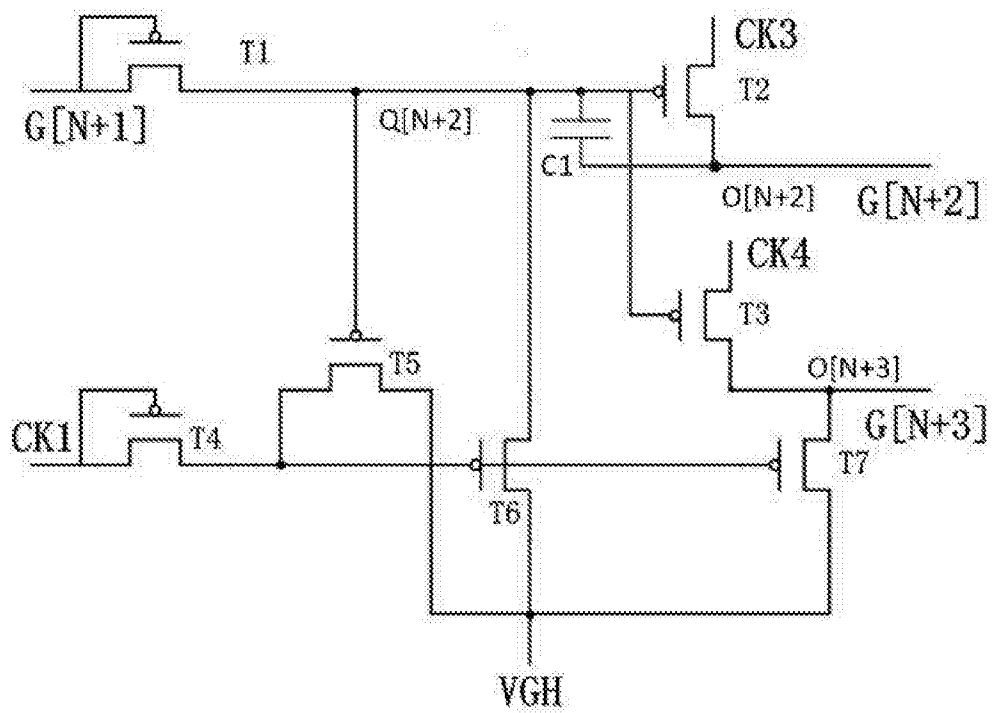


图 1b

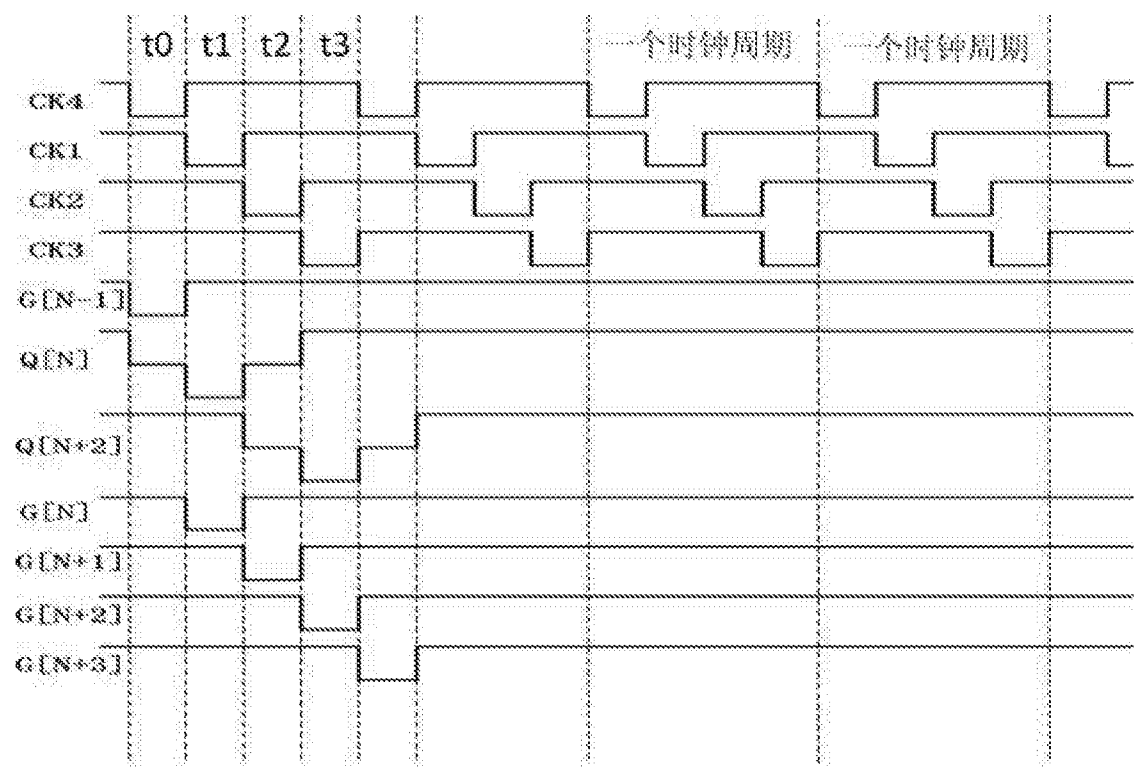


图 2

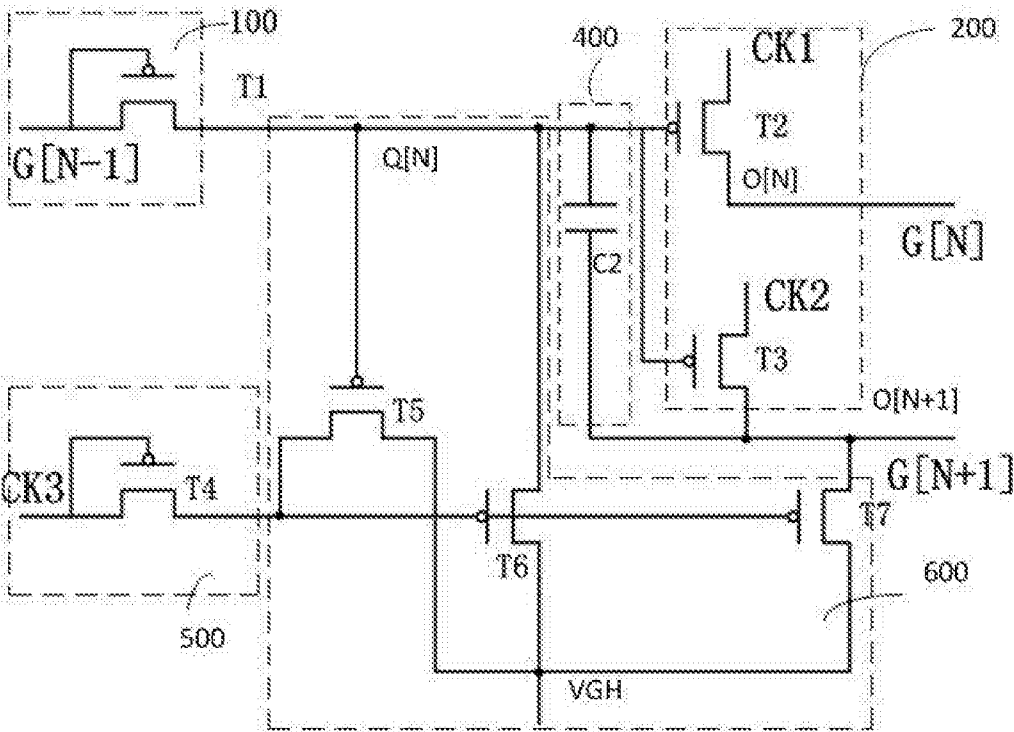


图 3

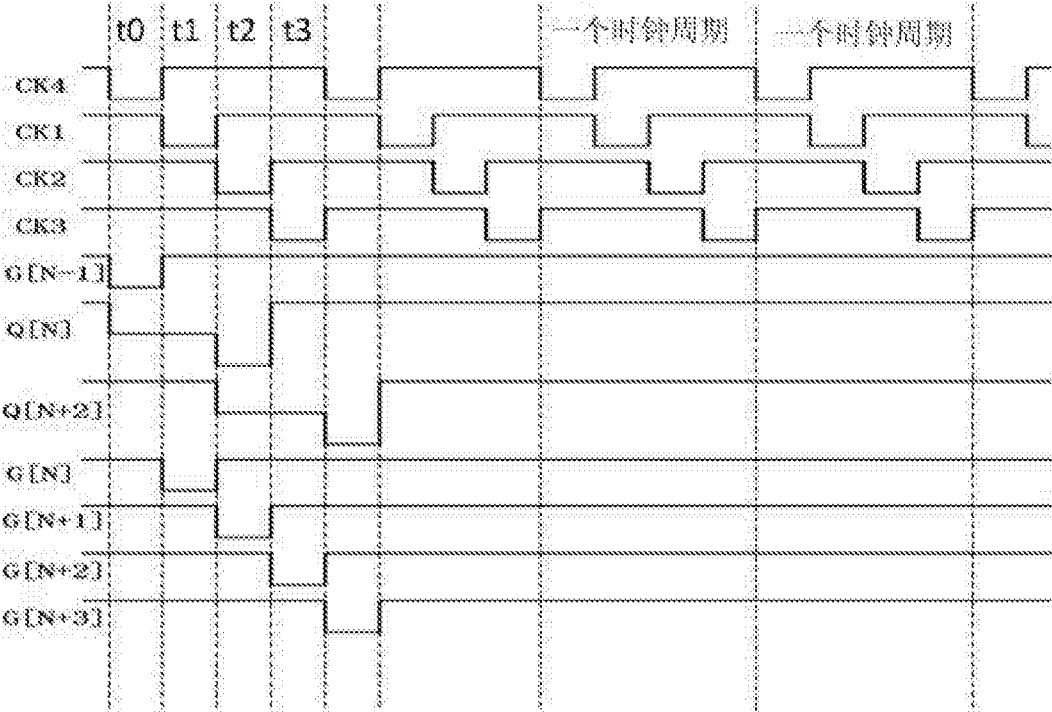


图 4

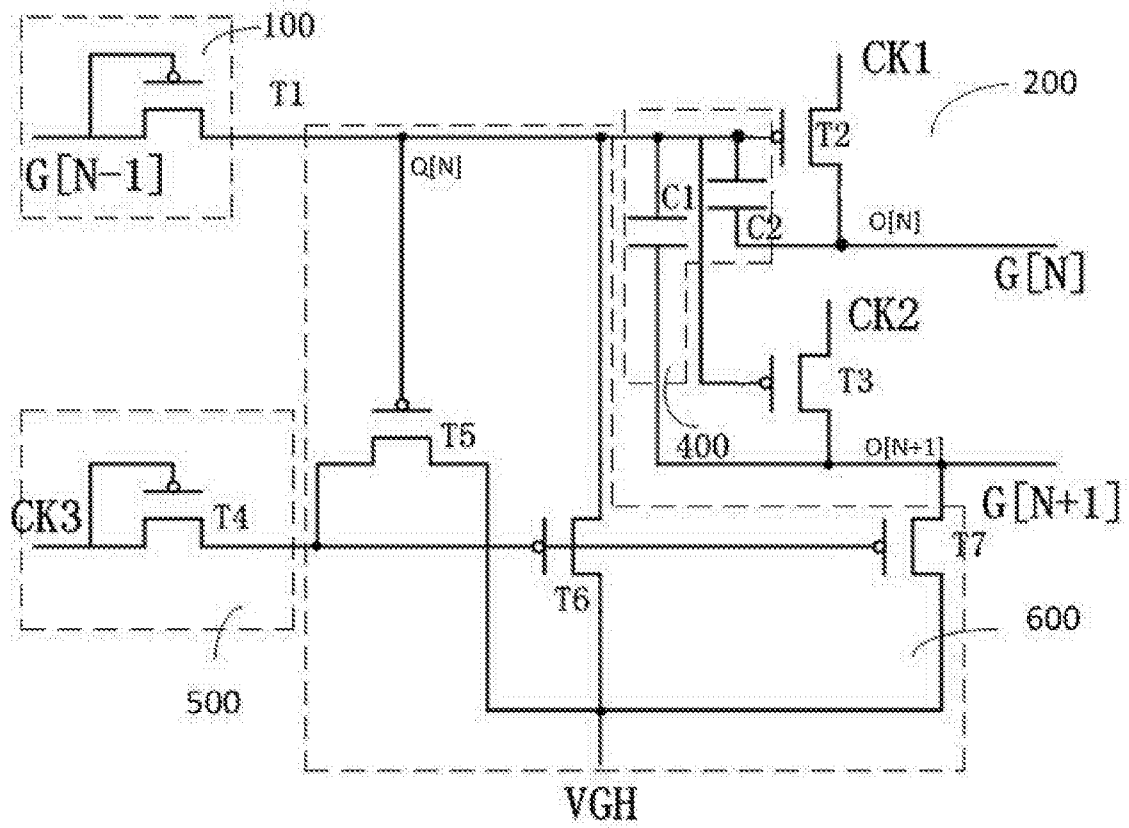


图 5

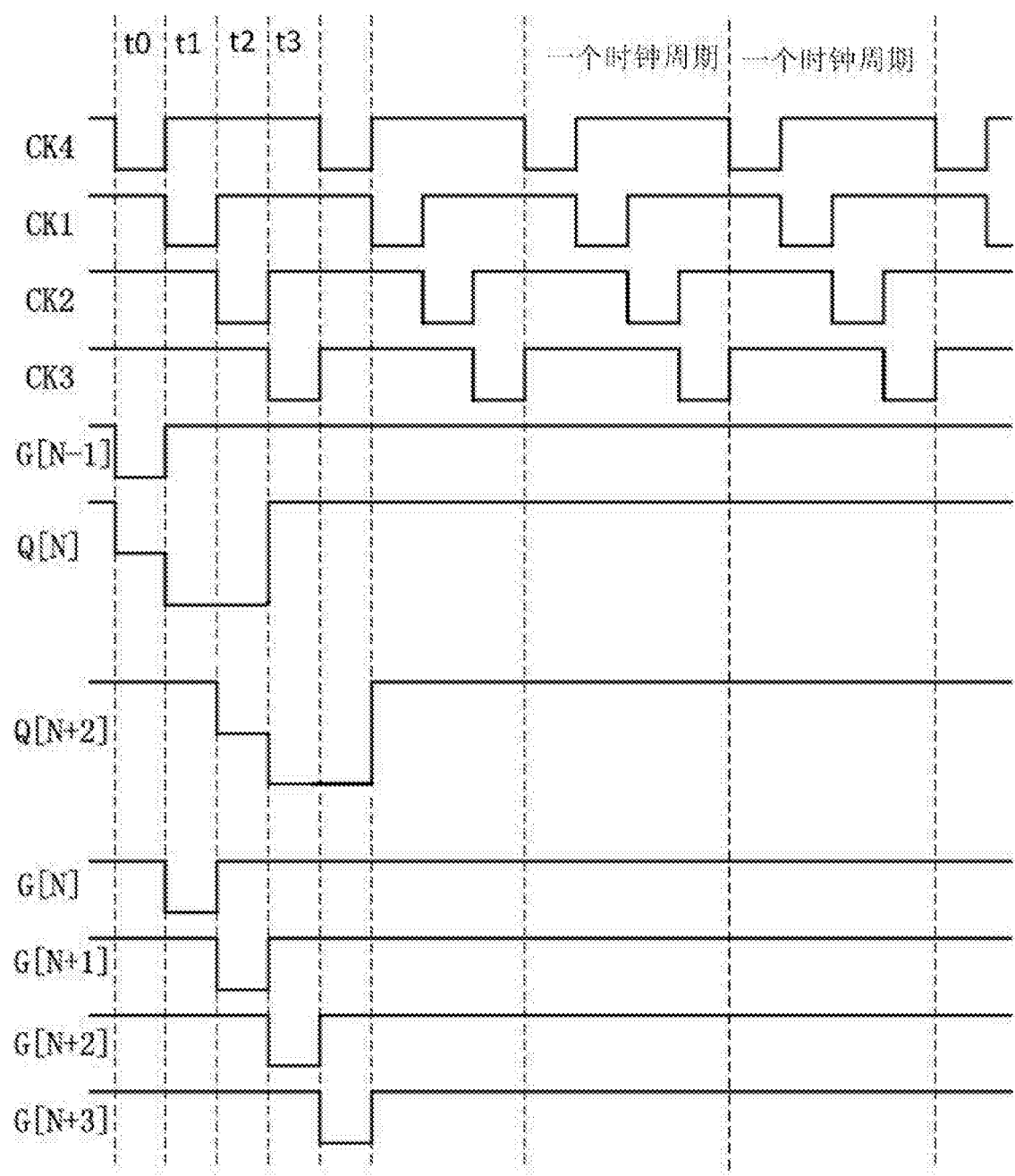


图 6

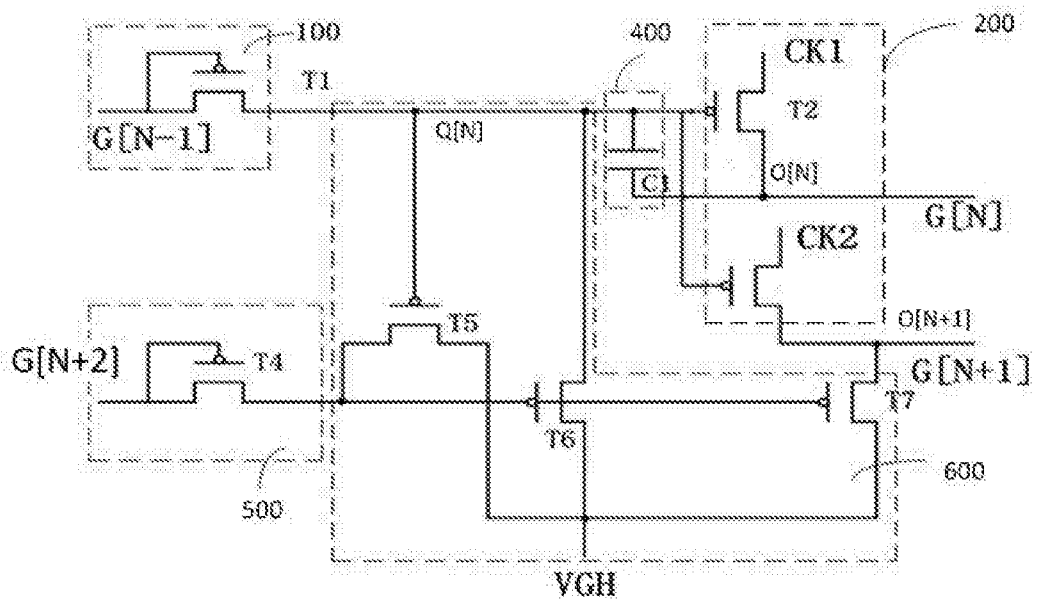


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/071134

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, WPI, EPODOC: gate drive, pull up, pull down, direct current, constant current, gate, driv+, pull, up, down, dc, direct, current

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 103578433 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 12 February 2014 (12.02.2014), description, paragraphs [0037]-[0052], and figure 2	1-10
A	CN 101221730 A (SAMSUNG ELECTRONICS CO., LTD.), 16 July 2008 (16.07.2008), the whole document	1-10
A	CN 103208262 A (SAMSUNG ELECTRONICS CO., LTD.), 17 July 2013 (17.07.2013), the whole document	1-10
A	CN 102081897 A (SAMSUNG ELECTRONICS CO., LTD.), 01 June 2011 (01.06.2011), the whole document	1-10
A	CN 101295481 A (SAMSUNG ELECTRONICS CO., LTD.), 29 October 2008 (29.10.2008), the whole document	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 12 May 2015 (12.05.2015)	Date of mailing of the international search report 04 June 2015 (04.06.2015)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer ZHAO, Zhimin Telephone No.: (86-10) 62413274

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/071134

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103578433 A	12 February 2014	WO 2014015580 A1	30 January 2014
		US 2014159997 A1	12 June 2014
CN 101221730 A	16 July 2008	JP 2008134589 A	12 June 2008
		US 2008122829 A1	29 May 2008
		KR 20080048299 A	02 June 2008
		CN 101221730 B	18 April 2012
		US 8018451 B2	13 September 2011
		JP 5086692 B2	28 November 2012
		KR 101294321 B1	08 August 2013
CN 103208262 A	17 July 2013	US 8587347 B2	19 November 2013
		KR 20130083151 A	22 July 2013
		JP 2013142899 A	22 July 2013
		US 8816728 B2	26 August 2014
		US 2013181747 A1	18 July 2013
		US 2014043066 A1	13 February 2014
CN 102081897 A	01 June 2011	US 2011122117 A1	26 May 2011
		KR 20110058396 A	01 June 2011
		JP 2011113096 A	09 June 2011
CN 101295481 A	29 October 2008	KR 20080096287 A	30 October 2008
		US 2008266477 A1	30 October 2008
		CN 102645773 A	22 August 2012

国际检索报告

国际申请号

PCT/CN2015/071134

A. 主题的分类

G09G 3/36(2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNKI, CNPAT, WPI, EPODOC: 栅极驱动, 上拉, 下拉, 直流, 恒流, gate, driv+, pull, up, down, dc, direct, current

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 103578433 A (北京京东方光电科技有限公司) 2014年 2月 12日 (2014 - 02 - 12) 说明书第[0037]-[0052]段、图2	1-10
A	CN 101221730 A (三星电子株式会社) 2008年 7月 16日 (2008 - 07 - 16) 全文	1-10
A	CN 103208262 A (三星电子株式会社) 2013年 7月 17日 (2013 - 07 - 17) 全文	1-10
A	CN 102081897 A (三星电子株式会社) 2011年 6月 1日 (2011 - 06 - 01) 全文	1-10
A	CN 101295481 A (三星电子株式会社) 2008年 10月 29日 (2008 - 10 - 29) 全文	1-10

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2015年 5月 12日

国际检索报告邮寄日期

2015年 6月 4日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10)62019451

授权官员

赵致民

电话号码 (86-10)62413274

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/071134

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103578433	A	2014年 2月 12日	WO	2014015580	A1	2014年 1月 30日
				US	2014159997	A1	2014年 6月 12日
CN	101221730	A	2008年 7月 16日	JP	2008134589	A	2008年 6月 12日
				US	2008122829	A1	2008年 5月 29日
				KR	20080048299	A	2008年 6月 2日
				CN	101221730	B	2012年 4月 18日
				US	8018451	B2	2011年 9月 13日
				JP	5086692	B2	2012年 11月 28日
				KR	101294321	B1	2013年 8月 8日
CN	103208262	A	2013年 7月 17日	US	8587347	B2	2013年 11月 19日
				KR	20130083151	A	2013年 7月 22日
				JP	2013142899	A	2013年 7月 22日
				US	8816728	B2	2014年 8月 26日
				US	2013181747	A1	2013年 7月 18日
				US	2014043066	A1	2014年 2月 13日
CN	102081897	A	2011年 6月 1日	US	2011122117	A1	2011年 5月 26日
				KR	20110058396	A	2011年 6月 1日
				JP	2011113096	A	2011年 6月 9日
CN	101295481	A	2008年 10月 29日	KR	20080096287	A	2008年 10月 30日
				US	2008266477	A1	2008年 10月 30日
				CN	102645773	A	2012年 8月 22日

表 PCT/ISA/210 (同族专利附件) (2009年7月)