

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7601771号
(P7601771)

(45)発行日 令和6年12月17日(2024.12.17)

(24)登録日 令和6年12月9日(2024.12.9)

(51)国際特許分類	F I		
H 0 1 L 33/48 (2010.01)	H 0 1 L	33/48	
G 0 9 F 9/33 (2006.01)	G 0 9 F	9/33	
H 0 1 L 23/28 (2006.01)	H 0 1 L	23/28	D
H 0 1 L 23/29 (2006.01)	H 0 1 L	23/30	B
H 0 1 L 23/31 (2006.01)	H 0 1 L	33/62	
請求項の数 28 (全25頁) 最終頁に続く			

(21)出願番号	特願2021-542363(P2021-542363)	(73)特許権者	520374807
(86)(22)出願日	令和2年6月28日(2020.6.28)		泉州三安半導体科技有限公司
(65)公表番号	特表2022-536436(P2022-536436 A)		中国 3 6 2 3 4 3 フージェン チュエ ンジョウ ナンアン シージン タウン コ エンチェン プレッジ
(43)公表日	令和4年8月17日(2022.8.17)	(74)代理人	110000796
(86)国際出願番号	PCT/CN2020/098502		弁理士法人三枝国際特許事務所
(87)国際公開番号	WO2021/051924	(72)発明者	辛 舒寧
(87)国際公開日	令和3年3月25日(2021.3.25)		中国 3 6 1 0 0 9 福建省廈門市思明区呂 嶺路 1 7 2 1 - 1 7 2 5 号
審査請求日	令和3年9月27日(2021.9.27)	(72)発明者	林 振端
審判番号	不服2023-18834(P2023-18834/J 1)		中国 3 6 1 0 0 9 福建省廈門市思明区呂 嶺路 1 7 2 1 - 1 7 2 5 号
審判請求日	令和5年11月7日(2023.11.7)	(72)発明者	廖 燕秋
(31)優先権主張番号	201921554474.5		中国 3 6 1 0 0 9 福建省廈門市思明区呂 嶺路 1 7 2 1 - 1 7 2 5 号
(32)優先日	令和1年9月18日(2019.9.18)		
(33)優先権主張国・地域又は機関			
最終頁に続く		最終頁に続く	

(54)【発明の名称】 発光ダイオードパッケージアセンブリ

(57)【特許請求の範囲】

【請求項1】

mとnが整数であり且つm×n=4であるm×nマトリックス配置の複数個の発光ユニットと、パッケージ層と、配線層とを備えており、

各前記発光ユニットは、いずれも1つの第1のLEDチップと1つの第2のLEDチップと1つの第3のLEDチップとを有し、各LEDチップは、反対する第1の表面と第2の表面と、該第1の表面と第2の表面との間に接続されている側面と、前記第2の表面に形成された第1の電極と第2の電極とからなる電極セットとをそれぞれ有し、且つ、前記第1の表面を光射出面とし、各発光ユニットの各LEDチップは第1の方向に沿って一列に並び、各LEDチップの第1、第2の電極は第2の方向に沿って並列に配置されており、

前記パッケージ層は前記LEDチップの間の隙間に充填されると共に、前記LEDチップの側壁を覆っており、

前記配線層は前記複数のLEDチップの第2の表面に形成され、第3の方向において隣接する2つもしくは複数の発光ユニットの第1のLEDチップの第1の電極同士、第2のLEDチップの第1の電極同士、第3のLEDチップの第1の電極同士を接続することにより、該複数の発光ユニットを電氣的に接続して1つの複数個一体式の発光モジュールを形成し、第3の方向は第2の方向と同一であり、

前記配線層は複数層のリードラインを有し、各層のリードラインの最小のライン幅Wと該層の厚さTとの関係はW=T/2Wである、ことを特徴とする発光ダイオードパッケージアセンブリ。

【請求項 2】

隣接する発光ユニットの間の距離は 0.8 mm 以下であることを特徴とする請求項 1 に記載の発光ダイオードパッケージアセンブリ。

【請求項 3】

前記パッケージアセンブリ全体の厚さは 100 ~ 500 μm の範囲内であることを特徴とする請求項 1 に記載の発光ダイオードパッケージアセンブリ。

【請求項 4】

前記パッケージアセンブリ全体の厚さは 120 ~ 200 μm の範囲内、もしくは 320 ~ 500 μm の範囲内であることを特徴とする請求項 1 に記載の発光ダイオードパッケージアセンブリ。

10

【請求項 5】

前記 LED チップの厚さを T_A と定義し、前記パッケージ層の厚さを T_B と定義し、前記パッケージアセンブリ全体の厚さを T と定義すると、 T 、 T_A 、 T_B は、

$$\begin{aligned} T_B / T_A &= 1 \\ 10 &< T / T_A < 1.4 \\ 120 \mu\text{m} &< T_A < 50 \mu\text{m} \end{aligned}$$

の条件を満たすことを特徴とする請求項 1 に記載の発光ダイオードパッケージアセンブリ。

【請求項 6】

前記 LED チップの厚さを T_A と定義し、前記パッケージ層の厚さを T_B と定義し、前記パッケージアセンブリ全体の厚さを T と定義すると、 T 、 T_A 、 T_B は、

20

$$\begin{aligned} T_B / T_A &= 1 \\ 60 &< T / T_A < 10 \\ 10 \mu\text{m} &< T_A < 5 \mu\text{m} \end{aligned}$$

の条件を満たすことを特徴とする請求項 1 に記載の発光ダイオードパッケージアセンブリ。

【請求項 7】

前記各セットの発光ユニットにおける複数の LED チップの第 1 の表面の間の高低差は 10 μm 以下であることを特徴とする請求項 1 に記載の発光ダイオードパッケージアセンブリ。

30

【請求項 8】

前記パッケージ層は有色層であり、前記発光ユニットの第 1 の表面を透過率が前記パッケージ層の透過率より大である光透過層がカバーしていることを特徴とする請求項 1 に記載の発光ダイオードパッケージアセンブリ。

【請求項 9】

前記光透過層の厚さは 20 μm 以下であることを特徴とする請求項 8 に記載の発光ダイオードパッケージアセンブリ。

【請求項 10】

前記光透過層の透過率は 40 ~ 80 % であることを特徴とする請求項 8 に記載の発光ダイオードパッケージアセンブリ。

40

【請求項 11】

前記光透過層の透過率は 70 % 以上であることを特徴とする請求項 8 に記載の発光ダイオードパッケージアセンブリ。

【請求項 12】

前記パッケージ層の透過率は 0 ~ 30 % であることを特徴とする請求項 1 に記載の発光ダイオードパッケージアセンブリ。

【請求項 13】

前記配線層は、第 1 の配線層と、スルーホール層と、第 2 の配線層とを有し、前記第 1 の配線層は前記複数の LED チップの第 2 の表面に形成されて前記複数の LED チップの第 1 の電極及び第 2 の電極を接続し、前記スルーホール層は前記第 1 の配線層上に形成さ

50

れて前記第 1 の配線層に電氣的に接続し、前記第 2 の配線層は前記スルーホール層上に形成されて前記スルーホール層に電氣的に接続することを特徴とする請求項 1 に記載の発光ダイオードパッケージアセンブリ。

【請求項 1 4】

前記第 1 の配線層は同一の行にある 2 つもしくは複数の同じタイプの LED チップの第 1 の電極に接続し、前記第 2 の配線層は同一の列にある 2 つもしくは複数の発光ユニットの第 1、第 2、第 3 の LED チップの第 2 の電極に接続することを特徴とする請求項 1 3 に記載の発光ダイオードパッケージアセンブリ。

【請求項 1 5】

前記第 1 の配線層は共有配線と第 1 の配線とを有し、前記共有配線は共有的に第 2 の方向において隣接する 2 セットの発光ユニットの複数の LED チップに接続し、第 1 の配線は第 1 の方向において隣接する 2 セットの発光ユニットの第 1 の LED チップに並列接続し、前記第 2 の配線層は第 2 の方向において隣接する 2 セットの発光ユニットの第 2、第 3 の LED チップにそれぞれ並列接続することを特徴とする請求項 1 3 に記載の発光ダイオードパッケージアセンブリ。

10

【請求項 1 6】

第 2 の配線層は接続ラインと接続部とを有し、前記接続ラインは異なる発光ユニットにおける同じタイプの LED チップを並列接続し、前記接続部は外部接続入力電極とすることを特徴とする請求項 1 3 に記載の発光ダイオードパッケージアセンブリ。

【請求項 1 7】

20

前記接続部の数は $n + m \times a$ であり、ここで a は各前記発光ユニットの LED チップの数であり、そして $n \geq m$ であることを特徴とする請求項 1 6 に記載の発光ダイオードパッケージアセンブリ。

【請求項 1 8】

前記スルーホール層の厚さは $20 \sim 80 \mu\text{m}$ であることを特徴とする請求項 1 3 に記載の発光ダイオードパッケージアセンブリ。

【請求項 1 9】

前記複数層のリードラインは、互いに電氣的に絶縁し、該リードラインの層数は 4 層以下であることを特徴とする請求項 1 に記載の発光ダイオードパッケージアセンブリ。

【請求項 2 0】

30

該複数層のリードラインにおける少なくとも 1 層の厚さは $50 \mu\text{m}$ 以下であることを特徴とする請求項 1 9 に記載の発光ダイオードパッケージアセンブリ。

【請求項 2 1】

該複数層のリードラインにおける少なくとも 1 層の厚さは $60 \mu\text{m}$ 以上であることを特徴とする請求項 1 9 に記載の発光ダイオードパッケージアセンブリ。

【請求項 2 2】

前記パッケージ層の表面に形成される絶縁層を更に有し、該絶縁層は前記配線層を密封するようにカバーすることを特徴とする請求項 1 に記載の発光ダイオードパッケージアセンブリ。

【請求項 2 3】

40

前記絶縁層は 1 層または多層構造を有し、そのうち少なくとも 1 層の硬度は前記配線層の硬度より高いことを特徴とする請求項 2 2 に記載の発光ダイオードパッケージアセンブリ。

【請求項 2 4】

前記絶縁層は 1 層または多層構造を有し、そのうち少なくとも 1 層の硬度は $D60$ 以上であることを特徴とする請求項 2 2 に記載の発光ダイオードパッケージアセンブリ。

【請求項 2 5】

前記絶縁層は 1 層または多層構造を有し、そのうち少なくとも 1 層は前記パッケージ層と同じ材料を採用することを特徴とする請求項 2 2 に記載の発光ダイオードパッケージアセンブリ。

50

【請求項 26】

前記絶縁層は1層または多層構造を有し、そのうち少なくとも1層は硬化した感光性材料によりなつたものであることを特徴とする請求項 22 に記載の発光ダイオードパッケージアセンブリ。

【請求項 27】

前記絶縁層は1層または多層構造を有し、そのうち少なくとも1層は透明層であることを特徴とする請求項 22 に記載の発光ダイオードパッケージアセンブリ。

【請求項 28】

パッドを更に有し、前記パッドの数 P は $n + m \times a$ であり、そのうち a は各前記発光ユニットの LED チップの数であり、そして $n = m$ であることを特徴とする請求項 1 に記載の発光ダイオードパッケージアセンブリ。

10

【発明の詳細な説明】

【技術分野】

【0001】

本出願は、2019年9月18日に出願された「発光ダイオードパッケージアセンブリ」と題された中国実用新案登録出願第201921554474.5号と、2019年9月18日に出願された「発光ダイオードパッケージアセンブリ」と題された中国実用新案出願第201921554475.X号と、2020年3月9日に出願された「発光ダイオードパッケージアセンブリ」と題された中国実用新案出願第202020278177.9号との優先権を主張するものであり、上記各出願の全ての内容が参照により本出願に組み込まれる。

20

【0002】

本発明はパッケージアセンブリに関し、特に、発光ダイオードパッケージアセンブリ、及び該発光ダイオードパッケージアセンブリを含む発光装置に関する。

【背景技術】

【0003】

発光ダイオード(ライトエミティングダイオード、LED)は現下最も注目される光源技術の一つであり、照明装置や、各種の電子製品の光源として利用されている。LED装置のサイズを小さくすることにより、表示の解像度を向上することができ、そしてLEDを携帯電話、車用パネル、テレビジョン、PC、ビデオ会議などに応用できる。現在、主流のモニターに用いられるパッケージサイズは2121及び1010であるが、0808もしくはそれよりも小さいパッケージサイズも登場している。

30

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明の一つの目的は、超小ピッチの発光ダイオード(ライトエミティングダイオード、LED)パッケージアセンブリを提供することである。該LEDパッケージアセンブリは、 $m \times n$ マトリックス配置の複数個のピクセルエリア $P \times X$ を有し、ここで m と n は1より大の整数であり、各ピクセルエリア $P \times X$ をピクセルと呼ぶことが可能である。

【課題を解決するための手段】

40

【0005】

一部の実施形態において、該LEDパッケージアセンブリは、 m と n が整数であり且つ $m \times n = 4$ である $m \times n$ マトリックス配置の複数個の発光ユニットと、パッケージ層と、配線層とを備えており、各前記発光ユニットはいずれも1つの第1のLEDチップと1つの第2のLEDチップと1つの第3のLEDチップとを有し、各LEDチップは、反対する第1の表面と第2の表面と、該第1の表面と第2の表面との間に接続されている側面と、前記第2の表面に形成された第1の電極と第2の電極とからなる電極セットとをそれぞれ有し、且つ、前記第1の表面を光射出面としており、前記パッケージ層は前記LEDチップの間の隙間に充填されると共に、前記LEDチップの側壁を覆っており、前記配線層は前記複数個のLEDチップの第2の表面に形成されている。

50

【0006】

一部の実施形態において、各発光ユニットの各LEDチップは第1の方向に沿って一列に並び、各LEDチップの第1、第2の電極は第2の方向に沿って並列に配置されている。

【0007】

一部の実施形態において、前記配線層は第3の方向から隣接する2つもしくは複数の発光ユニットの第1、第2、第3のLEDチップの第1の電極を並列接続し、そして第4の方向から隣接する2つもしくは複数の発光ユニットの第1、第2、第3のLEDチップの第2の電極を並列接続することにより、該複数の発光ユニットを電氣的に接続して1つの複数個一体式の発光モジュールを形成し、ここにおける第3の方向は第1の方向と同一であり、第4の方向は第2の方向と同一であり、もしくは第3の方向は第2の方向と同一であり、第4の方向は第1の方向と同一である。

10

【0008】

一部の実施形態において、該パッケージアセンブリは前記LEDチップを支持するためのパッケージ基板を有さずに、前記パッケージ層で前記LEDチップの位置を固定する。

【0009】

更に、該N個一体式の発光モジュールを有するパッケージアセンブリにおいて、 $N = m \times n$ であり、隣接する発光ユニットの間の距離D1は0.8mm以下が好ましく、ここでNとしては4以上の整数を取ることが可能であり、例えば4、6、8、9、16、32もしくは64など、Nとして取る数値が大きければ大きいほどD1として取る数値は小さくなり、例えばNが4~9である場合、D1は0.4~0.8であることができ、そしてNが8

20

【0010】

一部の実施形態において、該パッケージアセンブリは更に外部と接続するのに用いられるパッドを備え、前記パッドの数Pは $n + m \times a$ であり、ここでのaは各前記発光ユニットにおけるLEDチップの数であり、 $n = m$ である。このような設計により、パッドの数を最低限に減らすことができ、配線に便利であるだけでなく、クライアント側での貼り付け作業に有利となり、ショートが発生するリスクを下げるができる。

【0011】

一部の実施形態において、該LEDパッケージアセンブリは、mとnが整数であり且つ $m \times n = 2$ である $m \times n$ マトリクス配置の複数の発光ユニットと、パッケージ層と、配線層とを備え、各該発光ユニットは1つの第1のLEDチップと1つの第2のLEDチップと1つの第3のLEDチップとを有し、各LEDチップは、反対する第1の表面と第2の表面と、該第1の表面と第2の表面との間に接続されている側面と、前記第2の表面に形成された第1の電極と第2の電極とからなる電極セットとをそれぞれ有し、且つ、前記第1の表面を光射出面としており、各発光ユニットの各LEDチップは第1の方向に沿って一列に並び、各LEDチップの第1、第2の電極は第2の方向に沿って並列に配置され、隣接する2つの列のLEDチップの第1の電極と第2の電極との位置は反対であり、前記パッケージ層は前記LEDチップの間の隙間に充填されると共に、前記LEDチップの側壁を覆っており、前記配線層は前記複数のLEDチップの第2の表面に形成されて該複数の発光ユニットを電氣的に接続して1つの複数個一体式の発光モジュールを形成する。

30

40

【0012】

一部の実施形態において、前記配線層は第1の方向から隣接する2つもしくは複数の発光ユニットの第1、第2、第3のLEDチップの第1の電極を並列接続し、第2の方向から隣接する2つもしくは複数の発光ユニットの第1、第2、第3のLEDチップの第2の電極を並列接続して該複数の発光ユニットを電氣的に接続して1つの複数個一体式の発光モジュールを形成する。

【0013】

本発明の効果は、本発明は基板なしのパッケージ形式を採用し、パッケージ層により複数の発光ユニット的LEDチップを固定し、且つ、該多層発光ユニットの背面に多層配線層を形成して該複数の発光ユニットのLEDチップを直並列に接続し、ここでの第1の配

50

線層は複数のピクセルエリアのLEDチップを直並列に接続し、且つ、スルーホール層及び第2の配線層を介して、再配線し、集積式の薄型小ピッチ発光ダイオードパッケージアセンブリを形成する。また、合理的な配線層の設計により、パッケージアセンブリの外部接続パッドの数量を減らし、これによりクライアント側での貼り付け難易度を下げ、また製品の信頼性を高めることができる。更に、配線層の層数を4セット以下にすることで、製品の薄型化が保証でき、最終製品の薄型化に寄与する。

【0014】

本発明の更にもう1つの目的は、高い信頼性の小ピッチ発光ダイオードパッケージアセンブリを提供することにある。

【0015】

前記発光ダイオードパッケージアセンブリは、互いに間を開けて配置され、いずれも反対する第1の表面と第2の表面と、該第1の表面と第2の表面との間に接続されている側面と、前記第2の表面に形成された第1の電極と第2の電極とからなる電極セットとをそれぞれ有し、且つ、前記第1の表面を光射出面とする複数のLEDチップと、前記LEDチップの間の隙間に充填されて前記LEDチップの側壁を覆うと共に、前記LEDチップの第1の電極と第2の電極を露出させる光吸収層であるパッケージ層と、前記LEDチップの第2の表面に形成される配線層と、を備える。

【0016】

前記配線層は複数層のリードラインを有し、ここで第1の層のリードラインは前記LEDチップの電極セットに接続され、各層のラインの最小のライン幅 W と該層の厚さ T との関係は $W \geq T \geq 2W$ である。

【0017】

上記発光ダイオードパッケージアセンブリにおいて、該パッケージアセンブリは前記LEDチップを支持するのに用いられるパッケージ基板を有しないため、前記LEDチップの位置は前記パッケージ層により固定され、且つ、前記配線層とパッケージ層により十分な強度の物理的支持が提供されるので、前記配線層の各層のリードラインの厚さ T と最小ライン幅 W の設計は該パッケージアセンブリの信頼性を直接的に決定する。ここでパッケージアセンブリのサイズ及びチップの間の距離はリードラインの最小ライン幅 W を決定し、通常各層のリードラインの最小ライン幅 W は完全に一致しないため、各層のラインの最小ライン幅 W と該層の厚さ T の関係を $W \geq T \geq 2W$ に設計することにより、パッケージ全体が要求するライン厚さを満足してデバイスに十分な機械的強度を提供すると共に、リードラインの露出及び厚い電極メッキ膜の歩留まりを確保する。

【0018】

前記複数層のリードラインの各層の厚さが異なることが好ましい。一部の実施形態において、該複数層のリードラインの少なくとも1層の厚さは $50 \mu\text{m}$ 以下であり、少なくとも1層の厚さは $60 \mu\text{m}$ 以上である。

【0019】

前記複数層のリードラインの融点は 400 以上が好ましい。該複数層のリードラインに導電性の優れた単一の金属材料、例えばAg、Cu、Ni、Alなどの材料を採用することが更に好ましい。一部の実施形態では前記金属材料は電気めっき、化学めっき、印刷などの技術でLEDチップの電極と金属結合を形成することができる。

【0020】

一部の実施形態において、前記複数層のリードラインにおける少なくとも1層の表面に保護層を有する。該保護層は一つのとても薄くて且つ高温において安定性が優れた材料であり、エレクトロマイグレーションへの対抗性、腐食への対抗性、そして酸化への対抗性を持つ材料を採用することが好ましく、前記保護層の厚さは $50 \sim 200 \text{nm}$ である。

【0021】

前記複数層のリードラインの各層の最小ライン幅 W は $10 \mu\text{m}$ 以上であり、例えば $10 \sim 60 \mu\text{m}$ とすることができる。

【0022】

10

20

30

40

50

一部の実施形態において、前記パッケージ層として有色材料層を採用し、その透過率は30%未満が好ましく、前記複数のLEDチップの間の隙間に充填されて前記LEDチップの側壁を覆うことにより、LEDチップの間の光学的干渉を防止することができる。更に、該複数のLEDチップの光射出面に透明もしくは半透明の光透過層を形成することにより、LEDチップの光射出面を保護できると共に、光散乱効果を生成してLEDパッケージアセンブリが最終的にディスプレイパネルに応用される際、グレア感を効果的に抑えることができる。更に、前記光透過層の中に光散乱粒子などの光散乱材料を有することができる。異なる需要に応じて光透過層の透過率を調整して表示効果を最適化することができる。例えば、室内における表示に応用される場合、半透明材料を光透過層として選択することができる。その透過率を40%~80%にすることにより更にグレア感を抑えることができ、そして室外における表示に応用される場合、光透過層として透過率が70%以上の透明層を選択することが好ましい。該光透過層の厚さは20 μ m以下が好ましく、そして10 μ m以下が更に好ましく、例えば10 μ mにして、各LEDチップの光射出面を基本的に同一の高さ(高低差が10 μ m以下)にすることと合わせることで該パッケージアセンブリのピクセルエリアを大幅に増やす際においても、光射出面の統一に有利で、側壁の間の光干渉の影響を抑えることができる。

10

【0023】

更に、該パッケージアセンブリは前記パッケージ層上に形成されて前記配線層の1層もしくは複数層のリードラインを覆う絶縁層を有することができる。前記絶縁層は1層もしくは複数層を有することが好ましく、その内少なくとも1層の硬度は前記リードラインの硬度より大である。

20

【0024】

一部の実施形態では、前記複数のLEDチップは、 $m \times n$ マトリックス配置の複数の発光ユニットにより形成される1つのN個一体式の発光モジュールを構成し、その内 n 、 m は1より大きい整数であり、各該発光ユニットはいずれも1つの第1のLEDチップと1つの第2のLEDチップと1つの第3のLEDチップとを有し、各発光ユニットの間の距離は1mm以下である。隣接する発光ユニットの間の距離 D_1 は更に0.8mm以下であることが好ましく、ここでNとしては4以上の整数を取ることが可能であり、例えば4、6、8、9、16、32もしくは64など、Nとして取る数値が大きければ大きいほど D_1 として取る数値は小さくなり、例えばNが4~9である場合、 D_1 は0.4~0.8であることができ、そしてNが8以上である場合、 D_1 は0.1~0.4であることができる。

30

【0025】

該パッケージアセンブリは更に外部と接続するのに用いられるパッドを備え、前記パッドの数 P は $n + m \times a$ であり、ここでの a は各前記発光ユニットにおけるLEDチップの数であり、 n 、 m である。このような設計により、パッドの数を最低限に減らすことができ、配線に便利でありパッケージアセンブリの厚みを減らせるだけでなく、クライアント側での貼り付け作業に有利となり、製品の信頼性を向上することができる。

【0026】

本発明の他の特徴及び利点は、以下の説明において説明され、部分的には説明から明らかとなるか、又は本発明を実施することによって理解される。本発明の目的及び他の利点は、明細書、特許請求の範囲及び図面に具体的に指摘された構造によって実現及び達成することができる。

40

【図面の簡単な説明】**【0027】**

本願発明の技術手段の実施形態をより明確に説明するために、以下では、本願発明の実施形態に使用する添付図面について簡単に説明する。

【図1】本発明の一実施形態の発光ダイオード(LED)パッケージアセンブリの構造が示される斜視図である。

【図2】本発明の一実施形態のLEDパッケージアセンブリの構造が示される側面断面模式図である。

50

【図 3】本発明の一実施形態の LED パッケージアセンブリの LED チップの配置状況が示される上面模式図である。

【図 4】該実施形態の LED パッケージアセンブリの LED チップが一種の通常の LED チップであることが示される側面断面模式図である。

【図 5】該実施形態の LED パッケージアセンブリの LED チップの固定方法が示される側面断面模式図である。

【図 6】該実施形態の LED パッケージアセンブリの第 1 の配線層が示される側面断面模式図である。

【図 7】該実施形態の LED パッケージアセンブリの第 1 の配線層が示される上面模式図である。

10

【図 8】該実施形態の LED パッケージアセンブリのスルーホール層が示される側面断面模式図である。

【図 9】本発明の発光ダイオードパッケージアセンブリのスルーホール層が示される上面模式図である。

【図 10】該実施形態の LED パッケージアセンブリの第 2 の配線層が示される側面断面模式図である。

【図 11】該実施形態の LED パッケージアセンブリの第 2 の配線層が示される上面模式図である。

【図 12】該実施形態の LED パッケージアセンブリの第 1 の配線層、スルーホール層、第 2 の配線層が示される上面模式図である。

20

【図 13】該実施形態の LED パッケージアセンブリの回路接続が示される回路図である。

【図 14】本発明の一実施形態の LED パッケージアセンブリの LED チップの配置状態及び第 1 の配線層が示される上面模式図である。

【図 15】本発明の該実施形態の LED パッケージアセンブリの第 2 の配線層が示される上面模式図である。

【図 16】本発明の該実施形態の LED パッケージアセンブリの第 1 の配線層、スルーホール層、第 2 の配線層が示される上面模式図である。

【図 17】該実施形態の LED パッケージアセンブリの回路接続が示される回路図である。

【図 18】本発明の更に一実施形態の LED パッケージアセンブリの配線接続が示される回路接続模式図である。

30

【図 19】本発明の更に一実施形態の LED パッケージアセンブリの配線接続が示される回路接続模式図である。

【図 20】本発明の更に一実施形態の LED パッケージアセンブリの第 1 の配線層が示される上面模式図である。

【図 21】本発明の該実施形態の LED パッケージアセンブリの第 2 の配線層が示される上面模式図である。

【図 22】本発明の該実施形態の LED パッケージアセンブリの第 3 の配線層が示される上面模式図である。

【図 23】本発明の一実施形態の LED パッケージアセンブリの構造が示される側面断面模式図である。

40

【図 24】本発明の一実施形態の LED パッケージアセンブリの構造が示される側面断面模式図である。

【図 25】本発明の一実施形態の LED パッケージアセンブリの構造が示される側面断面模式図である。

【発明を実施するための形態】

【0028】

以下、本発明を詳細に説明するにあたって、類似の構成要件は同じ符号で表示されることに留意されたい。

【0029】

図 1 と図 2 に示されるように、本発明の発光ダイオード (LED) パッケージアセンブ

50

りのこの実施形態は、基板を有しないLEDパッケージアセンブリであり、該LEDパッケージアセンブリは複数のLEDチップにより $m \times n$ マトリックスを有する複数の発光ユニットを備えることができる。ここで、 m と n はいずれも1より大である整数である。各発光ユニットはいずれも波長が異なる複数のLEDチップを有し、例えば、それぞれ赤色光(R)、緑色光(G)、青色光(B)を発する少なくとも3つのLEDチップを有する上、更に白色光(W)を発するLEDチップ(波長変換層を含む)を有することによりRGBWの組み合わせを構成することができ、このようにすればスクリーンの輝度を上げることができるため、室外での表示に適している。また、各発光ユニットはそれぞれ1つのピクセルエリア $P \times$ に該当し、ピクセルと呼ばれることもある。1つの実施形態において、該LEDパッケージアセンブリは 2×2 のピクセルエリアを有する。各ピクセルエリア $P \times$ は互いに間を開けて配置された複数のLEDチップ100を備え、各LEDチップ100はいずれも光射出面S21を有する。該パッケージアセンブリは更に複数のLEDチップ100の間の隙間に充填されるパッケージ層200と、該パッケージ層の上にある多層配線層と、を備える。該多層配線層は第1の配線層310と、スルーホール層320と、第2の配線層330とを有し、各層はそれらの間にある絶縁層500により互いに電氣的に絶縁している。そのうち、第1の配線層310は前記複数のLEDチップの下表面に形成されると共に、複数のLEDチップを直列的もしくは並列的に接続しており、該スルーホール層320は前記第1の配線層310上に形成され、前記第1の配線層310に電氣的に接続し、第2の配線層330は前記スルーホール層320上に形成され、前記スルーホール層320に電氣的に接続する。

10

20

【0030】

図3に該パッケージアセンブリのLEDチップ配列状態が簡単に示されている。図3に示されるように、該パッケージアセンブリは4つのピクセルエリア $P \times 1 \sim P \times 4$ を有し、各ピクセルエリア $P \times$ はそれぞれ例えば、第1のLEDチップ100L1と第2のLEDチップ100L2と第3のLEDチップ100L3とを含む複数のLEDチップ100を有する。他の実施形態では、各ピクセルエリアがそれぞれ2つだけ、もしくは3つ以上のLEDチップ、例えば4つのLEDチップを有することもできる。該3つのLEDチップ100L1、100L2、100L3は波長の異なる光を発することができ、例えばそれぞれ赤色光、緑色光、青色光を発することができる。

【0031】

更に図4に示されるように、1つの上記LEDチップ100L1~100L3において、各上記LEDチップ100L1~100L3は同じ側にある一対の電極を有し、反対する第1の表面S21と第2の表面S22と、該第1の表面S21と第2の表面S22との間にある側表面S24と、電極表面S23とを有する。この中で、該第1の表面S21は光射出面S21であり、該第2の表面S22の上に該一対の電極110が配置されている。更に、該LEDチップは基板101と、第1のタイプの半導体層121と、発光層122と、第2のタイプの半導体層123と、を有する。該第1のタイプの半導体層121と該第2のタイプの半導体層123はpタイプの半導体層とnタイプの半導体層とに分けることができる。該LEDチップは更に該第1のタイプの半導体層121に配置される透明基板101を有する。該LEDチップの電極セット110は該第1のタイプの半導体層121に電氣的に接続する第1の電極111と、該第2のタイプの半導体層123に電氣的に接続する第2の電極112とからなる。他の一部の実施形態では、各LEDチップの電極セット110は更に導電材料により構成された厚さ増加層を有することができる。これら厚さ増加層は該第1の電極111と第1の配線層との間、及び該第2の電極112と該第1の配線層310との間にそれぞれ配置され、電気メッキ、化学メッキ、またはプリントなどの方法で形成することができ、その材料としては、Cu、Cu \times W、もしくは他の導電材料を使用することができる。電極の厚さを増大することにより、前記LEDチップの側面S24の該パッケージ層200と接触する面積を増やすことができ、これにより前記LEDチップの該パッケージ層200との接着力を高めることができる。各LEDチップの電極セットの厚さとしては5~200 μ mが好ましく、例えば5 μ m~30 μ m、3

30

40

50

0 μm ~ 50 μm 、もしくは80 μm ~ 120 μm など、需要に応じて選択することができる。前記LEDチップ100は通常サイズのLEDチップ（通常ではチップの1辺のサイズが200 μm を超えるものを指す）もしくはミニLEDチップ（通常ではチップサイズが100 ~ 200 μm のものを指す）、もしくはマイクロLEDチップ（通常ではチップサイズが100 μm 未満のものを指す）であることができ、この実施形態ではミニLEDチップもしくはマイクロLEDチップを選択することが好ましい。

【0032】

更に図3を参照し、該パッケージアセンブリにおける各ピクセルエリアPxにおける第1、第2、第3のLEDチップ100L1 ~ 100L3は「一」の字状に並べられており、具体的に言うと、各発光ユニットにおける各LEDチップは、第1の方向に沿って一列に並べられ、各LEDチップにおける第1の電極と第2の電極は第2の方向に沿って並べられており、そして第1の方向と第2の方向とは基本的に直交している。この実施形態において、第1の電極111と第2の電極112とは左右に配置され、隣接する2列のLEDチップの電極の極性は相反しており、すなわち、隣接する列のチップの電極は対称性を呈し、これにより配線が便利になり、そしてチップの間隔を短くすることができる。図3に示されるパッケージアセンブリを例として、1つ目のピクセルエリアPx1における3つのLEDチップ100L1 ~ 100L3の電極の極性は、2つ目のピクセルエリアPx2の3つのLEDチップ100L1 ~ L3の電極の極性と相反している。各ピクセルエリアを1つのピクセルと見なすと、各ピクセルのドットピッチD1は1mmが好ましく、そして0.8mm以下であると更に好ましく、例えば、0.1 ~ 0.3mm、0.3 ~ 0.5mm、もしくは0.5 ~ 0.8mmなどであり得る。同一のピクセルエリアPxにおいて、チップの間隔D2は100 μm 以下が好ましく、例えば、50 ~ 100 μm 、もしくは50 μm 以下などである。一部のディスプレイパネルの応用において、同一のピクセルエリアにおけるLEDチップの間隔は50 μm 以下であることが好ましく、例えば40 ~ 50 μm 、もしくは30 ~ 40 μm 、もしくは20 ~ 30 μm 、もしくは10 ~ 20 μm などである。この間隔が小さければ小さいほど、該LEDパッケージアセンブリのサイズの小型化に有利となり、ディスプレイパネルの解像度を高くすることができる。

【0033】

更に図2を参照し、該複数の第1、第2、第3のLEDチップ100L1 ~ L3の周囲に第1のパッケージ層200が充填され、該パッケージ層200は透過率が30%未満が好ましく、該パッケージ層200の透過率が5% ~ 20%の範囲内にあると更に好ましく、そして該パッケージ層200は不透明で光が通過できないものを選択することができ、具体的には光吸収成分（図示せず）を有し、光吸収成分は少なくともLEDチップの側壁周辺もしくは隣接するLEDチップの間に配置され、もしくは更に少なくともLED半導体の発光積層の周囲もしくは隣接する半導体の発光積層の周囲に配置される。光吸収成分に関して具体的にはパッケージ層に用いられるエポキシ樹脂もしくはシリコン内に散布された光吸収粒子、例えば黒い粉末、カーボン粉末、もしくは前記光吸収成分として黒色の樹脂を使用することもできる。該パッケージ層200の光吸収成分が少なくともLED側壁の周囲に配置されることで光がLEDチップの側面から射出することを防止し、これによりLEDチップの発光の大部分もしくは全部をLEDチップの光射出面から射出することを実現し、異なるLEDチップの光の側面方向におけるクロストークや混合現象を抑えることができる。一つの具体的な実施形態では、該パッケージ層200は黒色着色剤が添加されたエポキシ樹脂もしくはシリコンであり、これにより全部のLEDパッケージアセンブリではLEDチップ100の光射出面S21を除いて他のエリアはすべて黒色となるので、ディスプレイパネルのコントラストを高めることができると共に、各LEDチップ100の間を該黒色パッケージ材料により仕切ることで各LEDチップの間の光学的干渉を抑えることができる。一部の実施形態では、該パッケージ層200の硬度はD60以上が好ましく、そしてD85以上であると更に好ましい。

【0034】

更に、パッケージ層200上に、透明または半透明の材料の層を形成して別のパッケー

10

20

30

40

50

ジ層400として、複数の第1、第2、第3のLEDチップの第1の面S21を覆うようにすることができ、これによりLEDチップが露出しないようにすることができる。パッケージ層400は、光散乱レンズとして光散乱効果をもたらすことができ、これにより、最終的にLEDパッケージアセンブリがディスプレイパネルに応用された際にグレア感を効果的に低減することができる。また、パッケージ層400は、散乱g粒子などの光散乱材料を含むことができる。パッケージ層400の厚さは、 $5\mu\text{m} \sim 20\mu\text{m}$ であることが好ましく、例えば $10\mu\text{m}$ である。これにより、LEDチップの光射出面を保護することができるだけでなく、パッケージ層200に光吸収材料を用いることと合わせて、各LEDチップ間の光学的干渉を低減することができる。光透過率は40%以上であることが好ましい。一部の実施形態では、LEDパッケージアセンブリは、屋内ディスプレイに応用され、その際、パッケージ層400は半透明層であるとよく、好ましくは40%~80%、より好ましくは70%~80%の透過率を有し、これによりLEDチップの輝度を低下させることができ、したがって、光射出のグレアを低減することができる。一部の実施形態では、該パッケージアセンブリは屋外ディスプレイに応用され、この場合、パッケージ層400は透明層であるとよく、透過率が80%以上が好ましく、80%がより好ましい。

10

【0035】

この実施形態において、該複数の第1、第2、第3のLEDチップ100L1~L3はまずLEDチップ100の光射出面S21をチップ固定面として、例えばテープなどのサポート手段600に一時的に接着しておいてから、電極面S24を上向きにしてチップの間に流動性のある絶縁材料をパッケージ層200として充填して硬化させると共に、LEDチップの電極面S23を図5に示されるように露出させる。この実施形態において、テープ600の厚さを $5 \sim 20\mu\text{m}$ に制御することが好ましく、これによりパッケージ層が充填される際にLEDチップが移動しないことを確保できると共に、第1、第2、第3のLEDチップ100L1~L3の第1の表面S21を基本的に同一の水平面に確保することで、それらの高低差を基本的に $10\mu\text{m}$ 以下に維持し、これにより該パッケージアセンブリにおいてピクセルエリアを大幅に増やす場合においても、光射出面を統一して側壁の間の光干渉による影響を抑えることができる。

20

【0036】

配線層は該複数のLEDチップ100の第2の表面に形成され、複数層のリードラインを有する。この実施形態において、該複数層のリードラインは具体的には第1の配線層310と、スルーホール層320と、第2の配線層330と、を有し、第1の配線層310はLEDチップの電極110に接続し、スルーホール層320は該第1の配線層310上に形成され、第2の配線層330はスルーホール層320上に形成されると共にスルーホール層320を経由して第1の配線層310に接続される。該複数層のリードラインとしては融点が400を超える金属材料、例えばAg、Cu、Ni、Alなどを選択することが好ましく、そして各層の材料は同一でもいいし、異なっても構わない。電気メッキ、化学メッキ、またはプリントなどの方法で形成することができる。各層の厚さとしては $100\mu\text{m}$ 以下が好ましく、例えば $20 \sim 80\mu\text{m}$ であることができる。この実施形態において、該LEDパッケージアセンブリは前記LEDチップを支持するためのパッケージ基板を有さずに、パッケージ層200でLEDチップ100の位置を固定し、配線層300とパッケージ層とにより十分な物理的支持を提供するので、配線層300には機械的強度を提供するのに十分な厚さが必要となる。いずれか1層のリードラインの厚さを増やすことにより、該配線層の機械強度を上げることができるが、リードラインの露出及び厚い電極メッキ膜の歩留まりを考えると、各層リードラインの厚さは大きくすべきではない。この本実施形態においては、配線層の各層のリードラインの厚さTと該層のリードラインの最小ライン幅Wとの関係を設定することにより、該配線層の信頼性を確保することができる。ここでの最小ライン幅Wはパッケージアセンブリのサイズ及びチップの間の距離により決められるが、 $30\mu\text{m}$ 以上が好ましい。各層のラインの最小ライン幅Wと該層の厚さTとの関係を $W \geq 2T$ に設計することにより、各リードラインの厚さは該層の最小ライン幅未満にならずに、該配線層300はデバイスに機械的強度を提供するのに必要な厚

30

40

50

さを有することができると共に、各層のリードラインの厚さ $T = 2W$ にすることで、各層のリードラインの厚さが過大であることにより引き起こされる歩留まりの低下を回避できる。

【0037】

図6を参照されたい。第1の配線層310は、パッケージ層200の表面に形成され、各LEDチップの電極110と電氣的に接続されている。第1の配線層310のライン間の隙間には絶縁層510が充填され、第1の配線層310のLEDチップから離れた表面は露出している。なお、絶縁層510の材料は、パッケージ層200の材料と同じであってもよいし、異なってもよい。同じ材料を使用した場合、絶縁層510とパッケージ層200は一体になり、区別しがたい。例えば、LEDパッケージアセンブリがディスプレイ装置に使用される実施形態において、絶縁層510およびパッケージ層200はいずれも、着色剤が添加されたエポキシ樹脂またはシリコンである。一部の実施形態において、絶縁層510は、第1の配線層310の表面S310を露出させるための研削が容易になるように、第1の配線層310の硬度よりも低くない硬度、例えばD60以上を有し、より好ましくはD85以上である。

10

【0038】

第1の配線層310は複数の第1の配線と少なくとも2つの共有配線を有し、これにより複数のピクセルエリア P_x におけるLEDチップを電氣的に接続して n 個一体式のピクセルエリアを構成する。図7を参照されたい。図7には4個一体式のパッケージアセンブリが示され、すなわち、4個のピクセルエリアのLEDチップに対して直列並列接続する。他の実施形態では、4個一体式の構成に限らず、9個一体式、16個一体式なども可能である。図7に示されるパッケージアセンブリでは、該第1の配線層310は2つの共有配線314a、314dと10個の第1の配線とを有し、その中で第1の配線311a~311dはそれぞれ各ピクセルエリア P_x の第1のチップ100-L1の第1の電極111に接続され、配線313a~313dはそれぞれ各 P_x の第3のチップ100-L3の第1の電極111に接続され、配線312aは P_x1 と P_x4 の第2のLEDチップ100-L2の第1の電極に接続され、配線312bは P_x2 と P_x3 の第2のLEDチップ100-L2の第1の電極に接続され、共有配線314aは P_x1 と P_x2 の第1、第2、第3のLEDチップの第2の電極112に接続され、共有配線314dは P_x3 と P_x4 の第1、第2、第3のLEDチップの第2の電極112に接続される。該第1の配線層310の厚さ T_{310} は該第1の配線層の最小ライン幅 $W1$ の1~2倍であることが好ましく、そして1.2~1.8倍の範囲内であることが更に好ましい。

20

30

【0039】

図8及び図9を参照されたい。スルーホール層320は、第1の配線層310の表面S310上に位置し、絶縁層520に一連のスルーホール320を形成するものであり、スルーホールの数や位置は第1の配線層の各配線に対応しており、図9において実線の斜線で塗りつぶされたパターンが即ちスルーホールであり、各LEDチップからできるだけ引き離されている。ここで、スルーホール層520の材料としては絶縁層510の材料を参考にできる。また、スルーホール層520の厚さ T_{320} は、好ましくは $100\mu\text{m}$ 以下であり、該スルーホール層の最少ライン幅 $W2$ の1~2倍とすることが好ましく、例えば需要に応じて1~1.2倍、1.2~1.5倍とすることができ、本実施例において、該層のスルーホールの直径は該層の最少ライン幅 $W2$ であり、該スルーホールの直径は $20\mu\text{m} \sim 60\mu\text{m}$ であるとよい。実施形態によっては、パッケージアセンブリはより薄型構造を有し、この場合にはスルーホール層の厚さが $20\mu\text{m} \sim 50\mu\text{m}$ であるとよく、例えば $25\mu\text{m} \sim 30\mu\text{m}$ とすることができ、このようにすれば、スルーホール層が厚すぎて応力や熱抵抗が過大になることを避けることができ、パッケージ構造体の強度を確保しながらも、パッケージ構造体の総厚さを低く抑えることができ、ひいてはこれが応用される製品の厚さをより薄くすることができるようになる。他の実施形態としては、スルーホール層の厚さは $50\mu\text{m} \sim 80\mu\text{m}$ であってもよく、例えば $60\mu\text{m}$ とすることができ、これによりパッケージアセンブリの厚みを適度に増やし、デバイスの側壁からのピックアップ

40

50

チップを容易にすることができる。

【0040】

図10を参照されたい。第2の配線層330は、スルーホール層320上に位置し、スルーホール層320の各スルーホールを介して第1の配線層310と電氣的に接続されている。第3の配線層330の各ライン間の隙間には絶縁層530が充填され、第3の配線層330のLEDチップから離れた表面は露出しており、また絶縁層530の材料は、絶縁層510の材料を参考にして設計することができる。

【0041】

図11を参照されたい。第3の配線層330の回路は、複数のライン331ac、331bd、333ac、333bdと、複数の接続部331a、331b、332a、332b、333c、333d、334a、334dと、を有している。この中で、ラインは同じタイプのLEDチップの同じ極性の電極の接続に用いられ、例えば、ライン331acはPx1とPx3の第1のLEDチップ100-L1の第1の電極111を接続し、ライン333acは、Px1とPx3の第3のLEDチップ100-L3の第1の電極111を接続する。接続部は外部に接続する電極パッドとして用いられて電源と接続する。好ましい実施形態では、接続部に対応するエリアにパッドを作成する上、パッド以外のエリアをインク、もしくはエポキシ樹脂もしくは他の絶縁材料で覆うことにより、第2の配線層330のラインを保護する。1つの好ましい実施形態では、該第2の配線層330の接続部はスルーホール層の各スルーホールを完全にカバーすることで、第2の配線層のスルーホールと接触する面積を増やすと共に、製作する過程においては、スルーホール層と第2の配線層を同一のプロセスで電気伝導材料により作成できるので、電気伝導材料の形成及び研磨するプロセスを省くことにより、コストを節約すると共に、製品の安定性を高めることができる。該第3の配線層330の厚さT330は該第3の配線層の最小ライン幅W3の1~2倍であることが好ましく、そして1.2~1.8倍の範囲内であることが更に好ましい。

【0042】

絶縁層510~530としては同一の材料を選択することができ、異なる材料を選択することも可能であり、具体的には、エポキシ樹脂、シリコン、ポリイミド、ベンゾシクロブテンもしくはPBO(ポリパラフェニレンベンゾピスオキサゾール)を選択できる。同一の材料で作成する場合、該絶縁層510~530は一つの層体500を構成するので、区別しにくい。一部の具体的実施形態では、絶縁層510~530として光が通過しないもしくは通過しにくい材料を選択し、例えば黒色の着色剤が添加されたエポキシ樹脂もしくはシリコンを選択することにより、LEDチップからの光が配線層から射出して干渉を引き起こす状況を回避もしくは抑えることができる。光が通過しないもしくは通過しにくい材料を絶縁層とする場合、まずは配線層における金属ラインのパターンを形成してから絶縁層を充填し、最後に研磨により配線層における金属ラインの表面を露出させる。他の一部の実施形態では、パッケージ層200として光が通過しないもしくは通過しにくい材料を採用する場合、絶縁層510~530は部分的もしくは全体的に光透過性材料を採用することができ、これにより絶縁層の透過率がパッケージ層200の透過率より高くなる。該光透過層としては例えばカーボン粉末や染料などの着色剤が添加されていない材料もしくは光吸収材料、を使用する必要はなく、例えばシリコンやエポキシ樹脂が好ましく、特に、マイクロメートルレベルの粒子(通常では粒子の直径が1マイクロメートル以上の粒子を指し、例えばカーボン粉末粒子)が含まれていないので、着色剤の添加による不均一や界面の欠陥による信頼性の低下(例えば絶縁性能の低下)の可能性を回避し、絶縁層の配線層に対するカバーの信頼性を確保できる。他の一部の実施形態では、感光性材料により硬化されて絶縁層を形成することにより、制作の工程数を簡単化すると共に、チップ周辺及び電極面の非金属部分が光吸収材料からなるパッケージ層200により覆われるので、チップの側面における光の干渉を回避できる。

【0043】

図12と図13を参照されたい。図12には3層の配線層の接続関係が示されており、

10

20

30

40

50

図 1 3 は該 4 個一体式の発光ユニットの等価回路図である。該 4 個一体式発光ユニットは接続部 3 3 1 a、3 3 1 b、3 3 2 a、3 3 2 b、3 3 3 c、3 3 3 d、3 3 4 a、3 3 4 d との 8 つの接続部から出力し、その中で第 1 の LED チップ 1 0 0 - L 1 の第 1 の電極は接続部 3 3 1 a、3 3 1 b から出力し、第 2 の LED チップ 1 0 0 - L 2 の第 1 の電極は接続部 3 3 2 a、3 3 2 b から出力し、第 3 の LED チップ 1 0 0 - L 2 の第 1 の電極は接続部 3 3 3 c、3 3 3 d から出力し、接続部 3 3 4 a と 3 3 4 d は共有電極として、それぞれ P X 1 ~ P X 4 のすべての LED チップの第 2 の電極 1 1 2 に接続している。

【 0 0 4 4 】

この実施形態において、まずは LED チップの配置に対し、すべての P x における LED チップを「一」の字に沿って配列し、具体的には、すべての発光ユニットの各 LED チップを第 1 の方向に沿って一列に配列し、すべての LED チップの第 1、第 2 の電極を第 2 の方向に沿って並列に配列し、そして第 1 の方向と第 2 の方向は基本的に直交するので、隣接する 2 列の LED チップの電極の極性は相反する。第 1 の配線層 3 1 0 において、左右に隣接する P x の LED チップの共有電極は 1 つの共有電極として接続するようになり、上下に隣接する 2 つの P x の第 2 の LED チップ 1 0 0 - L 2 (3 つのチップの中間に位置する) は並列接続し (すなわち、P x 1 と P x 3 の第 2 の LED チップの第 1 の電極は並列接続、P x 1 と P x 4 の第 2 の LED チップの第 1 の電極は並列接続)、P x 1 ~ P x 4 の第 1 の LED チップ 1 0 0 - L 1、第 3 の LED チップ 1 0 0 - L 3 はそれぞれ個別にワイヤリングすることにより、該 4 個一体式の発光ユニットの電極端子を 1 0 個に減らし、第 2 の配線層では、上下に隣接する 2 つの P x の第 1、第 2 の LED チップはそれぞれ更にラインにより並列 (すなわち、P x 1 と P x 3 の第 1 の LED チップの第 1 の電極は並列接続して 1 つの電極端子 3 3 1 a を形成し、P x 2 と P x 4 の第 1 の LED チップの第 1 の電極は並列接続して 1 つの電極端子 3 3 1 b を形成し、P x 1 の P x 3 の第 3 の LED チップの第 1 の電極は並列接続して 1 つの電極端子 3 3 4 c を形成し、P x 2 と P x 4 の第 3 の LED チップの第 1 の電極は並列接続して 1 つの電極端子 3 3 4 d を形成する)、となつて合わせて 8 つの電極端子 (即ち 8 個の接続部) を出力することにより、該パッケージアセンブリの電極パッドの数を効果的に減らして貼り付けが便利になる。

【 0 0 4 5 】

以上に示される実施形態のパッケージアセンブリは、前記 LED チップを載せるパッケージ基板もしくはフレームを使用せず、該 m x n マトリックス配置の発光ユニットは主に絶縁材料層 (2 0 0、4 0 0、5 0 0 を含む) 及び配線層により固定、支持されるようになり、該パッケージアセンブリの厚さ T はほぼ LED チップの厚さ T_A と配線層の厚さ T_C により決められる。一部の具体的実施形態では、ミニ LED チップを採用し、チップ厚さ T_A は 4 0 ~ 1 5 0 μm、多層配線層の厚さ T_C は 2 0 ~ 2 0 0 μm、そして更に好ましくは前記配線層の厚さ T_C を 5 0 ~ 1 5 0 μm の間にあるように選択することにより、T と T_A は $1.4 \frac{T}{T_A} > 1.0$ の数式を満足し、これにより厚すぎた回路層による応力の過大及び熱抵抗の過大を回避でき、パッケージの構造的強度を確保すると共に、パッケージ構造全体の厚さを減らすことができる。例えば、1 つの実施形態では、LED チップの厚さ T_A は約 8 0 μm、前記パッケージアセンブリの厚さは 1 2 0 μm ~ 5 0 0 μm、例えば 1 2 0 ~ 2 0 0 μm であることができ、この際すべての配線層のサブ層の厚さは 1 0 ~ 5 0 μm であることができ、例えば 4 0 μm である。例えば、他の 1 つの実施形態では、該パッケージアセンブリのサイズが比較的小さい場合 (例えば 0.4 mm x 0.4 mm もしくはもっと小さいサイズ)、パッケージアセンブリの上表面からピックアップしにくいので、パッケージアセンブリの厚さ T を適切に増やすことにより、パッケージアセンブリの側壁の面積を比較に広くしてピックアップ設備がピックアップしやすいようにすることができ、この際、パッケージアセンブリの厚さは 1 5 0 ~ 5 0 0 μm であることができ、例えば 1 8 0 ~ 3 6 0 μm であり、LED チップの厚さ及び / または配線層の厚さを増大させることによりパッケージアセンブリの厚さを増大させることができ、例えば LED チップの電極の厚さを増やすと共に、すべての配線層の厚さを適切に増やし、この際スルーホール層の厚さは 3 0 ~ 8 0 μm が好ましく、他の配線層の厚さは 5 0 ~ 1 0 0 μm が

好ましい。一部の具体的な実施形態において、マイクロLEDチップを採用し、チップ厚さ T_A は $5 \sim 10 \mu\text{m}$ 、多層配線層の厚さ T_C は $20 \sim 200 \mu\text{m}$ であり、更に好ましくは前記配線層の厚さ T_C を $50 \sim 150 \mu\text{m}$ に選択することにより、前記 T と T_A は $10 \cdot T / T_A \geq 60$ の数式を満足し、例えばパッケージアセンブリの厚さは $50 \sim 100 \mu\text{m}$ 、もしくは $100 \sim 200 \mu\text{m}$ になり得る。

【0046】

図14～図17に本発明のLEDパッケージアセンブリの他の1つの実施形態が示されている。図14を参照されたい。該パッケージアセンブリは同じく $m \times n$ マトリクス配置の複数のピクセルエリア $P \times 1 \sim P \times 4$ を有し、図3に示されるパッケージアセンブリとの相違点は、すべてのピクセルエリアのLEDチップの電極の方向がすべて同一であり、これによりチップ配列の効率及び精度を高めるのに有利である。この実施形態において、第1の配線層は第1の配線 $311a$ 、 $313c$ と共有配線 $314a$ 、 $314d$ とを有し、この中で $311a$ は横方向に隣接する2つのピクセルエリア $P \times 1$ と $P \times 2$ の第1のLEDチップ $100-L1$ を接続し、 $313c$ は横方向に隣接する2つのピクセルエリア $P \times 3$ と $P \times 4$ の第3のLEDチップ $100-L3$ を接続し、 $314a$ は縦方向に隣接するピクセルエリア $P \times 1$ と $P \times 4$ のすべてのLEDチップを共有的に接続し、 $314d$ は縦方向に隣接するピクセルエリア $P \times 2$ と $P \times 3$ のすべてのLEDチップを共有的に接続する。図15と16を参照されたい。第2の配線層は接続部 $331a$ 、 $331c$ 、 $332b$ 、 $332c$ 、 $333b$ 、 $333c$ 、 $334a$ 、 $334d$ と、ライン $331cd$ 、 $332ab$ 、 $332cd$ 、 $333ab$ と、を有し、この中で $331cd$ は横方向に隣接するピクセルエリア $P \times 3$ と $P \times 4$ の第1のLEDチップ $100-L1$ を接続し、 $332ab$ は横方向に隣接するピクセルエリア $P \times 1$ と $P \times 2$ の第2のLEDチップ $100-L2$ を接続し、 $332ab$ は横方向に隣接するピクセルエリア $P \times 1$ と $P \times 2$ の第2のLEDチップ $100-L2$ を接続し、 $333cd$ は横方向に隣接するピクセルエリア $P \times 3$ と $P \times 4$ の第3のLEDチップ $100-L3$ を接続する。図17に4個一体式のパッケージアセンブリの等価回路図が示されており、この中で $334a$ と $334d$ はそれぞれ同一の列に位置する発光ユニットのすべてのLEDチップに縦方向に接続し、 $331a$ 、 $331c$ 、 $332b$ 、 $332c$ 、 $333b$ 、 $333c$ はそれぞれ同一の行に位置する発光ユニットの同一のタイプのLEDチップに横方向に接続する。

【0047】

図18に本発明のLEDパッケージアセンブリの更に他の1つの実施形態が示されている。該LEDデバイスは同じく 2×2 マトリクス配置の4つのピクセルエリア $P \times 1 \sim P \times 4$ を有し、すべてのピクセルエリアはそれぞれ1つの発光ユニットに対応し、すべてのピクセルエリアのLEDチップは同じ電極方向に沿って配列されている。図14～17に示されるLEDパッケージアセンブリとの異なる点として、第1の配線層 330 が有する電気伝導路線 $314a$ と $314b$ は、それぞれ同一の列にあるすべてのLEDチップの第2の電極 112 に接続し、第2の配線層が有する電気伝導路線 $331a \sim 333a$ 、 $331b \sim 333b$ 、は、それぞれ同一の行に位置する同じタイプのLEDチップの第1の電極 111 に接続している。例えば、ライン $331a$ は第1の行の第1のタイプのLEDチップの第1の電極 $111-L1$ に接続し、ライン $332a$ は第1の行の第2のタイプのLEDチップの第1の電極 $111-L2$ に接続し、ライン $331b$ は第2の行の第1のタイプのLEDチップの第1の電極 $111-L1$ に接続する。第1の配線層と第2の配線層とはそれらの間にある絶縁層により仕切られ、且つスルーホール層により電氣的に接続されている。第1の配線層と第2の配線層との路線の接続方法は、入れ替えることができる。

【0048】

図19に本発明のLEDパッケージアセンブリの更に1つの実施形態が示されている。該LEDデバイスは同じく4つのピクセルエリア $P \times 1 \sim P \times 4$ を有し、 4×1 のマトリクス配置となっている。まず、該LEDパッケージアセンブリは長方形もしくは長方形に類する形状になっているので、ディスプレイデバイスに応用される際の組み込みは簡単である上、配線のデザインにより外接パッドの数を最小にすることができる。具体的には

、第1の配線層が有するライン314a~314dは、それぞれ縦方向からピクセルエリア $P \times 1 \sim P \times 4$ の各発光ユニットの第2の電極に並列接続して4つの外部接続電極端子を形成し、第2の配線層が有する331a~333aはそれぞれピクセルエリア $P \times 1 \sim P \times 4$ における同じ第1、第2と第3のLEDチップに接続して3つの外部接続電極子を形成し、これにより該ピクセルエリア $P \times 1 \sim P \times 4$ を1つの4個一体式発光モジュールに形成することができる。

【0049】

この実施形態において、該4個一体式のLEDパッケージアセンブリは発光ユニットの配列方法を変更して 4×1 のマトリクス配置にすることにより、外部接続パッドの数 $P = 4 + a$ となり、ここで a は1つの発光ユニットにおけるチップの数である。1つの具体的な実施形態において、すべての発光ユニットは赤色光LEDチップ100-L1と、緑色光LEDチップ100-L2と、青色光LEDチップ100-L3との3個のチップを有するので、必要なパッドの数は僅か7となり、パッドの数を最小化してパッケージアセンブリのサイズを小さくすることができる上、配線にも有利で応用側の貼り付けも便利となり、ショートが発生するリスクをも抑える。

【0050】

図20~22に本発明のLEDパッケージアセンブリの更にもう1つの実施形態が示されている。図20には該LEDパッケージアセンブリのLEDチップの配列状態及び第1の配線層が示されており、該LEDデバイスは同じく16のピクセルエリア $P \times 1 \sim P \times 4$ を有し、 4×4 のマトリクス配置となっている。該16個一体式のLEDパッケージアセンブリにおいて、各発光ユニット間の間隔 $D1$ は $0.1 \sim 0.5$ mmが好ましく、例えば $0.2 \sim 0.5$ mmであることができる。まずは各発光ユニットの各LEDチップを第1の方向に沿って一列に配置し、すべてのLEDチップの第1、第2の電極を第2の方向に沿って並列に配置し、この中で第1の方向と第2の方向とは基本的に直交し、第1の方向において、同一の列に位置するすべてのLEDチップの第2の電極を並列接続し、第2の方向において、同一の行に位置する同一タイプのLEDチップの第1の電極を並列接続し、更に、隣接する列のLEDチップの第1の電極と第2の電極の位置を相反にすることで、同一の行に位置する同一のLEDチップの第1の電極に対する並列接続がしやすくなり、これにより配線層のラインを単純化することができる。具体的には、第1の配線層が有する共有配線314a~314dは、それぞれ共有的に $N \times 1 \sim N \times 4$ の列の発光ユニットのLEDチップの第2の電極に接続し、第1のラインが有する311~313において、311は $N \times 2$ と $N \times 3$ の列において同一の行に位置する第1のLEDチップL1の第1の電極を接続し、312は $N \times 2$ と $N \times 3$ の列において同一の行に位置する第2のLEDチップL2の第1の電極を接続し、313は $N \times 2$ と $N \times 3$ の列において同一の行にある第3のLEDチップL3に位置する第1の電極を接続する。第1のラインは更にライン311a~313aを有し、311a~313aはそれぞれ $N \times 1$ と $N \times 4$ の行にある第1、第2、第3のLEDチップの第1の電極に接続する。図21にスルーホール層のパターンが示され、この一連のスルーホールにおいて、スルーホール324は第1の配線層の共有配線314a~dに接続し、スルーホール321~323はそれぞれ第1の配線層の第1のラインに接続する。図22に第2の配線層のパターンが示され、第2の配線層はライン331~333と接続部331a~333、334とを有し、この中でライン331は同一の行に位置する第1のLEDチップの第1の電極を並列接続し、ライン332は同一の行(例えば $N \times 1 \sim N \times 4$ の行)に位置する第2のLEDチップの第1の電極を並列接続し、ライン333は同一の行に位置する第3のLEDチップの第1の電極を並列接続し、接続部は外部接続端子として、その中の331a~333aはそれぞれライン331~333に接続し、334は324と接続する。1つの好ましい実施形態において、接続部に対応するエリアにパッドを作成する上、パッド以外のエリアをインク、もしくはエポキシ樹脂もしくは他の絶縁材料で覆うことにより、第2の配線層のラインを保護する。

【0051】

この実施形態において、LEDチップの配列及び配線層の設計を合理化することにより

10

20

30

40

50

、配線層のラインの接続を簡単化できる上、製品の信頼性を向上し、更に、配線層の層数（外部接続パッド層を含む）を4層以下にすることにより、製品の厚さの薄型化を確保し、最終製品の薄型化にも寄与する。

【0052】

図23は基板を有しないLEDパッケージアセンブリである。パッケージ層200がLEDチップの側壁と第1の配線層310の側壁5311を同時に覆う点において、図2に示されるパッケージアセンブリと異なる。このパッケージ層200としては、光が通過しないもしくは通過しにくい材料が好ましく、例えば透過率30%未満、例えば5~20%が好ましく、更に、該パッケージ層として黒色の材料を選択し、例えば黒色の着色剤が添加されたエポキシ樹脂もしくはシリコーンを選択することが好ましい。絶縁層520と530としては、光が通過するもしくは通過しない材料を選択できる。

10

【0053】

上記のように、本発明のLEDパッケージアセンブリは、該パッケージ層を用いてマトリクス配置のピクセルドットを固定し、且つ、多層配線層を設計して各ピクセルのLEDチップを直列に接続する。従って、本発明にはワイヤボンディングや精密配線を有する回路板を必要としないので、信頼性及びコントラストを向上している。この他、前記LEDチップの電極セットは該回路板に半田付けする必要はなく、チップの半田不良の問題を回避する上、LEDの電子装置の整合性を改善するので、本願発明の目的を確実に達成している。

【0054】

図24に本発明の他の1つの実施形態のLEDパッケージアセンブリの構造が示されている。図2に示されるパッケージアセンブリとの相違点については、この実施形態において、配線層における1つもしくは複数の層のリードラインの表面に金属保護層700が形成され、これによりリードラインの金属が拡散することを防止できると共に、腐食や酸化に対抗する効果を発揮することもできる。該保護層の厚さについては20~500nmが好ましく、その材料についてはチタン(Ti)、窒化チタン(TiN)、タングステン(W)、タンタル(Ta)、窒化タンタル(TaN)、モリブデン(Mo)、コバルト(Co)、そしてプラチナ(Pt)などから選択できる。

20

【0055】

図25に本発明の更に他の1つの実施形態のLEDパッケージアセンブリの構造が示されている。図14に示されるパッケージアセンブリとの相違点については、この実施形態に示されるパッケージデバイスにおいて、保護層700はリードラインの表面及び側壁の両方を覆っているところにある。この本実施形態において、該保護層はリードラインを更に良好に保護できる上、配線層と絶縁層500との接着力を向上させることもできる。

30

【0056】

以上、本発明の好ましい実施形態を説明したが、本発明はこれらに限定されるものではなく、最も広い解釈の精神および範囲内に含まれる様々な構成として、全ての修飾および均等な構成を包含するものとする。

40

50

【 図面 】

【 図 1 】

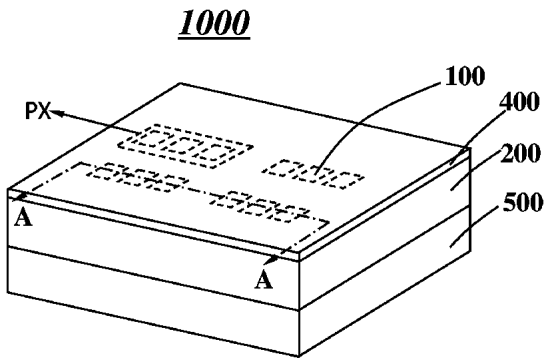


图 1

【 图 2 】

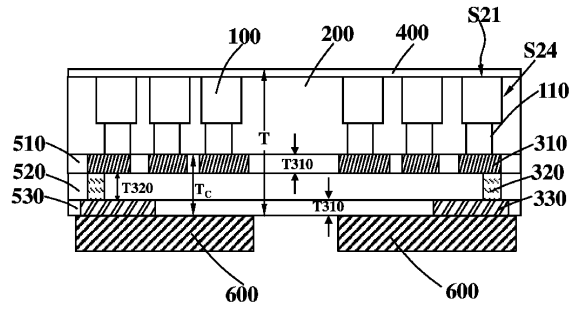


图 2

10

【 图 3 】

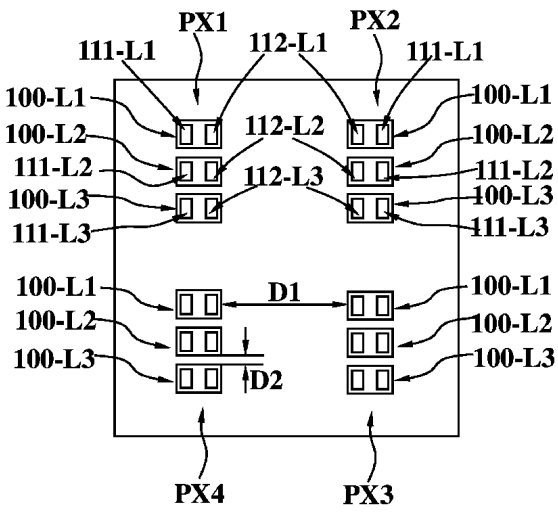


图 3

【 图 4 】

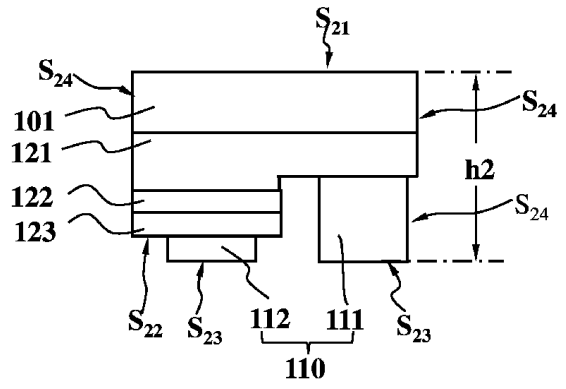


图 4

20

30

40

50

【 图 5 】

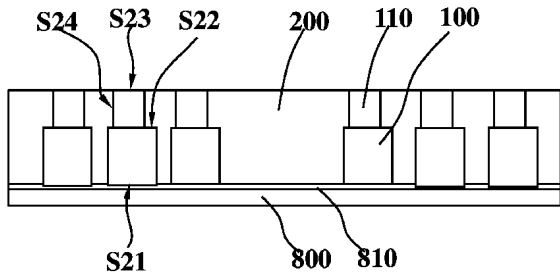


图 5

【 图 6 】

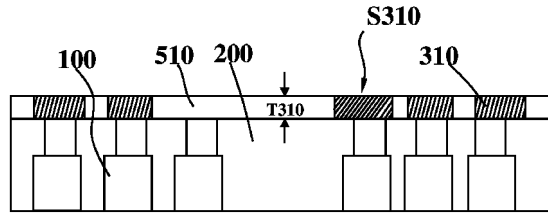


图 6

【 图 7 】

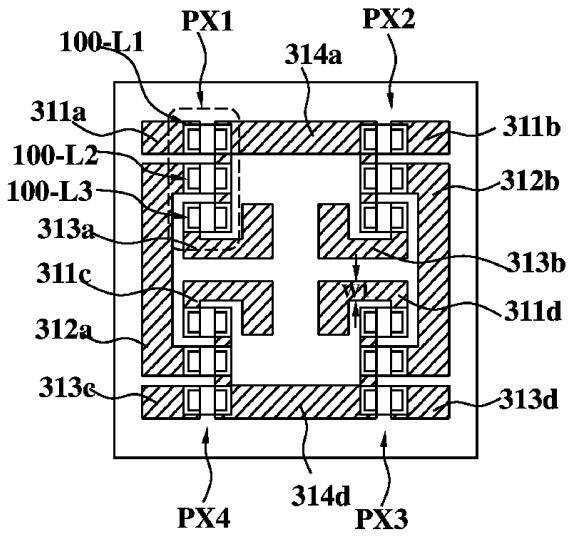


图 7

【 图 8 】

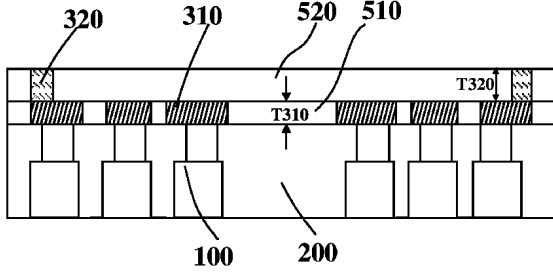


图 8

10

20

30

40

50

【 図 9 】

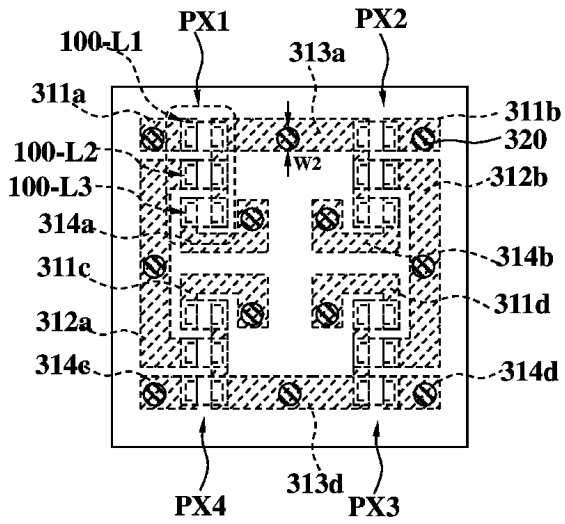


图 9

【 图 10 】

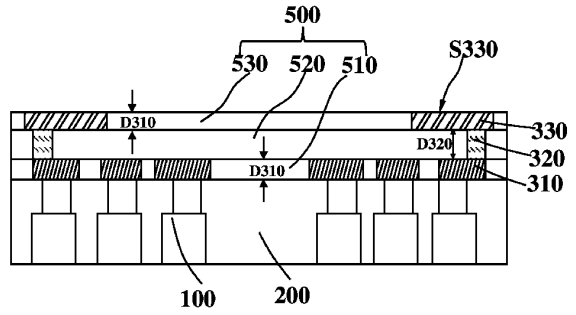


图 10

10

【 图 11 】

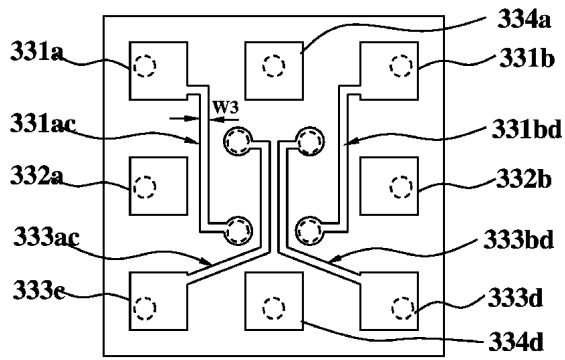


图 11

【 图 12 】

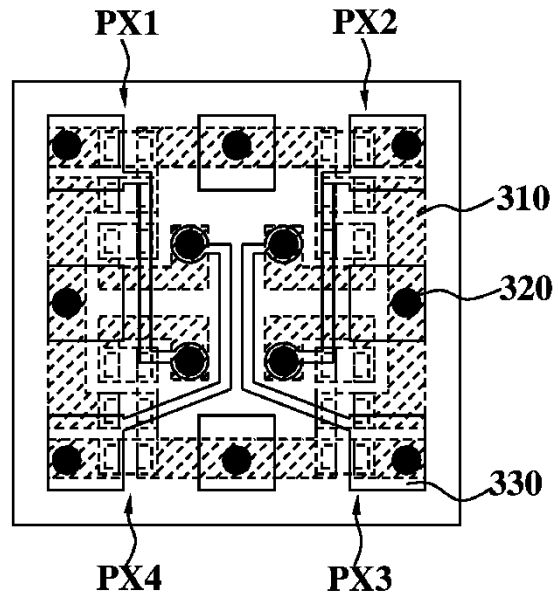


图 12

20

30

40

50

【 図 1 3 】

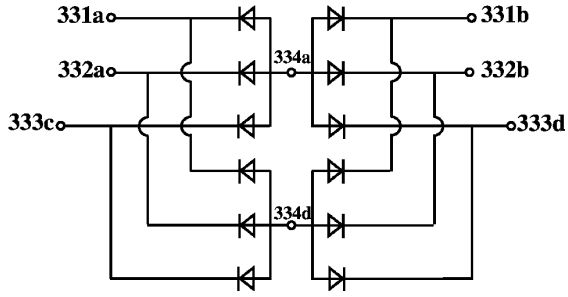


图 13

【 图 1 4 】

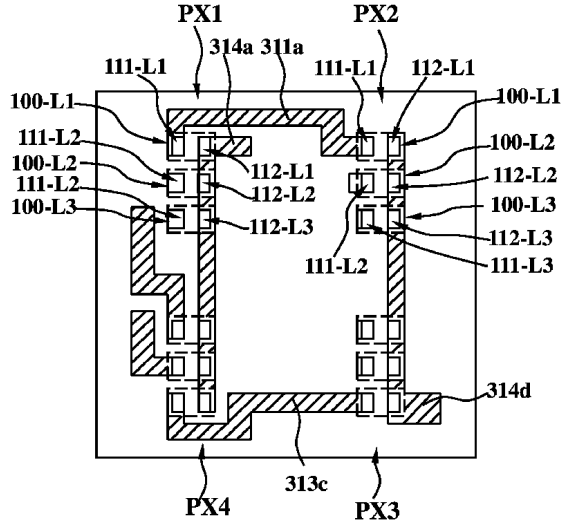


图 14

【 图 1 5 】

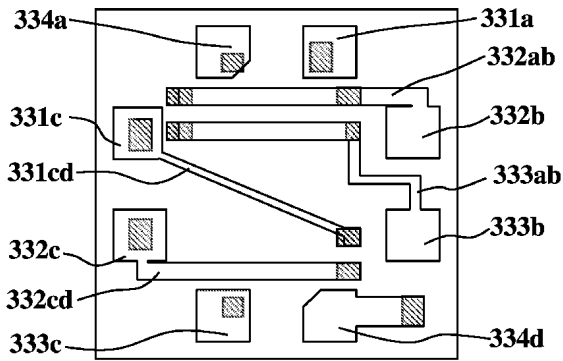


图 15

【 图 1 6 】

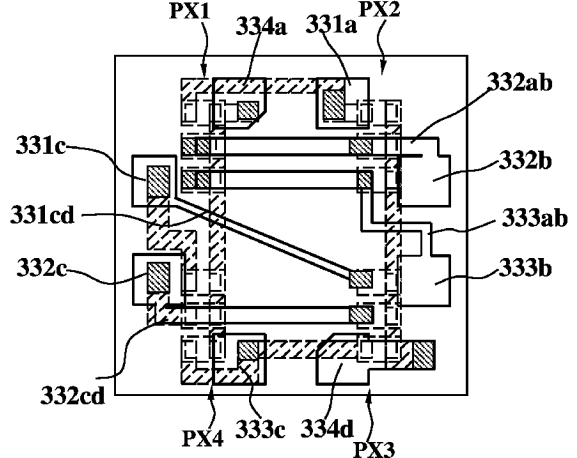


图 16

10

20

30

40

50

【 图 1 7 】

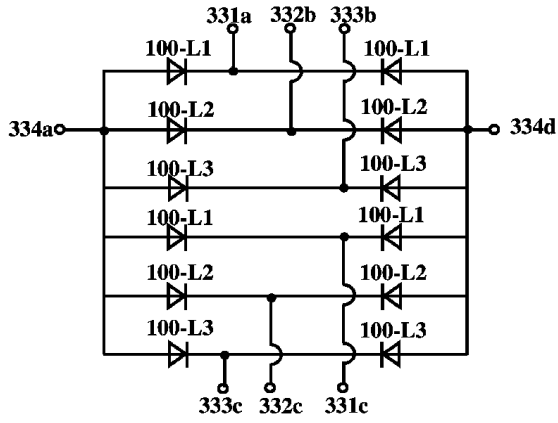


图 17

【 图 1 8 】

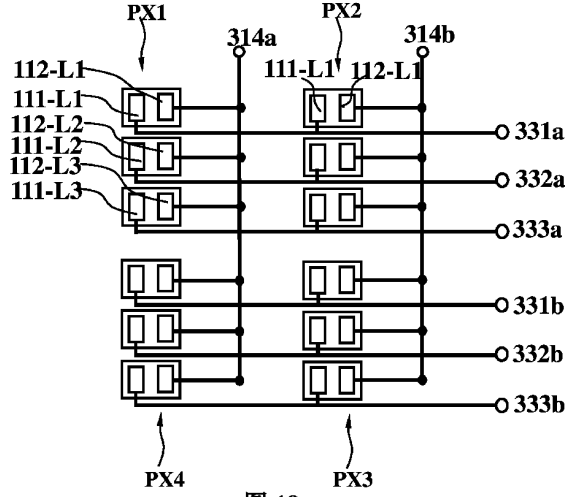


图 18

10

【 图 1 9 】

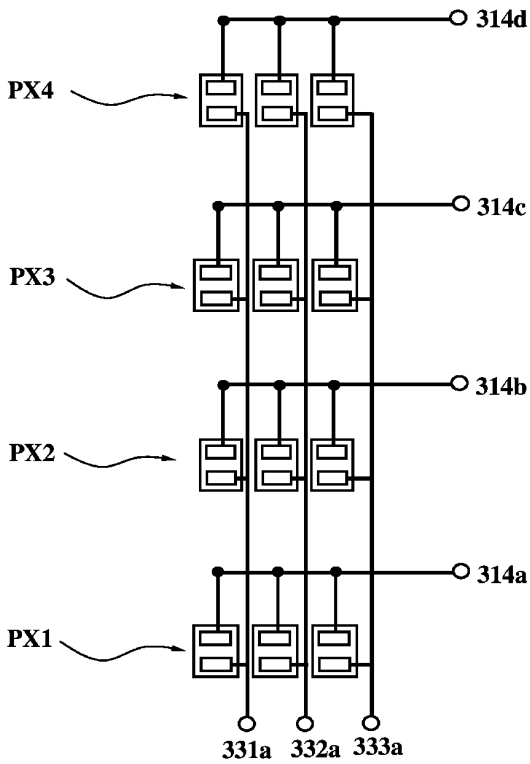


图 19

【 图 2 0 】

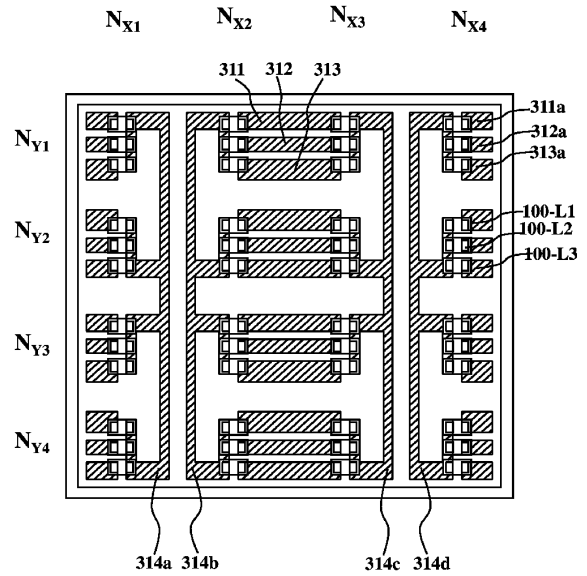


图 20

20

30

40

50

【 図 2 1 】

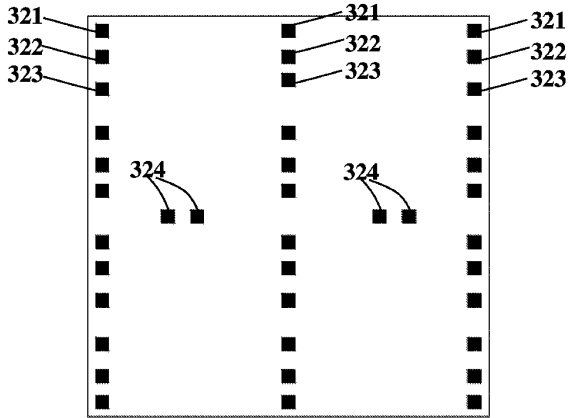


图 21

【 图 2 2 】

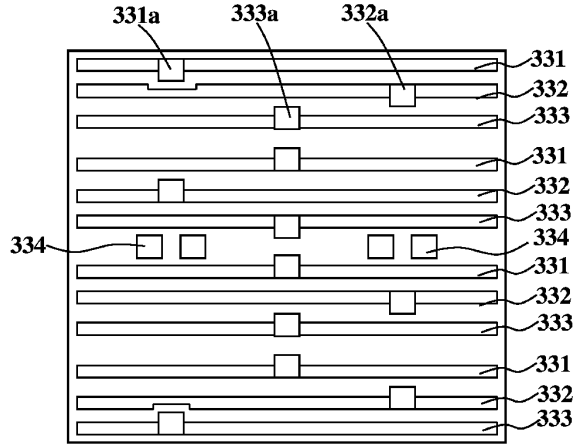


图 22

【 图 2 3 】

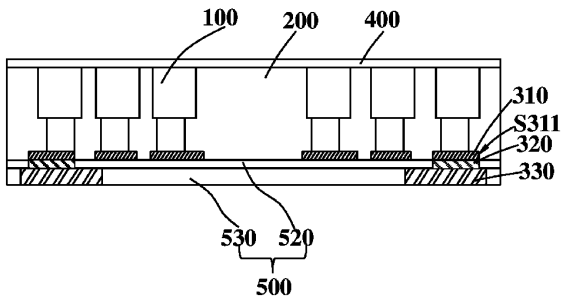


图 23

【 图 2 4 】

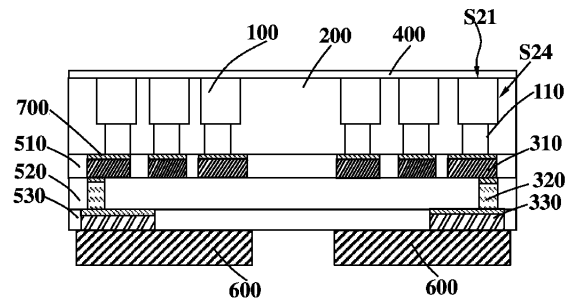


图 24

10

20

30

40

50

【 2 5 】

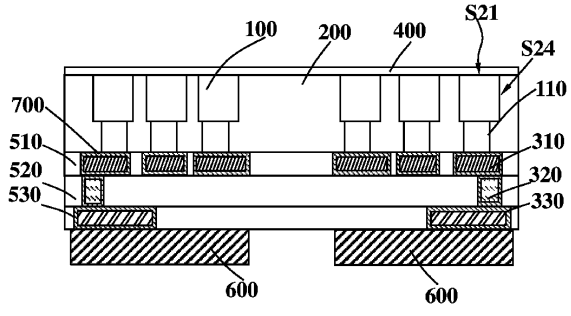


图 25

10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 0 1 L 33/62 (2010.01)

中国(CN)

(31)優先権主張番号 201921554475.X

(32)優先日 令和1年9月18日(2019.9.18)

(33)優先権主張国・地域又は機関

中国(CN)

(31)優先権主張番号 202020278177.9

(32)優先日 令和2年3月9日(2020.3.9)

(33)優先権主張国・地域又は機関

中国(CN)

嶺路1721-1725号

(72)発明者 時 軍朋

中国361009福建省廈門市思明区呂嶺路1721-1725号

(72)発明者 曹 愛華

中国361009福建省廈門市思明区呂嶺路1721-1725号

(72)発明者 余 長治

中国361009福建省廈門市思明区呂嶺路1721-1725号

(72)発明者 徐 宸科

中国361009福建省廈門市思明区呂嶺路1721-1725号

(72)発明者 廖 啓維

中国361009福建省廈門市思明区呂嶺路1721-1725号

(72)発明者 李 佳恩

中国361009福建省廈門市思明区呂嶺路1721-1725号

(72)発明者 吳 政

中国361009福建省廈門市思明区呂嶺路1721-1725号

合議体

審判長 藤田 年彦

審判官 芝沼 隆太

審判官 波多江 進

(56)参考文献 中国特許出願公開第109952641(CN, A)

国際公開第2019/066491(WO, A1)

特開2010-171170(JP, A)

特開2013-38212(JP, A)

(58)調査した分野 (Int.Cl., DB名)

H01L 33/00-33/64