

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H04N 3/14 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년03월03일 10-0555609 2006년02월21일
--	-------------------------------------	--

(21) 출원번호	10-1999-7011301	(65) 공개번호	10-2001-0013306
(22) 출원일자	1999년12월02일	(43) 공개일자	2001년02월26일
번역문 제출일자	1999년12월02일		
(86) 국제출원번호	PCT/US1998/011209	(87) 국제공개번호	WO 1998/54890
국제출원일자	1998년06월01일	국제공개일자	1998년12월03일

(81) 지정국                    국내특허 : 브라질, 중국, 일본, 대한민국,  
  
                                  EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴, 핀란드, 사이프러스,

(30) 우선권주장            08/867,577                    1997년06월02일            미국(US)

(73) 특허권자                다이얼로그 세미컨덕터 게엠베하  
                                  독일, 키르하임-나베른, 디-73230, 노이에 스트라세 95

(72) 발명자                    사우어,도날드,제이.  
                                  미국08501뉴저지앨런타운트윈드라이브8

(74) 대리인                    남상선

심사관 : 박진우

(54) 개선된 곡선인자를 가진 CMOS 영상 센서

요약

본 발명은 능동 화소(110) 센서 및 방법에 관한 것이다. 본 발명의 일 실시예에 따르면, 광검출기(116)는 광검출기에 의해 감지된 광에 따라 플로팅 확산 노드(115)에 전압을 발생시킨다. 능동 엘리먼트는 제어단자가 출력라인에 접속될 수 있다. 능동 엘리먼트는 플로팅 확산 노드 전압의 크기와 관련된 크기를 가진 출력전압을 출력 라인에 제공하도록 구성된다.

대표도

도 1

명세서

기술분야

본 발명은 영상 장치, 특히 개선된 곡선인자를 가진 상보형 금속산화물 반도체(CMOS) 영상 센서에 관한 것이다.

## 배경기술

오늘날에는 전하 결합 장치(CCD) 영상 센서 및 상보형 금속산화물 반도체(CMOS) 영상 센서를 포함하는 다양한 형태의 영상기들 또는 영상 센서가 사용되고 있다. CMOS 영상 센서는 전형적으로 능동 화소 영상 센서의 어레이 및 상기 화소 영상 센서 어레이의 소정 행에 대한 출력을 샘플링 및 홀딩하는 상관형 이중-샘플링(CDS) 회로 또는 증폭기의 행 또는 레지스터를 이용한다. 화소 어레이의 각 능동 화소 영상 센서는 전형적으로 화소 증폭장치(보통 소스 폴로워)를 포함한다. 능동 화소 센서(APS)라는 용어는 각 화소와 연관된 트랜지스터와 같은 능동 소자 내의 전자 영상 센서를 말한다. CMOS 영상 센서는 종종 CMOS APS 영상기 또는 CMOS 능동 화소 영상 센서라고도 한다. 어레이의 각 화소에 대한 능동 화소 영상 센서와 부가 회로는 여기에서 APS 회로로서 언급될 것이다.

CMOS 영상 센서는 CCD 영상 센서에 비해 여러 장점을 가진다. 예를 들어, CCD 영상 센서는 복잡한 제조 조건과 고비용으로 인해 CMOS 공정 주변회로와 쉽게 집적되지 않는다. 그러나 CMOS 영상 센서는 CMOS 영상 센서를 동작시키는데 필요한 주변 회로와 동일한 CMOS 공정 기술로 형성되기 때문에, 이러한 센서는 집적회로(IC) 제조공정을 사용하여 단일 시스템 온-칩 내에 용이하게 집적된다. CMOS 영상 센서를 사용함으로써, 제어논리 및 타이밍 회로, 영상처리회로 및 아날로그 디지털(A/D) 변환과 같은 신호 처리회로를 단일 센서 칩 내에 단일체로 집적하는 것이 가능하다. 따라서, CMOS 영상 센서는 표준 CMOS IC 제조방법을 사용하여 CCD 영상 센서에 비해 저비용으로 제조될 수 있다.

더욱이, CCD 영상 센서는 그들을 구동하기 위해 개별 전원에 의한 3개의 다른 입력전력을 요구한다. CCD 영상 센서는 비교적 높은 공급 전압을 필요로 하며, 그 결과 비교적 높은 전력을 요구한다. 대조적으로, CMOS 장치는 주변회로를 구동하는데 사용될 수 있는 단일 전원만을 필요로 한다. 이는 전력소비 관점에서 CMOS 영상 센서에 장점을 제공하며, 또한 전원이 점유하는 칩 영역 또는 전원에 의해 점유된 "실제 점유공간" 관점에서 장점을 제공한다. CMOS 영상 센서는 동작에 요구되는 비교적 낮은 전압 때문에 그리고 판독 동안 APS 어레이 중 하나의 화소 행만 활성화되면 되기 때문에 저전력 요건을 가진다.

그러나 이들 장점에도 불구하고, CMOS 영상 센서는 CCD 영상 센서에 비하여 여러 가지 단점을 가진다. 예를 들어, 종래의 CMOS 영상 센서 구성에서, APS 화소 회로의 선택된 또는 활성화 행은 수평 귀선 소거 기간 동안 CDS 회로의 행에 병렬로 판독된다. 그 다음에, CDS 회로의 행의 출력은 수평 시프트 레지스터에 의해 빠르게 주사되어 공통 출력포트의 라인 출력을 판독한다. 이러한 방법의 한 문제점은 CDS 회로간의 임의의 비매칭이 포착 영상에 열 고정 패턴 잡음(FPN) 인조잡상을 유발한다는 것이다. 이러한 비매칭은 CDS 회로에 의해 제공되는 신호 증폭 및 처리에 있어서의 서로 다른 dc 및 이득 오프셋에 의해 유발된다. CMOS 영상 센서에 의해 발생한 FPN 인조잡상은 영상 전반에 걸쳐 랜덤하게 분포되지 않고 행 단위로 배열되기 때문에 매우 잘 보인다. CCD 장치는 포착된 실제 신호 전하가 일련의 CCD 레지스터에 전달 및 저장되어, 신호 이득 차 및 열 사이의 오프셋에 의해 영향을 받지 않기 때문에 FPN 인조잡상이 거의 없다.

따라서 현재의 CMOS 영상 센서는 과도한 FPN 때문에 그리고 (과도한 FPN에 의해 부분적으로 감소하는) 제한된 동적 범위(약 72dB), 및 낮은 민감도를 유발하는 낮은 곡선 인자(광검출기 영역 대 APS 화소 회로의 전체 영역의 비) 때문에 CCD 영상기와 비교하여 여전히 열등한 영상품질을 가진다. 따라서 개선된 CMOS 영상 센서에 대한 필요성이 제기되었다.

## 발명의 상세한 설명

본 발명은 능동 화소 센서 및 방법에 관한 것이다. 본 발명의 일 실시예에 따르면, 광검출기는 광검출기에 의해 감지된 광에 따라 플로팅 확산 노드에 전압을 발생시킨다. 능동 엘리먼트는 제어단자가 플로팅 확산 노드에 접속되며 출력단자가 출력라인에 직접 접속될 수 있다. 능동 엘리먼트는 플로팅 확산 노드 전압의 크기와 관련된 크기를 가진 출력전압을 출력라인에 제공하도록 구성된다.

## 도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 CMOS 영상 센서 APS 화소 회로와 열 병렬 스위칭 커패시터 상관 이중 샘플링(CDS) 회로의 회로도.

도 2는 본 발명에 따라 도 1의 APS 회로 및 CDS 회로를 동작시키는데 사용된 파형을 기술하는 타이밍도.

도 3은 본 발명의 일 실시예에 따라 열 고정 패턴 잡음을 감소시키기 위하여 도 1의 CDS 회로의 잔류 dc 열 오프셋 및 이득 오프셋을 보정하는 방법을 기술하는 흐름도.

**실시예**

이하에서는 도면을 참조하여 본 발명을 더 상세히 설명할 것이다.

**CMOS 영상 센서 회로**

도 1에는 본 발명의 일 실시예에 따른 CMOS 영상 센서 APS 회로(110)와 열 병렬 스위칭 커패시터 CDS 회로(150)의 회로도(100)가 도시되어 있다. 본 발명의 일 실시예에 따르면, APS 회로(110)는 640(H)×480(V) APS 어레이(도시 안됨)의 하나이고, CDS 회로(150)는 640개의 CDS 회로 행의 하나이며, 이와 같은 한 행은 APS 어레이의 각 열에 대한 것이다.

동작시, APS 어레이의 소정 라인 또는 행의 디스플레이 이전의 수평 귀선 소거 기간 동안 APS 회로의 소정 행이 활성화된다. 각각의 APS 회로는 이전의 집적(integration) 기간(광검출기가 전하를 집적하는 기간) 동안 APS 회로의 광검출기 영역에 공급되는 광의 강도와 관련된 출력 전압신호를 제공한다. 활성화된 행의 각 APS 회로의 출력신호는 동일한 열에 대한 CDS 회로에 의해 샘플링 및 홀딩된다. 그 다음에, 640개의 CDS 회로의 각각의 출력은 버퍼에 연속적으로 공급되어, 각 열에 대한 신호가 증폭되고, 필요에 따라 추가 신호 처리를 위해 A/D 컨버터(도시 안됨)에 공급되어 모니터(도시 안됨)상에 디스플레이된다.

**개선된 곡선인자를 가진 APS 회로**

APS 어레이의 한 화소를 나타내는 APS 회로(10)는 광검출기(116) 및 3개의 NMOS 전계효과 트랜지스터(M1, M2, M3)를 포함한다. 일 실시예에 있어서, 광검출기(116)는 가상 게이트 매립형 n-채널 광검출기이다. APS 회로(110)는 또한 다음과 같은 신호, 즉 전송 게이트 신호(TR), 위상 리셋 신호(PR), VRow(y) 및 Col\_Read(x)를 공급하는 버스 라인에 접속된다. 광검출기(116)는 접지와 트랜지스터(M1)의 소스 단자 사이에 전기적으로 접속된다. 트랜지스터(M1)의 게이트 단자는 TR 신호 라인에 접속되며, 트랜지스터(M1)의 드레인 단자는 트랜지스터(M2)의 소스 단자 및 트랜지스터(M3)의 게이트 단자에 접속되며, 이들의 접점은 플로팅 확산(FD) 감지 노드(115)를 형성한다. PR 신호 라인은 트랜지스터(M2)의 게이트 단자에 접속되며, 라인 VRow(y)는 트랜지스터(M2, M3)의 드레인 단자에 접속된다. 트랜지스터(M3)의 소스 단자는 Col\_Read(x) 라인을 통해 CDS 회로(150)에 접속된다. 삽입 심볼(x) 및 (y)은 APS 화소 어레이의 열(x 좌표) 또는 행(y 좌표)을 기술하는 x-y 좌표 시스템을 말하며, 이는 어레이의 선택된 열 및 행이 활성화를 위해 지정되도록 한다.

트랜지스터(M1)는 축적된 광 신호 전하를 관측하는 동안 광검출기(116)로부터 FD 노드(115)로의 전하 전송을 제어하는데 사용된다. 트랜지스터(M2)는 FD 노드(115)를 기준레벨로 리셋하기 위하여 사용된다. 트랜지스터(M3)는 선택된 행에서 열 판독 라인(Col\_Read(x))을 구동하기 위한 소스 폴로워로서 사용된다. 트랜지스터(M3)는 또한 APS 어레이의 다른 행이 판독되는 기간 동안 분리 스위치로 사용된다. 이전의 APS 회로는, 때때로 행 선택 트랜지스터라고 불리는 제 4 트랜지스터가 트랜지스터(M3)의 소스와 Col\_Read(x) 라인 사이에 직렬로 접속된다는 점을 제외하고, APS 회로가 판독되지 않고 있을 때, 즉 APS 회로를 포함하는 행이 활성화되지 않을 때 APS 회로를 Col\_Read(x) 라인과 같은 공통 라인에 접속된 다른 APS 회로로부터 분리하는 APS 회로(110)의 트랜지스터(M3)와 기능이 유사한 트랜지스터를 가진 구조를 이용한다. 그러나 APS 회로(110)는 출력이 행 선택 트랜지스터를 통해 Col\_Read(x) 출력라인에 접속되는 것이 아니라 출력을 Col\_Read(x) 출력라인에 직접 접속한 소스 폴로워 트랜지스터(M3)를 포함한다.

일반적으로 행 선택 트랜지스터에 의해 실행되는 분리 기능은 본 발명에서 도 2의 타이밍도(200)와 관련하여 이하에 더 상세히 기술되는 바와 같이 트랜지스터(M3)의 드레인 및 게이트 전압을 제어함으로써 수행된다. APS 회로(110)가 4개의 트랜지스터 대신에 단지 3개의 트랜지스터만을 사용하기 때문에, 칩 레이아웃에서 더 큰 영역이 광검출기(116)에 할애되어 높은 곡선 인자가 달성될 수 있다. 곡선 인자는 광검출기 영역 대 APS 회로 레이아웃의 전체 영역의 비로 정의된다.

본 발명의 다른 실시예에 있어서, N+ p-기판 광다이오드와 같은 가상 게이트 매립형 n-채널 광검출기 또는 광게이트 검출기 대신에 다른 형태의 광검출기가 광검출기(116)에 사용될 수 있다. 그러나 가상 게이트 매립형 n-채널 광검출기는 넓은 스펙트럼 대역에 걸쳐 우수한 양자 효율을 가지며, 완전한 전하 전송 모드로 동작할 수 있으며, 이는 후술하는 바와 같이 FD 노드(115) 상의 kTC 리셋 잡음이 CDS 회로(150)에 의해 제거될 수 있게 한다. 더욱이, 가상 게이트 광검출기는 다결정 광게이트보다 더 양호한 블루(blue) 응답을 제공한다. 그러나 가상 게이트 검출기의 제조는 통상적인 CMOS 공정과 비교하여 두 개의 추가 실행단계를 필요로 하여, 기존의 저비용 IC 제조공정으로 실행될 수 없다. 대조적으로, 광다이오드 검출기는 표준 CMOS 공정을 수정하지 않고 사용될 수 있다.

본 발명의 일 실시예에서, APS 회로(110)는 0.5 $\mu$ m CMOS 단일-폴리실리콘 3중금속(SPTM) 공정 설계 방식 및 기술로부터 형성되며, 여기서 각각의 APS 회로는 47% 곡선 인자를 가진 3-트랜지스터 NMOS 7.5 $\times$ 7.5 $\mu$ m 능동 화소이다. 이는 예를 들어 1/3" 광학과 양립할 수 있는 4.8 $\times$ 3.6mm 영상 크기를 가진 640(H) $\times$ 480(V) APS 어레이에 사용될 수 있다. 본 발명의 다른 실시예에 있어서, APS 회로(110)는 34% 곡선 인자를 갖는 3-트랜지스터 NMOS 5.6 $\times$ 5.6 $\mu$ m 능동 화소이다. 이는 예를 들어 1/4" 광학과 양립할 수 있는 3.6 $\times$ 2.7mm 영상 크기를 가진 640(H) $\times$ 480(V) APS 어레이에 사용될 수 있다. 이들 곡선 인자는 각각의 APS 회로에 4개 이상의 트랜지스터가 사용되는 경우에 얻을 수 있는 것보다 높다.

### 스위칭 커패시터 CDS 회로

트랜지스터 MN1의 게이트 단자는 로드 라인에 접속되며, 트랜지스터(MN1)의 소스 단자는 20 $\mu$ A 로드 전류(IL)를 제공하는 전류원(155)에 접속된다. 트랜지스터(MN1)의 드레인 단자는 CoL\_Read(x) 라인을 통해 APS 회로(110)의 출력에 접속되며, 50k $\Omega$ 의 저항을 가지는 저항기(R1)의 단자에 접속된다. 저항기(R1)의 다른 단자는 트랜지스터(M4)의 소스 단자에 접속되며, 트랜지스터(M4)의 게이트 단자는 샘플-홀드 라인(SH)에 접속된다.

트랜지스터(M4)의 드레인 단자는 노드(157)에서 커패시터(C1)를 통해 접지에 접속되며 또한 커패시터(C2)의 한 단자에 직접 접속된다. 각각의 커패시터(C1, C2)는 4pF의 커패시턴스를 가진다. 커패시터(C2)의 다른 단자는 노드(156)에서 트랜지스터(M5)의 소스 단자에 그리고 트랜지스터(M6)의 드레인 단자에 접속된다. 트랜지스터(M5)의 게이트 단자는 클램프 라인(CL)에 접속되며, 트랜지스터(M5)의 드레인 단자는 기준전압 라인(VR)에 접속된다. 트랜지스터(M6)의 게이트 단자는 열 선택 라인(CoL\_Sel(x))에 접속되며, 트랜지스터(M6)의 소스는 버퍼(도시 안됨)에 접속된 수평 신호라인(HSig)에 접속되며, 수평 신호라인(HSig)은 2pF 기생 커패시터(Cs)를 통해 접지에 접속되며, 트랜지스터(M7)의 소스 단자에 접속된다. 트랜지스터(M7)의 게이트 단자는 위상 수평 리셋(PHR) 신호라인에 접속되며, 트랜지스터(M7)의 드레인 단자는 기준전압라인(VR)에 접속된다.

CDS 회로(150)에서, 스위치(M4, M5, M6)와 함께 커패시터(C1, C2)는 각 열에 대한 CDS 기능을 실행하는데 사용되며 버퍼로의 수평 판독을 수행하는데 사용된다. 따라서, 입력신호는 이하에서 더 상세히 설명된 바와 같이 능동 소자에 의해 버퍼링 되지 않고 CoL\_Read(x) 라인을 통해 CDS 회로(150)에 의해 수신된 다음 HSig 라인에 제공된다. 능동 증폭기는 CDS 및 수평 판독기능을 수행하기 위하여 신호를 버퍼링하는 종래의 CDS 회로에 사용된다. 이들 능동 증폭기는 출력신호의 피크-피크 전압의 0.5% 이상의 FPN 레벨을 야기하는 dc 및 이득 오프셋을 가진다.

단지 CDS 회로(150)의 스위칭 커패시터(C1, C2)를 사용하여 APS 회로(110)에 의해 CoL\_Read(x) 라인상에 제공된 출력 신호를 클램핑, 샘플링 및 홀딩, 판독함으로써, 능동 증폭기의 dc 및/또는 이득 오프셋으로 인한 열 비매칭의 주원인이 제거된다. 열마다 커패시터(C1, C2)의 값들 사이의 비매칭으로 인해 CDS 회로(150)에 있어서 나머지 2차 dc 및 이득 오프셋 비매칭이 있다. 그러나 커패시터 매칭은 게이트 산화물 유전체로 형성된 커패시터를 사용하여 전형적으로 0.1%보다 양호하다. 따라서 단지 수동 스위칭 커패시터 회로를 사용하여 출력 화소 신호를 샘플링 및 홀딩함으로써, CDS 회로(150)는 피크-피크 CDS 출력전압의 0.1% 이하까지 FPN을 열 단위로 감소시킨다.

CDS 회로(150)의 기능은 APS 출력전압의 변화를 나타내는 노드(156)에서 CDS 출력전압을 포착한 다음, CDS 출력전압에 기초한 전압을 HSig 라인에 공급하는 것이다. 이를 실행하기 위하여, APS 출력전압의 변화는 CDS 출력 전압에 반영되어야 하나, APS 기준전압과 이 APS 기준전압의 일부분인 임의의 kTC 잡음성분에는 반영되지 않아야 한다. 첫째, 이하에 더 상세히 기술된 바와 같이, 기준전압(VR)과 APS 기준전압과의 차가 커패시터(C2)에 공급된 다음, 노드(156)에서의 CDS 출력전압은 기준전압(VR)에서 초기에 플로팅된다. 그 다음에, APS 출력전압이 변화한 후에, 새로운 APS 출력전압이 노드(157)에 공급되어, 노드(156)에서의 CDS 출력전압을 APS 출력전압의 변화와 동일한 양만큼 강하시킨다. 다음에, 커패시터(C1, C2)는 APS 회로(110)와 분리되어 직렬 커패시턴스를 형성하며, APS 출력전압은 커패시터(C1, C2)의 직렬 접속에 저장된 순 신호 전하로서 표현된다. 그 다음에, 커패시터(Cs)가 초기에 기준전압(VR)으로 충전되었기 때문에 노드(156)는 HSig 라인에 접속하여 커패시터(C1, C2) 및 기생 커패시턴스(Cs) 사이의 공지된 상호관계에 따라 HSig 라인상에 새로운 전압을 제공한다.

CDS 회로(150)는 3개의 스위치(트랜지스터 M4, M5, M6)에 접속된 두 개의 커패시터(C1, C2)를 제공함으로써 상기와 같은 기능을 수행할 수 있으며, 제 1 스위치(M4)는 APS 회로(110)로부터 포착될 입력 신호를 공급하는 CoL\_Read(x) 라인에 제 1 및 제 2 커패시터(C1, C2)의 제 1 단자들의 접속점(노드 157)을 선택적으로 접속한다. 제 2 스위치(M5)는 제 2 커패시터(C2)의 제 2 단자에 접속된 노드(156)를 기준전압(VR)에 선택적으로 접속하며, 제 3 스위치(M6)는 노드(156)를 HSig 라인에 선택적으로 접속한다.

## APS 회로 및 스위치 커패시터 CDS 회로의 동작

도 2에는 본 발명에 따라 수평 귀선 소거 기간 동안 도 1의 APS 회로(110) 및 CDS 회로(150)를 동작시키는데 사용된 파형을 기술하는 타이밍도(200)가 도시되어 있다. 라인 VRow(y), PR(y), 로드, TR(y), CL 및 SH에 인가되는 입력신호들은 프로세서(120)와 같은 범용 프로그래밍 프로세서와 같은 신호발생회로에 의해 발생한다.

### 초기 리셋

현재의 행에 대한 수평 귀선 소거 기간 전에, 광검출기(116)는 이전 집적기간 동안 광검출기(116)의 표면영역에 도달하는 광 강도에 따라 전하를 축적 또는 집적한다. 집적 기간은 프레임 디스플레이율에 따라 이전의 행 판독 후 APS 회로(110)를 포함하는 행이 리셋된 후, 전형적으로 1/30 또는 1/60초 후에 시작된다. 행이 판독된 후에, 각각의 APS 회로는 로우(Low)에서 하이(HIGH)(5V)로 스위칭 되는 PR(y), 및 하이(HIGH)(2.5V)에서 로우(Low)(0.5V)로 스위칭 되는 TR(y) 라인 상의 신호에 의해 리셋된다. APS 회로(110)가 리셋될 때, 광검출기(116)는 대략 2.0V의 전압으로 설정되며, TR(y)이 로우(Low)로 되어 트랜지스터(M1)가 개방되기 때문에 APS 회로(110)의 리셋에 대해 플로팅된다.

집적기간 동안, 광검출기(116)의 표면영역 상에 충돌하는 광자인 음의 전하가 축적되어 집적기간 동안 축적된 광의 강도에 따라 초기 2.0V 전압을 강하시킨다. 이 전압은 블루밍(blooming)을 막기 위하여 대략 0V로 클램핑된다. 블루밍은 화소 포화 이상의 과도한 전하가 인접 화소로 넘치는 현상이며, 블러링(blurring) 및 관련 영상 인조잡상을 발생시킨다. 수평 귀선 소거 기간 초기에, 광검출기(116)에 전하와 이에 수반하는 2.0V 내지 0V 범위의 전압이 존재하게 된다. 이 전하는 FD 노드(115)에 전송되어, 대응하는 음 전압 변화를 발생시킨다. 그 다음에, 이 전압 변화는 이하에 더 상세히 기술된 바와 같이 CDS 회로(150)에 전송되어 샘플링된다.

### 소스 플로워 트랜지스터의 분리기능

이전 APS 회로에서, VRow(y) 라인은 일정한 전력 공급 전압을 공급한다. 본 발명에서, VRow(y)는 수평 귀선 소거 기간 동안만 5V를 제공하므로, 트랜지스터(M3)가 행 선택 트랜지스터에 의해 이전에 제공된 분리기능을 제공할 수 있다. VRow(y)가 오프, 즉 1V 신호를 제공하고 PR(y)가 하이(HIGH)이면, 트랜지스터(M2)가 턴온되며, 이는 FD 노드(115)와 트랜지스터(M3)의 게이트를 라인 VRow(y)상의 전압, 즉 대략 1V로 클램핑한다. 따라서 현재의 행(현재의 APS 회로(110))이 비활성화 상태에 있을 때, 트랜지스터(M3)의 게이트 단자는 게이트 단자가 PR(y)로 높게 유지된 트랜지스터(M2)에 의해 VRow(y)로 낮게 유지된다. 이는 APS 회로(110) 및 Col\_Read(x) 사이에 개방회로를 제공함으로써 트랜지스터(M3)를 턴오프되도록 하여, APS 회로(110), 라인 Col\_Read(x) 및 이 Col\_Read(x) 라인에 접속된 다른 479개의 APS 회로 사이를 분리시킨다. 이러한 방식으로, APS 어레이의 다른 행이 활성화될 때, 즉 APS 회로(110)의 집적기간 동안, 게이트 단자에서의 출력신호를 소스 단자 측의 열 판독라인(Col\_Read(x))에 공급하는 소스 플로워로서 사용되는 트랜지스터(M3)가 분리 스위치로도 사용된다.

### 수평 귀선 소거 기간동안 출력신호 판독 포착

수평 귀선 소거 기간의 초기에, 라인(VRow(y))상의 신호는 1V에서 5V로 스위칭 되는 반면에 라인(PR(y))상의 전압은 5V를 유지한다. 이는 FD 노드(115)를  $(5V - V_{tn})$ 로 리셋하며,  $V_{tn}$ 은 트랜지스터(M2)의 임계전압이다.  $V_{th}$ 는 대략 0.6V이어서, FD 노드(115)에서의 전압은 대략  $4.4V \pm$  소량의 kTC 잡음, 전형적으로 1밀리볼트(0.001V) 이하의 크기 전압으로 설정된다. 다음에, 라인(PR(y))은 하이(HIGH)에서 로우(Low)로 스위칭되어 트랜지스터(M2)를 스위칭 오프하고, 그 결과 FD노드(115)는 전하가 광검출기(116)로부터 전송될 때 그것의 전압이 강해질 수 있도록 플로팅되게 한다. 트랜지스터(M2)가 스위칭오프될 때 트랜지스터(M2)의 MOS 채널의 저항의 열 잡음에 의해 kTC 잡음(여기서 k는 볼츠만 상수이며, T는 온도이며, C는 커패시턴스이다)이 야기된다. 예를 들어, 특정 리세팅 예에서, kTC 잡음은 0.001V일 수 있다.

FD 노드(115)의 사전 설정된 대략 4.4V의 전압은 TR(y)가 짧은 시간 후에 하이(HIGH)로 스위칭 될 때 광검출기(116)로부터의 전하 전송에 의해 강해질 수 있는 충분히 높은 초기 전압이다. 이러한 방식으로 FD 노드(115)에 전압을 리세팅하는 것은 노드가 광검출기(116)로부터 전송된 전하를 수신할 수 있기 때문에 노드의 사전설정 또는 사전충전이라 할 것이다.

다음에, 로드 라인은 하이로 스위칭 되어 CDS 회로(150)의 트랜지스터(MN1)로 스위칭 되며, 그 결과 전류원(155)은 소스 폴로워 트랜지스터(M3)의 소스 단자를 통해 전류(IL)를 추출하도록 한다. 라인(VRow(y))상의 5V 전위는 소스-폴로워 모드에서 트랜지스터(M3)에 대한 드레인 전위로서 사용된다. 이에 따라, 트랜지스터(M3)는 대략 0.6V의 임계전압을 뺀 게이트 전압과 대략 동일한 Col\_Read(x) 라인상의 전압을 출력하는 소스-폴로워 증폭기로서 동작한다.

따라서 전류의 예를 사용하면, 트랜지스터(M3)의 게이트에서의 전압이 대략  $4.4V + kTC$  잡음 =  $4.401V$ 이기 때문에, Col\_Read(x) 라인상의 출력전압은 광신호 전하가 FD 노드(115)에 전송되기 전에 대략  $3.8V + kTC$  잡음 =  $3.801V$ 이다. 이러한 스테이지에서 Col\_Read(x)상의 전압(3.801V)은 광신호 전하가 FD 노드(115)에 전송될 때 야기될 전압 차를 측정하는 기준으로 사용되기 때문에 APS 기준전압이라 한다. 일반적으로, Col\_Read(x) 라인상에 나타나고 소스 폴로워 트랜지스터(M3)에 의해 발생하는 출력전압은 APS 출력전압이라 할 수 있다. CDS 회로(150)에 의해 포착될 신호는 광신호 전하가 FD 노드(115)에 전송된 후의 APS 출력전압과 APS 기준전압 사이의 차이이며, 이 기준전압은 kTC 잡음으로 인한 성분을 포함할 수 있다. 이 신호는 FD 노드(115)에 전송될 광신호 전하의 품질에 의해 야기된 차이이며, 집적기간 동안 광검출기(116)상에 충돌하는 광의 강도를 나타낸다.

로드 라인이 하이(HIGH)로 스위칭 된 후 대략  $3\mu s$  동안, 전송 게이트 라인(TR)은 대략 0.5로 유지되며, 샘플-홀드 펄스(SH)뿐만 아니라 클램프 펄스(CL)가 CDS 회로(150)에 공급되어 CDS 회로(150)의 커패시터(C2)에 출력 기준전압(-VR)을 저장한다. CL 및 SH가 하이(HIGH)로 진행하면, 트랜지스터(M5, M4)는 개방상태로 스위칭된다. 이는 3.801V의 APS 기준전압이 노드(157)에 공급되고 기준전압(VR(3V))이 노드(156)에 공급되도록 하며, 기준전압(VR(3V))은 CDS 출력전압으로써 언급될 수 있다. 따라서, 커패시터(C2)는 (3-APS 기준전압)의 차동전압 =  $(3 - (3.8 + kTC \text{ 잡음})) = (3 - 3.801) = -0.801V$ 에 대응하는 전하를 수신한다. 이는 이하에 기술된 바와 같이 kTC 잡음이 제거되도록 한다. 가상 게이트 검출기 대신에 광다이오드를 사용할 때, 광다이오드의 리세팅과 연관된 kTC 잡음은 CDS 처리에 의해 제거될 수 없다.

이러한 경우에, kTC 잡음은 10fF의 광검출기 커패시턴스를 가정하는 관독 잡음 플로워에 약 40 전자 rms를 더할 것이다.

다음에, SH 라인이 하이(HIGH)로 유지되는 동안 CL 라인은 낮은 전압으로 스위칭되어, 노드(156)에서의 CDS 출력전압이 플로팅되도록 한다. 따라서, 노드(157)에서의 전압이 포착된 광 전하에 따른 Col\_Read(x) 라인상의 음의 계단식 출력전압 변화에 따라 변화할 때, 노드(156)에서의 CDS 출력전압은 그것이 노드(157)에서의 전압 이하의 0.801V를 유지하기 때문에 동일한 양만큼 강하할 것이다.

CL이 로우(LOW)로 스위칭 된 후  $1\mu s$  보다 짧은 시간에, 라인(TR(y))은 0.5V에서 2.5V로 높게 스위칭 되며, 이는 트랜지스터(M1)가 스위칭되도록 한다. 이것은 광검출기(116)상에 집적기간 동안 저장된 임의의 전하가 트랜지스터(M1)를 통해 FD 노드(115)에 전송되도록 한다. 이는 축적되는 전하의 양에 비례하게 FD 노드(115)의 전압(예를 들어, 4.401V)을 강하시키며, 축적된 전하 자체는 집적기간 동안 화소에 의해 수신된 광의 강도에 비례한다. FD 노드(115)의 커패시턴스는 광검출기(116)의 커패시턴스보다 다소 작아서 전압 차를 증폭시킬 수 있다. 왜냐하면, 전하가 관련 전하 = 커패시턴스 \* 전압의 변화에 따라 유지되기 때문이다. 본 발명의 일 실시예에 있어서, 이러한 증폭은 대략 2 정도이어서, 전하의 축적에 의해 야기된 광검출기(116)의 음의 전압 변화는 FD 노드(115)의 큰 전압 변화에 대응한다. 예를 들어, 광검출기(116)에서의 -0.5V 변화는 FD 노드(115) 및 Col\_Read(x) 라인에서 -1V의 변화를 야기한다.

따라서, 라인(TR(y))이 2.5V로 스위칭될 때, 광검출기(116)에 저장된 광 신호 전하는 FD 노드(115)상에서 스위칭되어, Col\_Read(x) 라인상의 음의 신호 전압 계단을 야기한다. 예를 들어, FD 노드(115)에서 -1V의 전압 변화가 발생하면, FD 노드(115)에서의 전압은 4.401V에서 3.301V로 강하하며, Col\_Read(x) 라인상의 전압은 3.801V에서 2.801V로 강하하며, 여기서  $2.801V = (3.8V + kTC \text{ 잡음}) - 1V$ 이다.

SH가 하이(HIGH)로 유지되는 동안, Col\_Read(x) 라인상의 새로운 출력전압(2.801V)은 노드(157)에서 커패시터(C1)에 공급된다. 즉, 노드(157)에서의 전압은 감지된 광의 변화량을 나타내는 1V만큼 강하한다. 노드(156)에서의 CDS 출력전압이 플로팅되기 때문에, CDS 출력전압은 1V만큼(VR=3으로부터) 강하하며 노드(157)의 전압 이하의 0.801V를 유지하여, 전압(2.801-0.801) 또는  $(3-1) = 2.0V$ 를 가진다. 따라서, Col\_Read(x) 라인상의 전압 변화로 인한 전압 변화만이 노드(157)에서의 새로운 전압에 반영되기 때문에, kTC 잡음은 효율적으로 제거되어 HSig 라인에 공급된 전압에 영향을 미치지 않는다.

라인(SH)상의 샘플-홀드 펄스는 트랜지스터(M4)와 이에 접속된 나머지 회로로부터 커패시터(C1, C2)의 직렬 결합을 분리시키기 위하여 대략  $3\mu s$  동안 하이로 유지된 후 로우(LOW)로 변화된다. 따라서, 이 지점에서, CDS 출력전압은 2pF의 결합 임피던스를 가진 커패시터(C1, C2)의 직렬 결합에 걸린 2.0V이다. 따라서, 스위칭된 커패시터를 사용함으로써, 상기

지점에서의 CDS 회로는 알려진 커패시턴스에 걸리는 알려진 기준전압(VR)으로부터 전압 변화를 야기하며, 이 전압의 변화는 APS 출력전압의 변화에만 대응하며 임의의 kTC 잡음에 대응하지 않는다. APS 출력 전압 그 자체의 변화가 광검출기(116)상에 축적된 전하의 양에 대응하기 때문에 CDS 출력전압은 CDS 출력전압이 원래 알려진 기준전압(VR)이었기 때문에 광검출기(116)에 의해 집적된 광의 양을 결정하는데 사용될 수 있다.

### 다른 집적기간에 대한 리세트

따라서 이 집적기간의 끝에서, 노드(156)에서의 전압은 기준전압(VR)(보통 3V) 빼기 신호전압 성분과 동일하며, 신호전압 성분은 커패시터(C1, C2)의 직렬 접속에 의해 순수 신호 전하로서 저장된다. 라인(SH)이 로우(LOW)로 스위칭된 후에, 소스 폴로워 로드 전류(IL)는 로드 라인을 로우(LOW)로 스위칭함으로써 제거되며, 라인(PR(y))은 5V로 스위칭 되며, 라인(TR(y))은 하이(HIGH)를 유지한다. 이는 대략 2.0V로 광검출기(116)를 리세트하며, 그 다음에 라인(TR(y))은 광검출기(116)를 분리하기 위하여 저전력으로 스위칭되어 광검출기(116)는 다음 집적기간 동안 다시 한번 전하 축적을 위한 준비를 한다. 다음에, 라인(VRow(y))은 로우(LOW)를 1V로 스위칭하며, PR(y)는 하이(HIGH)를 유지한다. 전술한 바와 같이, 이는 트랜지스터 M3(FD 노드(115))의 게이트를 라인 VRow(y)로 클램핑하는 트랜지스터(M2)를 턴온한다. 이는 트랜지스터(M3)를 턴오프되도록 유지하여 APS 회로(110) 및 라인 Col\_Read(x) 사이를 분리시킨다..

### CDS 출력전압의 판독

화소의 현재 행 또는 라인이 APS 어레이로부터 CDS 회로로 판독된 후, 수평 귀선 소거 기간 동안, 화소값의 행을 결정하기 위하여 사용될 수 있는 CDS 출력전압의 행은 수평 화소율에서 수평 주사 시프트 레지스터(도시 안됨)에 의해 발생한 신호에 따라 Col\_Sel(x) 제어 라인을 주사함으로써 주사기간 동안 디스플레이 또는 다른 목적을 위해 (노드(156)로부터) CDS 회로의 행으로부터 판독될 수 있다. 각각의 열에서 커패시터(C1, C2)의 직렬접속에 의해 저장된 순수 신호 전하는 Col\_Sel(x) 제어라인을 순차적으로 활성화함으로써 수평 클럭율에서 단일 출력 버스라인(HSig)에 빠르게 주사된다. PHR 및 Col\_Sel(x) 라인은 PHR이 하이(HIGH)일 때 HSig 라인이 초기에 기준전위(VR)(=3V)로 리세트되도록 양의 진행 펄스를 비중첩 공급한다. 그 다음에, 라인 PHR은 로우(LOW)로 되며, 라인(Col\_Sel(x))은 하이(HIGH)로 되며, 이는 C1 및 C2 상에 저장된 순수 신호 전하를 Cs상에 재분배한다.

본 발명의 일 실시예에 있어서, 커패시터(C1, C2)의 값은 그들의 직렬 커패시턴스가 라인(HSig)상의 커패시턴스(Cs)(예를 들어 2pF)와 동일하도록 선택된다. 이는 CDS 출력전압의 판독 후에 HSig 라인상의 신호 전압이 노드(156)에서 CDS 출력전압의 평균(예를 들어, 본 실시예에서는 2V)이 되도록 하며 또한 전압 VR=3V가 트랜지스터(M7)의 드레인에 공급되도록 또는 2.5V가 되도록 한다. 따라서, 3.0 내지 2.5V의 HSig 라인 상에서의 신호 변화는 -0.5V이며, 이 -0.5V는 노드(156)의 CDS 출력전압에서 발생하는 신호 변화 -1V의 절반이다. 알려진 기생 커패시턴스(Cs) 및 알려진 커패시턴스(C1, C2)가 주어지는 경우, 라인(HSig)상의 VR의 초기전압으로부터의 신호 변화는 FD 노드(115)에서의 신호 변화 그 자체와 동일한 노드(156)에서의 CDS 출력전압의 신호변화에 대한 기지수(determinate)의 분수(본 경우에서는 1/2)이다.

따라서 HSig 라인에서의 신호 변화는 이전 집적기간 동안 광다이오드(116)에 의해 수신된 광의 양을 결정하는데 사용될 수 있다. 예를 들어, 노드(156)를 HSig 라인에 접속함으로써 CDS 출력전압을 판독한 후에, HSig 라인상의 전압은 3.0V로부터 새로운 전압으로 감소하며, 새로운 전압은 버퍼 및 처리 회로에 공급된다. 새로운 전압은 HSig 라인상의 신호변화 또는 신호차이를 결정하기 위하여 기준전압(VR=3V)으로부터 감산된다. 이들 신호 변화는 APS 회로(110)에 의해 포착된 신호 전하의 양에 비례하는 CDS 출력전압의 신호 변화의 절반이다. 따라서, 새로운 HSig 전압 및 초기 기준전압 사이의 차이는 가장 최근의 집적기간 동안 APS 회로(110)의 광검출기(116)상에 충돌하는 광의 양을 나타낸다.

CDS 회로(150)의 대역폭은 R1, C1 및 C2의 값을 조절함으로써 제어될 수 있다. 예를 들어, 기술된 실시예에서, 클램프 시간상수는 400KHz의 대역폭에 대응하는 0.4 $\mu$ s이다. 만일 APS 회로(110)의 소스 폴로워 트랜지스터(M3)가 30nV/Hz의 대역폭 잡음 레벨을 가진다면, 소스 폴로워(M3) 잡음 부과는 FD 노드(115)(20fF의 FD 노드 커패시턴스에 대해)에 언급된 약 3.6 전자 rms이다. 또한, 만일 C1=C2=4pF이면, CDS 회로(150)의 C1 및 C2에 의해 발생한 kTC 잡음의 직교 합은 FD 노드(115)에 언급된 약 5.7 전자이다.

### 행 이득 및 DC 오프셋 보정

전술한 바와 같이, CDS 회로는 포착된 영상에서 열 FPN 인조잡상을 유발할 수 있는 다른 dc 오프셋 및 이득을 가질 수 있다. 신호 증폭 목적으로 능동 소자를 사용하는 종래의 CDS 회로에서, 차동 파라미터는 CDS 회로의 행의 CDS 회로 내에 있는 능동 소자의 다른 dc 오프셋 및 이득에 기인한다. 전술한 스위칭 커패시터 CDS 회로(150)에서, 커패시터 비매칭 및

CDS 회로(150)의 다른 성분간의 비매칭(다른 CDS 회로에 대해)은 활성 성분 CDS 회로에서보다 작은 진폭을 가질지라도 다른 이득 및 dc 오프셋을 발생시킬 수 있다. 더욱이, 회로 파라미터는 동작중에 변화할 수 있어서 열사이의 dc 오프셋 및 이득 비매칭 변화를 유발시킬 수 있다.

본 발명은 열 FPN을 감소시키기 위하여 CDS 회로(150) 또는 능동 소자 CDS 회로(도시안됨)와 같은 CDS 회로의 dc 오프셋 및 이득의 차이를 보정하는 방법을 제공한다. 이하에서 더 상세히 설명되는 바와 같이, 본 발명은 수직 귀선 소거 기간 동안 APS 영상 센서의 각 열에 대한 CDS 회로의 dc 오프셋 및 이득을 측정하는 단계와, 이러한 파라미터 차이로 인해 출력 비디오에서 나타나는 FPN 인조잡상을 보정하기 위하여 기준값의 연속적인 진행 평균과 상기 측정값을 비교하는 단계를 포함한다. 이 방법은 도 1의 회로도(100)와 관련하여 앞서 기술한 바와 같이 라인 VRow(y), PR(y), 로드, TR(y), CL 및 SH에 공급된 입력신호를 발생하기 위하여 사용되는 프로세서(120)에 의해 실행될 수 있다.

도 3에는 본 발명의 실시예에 따라 열 FPN을 감소시키기 위하여 도 1의 CDS 회로(150)의 dc 열 오프셋 및 이득 차이를 보정하는 방법을 기술하는 흐름도(300)가 도시되어 있다. 일 실시예에 있어서, 두 개의 디지털 1-H 디지털 계수 라인 메모리 및 레지스터는 각각의 열 CDS 회로에 대한 현재의 dc 오프셋 및 이득 보정 계수를 저장하기 위하여 사용된다. 초기에, 모든 계수는 제로로 설정된다. 왜냐하면, 모든 계수는 임의의 CDS 회로(단계 301)에 대해 보정이 필요하지 않고, 즉 비매칭이 존재하지 않는다는 것이 초기에 가정되기 때문이다.

다음에, 기준 dc 오프셋 값을 나타내는 "기준 제로 출력값"은 바람직하게 수직 귀선 소거 기간 동안(단계 302, 303) 보정 계수가 제공되지 않는 단일 기준 CDS 회로로부터 얻어진다. 수직 귀선 소거 기간은 열 CDS 회로가 임의의 APS 회로의 출력을 샘플링하기 위하여 이 시간에 사용되지 않기 때문에 사용하기가 편리하며, 포착된 화소 신호를 디지털화하기 위하여 보통 사용되는 A/D 회로는 보정을 실행하기 위하여 사용될 수 있다.

예를 들어, CDS 회로의 행 중 제 1 CDS 회로는 기준 CDS 회로로서 선택될 수 있다. 이는 도 2의 타이밍도(200)와 관련하여 앞서 설명된 바와 같이, 기준 CDS 회로에 입력되는 Col\_Read(x) 라인에 "제로 변화 신호"를 공급하고 라인 SH 및 CL를 통해 CDS 회로에 샘플-홀드 및 클램프 펄스를 공급함으로써 행해질 수 있다.

입력 제로 변화 신호 입력에 응답하여 CDS 회로(즉, CDS 출력전압이 그에 공급된 후 H\_Sig 라인상의 전압)에 의해 제공된 출력신호는 기준 영(0) 출력값으로서 사용된다. "제로 변화 신호"는 광 전하가 낮아지기 전의 Col\_Read(x) 라인에 공급된 APS 기준전압(예를 들어, 3.8V), 즉 제로 광출력으로 APS 출력 회로에 의해 제공된 APS 전압과 같은 전형적인 전압과 동일하다.

마찬가지로, "전체 웰(well) 출력값"은 전체 웰 전압신호를 Col\_Read(x) 라인에 공급하고 다시 샘플-홀드 및 클램프 펄스를 기준 CDS 회로에 공급함으로써(단계 304) 기준 CDS 회로로부터 얻어진다. 전체 웰 전압 신호는 바람직하게 비 제로 전압이다. 이와 같은 입력의 전체 웰 신호에 응답하여 CDS 회로에 의해 제공된 출력신호는 기준 CDS 회로의 기준이득을 계산하기 위하여 기준 제로 출력값과 관련하여 사용될 수 있다(단계 305).

일 실시예에 있어서, 기준이득 및 기준 제로 출력값의 연속적인 진행 평균은 메모리에 저장된다. 예를 들어, 평균 기준값은 마지막 10 기준이득과 기준 제로 출력값의 평균을 나타낼 수 있다. 이 값들과 다른 CDS 회로에 대한 값들 사이의 차이가 배경 잡음보다 작게 변화할 수 있기 때문에 기준값의 실행 평균을 사용하는 것이 바람직하다. 이러한 방식으로 실행 평균을 사용하면, 배경 잡음 편차가 이득 및 dc 오프셋 차이에 의해 야기된 FPN보다 큰 곳에서조차 상기 차이를 검출하는데 도움이 된다.

따라서, 일단 기준이득 및 기준 제로 출력값이 현재의 수직 귀선 소거 기간 동안의 단계(303, 305)에서 결정되면, 평균 기준이득 및 평균 기준 제로 출력값은 마지막 10 기준값을 함께 평균함으로써 갱신된다(단계 306). 이러한 평균을 실행하기 위하여, 마지막 10 기준이득 및 제로 출력값은 메모리에 저장된다. 다른 실시예에 있어서, 실행 평균은 마지막 10 기준값 안팎으로 계산될 수 있다. 다른 실시예에 있어서, 평균화는 전혀 사용되지 않으며, 단지 현재의 기준값만이 다른 CDS 회로에 대한 대응 파라미터에 비교하기 위하여 사용된다.

일단 기준값이 얻어지고 평균 기준값이 갱신되면, 대응하는 파라미터(dc 오프셋 및 이득)는 각각의 CDS 회로에 대해 측정된다. 입력 제로 변화 신호는 각각의 CDS 회로에 대한 제로 출력값을 전개하기 위하여 각각의 열에 대한 각각의 CDS 회로에 공급된다(단계 311). 이는 모든 수직 (열) Col\_Read(x) 신호 라인을 제로 변화 신호로 동시에 스위칭하고 CDS 출력전압에 의해 야기된 H\_Sig 라인상의 출력신호를 측정함으로써 행해질 수 있다.

유사하게, 전체 웰 전압 신호를 각각의 CDS 회로에 공급하고, CDS 출력전압에 의해 야기된 H<sub>sig</sub> 라인상의 출력전압을 측정하여 CDS 회로에 대한 전체 웰 출력값을 측정하며, 그 회로에 대한 전체 웰 출력값과 제로 출력값을 사용하여 그것의 이득을 계산함으로써 각각의 CDS 회로의 이득이 계산된다(단계 321). 그 다음에, 각각의 CDS 회로의 제로 출력값 및 이득과 평균 기준 제로 출력값 및 평균 기준이득 사이의 차이는 각각 대응하는 보정 계수를 갱신하는 방법을 결정하는데 사용된다. 일 실시예에 있어서, 각각의 CDS 회로에 대한 dc 오프셋 및 이득 차이는 부호 비트, 즉 주어진 CDS 회로에 대한 dc 오프셋 및 이득이 평균 기준값보다 큰지 또는 작은지의 여부를 결정하기 위하여 디지털 감산기로 계산된다. 부호 비트에 따르면, 레지스터에 저장된 현재의 계수값은 소정의 증분 단계 크기에 의해 증분되거나 증감된다(단계 313).

보정 계수는 수평 화소율에서 동작하는 아날로그 또는 디지털 dc 오프셋 및 이득 보정 회로를 제어하도록 판독된다(단계 320). 이득 및 dc 오프셋에 대한 보정 계수는 아날로그 또는 디지털 신호 출력 중 하나에서 APS 영상 센서 온-칩에 공급될 수 있다. 아날로그 신호 보정은 아날로그 신호가 시스템에 의해 직접 이용되는 임의의 응용에 있어서 비용 측면에서 장점을 가진다. 선택적으로, 보정된 디지털 출력이 사용될 수 있다.

전술한 기술에서는 디지털 서보-루프가 사용되는데, 디지털 서보-루프에서 피드백 루프는 dc 오프셋 및 이득 보정 회로를 포함하므로, 이들 회로의 전송 함수는 그들이 보정을 위해 충분한 동적 범위를 제공하는 한 중요하지 않다. 본 발명의 일 실시예에 있어서, 보정 계수를 변화시키는 단계 크기는 의사잡음에 의해 설정된 가시 임계치 이하로 선택된다.

도 1의 CDS 회로(150)에서, 잔류하는 dc 오프셋 및 이득 에러는 피크 대 피크 전체 크기의 CDS 출력 전압의 0.1%의 범위 내에 있을 수 있다. 따라서, CDS 회로(150)에 대한 상기와 같은 계수 보정을 수행하기 위하여, 에러를 20% 정도 감소시키고 0.3%까지의 보정범위를 제공하기 위한 디지털 dc 오프셋 및 이득 계수를 저장하는데 요구되는 해상도는 대략 1/60이다. 따라서, 각 열 CDS 회로에 대한 두 개의 6비트 보정 계수는 이 방법의 FPN 보정을 실행하는데 이용될 수 있다. 종래에 사용된 능동 CDS 회로와 같은 종류의 CDS 회로에서, dc 오프셋 및 이득 에러는 더 높을 수 있어서 보정 계수에 대해 더 많은 비트를 필요로 한다.

이러한 방식에서, 각각의 CDS 회로의 계수는 적절한 보정 계수로 점차적으로 수립될 것이다. 본 방법은 동작중에 연속적으로 갱신된 계수가 제공되어 영상기 또는 구동 회로 파라미터의 임의의 변화를 허용할 수 있도록 한다. 따라서, 본 방법은 시간이 지남에 따라 dc 오프셋 및 이득의 변화에 응답하여 보정 계수를 변화시킬 수 있다. 이들 변화는 예를 들어 정상동작중에 카메라 온도 변화에 비해 작은 전압 또는 타이밍 변형으로부터 유발될 수 있다. 따라서, 보정 계수는 출력 비디오에서 다른 방식으로 나타나는 FPN 인조 잡상을 보정하는데 사용될 수 있다. 본 발명의 다른 실시예에서, CDS 회로의 이득이 아니라 단지 dc 오프셋만이 보정된다.

당업자는 본 발명의 권리범위를 벗어나지 않고 본 발명을 변형할 수 있다. 따라서, 본 발명은 청구범위의 사상 및 범위에 의해서만 제한된다.

## (57) 청구의 범위

### 청구항 1.

능동 화소 센서(APS) 회로로서,

(a) 감지된 광에 따라 플로팅 확산 노드에 노드 전압을 발생시키는 광검출기;

(b) 상기 플로팅 확산 노드에 게이트 단자가 접속되고 샘플링 및 홀딩 회로에 접속된 출력라인에 소스 단자가 직접 접속 가능하며, 상기 광검출기에 의해 감지된 광이 판독되고 있을 때 상기 노드 전압의 크기와 관련된 크기를 가진 출력전압을 상기 출력라인에 제공하는 소스 플로워 모드로 동작하도록 구성되는 제 1 트랜지스터; 및

(c) 상기 제 1 트랜지스터의 게이트 단자에 소스 단자가 접속되고, 위상 리세트 신호에 게이트 단자가 접속되며, 행 전압 신호 및 상기 제 1 트랜지스터의 드레인 단자에 드레인 단자가 접속되는 제 2 트랜지스터를 포함하며,

상기 위상 리세트 신호는 상기 광검출기가 판독되지 않고 있거나 리세트되는 시간 동안 하이(HIGH)로 스위칭되어 상기 제 1 트랜지스터의 게이트 단자를 상기 행 전압 신호에 접속하고;

상기 행 전압 신호는 상기 광검출기가 관독되지 않고 있거나 리세트되는 시간 동안 로우(LOW)로 스위칭되어 상기 제 1 트랜지스터를 스위칭 오프 함으로써, 상기 광검출기가 관독되지 않고 있거나 리세트될 때 상기 회로가 상기 출력라인과 분리되는 것을 특징으로 하는 능동 화소 센서(APS) 회로.

**청구항 2.**

제 1 항에 있어서, 상기 출력라인은 전류 소스에 접속되는 것을 특징으로 하는 능동 화소 센서(APS) 회로.

**청구항 3.**

제 2 항에 있어서, 상기 출력라인은 상관 이중 샘플링(CDS) 회로의 입력에 접속되며;

상기 CDS 회로는 상기 출력라인에 접속된 상기 전류 소스를 포함하는 것을 특징으로 하는 능동 화소 센서(APS) 회로.

**청구항 4.**

삭제

**청구항 5.**

제 1 항에 있어서, 상기 플로팅 확산 노드에 상기 광검출기를 선택적으로 접속하는 제 3 트랜지스터를 더 포함하는 것을 특징으로 하는 능동 화소 센서(APS) 회로.

**청구항 6.**

삭제

**청구항 7.**

제 1 항에 있어서, 상기 회로는 APS 영상기의 APS 회로 어레이 중 하나인 것을 특징으로 하는 능동 화소 센서(APS) 회로.

**청구항 8.**

제 1 항에 있어서, 상기 회로는 APS 영상기의 APS 회로 어레이 중 하나이며, 상기 어레이의 각 APS 회로는 상기 회로의 상기 제 1 트랜지스터와 동일하게 구성된 소스 폴로워 트랜지스터를 포함하며, 상기 어레이에서 상기 APS 회로와 동일한 열에 있는 각 APS 회로의 각 소스 폴로워 트랜지스터의 소스 단자는 상기 출력라인에 접속되는 것을 특징으로 하는 능동 화소 센서(APS) 회로.

**청구항 9.**

삭제

**청구항 10.**

제 1 항에 있어서, 상기 광검출기는 가상 게이트 매립형 n-채널 광검출기인 것을 특징으로 하는 능동 화소 센서(APS) 회로.

## 청구항 11.

APS 회로를 동작시키는 방법으로서,

- (a) 감지된 광에 따라 플로팅 확산 노드에 노드 전압을 발생시키는 광검출기를 제공하는 단계;
- (b) 상기 플로팅 확산 노드에 게이트 단자가 접속되고 샘플링 및 홀딩 회로에 접속된 출력라인에 소스 단자가 직접 접속 가능하며, 상기 광검출기에 의해 감지된 광이 판독되고 있을 때 상기 노드 전압의 크기와 관련된 크기를 가진 출력전압을 상기 출력라인에 제공하는 소스 폴로워 모드로 동작하도록 구성되는 제 1 트랜지스터를 제공하는 단계;
- (c) 상기 제 1 트랜지스터의 게이트 단자에 소스 단자가 접속되고, 위상 리셋 신호에 게이트 단자가 접속되며, 행 전압 신호 및 상기 제 1 트랜지스터의 드레인 단자에 드레인 단자가 접속되는 제 2 트랜지스터를 제공하는 단계;
- (d) 상기 광검출기가 판독되지 않고 있거나 리셋되는 시간 동안 상기 위상 리셋 신호를 하이(HIGH)로 스위칭하여 상기 제 1 트랜지스터의 게이트 단자를 상기 행 전압 신호에 접속하는 단계; 및
- (e) 상기 광검출기가 판독되지 않고 있거나 리셋되는 시간 동안 상기 행 전압 신호를 로우(LOW)로 스위칭하여 상기 제 1 트랜지스터를 스위칭 오프 함으로써, 상기 광검출기가 판독되지 않고 있거나 리셋될 때 상기 APS 회로가 상기 출력라인과 분리되게 하는 단계를 포함하는 APS 회로 동작 방법.

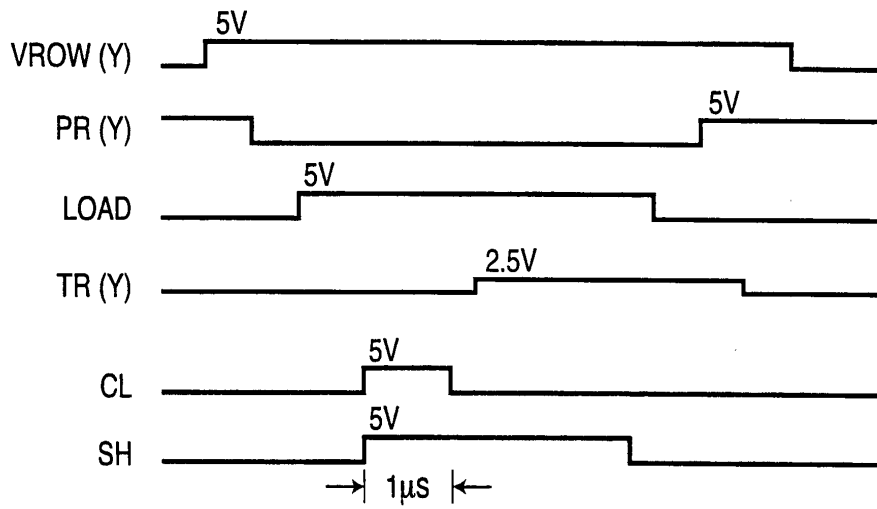
## 청구항 12.

제 11 항에 있어서, 상기 광검출기에 의해 감지된 광이 판독되고 있는 시간 동안, 상기 출력라인에 전류 소스가 인가되고, 상기 위상 리셋 신호가 로우(LOW)로 스위칭되며, 상기 행 전압 신호가 하이(HIGH)로 스위칭됨으로써, 상기 제 1 트랜지스터가 스위칭 온 되어, 상기 광검출기에 의해 감지된 광과 관련된 출력전압을 상기 출력라인에 제공하는 소스 폴로워 모드로 동작하는 것을 특징으로 하는 APS 회로 동작 방법.

도면



도면2



200

도면3

