(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
G02F 1/1339
G02F 1/133

(45) 공고일자 2003년03월06일
(11) 등록번호 10-0356118
(24) 등록일자 2002년09월27일

(21) 출원번호 10-1996-0067661
(22) 출원일자 1996년12월19일

(65) 공개번호 특1997-0048810
(43) 공개일자 1997년07월29일

(30) 우선권주장 95-349227 1995년12월19일 일본(JP)

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
샤프 가부시키가이샤
일본 오사까후 오사까시 아베노꾸 나가이께쪼 22방 22고

(72) 발명자
니시 다케시
일본국 가나가와켄 아쓰기시 하세 304-1 플래트 셀-에이 303
고누마 도시미쓰
일본국 가나가와켄 아쓰기시 토무로 4-20-7
쓰지 다카히로
일본국 가나가와켄 아쓰기시 하세 304-1 플래트 셀-비 203
야마모또 요시다카
일본국 나라켄 야마도구리야마시 이즈미하라쵸 17-7
아다치 마사히로
일본국 나라켄 나라시 스자구 4-3-4
오기시마 기요시
일본국 나라켄 나라시 고도노쵸 166-1-103

(74) 대리인
이병호

심사관 : 양재석

# (54) 액정표시장치및그제조방법

요약

생산량이 향상되고 신뢰도가 높은 액티브 매트릭스형 액정 표시 장치가 제공된다.

주변 구동 회로가 액정 물질에 접촉하고 있는 액티브 매트릭스형 액정 표시 장치에서 화소 영역의 밀도보다 더 낮은 밀도로 주변 구동 회로 영역에 스페이서가 산포되어 상기 주변 구동 회로에 대한 해를 줄이며 생산량과 제품의 신뢰도를 향상시킨다.

## 대표도

도 1

## 명세서

### 도면의 간단한 설명

도 1은 본 발명의 제 1 실시예에서 스페이서를 산포시키는 방법을 도시한 개략도.

도 2는 본 발명의 제 2 실시예에서 스페이서를 산포시키는 방법을 도시한 개략도.

도 3은 본 발명의 제 1 실시예의 액티브 매트릭스형 액정 표시 장치의 단면도.

도 4는 종래의 액티브 매트릭스형 액정 표시 장치를 도시한 개략도.

도 5a 내지 5e도는 본 발명의 제 1 실시예에서 TFT의 생성 단계 도시도.

도 6은 본 발명의 제 3 실시예의 액티브 매트릭스형 액정 표시 장치의 단면도.

도 7은 본 발명의 제 1 실시예의 방법을 사용하여 TFT상에 산포된 스페이서의 상태를 도시한 도시도.

도 8은 본 발명의 제 4 실시예의 액티브 매트릭스형 액정 표시 장치의 단면도.

* 도면의 주요 부분에 대한 부호의 설명 *

101 : 기판 102 : 마스크

103 : 구멍 104 : 배관

105 : 산포 노즐 106 : 챔버

### 발명의 상세한 설명

#### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 동일한 기판 상에서 화소용 박막 트랜지스터와 주변 구동 회로용 박막 트랜지스터를 갖는 액티브 매트릭스형 액정 표시 장치의 구성에 관한 것이다.

도 4는 종래의 액티브 매트릭스형 액정 표시 장치의 일부를 형성하는 패널(panel)의 구성을 나타낸다. 도 4에서 도시된 바와 같이, 화소 영역(404)은 대향 기판(405)과 봉함제(sealant)(" 실재" 라고도 함)(402)로 둘러싸여 있으며, 반면에 주변 구동 회로 영역(403)에 있는 박막 트랜지스터(이후로 " TFT" 로 칭함)는 대기에 노출되어 있다.

그러므로, 패널 조립 공정(panel assembly process)에서 액티브 매트릭스형 액정 표시 장치의 기판을 다룰 때는 매우 조심하여야 한다. 이러한 환경 하에서는 액티브 매트릭스형 액정 표시 장치의 구성의 제조 공정을 더 용이하게 할 필요성이 요구되어 왔다.

더욱이, 화소 영역 위에는 대향 기판(405)이 있기 때문에 결과적으로 화소영역(404)을 보호한다. 그렇지만, 주변 구동 회로(403)는 단지 얇은 산화막으로 덮여 있으며 실제로 습기나 오염에는 약하다. 신뢰도 측면에서도 문제가 있다.

## 발명이 이루고자 하는 기술적 과제

액티브 매트릭스형 액정 표시 장치의 주변 구동 회로(403)가 직접 액세스되지 않도록 구성되고 대향 기판이 존재하는 영역을 주변 구동 회로가 형성되는 영역까지 확장시켜 액정 물질(liquid crystal material)이 존재하는 영역 내에 주변 구동 회로도 포함시키는 방법이 제안되었다. 이 방법은 일본 특허출원 H7-50527(일본 공개 출원 : H8-220560 공개일 : 1996. 8. 30)에 나타나 있다.

그러나 다음과 같은 문제가 상기 구성에서 나타난다.

액정 표시 장치의 조립 공정 중에 대향하는 2개의 기판을 접착시키는 단계에서는, 기판 표면에 수직으로 압력을 가하는 동안 봉함제를 경화시키는 단계가 일반적으로 적용된다. 통상의 액정 표시 장치에서는 2개의 기판 사이에 스페이서가 놓여져서 2개의 기판 사이가 일정하게 유지된다. 그러므로 이 단계에서는 스페이서를 통해 기판 위에 형성된 장치 등에 압력이 가해진다.

특히, 위에서 언급한 구성을 갖는 액정 표시 장치의 경우에, 대향 기판이 주변 구동 회로까지 연장하고 있기 때문에 스페이서를 통해 구동 회로까지도 압력이가해진다.

주변 구동 회로 영역에는 화소 영역의 밀도보다 더 높은 밀도로 TFT가 제공된다. 그러므로, 종래의 액정 표시 장치에서와 같이 기판 전면에 걸쳐 스페이서가 일정한 밀도로 산포되어 있을 때 이 스페이서로 인하여 화소 영역보다 주변 구동 회로에 손상이 더 일어난다.

위에서 언급한 문제를 해결하기 위해, 본 발명에 따른 액티브 매트릭스형 액정 표시 장치가 다음과 같이 구성된다.

상세히 설명하면, 화소 영역에 제공된 박막 트랜지스터와 주변 구동 회로에 제공된 박막 트랜지스터가 동일한 기판 상에 존재하는 액티브 매트릭스형 액정 표시 장치에 있어서, 화소 영역과 주변 구동 회로 영역 사이에 스페이서의 산포 밀도가 상이하게 제공되는 것을 특징으로 한다.

다른 구성에 있어서는, 화소 영역에 제공된 박막 트랜지스터와 주변 구동회로에 제공된 박막 트랜지스터가 동일한 기판 상에 존재하는 액티브 매트릭스형 액정 표시 장치에 있어서, 스페이서가 화소 영역에는 존재하지만 주변 구동 회로에는 존재하지 않는 것을 특징으로 한다.

화소 영역에 배치된 박막 트랜지스터와 주변 구동 회로 영역을 형성하는 박막 트랜지스터가 동일한 기판 상에 통합되도록 액티브 매트릭스형 액정 표시 장치를 구성할 때, 이러한 구성에 있어서는, 스페이서를 산포시킬 때 주변 구동 회로 영역의 TFT가 존재하는 영역에 스페이서가 산포되지 않도록 마스크를 제공하여 주변 구동 회로의 신뢰도를 향상시키고 이에 의해 주변 구동 회로의 생산성이 향상된다.

스페이서를 산포시키는 방법으로서 정전기를 활용하는 수단을 이용하는 경우에 정전기를 발생하는 전압을 인가하는 보다 양호한 방법이 실시된다. 예를 들어, 주변 구동 회로의 신뢰도를 향상시키도록 스페이서를 산포할 때, 화소 TFT가 존재하는 영역에 인가된 전압값과는 다른 전압값을 주변 구동 회로의 TFT가 존재하는 영역에 인가함으로써 더 낮은 밀도로 스페이서를 산포시켜 주변 구동 회로의 생산성을 향상시킨다.

또한, 스페이서를 산포시킬 때, 액티브 매트릭스형 액정 표시 장치의 기판을 유지하는 스테이지의 주변 구동 회로의 TFT의 영역 상에, 화소 TFT가 존재하는 영역에 인가된 전압값과는 다른 전압값을 인가함으로써 스페이서의 산포 밀도를 작게하고, 이에 의해 주변 구동 회로의 생산성을 향상시킨다. 대안적으로, 스페이서를 산포시킬 때, 주변 구동 회로의 TFT가 존재하는 영역에는 정전기를 발생하는 전압을 인가하지 않고 화소 TFT가 존재하는 영역에만 정전기를 발생시키는 전위를 인가한다. 이렇게 함으로써 스페이서는 화소 영역에만 선택적으로 산포된다. 또한, 주변 구동 회로 영역에 산포된 스페이서의 밀도를 낮출 수 있다.

액정이 존재하는 영역에 주변 구동 회로 영역을 포함시킬 때, 주변 구동 회로에 산포된 스페이서의 밀도를 낮춤으로써 또는 스페이서가 주변 구동 회로 영역에 산포되지 않도록 함으로써, 스페이서로 인해 야기되는 주변 구동 회로를 형성하는 TFT의 손상이 줄어든다. 그래서, 화소 영역과 주변 구동 회로가 동일한 기판상에 형성된 구성에서 액정 표시 장치의 신뢰도를 향상시킬 수 있다.

## 발명의 구성 및 작용

### 제 1 실시예

본 발명에 따른 액티브 매트릭스형 액정 표시 장치 조립 단계는 다음과 같다.

본 실시예에서는 기판으로서 무-알카리 글래스(no-alkali glass)가 사용된다. 먼저, 매트릭스형 구성의 화소 영역과 이 화소 영역을 구동하는 주변 구동 회로가 공지된 방법 또는 적절한 방법으로 상기 글래스 기판 상에 배치된다. 화소 영역에 있어서는, 수백x 수백의 수로 배치된 화소 전극 각각에 적어도 하나의 박막 트랜지스터를 스위칭 소자로서 배치시킨다.

주변 구동 회로 영역에 있어서는, 화소 영역에 배치된 박막 트랜지스터를 구동시키는 회로가 박막 트랜지스터를 사용해서 구성된다. 주변 구동 회로로서는 시프트 레지스터와 어드레스 디코더가 사용된다.

표면 처리를 위해 사용된 에칭액(etchant)과 레지스트 연리액(resist remover) 등의 여러 가지 화학 약품을 확실하게 제거하기 위해 TFT 기판과 칼러 필터 기판을 각각 세척한다.

다음에, 위에서 언급한 방법에 의해 생성된 TFT가 형성되어 있는 기판(이후로 " TFT 기판" 이라 칭함)위와 칼러 필터가 형성되어 있는 기판(이후로 " 칼러 형성기판" )위에 배향막(orientation film)을 형성한다. 상기 배향막 재료로는 부틸 셀로솔브(butyl sellosolve), n-메틸-2-피로리돈(n-methyl-2-pyrolidone), 또는 γ -부티로락톤(γ -butyrolactone)과 같은 용매에 약 10 중량 % 용매의 폴리이마이드를 용해시켜 얻는다. 이것을 폴리이마이드 니스(polyimide varnish)라 칭한다. 본 실시예에서는, 일본 합성 고무제의 AL-3046를 저온에서 구운 폴리이마이드 니스로서 사용한다. 스피너(spinner)를 사용하는 방법, 또는 플렉소그래픽 인쇄 장치(flexographic printing apparatus) 또는 스크린 인쇄 장치를 사용하여 인쇄하는 방법을 사용해서 폴리이마이드 니스를 기판에 도포한다.

그런 다음, TFT 기판과 칼러 필터 기판의 양기판에 도포된 배향막을 가열하여 경화시킨다(구운다). 본 실시예에서, 약 180℃의 뜨거운 공기로 가열하여 폴리이마이드 니스를 구워서 경화시킨다.

다음에, 배향막이 형성된 글래스 기판의 표면을 표면 털의 길이가 2 내지 3 mm인 버프포(buff cloth)(레이온 및 나일론과 같은 섬유)로 일정한 방향으로 문질러서 미세한 홈(microscopic grooves)을 만드는 러빙(rubbing)공정을 행한다. 그런 다음 TFT 기판 상에 스페이서를 형성한다. 스페이서의 산포 방법은 후술한다.

다음에, TFT 기판의 외부 틀에 봉함제(sealant)를 도포한다. 봉함제를 사용하는 목적은 TFT 기판과 칼러 필터 기판을 접착시키고 주입된 액정 물질이 밖으로 흘러 나가지 않도록 하기 위해서이다. 봉함제로서는 에폭시 수지와 피놀릭 경화제를 에틸 셀로솔브에 용해시켜 얻은 물질을 사용한다. 봉함제 도포후 2개의 글래스 기판의 라미네이트 공정을 행한다. 라미네이트된 TFT 기판과 칼러 필터 기판을 3시간동안 프레스하여 봉함제를 가열 경화시키며 이에 의해 TFT 기판과 칼러 필터 기판이 접착되어 고정된다.

마지막으로, TFT 기판과 칼러 필터 기판을 라미네이트시킴으로써 형성된 결과적인 액정 판의 액정 주입부에 액정 물질을 주입하고 그후 액정 주입부를 에폭시형 수지로 봉합한다. 그래서, 액티브 매트릭스형 액정 표시 장치가 조립된다.

스페이서를 산포시키는 방법을 도 1을 참조하여 설명한다. 먼저, 스페이서를 기판(101)의 표시 영역 상에 산포한다. 스페이서로서는 직경이 5.0 ㎛인 플라스틱 스페이서(SEKISUI FINE CHEMICAL 사에서 제조한 마이크로펄)를 사용한다. 스페이서는 질소 가스에 의해 반송되어 배관(104)에서 분산된다. 스페이서는 산포기의 챔버(106)의 천장에 장착된 산포 노즐(105)로부터 기판 위에 분출된다. 노즐은 고무 패킹에 의해 천장에 고정되어 있고 그 끝은 어떤 방향으로든지 이동할 수 있다. 스페이서가 산포될 때 노즐은 모든 방향으로 규칙적으로 진동하여 기판 상에 스페이서를 일정하게 산포한다. 스페이서의 양은 평균 산포 밀도가 100 개/$mm^2$가 되도록 조정된다.

스페이서가 주변 구동 회로 영역으로 산포되지 않도록 하기 위해 도 1에 도시된 바와 같이 산포 시에는 기판(101)상에 기판과 접촉하지 않는 마스크(102)를 배치한다. 도 1에 도시된 바와 같이, 마스크에는 구동 회로에 대응하는 부분 이외에는 구멍(103)이 형성되어 있다. 이 구멍의 형태는 소스 구동기 영역에 대응하는 위치에 52mmx 16mm, 그리고 게이트 구동기 영역에 대응하는 위치에 8mmx 80mm으로 형성되어 있다. 기판과 마스크의 간격은 1mm이다.

본 발명의 액티브 매트릭스 회로의 생성 단계를 도 5a 내지 5e를 참조하여 설명한다. 주변 구동 회로의 TFT 생성 단계는 도면의 좌측에, 액티브 매트릭스 회로의 TFT 생성 단계는 도면의 우측에 도시되어 있다.

먼저, 무-알카리 글래스 기판(석영 기판이 대신 사용될 수도 있음)상에 두께가 1000 내지 3000Å인 산화규소막을 베이스 산화막(502)으로서 형성한다. 이 산화규소막은 산소 대기 중에서 스퍼터법 또는 플라즈마 CVD법을 사용해서 형성된다.

다음에, 플라즈마 CVD법 또는 LPCVD법으로 비정질 또는 다결정 실리콘막을 300 내지 1500Å의 두께로 형성하며, 500 내지 1000Å으로 형성하는 것이 좋다. 그런 다음, 이 실리콘 막은 500℃ 이상의 온도에서 양호하게는 800 내지 950℃의 온도에서 열 어닐링에 의해 결정화된다.

열 어닐링을 통한 결정화는 광 어닐링(optical annealing)을 실시함으로써 결정성을 높일 수 있다. 일본 공개 특허 (KOKAI) H6-244103 및 H6-244104에 기재된 바와 같이 열 어닐링을 통한 결정화를 실시하는 동안, 실리콘의 결정화를 촉진하기 위해 니켈과 같은 원소(촉매 원소)를 첨가할 수도 있다.

그런 다음 실리콘막을 에칭하여 주변 구동 회로의 TFT의 액티브 층(503)(P-채널형 TFT)과 (504)(N-채널형 TFT) 및 매트릭스 회로의 TFT(화소 TFT)의 액티브 층(505)을 아일랜드형으로 형성한다. 또한, 산소 대기 중에서 스퍼터법을 실시하여 두께가 500 내지 2000Å인 산화 규소 게이트 절연막(506)을 형성한다. 이 게이트 절연막은 플라즈마 CVD법으로 형성할 수도 있다. 플라즈마 CVD법으로 산화규소막을 형성할 때 원재 가스(material gasses)로서 이산화질소($N_2O$) 또는 산소($O_2$)와 모노-실란($SiH_4$)을 사용하는 것이 좋다.

그후, 기판의 전표면상에 두께가 2000Å 내지 5㎛, 양호하게는 2000 내지 6000Å인 다결정 실리콘막(전도성을 향상시키는 소량의 인을 포함함)을 LPCVD법으로 형성한다. 그런 다음, 에칭을 실시하여 게이트 전극(507, 508, 509)(도 5a)을 형성한다.

그후, 모든 아일랜드형 액티브 층에 게이트 전극을 마스크로서 사용해서 자기정합적으로 불순물 이온을 주입하는 이온 도핑 공정을 실시한다. 여기서, 포스핀($PH_3$)을 도핑 가스로서 사용해서 인을 주입한다. 도즈량은 1x $10^{12}$ 내지 5x $10^{13}$ atoms/$cm^2$로 한다. 결과적으로 약한 N형 영역(510, 511, 512)이 형성된다(도 5b).

다음에, P-채널형 TFT의 액티브 층(503)을 덮는 포토레지스트 마스크(513)와 픽셀 TFT의 액티브 층(505)의 일부를 덮는 포토레지스트 마스크(514)를 형성하고 상기 포토레지스트 마스크(514)는 게이트 전극에 평행하게 게이트 전극(509)의 엣지로부터 3 ㎛ 떨어진 거리까지 연장된다.

그런 다음, 포스핀을 도핑 가스로서 사용해서 인을 주입하는 이온 도핑 공정을 다시 행한다. 도즈량은 1× $10^{14}$ 내지 5 × $10^{15}$ atoms/$cm^2$로 한다. 결과적으로 강한 N형 영역(소스/드레인)(515, 516)이 형성된다.

이 도핑 동안에는 화소 TFT의 액티브 층(505)의 약한 N형 영역(512)중 마스크(514)에 의해 덮여 있는 영역(517)은 인이 주입되지 않는다. 그러므로 이 영역은 약한 N형으로 남아있는다(도 5c).

다음으로, N형 TFT의 액티브 층 (504)와 (505)는 포토레지스트 마스크(518)로 피복되며 디보란(diborane)($B_2H_6$)을 도핑 가스로서 사용해서 아일랜드형 영역(503)에 붕소를 주입하는 이온 도핑 공정을 행한다. 도즈량은 $5\times10^{14}$ 내지 $8\times10^{15}$ atoms/$cm^2$로 한다. 이 도핑에서 붕소의 도즈량은 도 5c에 도시된 인의 도즈량보다 많기 때문에 이전에 형성된 약한 N형 영역(510)은 강한 P형 영역(519)으로 반전된다.

위에서 언급한 도핑 공정에 따라 강한 N형 영역(소스/드레인)(515, 516), 강한 P형 영역(소스/드레인)(519), 약한 N형 영역(저밀도 불순물 영역)(517)이 형성된다. 본 실시예에서, 저밀도 불순물 영역(517)의 폭 X는 약 3㎛이다(도 5d).

그 후, 0.5 내지 3 시간동안 450 내지 850℃ 에서 열 어닐링이 실시되어 도핑으로 인한 손상을 복구하고 도핑된 불순물을 액티브화시키며 실리콘 결정성을 복구한다. 그런 다음, 플라즈마 CVD법으로 전체 표면에 두께가 3000 내지 6000Å인 산화규소막을 층간 절연체(layer insulator)(520)로서 형성한다. 이것은 질화규소막 또는 산화규소막과 질화규소막의 다층막으로 해도 좋다. 그런 다음, 층간 절연체(520)는 습식 에칭법으로 에칭되어 소스와 드레인에 접속구멍이 생긴다.

그런 다음, 스퍼터법을 실시하여 두께가 2000 내지 6000Å인 티타늄막을 형성하고 이것을 에칭해서 주변 회로의 전극/라인(521, 522, 523)과 화소 TFT의 전극/라인(524, 525)을 차례로 형성한다. 또한 플라즈마 CVD 공정을 실시해서 두께가 1000 내지 3000Å인 질화규소막(526)을 패시베이션 막(passivation film)으로서 형성하고 이것을 에칭해서 화소 TFT의 전극(525)까지 이르는 접촉구멍을 형성한다.

마지막으로, 스퍼터법을 사용해서 형성된 두께가 500 내지 1500Å인 ITO(인듐 주석 산화물)를 에칭해서 화소 전극(527)을 형성한다. 그래서, 주변 논리 회로와 액티브 매트릭스 회로가 집적된다(도 5e).

도 3은 본 실시예에서 생성된 액티브 매트릭스형 액정 표시 장치의 단면도이다. 도 3에서, TFT(302)의 한쪽에는 투명 전극(305)과 배향막(306)을 형성하고 다른 쪽에는 편광판(301)을 설치한다.

또한, 칼러 필터 기판(303)의 한쪽에는 칼러 필터(304), 투명 전극(305), 배향막(306)을 형성하고 다른 쪽에는 편광판(301)을 설치한다.

위에서 언급한 2개의 기판 사이에는 액정 물질(310)이 놓이며 2개의 글래스기판 사이에 일정한 거리로 떨어져 있는 스페이서들(307)은 상기 액정 물질 중에 영역마다 상이한 산포 밀도로 존재한다. 본 실시예에서, 주변 구동 회로 영역(309)에 있는 스페이서들의 산포 밀도는 0이다.

도 7은 스페이서들이 산포된 TFT 기판 상의 영역을 도시한다. 본 실시예에서, 주변 구동 회로 영역(309)에는 스페이서가 존재하지 않으며, 다른 영역(도면에서 빗금으로 표시된 영역)에만 스페이서가 존재한다. 화소 영역(701)에 있는 스페이서의 평균 산포 밀도는 100개/$mm^2$이다.

TFT 기판과 칼러 필터 기판은 봉함제(311)로 접착된다.

도시되지는 않았지만, 빛을 차단하기 위한 크로미움 막 또는 알루미늄막과 같은 차단막을 주변 구동 회로 영역의 상부 표면에 형성해야 한다.

스페이서들은 주변 구동 회로 상에는 산포되지 않기 때문에 위에서 언급한 바와 같은 액정 표시 장치는 외부 압력에 대해 매우 강하며 또한 주변 구동 회로가 파손되는 것을 충분히 방지할 수 있다.

제 2 실시예

본 실시예는 스페이서의 산포 방법만 제외하고는 제 1 실시예와 동일하다. 그러므로 도 2를 참조하여 산포 방법만 설명한다.

먼저, 기판(101)의 표시 영역 상에 스페이서들을 산포한다. 스페이서들은 제 1 실시예에서 사용된 것과 동일한 산포기로 산포된다.

스페이서는 직경 0.5 ㎛의 플라스틱 스페이서(SEKISUI FINE CHEMICAL사의 마이크로펄)를 사용한다. 이 스페이서를 질소 가스로 반송하고 배관(104)중에서 분산시킨다. 스페이서는 반송 중에 배관과의 마찰에 의해 자연적으로 정전된다.

스페이서들이 구동 회로 영역에 산포되는 것을 방지하기 위해 도 2에 도시된 바와 같이, 산포 시에 기판(101)과 접촉하지 않도록 마스크(202)를 기판 위에 설치한다. 이 마스크(202)는 구동 회로와 대응하는 영역을 제외하고는 구멍이 형성되어 있다. 구멍의 모양은 제 1 실시예와 동일하다. 기판과 마스크 사이의 간격은 1mm이다. 또한, 금속과 같은 전도체가 마스크로서 사용되어 이 마스크와 스테이지 사이에 DC 전계가 인가될 수 있게 한다. 마스크의 전위는 기판이 설치되어 있는 스테이지를 기준으로 해서 스페이서의 전위와 동일하게 한다. 본 실시예에서 -1kV의 전압이 인가된다.

도 7은 스페이서들이 산포되어 있는 TFT 기판 상의 영역을 도시한다. 본 실시예에서, 주변 구동 회로 영역(403)에는 스페이서가 존재하지 않고 다른 영역(빗금친 영역)에만 스페이서가 존재한다. 스페이서의 평균 산포 밀도는 100개/$mm^2$ 이다.

주변 구동 회로 상에는 스페이서가 산포되어 있지 않기 때문에, 위에서 언급한 바와 같은 액정 표시 장치는 외부 압력에 대해 매우 강하며 주변 구동 회로가 파손되는 것을 충분히 방지할 수 있다.

제 3 실시예

본 실시예는 제 1 및 제 2 실시예에 있어서의 스페이서를 산포하는 방법을 이용해서 액티브 매트릭스형 액정 표시 장치를 조립하는 공정에서 셀 두께를 보다 일정하게 하기 위한 방법을 도시한다. 도 6은 스페이서를 산포하는 방법을 제외하고는 제 1 또는 제 2 실시예에서와 동일한 본 실시예를 도시한다.

직경 5.5 ㎛의 플라스틱 스페이서(SEKISUI CHEMICAL 사에서 제조한 마이크로펄)를 봉함제(311)와 혼합시켜 제 1 실시에 또는 제 2 실시예에서와 동일한 방법으로 얻어진 TFT 기판(302)과 칼러 필터 기판(303)을 접착시키고 그 안에 주입된 액정 물질이 외부로 흘러 나가는 것을 방지한다. 이 때 상기 봉함제가 주변 구동 회로(309)를 덮지 않도록 한다. 또한 이 경우에는 스페이서로서 위에서 언급한 플라스틱 재료에 제한을 두지 않고 글래스, 실리카 등을 사용해도 좋다.

다음에, 기판(302)과 칼러 필터 기판(303)을 라미네이트시키고 접착제를 경화시킨다.

그 후, 전체적으로 라미네이트된 기판을 감압 상태(decompressed state)로 놓고 액정 물질(310)을 표시 영역에 주입하여 봉한다.

위에서 언급한 바와 같은 액정 표시 장치에서는 TFT 기판(302)과 칼러 필터 기판(303) 사이의 셀 두께를 일정하게 할 수 있으며 색이 변하지 않는 표시 특성이 얻어진다. 또한, 스페이서는 구동 회로에는 산포되지 않기 때문에 외부 압력에 대해 매우 강한 저항을 나타내며 주변 구동 회로가 파손되는 것을 충분히 방지할 수 있다.

제 4 실시예

본 실시예는 제 1 또는 제 2 실시예에 따라 스페이서 산포 방법으로 액티브 매트릭스형 액정 표시 장치를 조립하는 공정 중에 위에서 언급한 액티브 매트릭스형 액정 표시 장치를 봉함제를 사용해서 다수의 부분으로 분할함으로써 한 쌍의 글래스 기판으로부터 다수의 소자를 제조하는 구성을 설명한다. 본 실시에는 스페이서의 산포 방법을 제외하고는 제 1 실시에와 동일하다.

본 실시예에서 한 쌍의 대형 글래스 기판을 사용해서 제 1 실시예에 도시된 바와 같은 액티브 매트릭스 표시용 기판을 복수조 구성한다. 도 8은 그러한 구성례를 도시한다. 도 8에서, 대형 기판 위에 제 1 실시예에 도시된 것과 같은 액티브 매트릭스 표시용 기판 4개조를 구성한다. 각 조의 픽셀 영역(804)과 주변 구동회로(803) 소자의 구성은 제 1 실시예의 구성과 동일하다. 본 실시예에서는 도 8에 도시된 바와 같이, 하나의 기판이 4부분으로 분할되어 있다. 본 실시예에서 사용된 봉함제는 제 1 실시예에서 사용된 것과 동일하다. 또한, 본 실시예는 대형 기판을 사용한다. 셀 두께를 보다 일정하게 하기 위해 제 3 실시예에서와 같은 플라스틱 스페이서가 봉함제와 혼합된다.

이 경우에 사용된 마스크는 제 1 및 제 2 실시예에서 언급된 바와 같은 주변 구동 회로 영역에 대응하는 구멍들을 가지며 이 구멍들은 주변 구동 회로 영역의 복수조에 대응해서 형성된다. 도 8은 그러한 마스크를 사용할 때 스페이서들이 산포되는 TFT 기판 상의 영역을 도시한다. 제 1 및 제 2 실시예에서와 같이 주변 구동 회로 영역(803)에는 스페이서가 존재하지 않으며 다른 영역(도면에서 빗금친 영역)에만 스페이서가 존재한다. 스페이서의 평균 산포 밀도는 100개/$mm^2$ 이다.

봉함제는 가열되어 경화되고 그후 스크라이버(scriber)를 사용해서 글래스 기판에서 틀 사이즈의 홈을 절단한다. 그런 다음, 브레이커(braker)를 사용해서 기판 위에 있는 홈위에서부터 직접 에어 실린더 압력으로 우레탄으로 만들어진 라운드 부재를 낙하시켜 박막 트랜지스터 기판을 틀의 사이즈에 맞게 다수의 부분으로 분할한다.

마지막으로 라미네이트된 TFT 기판과 칼러 필터 기판으로 이루어진 액티브 매트릭스형 액정 표시 장치 각각의 액정 주입부에 액정 물질을 주입하고 그후 액정주입부를 에폭시 수지로 봉합한다. 그래서, 셀 두께가 균일한 다수의 액티브 매트릭스형 액정 표시 장치가 동시에 생성될 수 있다.

## 발명의 효과

주변 구동 회로 영역에 화소 영역의 밀도보다 낮은 밀도로 스페이서를 산포함으로써 스페이서에 의해 야기되는 주변 구동 회로에 대한 손상을 줄일 수 있으며 또한 주변 구동 회로의 생산성을 향상시킬 수 있다.

## (57) 청구의 범위

### 청구항 1.

액티브 매트릭스형 액정 표시 장치에 있어서,

제 1 기판과;

상기 제 1 기판 위에 형성된 박막 트랜지스터들을 각각 포함하는 액티브 매트릭스 회로 및 상기 액티브 매트릭스 회로를 구동하기 위한 구동회로와;

갭을 사이에 두고 상기 제 1 기판과 대향하며 상기 액티브 매트릭스 회로와 상기 구동회로 모두를 덮는 제 2 기판과;

상기 액티브 매트릭스 회로와 상기 구동 회로 모두에 걸쳐 분포되며 상기 제 1 및 2 기판 사이의 갭을 유지하는 스페이서를 포함하며;

상기 스페이서에 의해 초래되는 상기 구동 회로에 대한 손상이 감소되도록, 상기 액티브 매트릭스 회로 상의 상기 스페이서의 밀도는 상기 구동 회로상의 상기 스페이서의 밀도와 상이한 액티브 매트릭스 형 액정 표시 장치.

### 청구항 2.

제 1 항에 있어서, 상기 액티브 매트릭스 회로 상의 상기 스페이서의 밀도는 상기 구동 회로 상의 상기 스페이서의 밀도보다 더 큰 액티브 매트릭스형 액정표시 장치.

청구항 3.

액티브 매트릭스형 액정 표시 장치에 있어서,

제 1 기판과;

상기 제 1 기판 위에 형성된 박막 트랜지스터들을 각각 포함하는 액티브 매트릭스 회로 및 상기 액티브 매트릭스 회로를 구동하기 위한 구동회로와;

갭을 사이에 두고 상기 제 1 기판과 대향하며, 상기 액티브 매트릭스 회로와 상기 구동회로 모두를 덮는 제 2 기판과;

상기 액티브 매트릭스 회로상에 분포되어 상기 제 1 및 2 기판 사이의 갭을 유지하는 스페이서를 포함하며,

상기 스페이서에 의해 초래되는 상기 구동 회로에 대한 손상이 감소되도록, 상기 스페이서는 상기 구동회로 상에 분포되지 않는 액티브 매트릭스형 액정 표시장치.

청구항 4.

액티브 매트릭스형 액정 표시 장치를 제조하는 방법에 있어서,

박막 트랜지스터를 각각 포함하는 액티브 매트릭스 회로 및 상기 액티브 매트릭스 회로를 구동하기 위한 구동회로를 제 1 기판위에 형성하는 단계와;

상기 액티브 매트릭스 회로와 상기 구동 회로를 갖는 상기 제 1 기판위에 스페이서를 분포시키는 단계와;

상기 스페이서에 의해 유지된 갭을 사이에 두고 제 2 기판을 상기 제 1 기판에 결합시키는 단계로서, 상기 제 2 기판이 상기 액티브 매트릭스 회로와 상기 구동 회로 모두를 덮는, 상기 결합 단계를 포함하며,

상기 스페이서에 의해 초래되는 상기 구동 회로에 대한 손상이 감소되도록, 상기 액티브 매트릭스 회로상의 상기 스페이서의 밀도가 상기 구동 회로 상의 상기 스페이서의 밀도와 상이하게 분포되는 액티브 매트릭스형 액정 표시 장치 제조 방법.

청구항 5.

액티브 매트릭스형 액정 표시 장치 제조 방법에 있어서,

박막 트랜지스터를 각각 포함하는 액티브 매트릭스 회로 및 상기 액티브 매트릭스 회로를 구동하기 위한 구동회로를 제 1 기판위에 형성하는 단계와;

상기 액티브 매트릭스 회로와 상기 구동 회로를 갖는 상기 제 1 기판위에 스페이서를 분포시키는 단계와;

상기 스페이서에 의해 유지된 갭을 사이에 두고 제 2 기판을 상기 제 1 기판에 결합시키는 단계로서, 상기 제 2 기판이 상기 액티브 매트릭스 회로와 상기 구동 회로 모두를 덮는, 상기 결합 단계를 포함하며,

상기 스페이서에 의해 초래되는 상기 구동 회로에 대한 손상이 감소되도록, 상기 액티브 매트릭스 회로상의 상기 스페이서의 밀도가 상기 구동 회로 상의 상기 스페이서의 밀도와 상이하게 상기 스페이서를 분포하는 동안 상기 제 1 기판에 정전기를 선택적으로 인가하는 액티브 매트릭스형 액정 표시 장치 제조 방법.

청구항 6.

제 5 항에 있어서, 상기 액티브 매트릭스 회로 상의 상기 스페이서의 밀도는 상기 구동 회로 상의 상기 스페이서의 밀도보다 더 큰 액티브 매트릭스형 액정 표시 장치 제조 방법.

청구항 7.

제 5 항에 있어서, 상기 정전기는 상기 기판을 유지하는 스테이지에 인가되는 액티브 매트릭스형 액정 표시 장치 제조 방법.

청구항 8.

액티브 매트릭스형 액정 표시 장치를 제조하는 방법에 있어서,

동일한 기판 상에 존재하는 화소 영역에 배치된 박막 트랜지스터와 주변 구동 회로에 배치된 박막 트랜지스터를 포함하며,

상기 스페이서에 의해 초래되는 상기 구동 회로에 대한 손상이 감소되도록, 상기 기판 상에 스페이서를 분포하는 동안 상기 화소 영역과 상기 주변 구동 회로 영역에 상이한 전압을 인가함으로써 상기 스페이서의 산포 밀도가 상기 화소 영역과 상기 주변 구동 회로 영역에서 상이하게 되는 액티브 매트릭스형 액정 표시 장치 제조 방법.

청구항 9.

액티브 매트릭스형 액정 표시 장치를 제조하는 방법에 있어서,

박막 트랜지스터를 각각 포함하는 액티브 매트릭스 회로 및 상기 액티브 매트릭스 회로를 구동하기 위한 구동회로를 제 1 기판위에 형성하는 단계와;

상기 액티브 매트릭스 회로와 상기 구동 회로를 갖는 상기 제 1 기판위에 스페이서를 분포시키는 단계와;

상기 스페이서에 의해 유지된 갭을 사이에 두고 제 2 기판을 상기 제 1 기판에 결합시키는 단계로서, 상기 제 2 기판이 상기 액티브 매트릭스 회로와 상기 구동 회로 모두를 덮는, 상기 결합 단계를 포함하며,

상기 스페이서에 의해 초래되는 상기 구동 회로에 대한 손상이 감소되도록, 스페이서 산포동안 상기 구동회로를 마스크로 덮음으로써 상기 액티브 매트릭스 회로에만 상기 스페이서가 분포되는 액티브 매트릭스형 액정 표시 장치 제조 방법.

청구항 10.

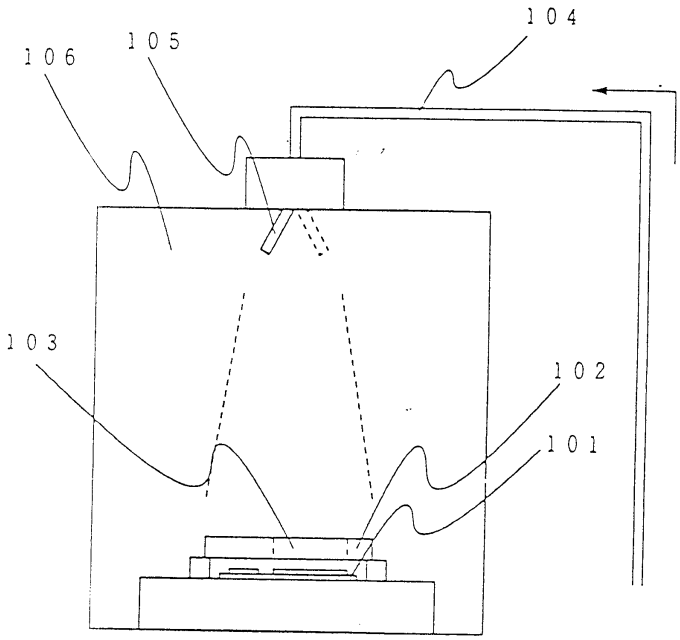
제 9 항에 있어서, 상기 스페이서를 분포하는 동안 상기 스페이서에는 전하가 인가되는 액티브 매트릭스형 액정 표시 장치 제조 방법.

청구항 11.

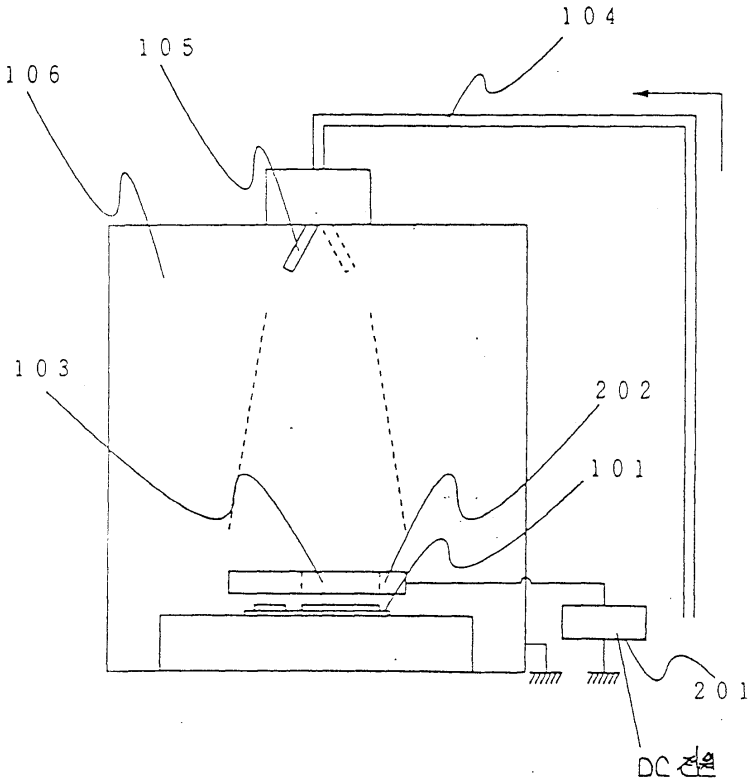
제 10 항에 있어서, 상기 마스크는 도전성이며, 상기 스페이서를 분포하는 동안 상기 마스크에는 전압이 인가되는 액티브 매트릭스형 액정 표시 장치 제조 방법.

## 도면

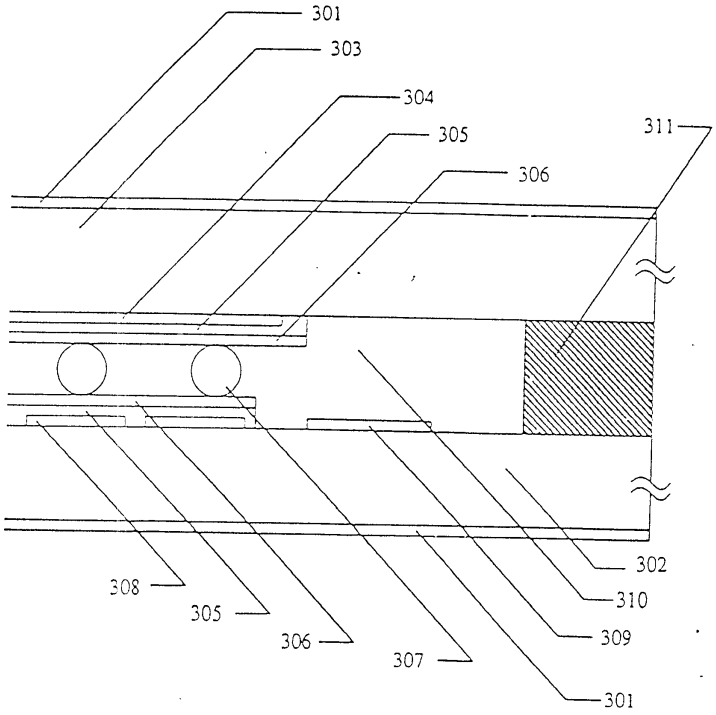
### 도면 1



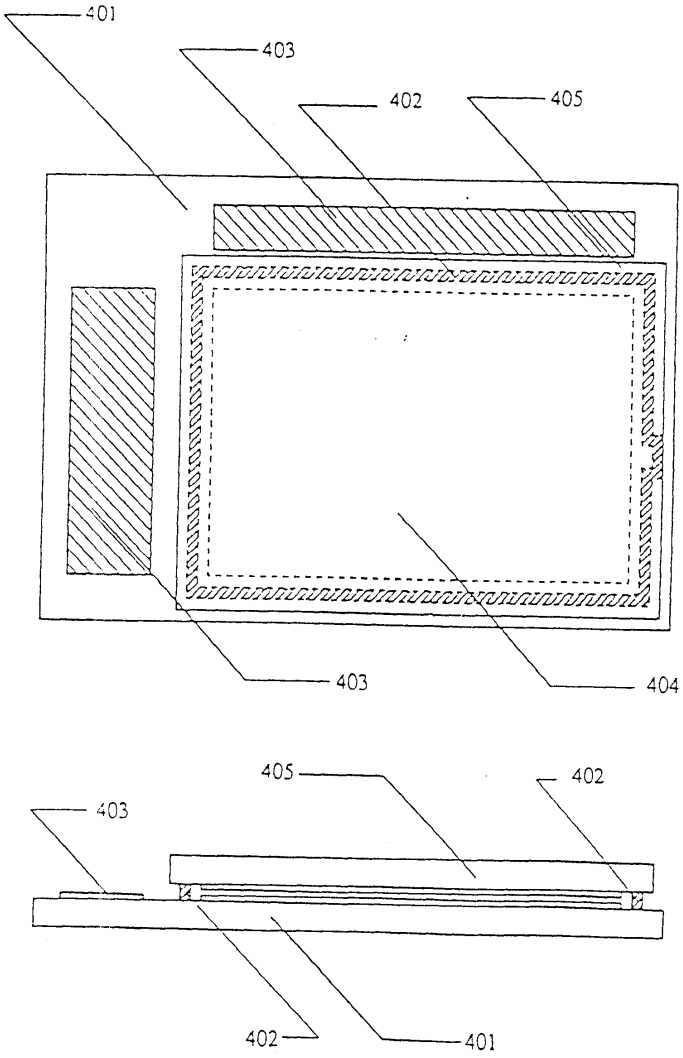
도면 2



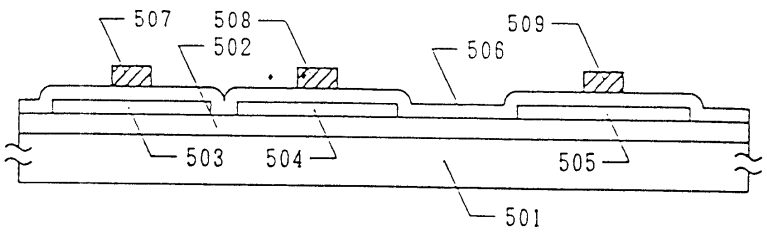
도면 3



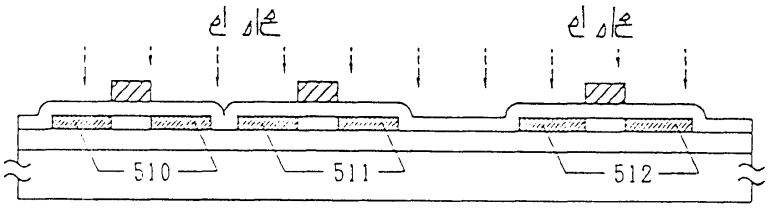
도면 4


401
403
402
405
403
404
405
402
403
402
401

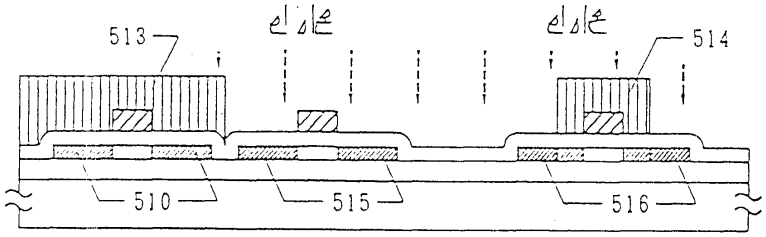
도면 5a


507
508
502
509
506
503
504
505
501

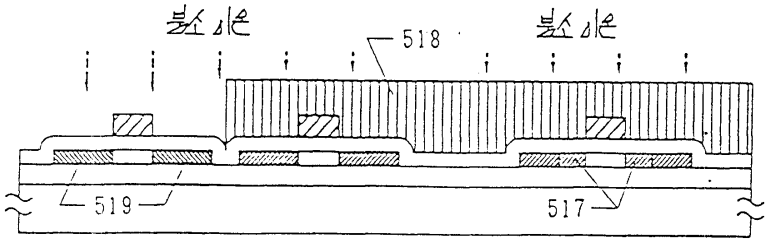
도면 5b



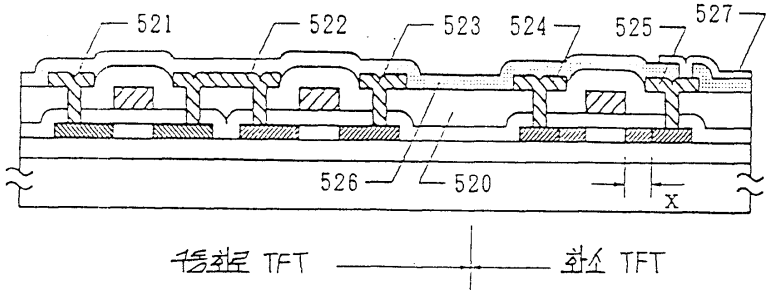

도면 5c



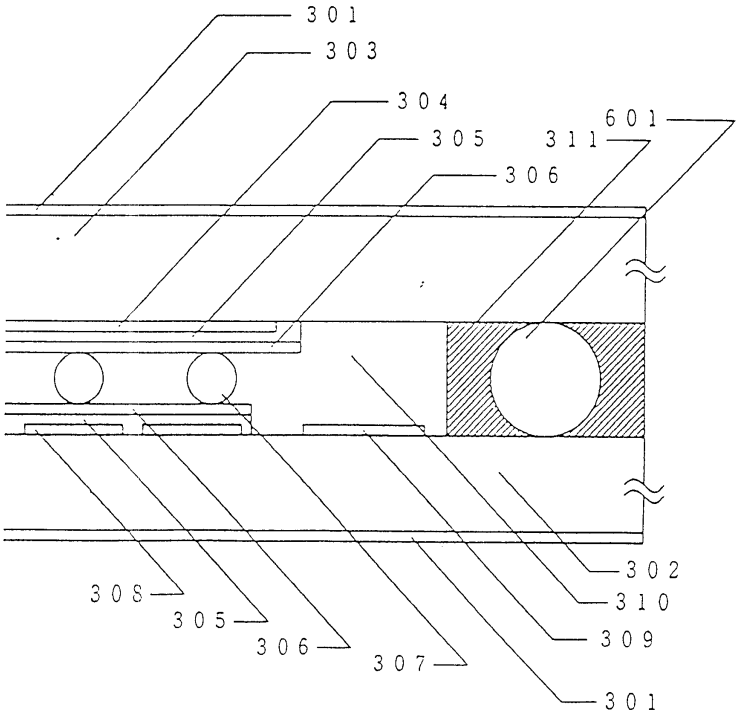

도면 5d



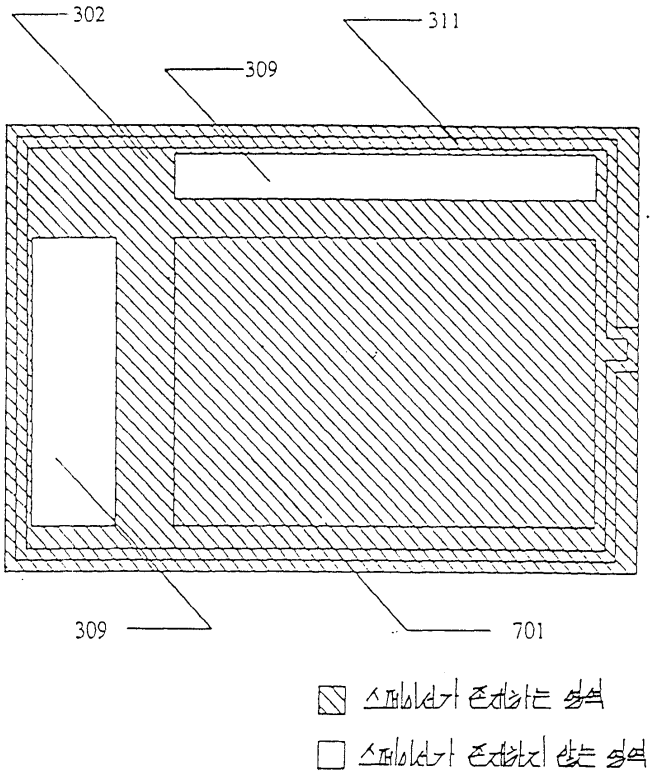

도면 5e

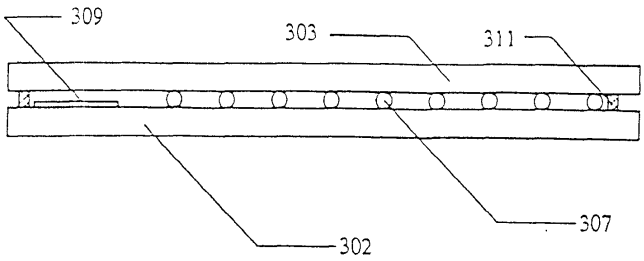


도면 6

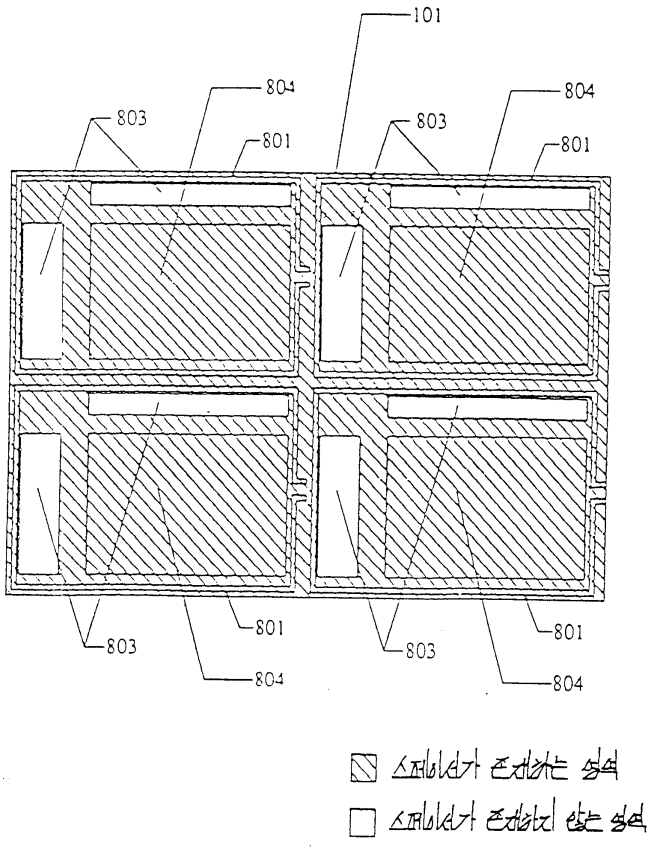


도면 7


302
311
309
309
701
스페이서가 존재하는 영역
스페이서가 존재하지 않는 영역


309
303
311
307
302

도면 8


101
804
803
801
804
803
801
803
801
803
801
804
804
스페이서가 존재하는 영역
스페이서가 존재하지 않는 영역