(19) RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL DE LA PROPRIÉTÉ INDUSTRIELLE

COURBEVOIE

(11) **N° de publication :** ***3 132 786***

(à n'utiliser que pour les commandes de reproduction)

(21) **N° d'enregistrement national :** **22 01268**

(51) Int Cl[8] : ***H 01 L 21/205*** *(2022.01), H 01 L 21/304*

(12) DEMANDE DE BREVET D'INVENTION A1

(22) **Date de dépôt :** 14.02.22.

(30) **Priorité :**

(43) **Date de mise à la disposition du public de la demande :** 18.08.23 Bulletin 23/33.

(56) **Liste des documents cités dans le rapport de recherche préliminaire :** *Se reporter à la fin du présent fascicule*

(60) **Références à d'autres documents nationaux apparentés :**

( ) **Demande(s) d'extension :**

(71) **Demandeur(s) :** *STMicroelectronics (Crolles 2) SAS Société par actions simplifiée (SAS)* — FR.

(72) **Inventeur(s) :** EL DIRANI Houssein.

(73) **Titulaire(s) :** STMicroelectronics (Crolles 2) SAS Société par actions simplifiée (SAS).

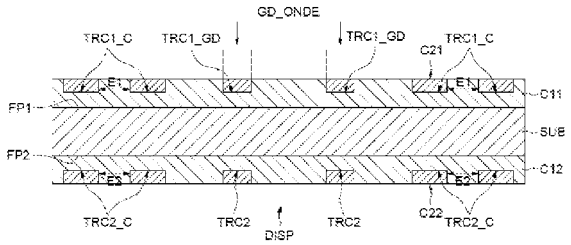
(74) **Mandataire(s) :** CASALONGA.

(54) PROCÉDÉ DE FABRICATION D'UN DISPOSITIF SEMICONDUCTEUR.

(57) Selon un aspect, il est proposé un procédé de fabrication d'un dispositif semiconducteur comportant une obtention d'une plaquette de substrat semiconducteur (SUB) présentant une face principale avant (FP1) et une face principale arrière (FP2),

une formation de tranchées (TRC1) en surface d'une première couche formée sur la face principale avant (FP1), d'une deuxième couche avant (C21) s'étendant sur la première couche formée sur la face principal avant (FP1) et d'une deuxième couche arrière (C22) s'étendant sur la première couche (C12) formée sur la face principale arrière (FP2), et comprenant en outre, avant la formation desdites deuxièmes couches (C21, C22), une formation de tranchées (TRC2) sur la première couche (C12) formée sur la face principale arrière (FP2) de la plaquette de substrat semiconducteur (SUB), de sorte que la deuxième couche arrière (C22) s'étend sur la première couche (C12) formée sur la face principale arrière (FP2).

Figure pour l'abrégé : Fig 2



FR 3 132 786 - A1

Description

Titre de l'invention : PROCÉDÉ DE FABRICATION D'UN DISPOSITIF SEMICONDUCTEUR

[0001] Des modes de réalisation et de mise en œuvre concernent la fabrication d'un dispositif semiconducteur à partir d'une plaquette de substrat semiconducteur, notamment la formation d'une couche de matériau sur une plaquette de substrat semiconducteur selon un motif prédéterminé.

[0002] Un dispositif semiconducteur, notamment un circuit intégré, peut être fabriqué à partir d'une plaquette de substrat semiconducteur (désigné également par le terme anglo-saxon « wafer »). Cette plaquette est également désignée par l'expression plaquette semiconductrice dans la suite.

[0003] La fabrication d'un dispositif semiconducteur peut comprendre une formation de plusieurs couches de matériau sur la plaquette de substrat semiconducteur.

[0004] Une fois formée, les différentes couches appliquées peuvent subir des contraintes internes en traction (en anglais « tensile strain ») ou en compression (en anglais « compressive strain ») différentes selon leur nature. Les contraintes internes en traction ou en compression d'une couche induisent une dilatation ou une compression de cette couche.

[0005] Certaines couches peuvent ne pas couvrir entièrement la surface de la plaquette semiconductrice et être agencées selon un motif prédéterminé.

[0006] De telles couches sont utilisées pour obtenir un effet technique non pas uniformément sur la surface de la plaquette semiconductrice mais uniquement selon le motif prédéterminé.

[0007] Ces couches sont généralement formées du côté d'une face principale avant de la plaquette semiconductrice. Par exemple, de telles couches peuvent être utilisées pour former des guides d'ondes répartis selon le motif prédéterminé.

[0008] Une couche de matériau répartie sur la surface de la plaquette semiconductrice selon un motif prédéterminé présente des contraintes internes réduites par rapport à une même couche s'étendant sur l'ensemble de la surface de la plaquette semiconductrice.

[0009] Il existe plusieurs méthodes pour obtenir de telles couches réparties sur la plaquette semiconductrice selon un motif prédéterminé. Par exemple, il est possible de former une couche répartie uniformément sur la plaquette semiconductrice puis d'effectuer une gravure sur cette couche selon ledit motif prédéterminé.

[0010] Afin d'obtenir une couche répartie sur la plaquette semiconductrice selon un motif prédéterminé, il est également possible d'effectuer un damasquinage (connu également par le terme anglo-saxon « damascene »).

[0011] Le damasquinage comprend un dépôt d'une couche dans des tranchées formées dans une couche de matériau formée sur la plaquette de substrat semiconducteur selon ledit motif prédéterminé.

[0012] Néanmoins, dans certains procédés de fabrication, la formation de la couche répartie selon le motif prédéterminé est effectuée de sorte qu'une même couche est formée simultanément de manière uniforme du côté d'une face principale arrière de la plaquette semiconductrice.

[0013] Par exemple, ces deux couches peuvent être formées simultanément par un dépôt chimique en phase vapeur à basse pression (en anglais « low pressure chemical vapour deposition »). Les contraintes internes de la couche située du côté de la face principale arrière de la plaquette semiconductrice et celles de la couche située du côté de la face principale avant sont alors différentes.

[0014] En effet, comme vu précédemment, une couche de matériau répartie sur la surface de la plaquette semiconductrice selon un motif prédéterminé présente des contraintes internes réduites par rapport à une même couche s'étendant sur l'ensemble de la surface de la plaquette semiconductrice.

[0015] Les contraintes internes de la couche située du côté de la face principale avant sont alors inférieures aux contraintes internes de la couche située du côté de la face principale arrière de la plaquette semiconductrice.

[0016] Cette différence d'efforts internes dans les couches de chaque côté de la plaquette semiconductrice peut engendrer un bombage de la plaquette semiconductrice et des fissures peuvent apparaître sur la couche située du côté de la face principale arrière.

[0017] Le risque d'engendrer un bombage de la plaquette semiconductrice et des fissures est d'autant plus important lorsque la plaquette semiconductrice présente un diamètre élevé, par exemple supérieur à 200 millimètres.

[0018] La machine utilisée pour réaliser le dispositif semiconducteur peut alors ne pas reconnaître la plaquette semiconductrice du fait de sa surface bombée. En outre, les fissures peuvent entraîner une dispersion dans la machine du matériau de la couche déposée. Cette dispersion de matériau contamine alors la machine qui est adaptée pour fonctionner sous vide. Pour rétablir le vide, la machine effectue une décontamination qui induit une suspension temporaire de la fabrication des circuits intégrés. Une telle suspension temporaire de la fabrication des circuits intégrés entraîne alors une augmentation du coût de fabrication des circuits intégrés.

[0019] Il existe donc un besoin de proposer une solution pour de tels procédés de fabrication permettant d'éviter un bombage de la plaquette semiconductrice ainsi qu'une apparition de fissures sur les couches déposées.

[0020] Selon un aspect, il est proposé un procédé de fabrication d'un dispositif semiconducteur comportant :

- une obtention d'une plaquette de substrat semiconducteur présentant une face principale avant et une face principale arrière,
- une formation d'une première couche d'un premier matériau sur chaque face principale de la plaquette de substrat semiconducteur,
- une formation d'une pluralité de tranchées en surface de la première couche formée sur la face principale avant,
- une formation d'une deuxième couche d'un second matériau sur chaque première couche, de sorte qu'une deuxième couche avant de second matériau s'étend sur la première couche formée sur la face principal avant de la plaquette de substrat semi-conducteur, dans les tranchées et entre les tranchées de la première couche et qu'une deuxième couche arrière de second matériau s'étend sur la première couche formée sur la face principale arrière de la plaquette de substrat semiconducteur.

[0021] Le procédé comprend en outre, avant la formation desdites deuxièmes couches de second matériau, une formation de tranchées sur la première couche de premier matériau formée sur la face principale arrière de la plaquette de substrat semi-conducteur, de sorte qu'après la formation desdites deuxièmes couches de second matériau la deuxième couche arrière de second matériau s'étend sur la première couche formée sur la face principale arrière dans les tranchées et entre les tranchées de cette première couche.

[0022] En d'autres termes, dans un tel procédé de fabrication, un damasquinage est effectué du côté de la face principale avant de la plaquette semiconductrice ainsi que du côté de la face principale arrière de la plaquette semiconductrice.

[0023] Le damasquinage du côté de la face principale arrière permet d'obtenir des tranchées utilisées pour réduire les contraintes internes de la deuxième couche formée de ce même côté.

[0024] De la sorte, la différence entre les contraintes internes de la deuxième couche formée du côté de la face principale avant et celles de la deuxième couche formée du côté de la face principale arrière est réduit.

[0025] La réduction de cette différence permet de réduire un risque de bomber la plaquette semiconductrice et d'apparition de fissures sur les deuxièmes couches, et permet donc d'éviter un risque de contamination d'une machine utilisée pour fabriquer le dispositif semiconducteur.

[0026] Un tel procédé améliore, voire permet, la formation d'une deuxième couche répartie selon un motif prédéterminé sur une plaquette semiconductrice de diamètre important, par exemple supérieur à 200 millimètres, notamment de l'ordre de 300 millimètres, et permet donc ainsi d'utiliser des plaquettes semiconductrices pouvant contenir un plus grand nombre de circuits intégrés.

[0027] De préférence, les deuxièmes couches sont formées simultanément par dépôt

chimique en phase vapeur à basse pression.

[0028] Avantageusement, les premières couches sont formées par oxydation de la plaquette de substrat semiconducteur.

[0029] Selon un mode de mise en œuvre, une étape d'aplanissement est effectuée de chaque côté de la plaquette de substrat semiconducteur de façon à retirer une épaisseur des deuxièmes couches de sorte que ces deuxièmes couches s'étendent uniquement dans les tranchées formées dans les premières couches.

[0030] Selon un mode de mise en œuvre avantageux, l'étape d'aplanissement est une étape de polissage mécano-chimique.

[0031] Selon un mode de mise en œuvre, ledit premier matériau et ledit second matériau sont choisis pour qu'au moins une des tranchées remplies de second matériau du côté de la face principale avant de la plaquette de substrat semiconducteur forme au moins un guide d'onde.

[0032] Ainsi, une ou plusieurs tranchées du côté de la face principale avant servent à la formation d'un ou de plusieurs guides d'onde. Certaines autres tranchées du côté de la face principale avant sont utilisées uniquement pour réduire les contraintes internes de la deuxième couche du côté de la face principale avant.

[0033] En variante ou en combinaison, ledit premier matériau et ledit second matériau sont choisis pour qu'au moins une des tranchées remplies de second matériau du côté de la face principale arrière de la plaquette de substrat semiconducteur forme au moins un guide d'onde.

[0034] Ainsi, une ou plusieurs tranchées du côté de la face principale arrière servent à la formation d'un ou de plusieurs guides d'onde. Certaines autres tranchées du côté de la face principale arrière sont utilisés uniquement pour réduire les contraintes internes de la deuxième couche du côté de la face principale arrière.

[0035] Selon un mode de mise en œuvre, le premier matériau est du dioxyde de silicium et le second matériau est du nitrure de silicium.

[0036] Selon un autre aspect, il est proposé un dispositif semiconducteur comportant une plaquette de substrat semiconducteur présentant une face principale avant et une face principale arrière, une première couche disposée sur chaque face principale du substrat, la première couche disposée sur la face principale avant ayant une surface sur laquelle est disposée une pluralité de tranchées, et une deuxième couche avant de second matériau s'étendant sur la première couche disposée sur la face principale avant de la plaquette de substrat semiconducteur, dans les tranchées et entre les tranchées de la première couche, dans lequel la première couche disposée sur la face principale arrière a une surface sur laquelle est disposée une pluralité de tranchées et une deuxième couche arrière de second matériau s'étend sur la première couche disposée sur la face principale arrière de la plaquette de substrat semiconducteur, dans les tranchées et

entre les tranchées de cette première couche.

[0037] De préférence, ledit premier matériau et ledit second matériau sont choisis pour qu'au moins une des tranchées remplies de second matériau du côté de la face principale avant de la plaquette de substrat semiconducteur constitue au moins un guide d'onde.

[0038] Avantageusement, ledit premier matériau et ledit second matériau sont choisis pour qu'au moins une des tranchées remplies de second matériau du côté de la face principale arrière de la plaquette de substrat semiconducteur constitue au moins un guide d'onde.

[0039] Avantageusement, le premier matériau est du dioxyde de silicium et le second matériau est du nitrure de silicium.

[0040] D'autres avantages et caractéristiques de l'invention apparaîtront à l'examen de la description détaillée de mode de réalisation et de mise en œuvre, nullement limitatifs, et des dessins annexés sur lesquels :

[0041] [Fig.1] ;

[0042] [Fig.2] ;

[0043] [Fig.3] ;

[0044] [Fig.4] ;

[0045] [Fig.5] ;

[0046] [Fig.6] ;

[0047] [Fig.7] ;

[0048] [Fig.8] ;

[0049] [Fig.9] illustrent schématiquement des modes de mise en œuvre et de réalisation de l'invention.

[0050] La [Fig.1] illustre schématiquement un mode de mise en œuvre d'un procédé de fabrication d'un dispositif semiconducteur DISP. Un tel procédé de fabrication est utilisé pour former un dispositif semiconducteur DISP illustré selon un premier mode de réalisation à la [Fig.2] par exemple.

[0051] Dans ce mode de réalisation illustré à la [Fig.2] selon une vue en coupe, le dispositif semiconducteur DISP comporte une couche de matériau C21 obtenue par damasquinage sur une face principale avant d'une plaquette semiconductrice SUB. Le damasquinage peut alors être utilisé pour former des guides d'onde GD_ONDES à partir de la couche C21 de matériau.

[0052] Dans le dispositif semiconducteur illustré à la [Fig.2], ladite couche C21 de matériau est ainsi répartie sur ladite face principale avant de la plaquette semiconductrice SUB selon un motif prédéterminé à partir d'un dépôt simultané de ladite couche C21 de matériau sur l'ensemble de ladite face principale avant et d'une couche C22 identique sur l'ensemble d'une face principale arrière de la plaquette semiconductrice SUB.

[0053] Le matériau des couches C21, C22 peut présenter une résistance à la traction relativement élevée, de telle manière que les couches C21 et C22 peuvent subir des contraintes internes en dilatation ou en compression importantes après leur dépôt. Le matériau des couches C21, C22 peut par exemple être du nitrure de silicium (Si_3N_4) qui a une résistance à la traction de 1 GPa.

[0054] Le damasquinage effectué sur la couche C21 réduit les contraintes internes en dilatation ou en compression de la couche C21.

[0055] Or, une différence importante entre les contraintes internes de la couche avant C21 et celles de la couche arrière C22 peut entraîner un bombage de la plaquette semiconductrice SUB.

[0056] Afin de réduire la différence entre les contraintes internes des couches C21 et C22, le procédé de fabrication propose d'effectuer également un damasquinage de la couche arrière C22 pour réduire les contraintes internes de la couche C22.

[0057] Un tel procédé de fabrication permet ainsi de former une couche de matériau par damasquinage sur une plaquette semiconductrice SUB ayant un diamètre de plusieurs centaines de millimètres, par exemple supérieur à 200 millimètres, notamment de l'ordre 300 millimètres, en réduisant, voire en éliminant un risque de bombage de la plaquette et d'apparition de fissures sur la couche C22 arrière.

[0058] Les dimensions de la plaquette permettent alors de former un plus grand nombre de circuits intégrés à partir d'une même plaquette semiconductrice.

[0059] En particulier, le procédé de fabrication comprend une obtention 10 d'une plaquette semiconductrice SUB telle que représentée à la [Fig.3] selon une vue en coupe.

[0060] La plaquette semiconductrice SUB est formée d'un matériau semiconducteur, tel que le silicium (Si), couramment utilisé pour la fabrication de circuits intégrés. La plaquette semiconductrice peut présenter une forme de disque par exemple.

[0061] Comme vu précédemment, la plaquette semiconductrice SUB présente une face principale avant FP1 et une face principale arrière FP2. La face principale avant FP1 et/ou la face principale arrière FP2 peuvent servir de support à la formation de composants semiconducteurs et photoniques.

[0062] Par exemple, dans le mode de réalisation de la [Fig.2], seule la face principale avant FP1 sert de support à une formation de composants semiconducteurs et photoniques, et notamment des guides d'onde GD_ONDE.

[0063] Pour réaliser le damasquinage de chaque côté de la plaquette semiconductrice, le procédé comprend une formation 11 simultanée d'une couche C11 sur la face principale avant FP1 de la plaquette et d'une couche arrière C12 sur la face principale arrière FP2 de la plaquette par oxydation OX de la plaquette semiconductrice SUB.

[0064] La [Fig.4] illustre une vue en coupe d'un résultat pouvant être obtenu suite à cette formation 11. Les couches C11 et C12 sont alors formées d'un premier matériau, ty-

piquement du dioxyde de silicium (SiO_2) et possèdent généralement une épaisseur supérieure à 1,5 µm.

[0065] Pour réaliser le damasquinage de chaque côté de la plaquette semiconductrice, le procédé de fabrication comprend ensuite une formation 12 d'une pluralité de tranchées TRC1 en surface de la couche C11 formée sur la face principale avant FP1 selon le motif souhaité pour le damasquinage de la couche C21 de matériau. En particulier, les tranchées TRC1 comprennent des tranchées TRC1_C et des tranchées TRC1_GD.

[0066] Les tranchées TRC1_C sont utilisées uniquement pour réduire les contraintes internes de la couche C21 de matériau qui est par la suite déposée sur la couche C11. Les tranchées TRC1_C sont réparties sur l'ensemble de la plaquette semiconductrice SUB.

[0067] Les tranchées TRC1_C permettent ainsi d'éviter l'apparition de fissures en surface du côté de la face principale avant du substrat SUB. Il peut être avantageux de prévoir une distance E1 entre les tranchées TRC1_C inférieure ou égale à 10 µm et une largeur des tranchées TRC1_C inférieure ou égale à 5 µm.

[0068] Les tranchées TRC1_GD peuvent être utilisées pour former par la suite des guides d'ondes GD_ONDE. Ces tranchées TRC1_GD réduisent également les contraintes de la couche C21 qui est par la suite déposée sur la couche C11, mais ne sont pas suffisantes à elles seules pour éviter l'apparition de fissures en surface du côté de la face principale avant du substrat SUB. Les tranchées TRC1_GD présentent alors une largeur inférieure ou égale à 2 µm par exemple.

[0069] Le procédé comprend ensuite une formation 13 d'une pluralité de tranchées TRC2 en surface de la couche C12 formée sur la face principale arrière FP2.

[0070] Les tranchées TRC2 comprennent des tranchées TRC2_C utilisées uniquement pour réduire les contraintes internes de la couche C22 de matériau qui est par la suite déposée sur la couche C12.

[0071] Il peut être avantageux de prévoir une distance E2 entre les tranchées TRC2_C inférieure ou égale à 10 µm et une largeur des tranchées TRC2_C inférieure ou égale à 5 µm.

[0072] La [Fig.5] illustre une vue en coupe d'un résultat pouvant être obtenu suite aux formations 12 et 13. Bien entendu, il est possible d'inverser l'ordre d'exécution des formation 12 et 13 des tranchées TRC1 et TRC2 de sorte que les tranchées TRC2 peuvent être formées avant les tranchées TRC1. Ces tranchées TRC1, TRC2 peuvent être formées en utilisant une technique de gravure bien connue de l'homme du métier. On peut prévoir par exemple une lithographie suivie d'une gravure des couches C11 et C12 pour former les tranchées TRC1 et TRC2.

[0073] Les tranchées TRC1 et les tranchées TRC2 peuvent être agencées selon des motifs prédéterminés indépendants l'un de l'autre

[0074] Pour réaliser le damasquinage de chaque côté de la plaquette semiconductrice, le procédé de fabrication comprend également une formation 14 simultanée de couches C21 et C22 d'un second matériau sur les couches C11 et C12 formées par oxydation de la plaquette semiconductrice.

[0075] En particulier, les couches C21 et C22 peuvent être formés simultanément par dépôt chimique en phase vapeur à basse pression (également connu sous l'acronyme « LPCVD » pour « Low Pressure Chemical Vapor Deposition » en anglais), par exemple à une pression comprise entre 13,3 Pa et 40 Pa (i.e. entre 100mTorr et 300mTorr).

[0076] La [Fig.6] illustre une vue en coupe d'un résultat pouvant être obtenu en mettant en œuvre ladite formation 14 des couches C21 et C22.

[0077] Ainsi, comme illustré sur la [Fig.6], une couche avant C21 est formée sur la couche C11 et une couche arrière C22 est formée sur la couche C12. La couche avant C21 s'étend alors sur la couche C11 dans les tranchées TRC1 et entre les tranchées TRC1, et la couche C22 s'étend sur la couche arrière C12 dans les tranchées TRC2 et entre les tranchées TRC2.

[0078] Les tranchées TRC1 et TRC2 peuvent être prévues pour avoir une profondeur supérieure ou égale à l'épaisseur des couches C21 et C22 afin de contenir entièrement les couches C21 et C22 formées dans les tranchées TRC1 et TRC2.

[0079] L'homme du métier saura adapter la profondeur des tranchées TRC1 et TRC2 en fonction de l'épaisseur de couches de second matériau à déposer. L'épaisseur des couches C21 et C22 peut en outre varier selon les applications du dispositif semiconducteur. Par exemple, pour réaliser des guides d'ondes avec les portions de couches C21 situées dans des tranchées TRC1_GD, les portions de couches C21 peuvent présenter une épaisseur de nitrure de silicium comprise entre 1200 Å et 2000 Å.

[0080] La formation des tranchées TRC2 permet d'obtenir une couche C22 discontinue qui présente des portions s'étendant dans les tranchées TRC2 et d'autres portions s'étendant entre les tranchées. De la sorte, les contraintes internes de la couche C22 sont également réduites en comparaison à une couche de même épaisseur et de même matériau qui recouvrirait continuellement la face principale arrière de la plaquette semiconductrice.

[0081] En particulier, il est avantageux de prévoir une distance E2 entre les tranchées TRC2 inférieure ou égale à 10 µm et une largeur des tranchées TRC2 inférieure ou égale à 5 µm afin de réduire suffisamment les contraintes internes de la couche C22.

[0082] Réduire les contraintes internes de la couche C22 permet de réduire une différence entre les contraintes interne de la couche C21 et celles de la couche C22 pour réduire, voire éliminer un risque de bombage de la plaquette semiconductrice SUB et d'apparition de fissures sur la couche C22.

[0083] En outre, la formation simultanée des couches C21 et C22 permet de maintenir l'équilibre entre les contraintes internes des couches C21 et C22 de chaque côté de la plaquette semiconductrice SUB.

[0084] Le procédé comprend ensuite une étape 15 d'aplanissement APL des couches C21 et C22.

[0085] La [Fig.7] illustre un résultat pouvant être obtenu suite à une mise en œuvre d'une telle étape 15 d'aplanissement APL. L'aplanissement APL est effectué de chaque côté de la plaquette semiconductrice SUB.

[0086] De préférence, l'aplanissement APL est un polissage mécano-chimique (également connu par le terme anglo-saxon « chemical-mecanical polishing »).

[0087] En particulier, l'aplanissement APL de la couche C21 est effectué de façon à retirer les portions de la couche C21 entre les tranchées TRC1 et l'aplanissement APL de la couche C22 est effectué de façon à retirer les portions de la couche C22 entre les tranchées TRC2. Ainsi, les couches C21 et C22 ne s'étendent que dans les tranchées TRC1 et TRC2 respectivement formées dans les couches C11 et C12.

[0088] Comme indiqué précédemment en relation avec la [Fig.2], les tranchées TRC1_GD remplies du matériau de la couche C21 peuvent former des guides d'onde GD_ONDE. Le motif utilisé pour le damasquinage de la couche C21 peut alors être défini en fonction de l'emplacement souhaité des guides d'onde GD_ONDE.

[0089] Bien entendu, la présente invention est susceptible de diverses variantes et modifications qui apparaîtront à l'homme de l'art.

[0090] Par exemple, la [Fig.8] illustre une vue en coupe d'un mode de réalisation d'un dispositif semiconducteur dans lequel seule la face principale arrière FP2 sert de support à une formation de composants semiconducteurs et photoniques.

[0091] Ainsi, par exemple, les tranchées TRC2 comportent des tranchées TRC2_GD utilisées pour former des guides d'onde GD_ONDE du côté de la face principale arrière de la plaquette semiconductrice SUB.

[0092] Les tranchées TRC2_GD présentent alors une largeur inférieure ou égale à 2 µm par exemple.

[0093] En outre, les tranchées TRC1 du côté de la face principale avant comportent uniquement des tranchées TRC1_C et ne comporte donc pas de tranchées TRC1_GD utilisées pour former des guides d'onde.

[0094] En variante, comme illustré à la [Fig.9] selon une vue en coupe d'un autre mode de réalisation d'un dispositif semiconducteur, la face principale avant FP1 et la face principale arrière FP2 peuvent toutes deux servir de support à la formation de composants semiconducteurs et photoniques.

[0095] Ainsi, par exemple, les tranchées TRC1 et les tranchées TRC2 comportent respectivement des tranchées TRC1_GD et des tranchées TRC2_GD utilisées pour former

des guides d'onde GD_ONDE du côté de la face principale avant et de la face principale arrière de la plaquette semiconductrice SUB.

Revendications

[Revendication 1] Procédé de fabrication d'un dispositif semiconducteur comportant :
- une obtention d'une plaquette de substrat semiconducteur (SUB) présentant une face principale avant (FP1) et une face principale arrière (FP2),
- une formation d'une première couche (C11, C12) d'un premier matériau sur chaque face principale de la plaquette de substrat semi-conducteur (SUB),
- une formation d'une pluralité de tranchées (TRC1) en surface de la première couche formée sur la face principale avant (FP1),
- une formation d'une deuxième couche (C21, C22) d'un second matériau sur chaque première couche (C11, C12), de sorte qu'une deuxième couche avant (C21) de second matériau s'étend sur la première couche formée sur la face principal avant (FP1) de la plaquette de substrat semiconducteur (SUB), dans les tranchées (TRC1) et entre les tranchées (TRC1) de la première couche (C11) et qu'une deuxième couche arrière (C22) de second matériau s'étend sur la première couche (C12) formée sur la face principale arrière (FP2) de la plaquette de substrat semiconducteur (SUB),
et comprenant en outre, avant la formation desdites deuxièmes couches (C21, C22) de second matériau, une formation de tranchées (TRC2) sur la première couche (C12) de premier matériau formée sur la face principale arrière (FP2) de la plaquette de substrat semiconducteur (SUB), de sorte qu'après la formation desdites deuxièmes couches de second matériau la deuxième couche arrière (C22) de second matériau s'étend sur la première couche (C12) formée sur la face principale arrière (FP2) dans les tranchées (TRC2) et entre les tranchées (TRC2) de la première couche (C12).

[Revendication 2] Procédé selon la revendication 1, dans lequel lesdites deuxièmes couches (C21, C22) sont formées simultanément par dépôt chimique en phase vapeur à basse pression.

[Revendication 3] Procédé selon l'une quelconque des revendications 1 ou 2 dans lequel les premières couches (C11, C12) sont formées par oxydation (OX) de la plaquette de substrat semiconducteur (SUB).

[Revendication 4] Procédé selon la revendication 3, comprenant en outre une étape d'aplanissement (APL) effectuée de chaque côté de la plaquette de substrat semiconducteur (SUB) de façon à retirer une épaisseur (E2)

desdites deuxièmes couches (C21, C22) de sorte que ces deuxièmes couches (C21, C22) s'étendent uniquement dans les tranchées (TRC1, TRC2) formées dans lesdites premières couches (C11, C12).

[Revendication 5] Procédé selon la revendication 4, dans lequel l'étape d'aplanissement (APL) est une étape de polissage mécano-chimique.

[Revendication 6] Procédé selon l'une des revendications 1 à 5, dans lequel ledit premier matériau et ledit second matériau sont choisis pour qu'au moins une des tranchées (TRC1_GD) remplies de second matériau du côté de la face principale avant (FP1) de la plaquette de substrat semiconducteur (SUB) forme au moins un guide d'onde.

[Revendication 7] Procédé selon l'une des revendications 1 à 6, dans lequel ledit premier matériau et ledit second matériau sont choisis pour qu'au moins une des tranchées (TRC2_GD) remplies de second matériau du côté de la face principale arrière (FP2) de la plaquette de substrat semiconducteur (SUB) forment au moins un guide d'onde.

[Revendication 8] Procédé selon la revendication 7, dans lequel le premier matériau est du dioxyde de silicium et le second matériau est du nitrure de silicium.

[Revendication 9] Dispositif semiconducteur comportant une plaquette de substrat semi-conducteur (SUB) présentant une face principale avant et une face principale arrière, une première couche d'un premier matériau disposée sur chaque face principale du substrat, la première couche disposée sur la face principale avant ayant une surface sur laquelle est disposée une pluralité de tranchées (TRC1), et une deuxième couche avant d'un second matériau s'étendant sur la première couche disposée sur la face principale avant de la plaquette de substrat semiconducteur, dans les tranchées et entre les tranchées de la première couche, dans lequel la première couche (C1) disposée sur la face principale arrière a une surface sur laquelle est disposée une pluralité de tranchées (TRC2) et une deuxième couche arrière de second matériau s'étend sur la première couche disposée sur la face principale arrière de la plaquette de substrat semiconducteur, dans les tranchées et entre les tranchées de cette première couche.

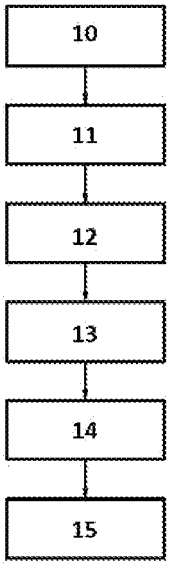
[Revendication 10] Dispositif semiconducteur selon la revendication 9, dans lequel ledit premier matériau et ledit second matériau sont choisis pour qu'au moins une des tranchées (TRC1_GD) remplies de second matériau du côté de la face principale avant de la plaquette de substrat semiconducteur constitue au moins un guide d'onde (GD_ONDE).

[Revendication 11] Dispositif semiconducteur selon l'une des revendications 9 et 10, dans

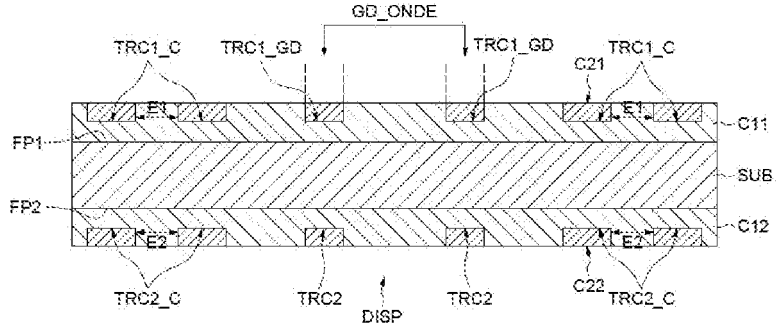
lequel ledit premier matériau et ledit second matériau sont choisis pour qu'au moins une des tranchées (TRC2_GD) remplies de second matériau du côté de la face principale arrière de la plaquette de substrat semiconducteur constitue au moins un guide d'onde (GD_ONDE).

[Revendication 12] Dispositif semiconducteur selon l'une des revendications 10 et 11, dans lequel le premier matériau est du dioxyde de silicium et le second matériau est du nitrure de silicium.

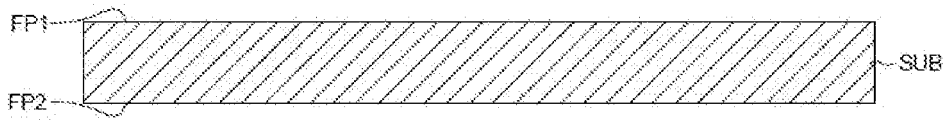
[Fig. 1]



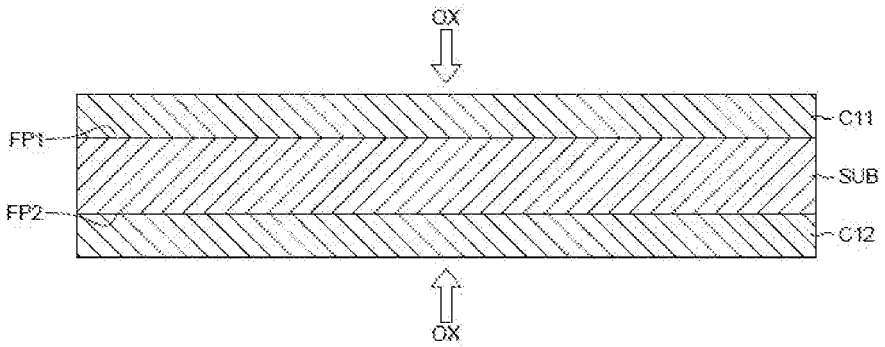
[Fig. 2]



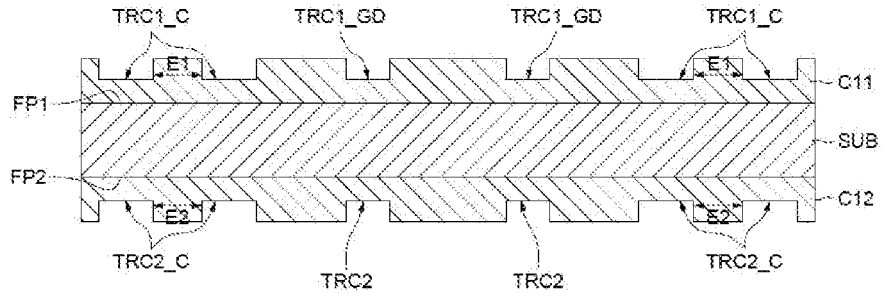
[Fig. 3]



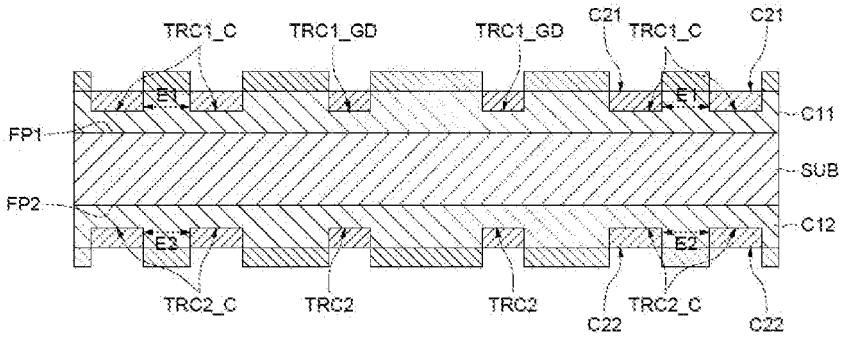
[Fig. 4]



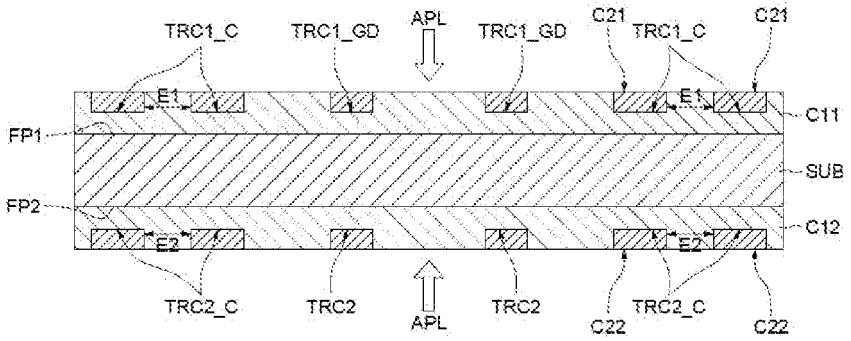
[Fig. 5]



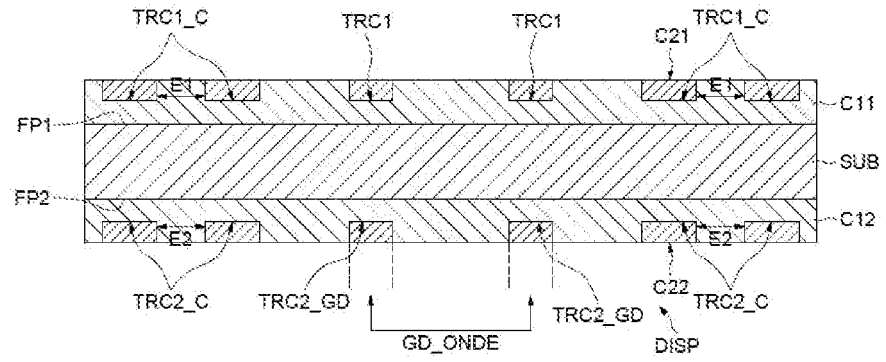
[Fig. 6]



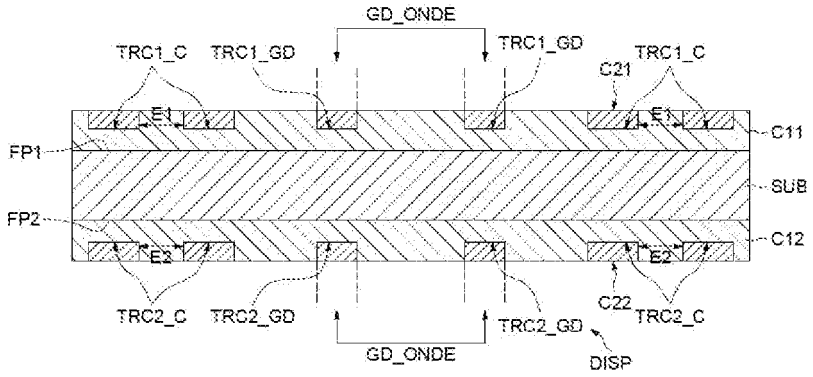
[Fig. 7]



[Fig. 8]



[Fig. 9]


GD_ONDE
TRC1_C
TRC1_GD
TRC1_GD
C21
TRC1_C
E1
E1
C11
FP1
SUB
FP2
C12
E2
E2
TRC2_C
TRC2_GD
C22
TRC2_C
TRC2_GD
GD_ONDE
DISP

RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL DE LA PROPRIÉTÉ INDUSTRIELLE

RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications déposées avant le commencement de la recherche

N° d'enregistrement national

FA 903791
FR 2201268

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 2015/048497 A1 (HENDERSON BRIAN MATTHEW [US] ET AL) 19 février 2015 (2015-02-19) * alinéa [0033] - alinéa [0040]; figure 5b *	1,3-5,9	H01L21/205 H01L21/304
Y	US 2021/278214 A1 (PANICCIA MARIO [US] ET AL) 9 septembre 2021 (2021-09-09) * alinéas [0041], [0047] - [0049]; figures 12-16 *	1-12	
Y	EP 1 237 019 A2 (FUJITSU LTD [JP]) 4 septembre 2002 (2002-09-04) * alinéas [0002], [0128] - [0137], [0196] - [0209]; figures 20,40 *	1-12	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			G02B H01L

Date d'achèvement de la recherche	Examinateur
9 septembre 2022	Bourhis, J

CATÉGORIE DES DOCUMENTS CITÉS

X : particulièrement pertinent à lui seul
Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie
A : arrière-plan technologique
O : divulgation non-écrite
P : document intercalaire

T : théorie ou principe à la base de l'invention
E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.
D : cité dans la demande
L : cité pour d'autres raisons

& : membre de la même famille, document correspondant

EPO FORM 1503 12.99 (P04C14)

ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 2201268 FA 903791

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.
Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **09-09-2022**
Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2015048497 A1	19-02-2015	AUCUN	
US 2021278214 A1	09-09-2021	US 2021278214 A1	09-09-2021
		US 2022082384 A1	17-03-2022
		WO 2021178970 A1	10-09-2021
EP 1237019 A2	04-09-2002	CA 2373564 A1	28-08-2002
		EP 1237019 A2	04-09-2002
		JP 2002258081 A	11-09-2002
		US 2002118907 A1	29-08-2002
		US 2005041906 A1	24-02-2005

EPO FORM P0465