



(12) 发明专利申请

(10) 申请公布号 CN 103946980 A

(43) 申请公布日 2014. 07. 23

(21) 申请号 201180075219. 2

(51) Int. Cl.

(22) 申请日 2011. 12. 02

H01L 27/10(2006. 01)

(85) PCT国际申请进入国家阶段日  
2014. 05. 30

H01L 27/108(2006. 01)

H01L 21/8242(2006. 01)

(86) PCT国际申请的申请数据  
PCT/US2011/063190 2011. 12. 02

(87) PCT国际申请的公布数据  
W02013/081633 EN 2013. 06. 06

(71) 申请人 英特尔公司  
地址 美国加利福尼亚州

(72) 发明人 K. 舍马克 P. 富格特

(74) 专利代理机构 中国专利代理(香港)有限公  
司 72001

代理人 蒋骏 傅康

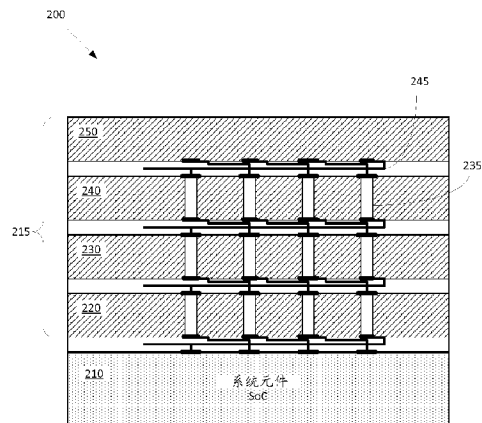
权利要求书2页 说明书8页 附图7页

(54) 发明名称

允许装置互连中的变化的堆栈式存储器

(57) 摘要

堆栈式存储器允许在装置互连中的变化。存储装置的实施例包括用于存储装置的系统元件和与系统元件连接的存储栈,系统元件包括多个衬垫,存储栈具有一个或多个存储器管芯层,系统元件和存储栈的连接包括用于连接第一存储器管芯层和系统元件的多个衬垫的互连。对于在存储栈中的单个存储器管芯层,多个衬垫的第一子集用于第一组互连,所述第一组互连用于系统元件和存储栈的连接,以及对于两个或更多的存储器管芯层,多个衬垫的第一子集和附加的第二子集用于第一组互连和第二组互连,所述第一组互连和第二组互连用于系统元件和存储栈的连接。



1. 一种存储装置,包括:

用于所述存储装置的系统元件,所述系统元件包括多个衬垫;以及

与所述系统元件连接的存储栈,所述存储栈包括一个或多个存储器管芯层、所述系统元件和所述存储栈的连接包括用于连接第一存储器管芯层和所述系统元件的所述多个衬垫的多个互连;

其中,对于在所述存储栈中的单个存储器管芯层,所述多个衬垫的第一子集用于第一组互连,所述第一组互连用于所述系统元件和所述存储栈的所述连接;以及

其中,对于在所述存储栈中的两个或更多的存储器管芯层,所述多个衬垫的所述第一子集和附加的第二子集用于所述第一组互连和第二组互连,所述第一组互连和第二组互连用于所述系统元件和所述存储栈的所述连接。

2. 权利要求1所述的存储装置,其中所述多个衬垫的所述第一子集被隔开,使得至少一个衬垫位于衬垫的所述第一子集的每一个衬垫之间。

3. 权利要求1所述的存储装置,其中如果所述单个存储器管芯层是在所述存储栈中独有的存储器管芯层,则第一互连间距用于所述第一存储器管芯层和所述系统元件的所述互连。

4. 权利要求3所述的存储装置,其中如果特定数量的存储器管芯层存在于所述存储栈中,则第二互连间距用于所述第一存储器管芯层和所述系统元件的所述互连,所述特定数量是2或更大,所述第一互连间距大于所述第二互连间距。

5. 权利要求1所述的存储装置,其中针对将从每一个存储器管芯层驱动的在所述存储栈与所述存储装置的所述系统元件之间的总的逻辑存储器互连的子集构造所述存储装置。

6. 权利要求1所述的存储装置,其中如果存储器管芯层的所述数量是用于所述存储器的存储器管芯层的最大数量,则所述多个衬垫中的所有所述衬垫用于互连。

7. 权利要求1所述的存储装置,其中所述系统元件是片上系统(SoC)。

8. 权利要求1所述的存储装置,进一步包括硅中介层,所述连接包括所述系统元件和存储栈至所述硅中介层的耦合。

9. 权利要求1所述的存储装置,进一步包括非硅封装衬底,所述存储栈包括单个存储器管芯层,并且所述连接包括所述系统元件和所述单个存储器管芯层至所述非硅封装衬底的耦合。

10. 一种逻辑芯片,包括:

用于计算机存储器的控制器;以及

用于所述逻辑芯片与存储栈的连接的多个衬垫,所述存储栈包括一个或多个存储器管芯层;

其中,对于在所述存储栈中的单个存储器管芯层,所述多个衬垫的第一子集用于第一组互连,所述第一组互连用于所述连接;以及

其中,对于在所述存储栈中的两个或更多的存储器管芯层,所述多个衬垫的所述第一子集和附加的第二子集用于所述第一组互连和第二组互连,所述第一组互连和第二组互连用于所述连接。

11. 权利要求10所述的逻辑芯片,其中所述多个衬垫的所述第一子集被隔开,使得至少一个衬垫位于衬垫的所述第一子集的每一个衬垫之间。

12. 权利要求 10 所述的逻辑芯片,其中如果所述第一存储器管芯层是在所述存储栈中独有的存储器管芯层,则第一互连间距用于所述第一存储器管芯层和所述逻辑芯片的所述互连。

13. 权利要求 12 所述的逻辑芯片,其中所述逻辑芯片和所述第一存储器管芯层与非硅封装衬底耦合。

14. 权利要求 12 所述的逻辑芯片,其中如果特定数量的存储器管芯层存在于所述存储栈中,则第二互连间距用于所述第一存储器管芯层和所述系统元件的所述互连,所述特定数量是 2 或更大,所述第一互连间距大于所述第二互连间距。

15. 权利要求 14 所述的逻辑芯片,其中所述逻辑芯片和所述存储栈与封装衬底耦合,所述封装衬底是硅衬底或与非硅衬底耦合的硅中介层。

16. 一种系统,包括:

总线;

耦合至所述总线的堆栈式存储装置;

耦合至所述总线的处理器,所述处理器用来从所述堆栈式存储装置读数据且将数据写入所述堆栈式存储装置;

其中,所述堆栈式存储装置包括用于所述存储装置的系统元件和存储栈,所述系统元件包括多个衬垫,所述存储栈包括一个或多个存储器管芯层,所述系统元件和所述存储栈的连接包括用于连接第一存储器管芯层和所述系统元件的所述多个衬垫的多个互连;

其中,对于在所述存储栈中的单个存储器管芯层,所述多个衬垫的第一子集用于第一组互连,所述第一组互连用于所述系统元件和所述存储栈的所述连接;以及

其中,对于在所述存储栈中的两个或更多的存储器管芯层,所述多个衬垫的所述第一子集和附加的第二子集用于所述第一组互连和第二组互连,所述第一组互连和第二组互连用于所述系统元件和所述存储栈的所述连接。

17. 权利要求 16 所述的系统,其中所述多个衬垫的所述第一子集被隔开,使得至少一个衬垫位于衬垫的所述第一子集的每一个衬垫之间。

18. 权利要求 16 所述的系统,其中如果所述单个存储器管芯层是在所述存储栈中独有的存储器管芯层,则第一互连间距用于所述第一存储器管芯层和所述系统元件之间的所述互连。

19. 权利要求 18 所述的系统,其中如果特定数量的存储器管芯层存在于所述存储栈中,则第二互连间距用于所述互连,所述特定数量是 2 或更大,所述第一互连间距大于所述第二互连间距。

20. 权利要求 16 所述的系统,其中针对将从每一个存储器管芯层驱动的在所述存储栈与所述存储装置的所述系统元件之间的总的逻辑存储器互连的子集构造所述存储装置。

## 允许装置互连中的变化的堆栈式存储器

### 技术领域

[0001] 本发明的实施例一般涉及电子装置的领域,并且更特别地,涉及允许在装置互连中的变化的堆栈式存储器。

### 背景技术

[0002] 为了为各种类型的计算操作提供具有更高带宽的存储器,正在开发具有多个紧密耦合的存储器元件的存储装置(其可以被称作 3D 堆栈式存储器,或者堆栈式存储器)。

[0003] 3D 堆栈式存储器可以包括耦合 DRAM (动态随机访问存储器)存储器元件的层或封装,其可以被称作存储栈。堆栈式存储器可以用来在单个装置或封装中提供大量的计算机存储器,其中装置或封装可以进一步包括系统部件,诸如存储控制器和 CPU (中央处理单元)或其它系统元件。

[0004] 然而,堆栈式存储器可能要求在小物理面积中的大量连接。为此,连接可能在大小上被要求非常小,由此在制造中增加了成本且限制了灵活性。

### 附图说明

[0005] 本发明的实施例通过举例的方式而不通过限制的方式在附图的图中进行图示,其中,相同的参考数字指代相同的元件。

[0006] 图 1 图示了 3D 堆栈式存储器的实施例;

图 2 图示了堆栈式存储装置的实施例的元件;

图 3A、3B 和 4 图示了用于具有变化数量的存储器管芯层的堆栈式存储装置的实施例的连接;

图 5 图示了用于支持变化间距的接口连接的堆栈式存储装置的衬垫布局的实施例;以及

图 6 是用来图示包括堆栈式存储装置的设备或系统的实施例的框图。

### 具体实施方式

[0007] 本发明的实施例一般涉及具有提供偏移互连的接口的堆栈式存储器。

[0008] 如本文中使用的:

“3D 堆栈式存储器”(其中 3D 指示三维)或“堆栈式存储器”意指包括一个或多个耦合的存储器管芯层、存储器封装或其它存储器元件的计算机存储器。存储器可以被垂直堆叠或水平(诸如并排)堆叠,或者以其它方式包含耦合在一起的存储器元件。特别是,堆栈式存储器 DRAM 装置或系统可以包括具有多个 DRAM 管芯层的存储装置。堆栈式存储装置也可以包括在装置中的系统元件(其在本文中可以被称作系统层或元件),其中系统层可以包括诸如 CPU (中央处理单元)、存储控制和其它相关的系统元件的元件。系统层可以包括逻辑芯片或片上系统(SoC)。

[0009] 在一些实施例中,用于堆栈式存储装置的体系结构提供管芯到管芯存储器接口,

其根据在堆栈式存储器中的存储器层的数量支持多个不同的衬垫间距。在一些实施例中，体系结构利用堆栈式存储装置的结构，通过其，当堆栈式存储装置具有比存储栈中的最大数量的存储器层更少的存储器层时利用比所有可能的连接衬垫更少的连接衬垫。

[0010] 对于增加的存储器带宽和增加的存储器效率两者的需要已经激励了使用非常宽的接口的封装存储器的开发。该开发的示例是 JEDEC WideIO 存储器标准，其使用了在逻辑芯片与存储器之间的 1200 个互连（其一般可以被称作逻辑存储器互连或 LMI）。与诸如 LPDDR2 或 LPDDR3（低功率双数据速率 2 和 3）的其它低功率 DRAM 技术相比，这些存储器解决方案可以提供更大的存储器带宽效率。

[0011] 为了实现具有中等存储器管芯大小效果的宽接口，可以要求细微的间距接口（诸如 40 $\mu\text{m}$ ）。这样的细微间距的使用需要使用硅到硅连接，其中，存储器被直接堆叠在系统元件上，因此要求使用用于逻辑芯片的硅通孔（TSV），或者存储器和系统两者都被安装在硅中介层上。然而，这些布置遭受与系统元件的 TSV 处理或在结构中的硅中介层的包含相关联的增加了的成本要求。非常细微的间距接口与混合的衬底材料不相容，诸如系统元件的硅管芯层与有机衬底的耦合。

[0012] 在更高端的系统中，为了用封装中的存储器获得要求的存储容量，可以在存储器芯片中采用 TSV 堆叠的存储器。然而，该结构在存储器的每个位增加了成本。在 WideIO 接口的示例中，数据线路是总线，其中，来自一个存储器芯片的 512 个数据线路中的每一个数据线路连接到所有其它存储器芯片的 512 个数据线路中的对应数据线路，其接着与在存储控制器上的 512 个数据线路连接。然而，数据线路的该共享意味着存储器系统的带宽保持相同，而不管堆叠多少存储器芯片。

[0013] 在一些实施例中，用于堆栈式存储器的不同的方法利用了没有共享的数据线路。与所有数据线路的连接相反，尽管使数据线路穿过存储栈中的存储器管芯层中的每一个存储器管芯层，但是每一个存储器管芯层仅驱动存储装置的数据线路的子集（诸如四分之一）。在该方法中，存储栈的带宽随着存储器管芯层被添加到存储栈而增加。在这样的装置实现中，整个接口仍具有要求使用用于存储器管芯层的最大堆叠的细微间距互连的大量的数据线路，但每一个存储器芯片仅驱动数据线路的子集。

[0014] 用开发存储器芯片涉及的成本是基本上的，并且在堆栈式存储器芯片中涉及的成本也是显著的。在一些实施例中，单存储器设计顾及了为更低端的单存储器芯片存储器系统以及更高端的多芯片存储器系统提供服务。单存储器芯片层的每个位的成本没有多 TSV 堆栈式存储器“立方体”的成本昂贵，因为附加的处理和产出丧失了存储器芯片 TSV 处理和堆叠。然而，在常规的装置中，单存储器芯片仍会要求采用细微间距互连，需要在逻辑装置中的昂贵的 TSV 处理或昂贵的硅中介层。

[0015] 在一些实施例中，存储装置利用允许每一个存储器芯片驱动数据线路的子集（诸如四分之一），允许通过使用顶层金属掩模改变和对 DRAM 晶片后处理的改变来仅填充在管芯上的机械连接的子集的体系结构。因为仅要求衬垫的子集，所以在一些实施例中，组织存储器芯片的衬垫产出了可以使用例如常规的 C4（可控塌陷芯片连接或者倒装芯片）封装技术装配的衬垫间距。

[0016] 在一些实施例中，单存储器规格和单存储器芯片设计可以用来支持应用的范围。在高端实现中，存储器晶片可以用所填充的整个细微间距接口且用所开发的 TSV 来进行处

理。然后,管芯可以被分割并被装配到存储栈中,所述存储栈使整个细微间距存储器接口暴露。然后,将这些存储栈堆叠在利用 TSV 来构建的系统元件(逻辑芯片)上。对于仅需要单个 DRAM 芯片的容量的空间约束的设计,可以对存储器晶片进行处理并填充整个细微间距接口阵列,但不开发 TSV。然后,管芯可以被分割并被堆叠在用 TSV 构建的逻辑芯片上。对于成本敏感的应用,可以对存储器晶片进行处理,但仅利用了填充接口阵列中的第一子集且不开发 TSV。然后,管芯可以被分割并通过使用例如常规的 C4 类型的装配技术来紧跟在逻辑芯片之后装配在封装中。

[0017] 在一些实施例中,存储装置包括用于存储装置的系统元件以及与系统元件连接的存储栈,系统元件包括多个衬垫,存储栈具有一个或多个存储器管芯层,系统元件和存储栈的连接包括用于连接第一存储器管芯层和系统元件的多个衬垫的互连。对于存储栈中的单个存储器管芯,多个衬垫中的第一子集用于第一组互连,所述第一组互连用于系统元件和存储栈的连接,并且对于两个或更多的存储器管芯层,多个衬垫的第一子集和附加的第二子集用于第一组互连和第二组互连,所述第一组互连和第二组互连用于系统元件和存储栈的连接。在一些实施例中,多个衬垫的第一子集被隔开,使得至少一个衬垫位于衬垫的第一子集的每一个衬垫之间。在一些实施例中,如果存储器管芯层的数量是用于存储器的存储器管芯层的最大数量,则多个衬垫中的所有衬垫都用于互连。

[0018] 在一些实施例中,如果单个存储器管芯层是在存储栈中独有的存储器管芯层,则第一互连间距用于第一存储器管芯层和系统元件的互连,并且如果特定数量的存储器管芯层在存储栈中存在(特定数量是两个或更多),则第二互连间距用于第一存储器管芯层和系统元件的互连,第一互连间距大于第二互连间距。

[0019] 图 1 图示了 3D 堆栈式存储器的实施例。在该图示中,3D 堆栈式存储装置 100 包括与一个或多个 DRAM 存储器管芯层 120 (本文中也被称作存储栈)耦合的系统元件 110。在一些实施例中,系统元件可以是片上系统(SoC)或其它类似的元件。该图和下面的图中的元件为了图示而呈现,并且不按比例进行绘制。尽管图 1 图示了其中系统元件 110 在一个或多个存储器管芯层 120 的存储栈的下方进行耦合的实现,但是实施例不限于该布置。例如,在一些实施例中,系统元件 110 可以邻接于存储栈 120 进行设置,并且因此可以以侧面接侧面的布置与存储栈 120 耦合。

[0020] 在该图示中,DRAM 存储器管芯层包括四个存储器管芯层,这些层是第一存储器管芯层 130、第二存储器管芯层 140、第三存储器管芯层 150、第四存储器管芯层 160。然而,实施例不限于存储栈 110 中的任何特别数量的存储器管芯层,并且可以包括更大或更小数量的存储器管芯层。连同其他元件一道,系统元件 110 还可以包括用于存储栈 120 的存储控制器 112。在一些实施例中,每一个存储器管芯层(在该图示中可能的例外是诸如第四存储器管芯层 160 的顶部的最外面的存储器管芯层)包括多个硅通孔(TSV)以提供通过存储器管芯层的硅衬底的路径。

[0021] 在一些实施例中,每一个存储器管芯层包括用于与另一个管芯层或系统元件 110 的连接接口。在该例证中,第一存储器管芯层 130 包括用于在第一存储器管芯层 130 与系统元件 110 之间进行耦合的第一接口 125;第二存储器管芯层 140 包括用于在第二存储器管芯层 140 与第一存储器管芯层 130 之间进行耦合的第二接口 135;第三存储器管芯层 150 包括用于在第三存储器管芯层 150 与第二存储器管芯层 140 之间进行耦合的第三接口

145 ;以及第四存储器管芯层 160 包括用于在第四存储器管芯层 160 与第三存储器管芯层 150 之间进行耦合的第四接口 155。

[0022] 在一些实施例中,堆栈式存储装置 100 被构造,使得每一个存储器管芯驱动逻辑存储器互连的子集,并且该结构用来允许在用于存储栈与系统元件 110 之间的互连间距中的变化。在一些实施例中,堆栈式存储装置 100 提供隔开的互连衬垫放置,以在存储栈中的存储器管芯层的数量变化的情况下允许在互连间距中的变化。

[0023] 图 2 图示了堆栈式存储装置的实施例的元件。在一些实施例中,堆栈式存储装置 200 包括存储栈 215,其中,在该图示中的存储栈具有四个存储器管芯层,第一存储器管芯层 220、第二存储器管芯层 230、第三存储器管芯层 240 以及第四存储器管芯层 250。在该图示中,存储栈耦合至系统元件 210 (其也可以被称作逻辑芯片),其可以是片上系统或类似的元件。尽管示出了直接与系统元件 210 耦合的存储栈,但是在其它实现中,元件可以以不同的方式进行耦合,其中,例如,存储栈 215 和系统元件 210 两者都可以与在存储栈和系统元件 210 之间的硅中介层耦合。

[0024] 如图 2 所示,存储器管芯层 215 可以包括硅通孔 235,以提供通过存储器管芯层的信号路径以及在存储器管芯层 215 之间或在存储器管芯层 220 与系统元件 210 之间的接口。

[0025] 在一些实施例中,堆栈式存储装置 200 被构造,使得每一个存储器管芯驱动逻辑存储器互连的子集,并且该结构用来允许在用于存储栈与系统元件 210 之间的互连间距中的变化。在提供四个存储器管芯层的该图示中,装置 200 可以被构造,使得每一个存储器管芯层驱动四分之一的存储器互连。在一些实施例中,堆栈式存储装置 200 提供隔开的互连衬垫放置,以在存储栈中的存储器管芯层的数量变化的情况下允许在互连间距中的变化。

[0026] 图 3A、3B 和 4 图示了用于具有变化数量的存储器管芯层的堆栈式存储装置的实施例的连接。在图 3A 所提供的图示中,堆栈式存储装置 300 包括存储栈 315,其中,在该图示中的存储栈具有四个存储器管芯层,第一存储器管芯层 320、第二存储器管芯层 330、第三存储器管芯层 340 以及第四存储器管芯层 350。在该图示中,存储栈通过全部数量的细微互连 370 耦合至系统元件 310,因为充足的存储器管芯层被包含在存储栈 315 中,以要求用于装置 300 的最大数量的互连。在一些实施例中,装置体系结构允许用于在图 3A 所示的配置中的高功率操作的完整存储器。在一些实施例中,互连 370 利用衬垫布局体系结构(诸如,例如图 5 中图示的衬垫布局),所述衬垫布局体系结构提供在更小的存储器管芯所要求的衬垫之间的间隔,以允许随着存储栈中的存储器管芯层的数量变化的互连间距中的变化。

[0027] 在图 3B 所提供的图示中,堆栈式存储装置 302 包括经由封装衬底 380 连接的存储栈 317 和系统元件 312,其中封装衬底可以是例如与非硅衬底 384 耦合的硅中介层 382,或硅衬底(此处未图示)。在该图示中,存储栈 317 再次包括四个存储器管芯层,第一存储器管芯层 322、第二存储器管芯层 332、第三存储器管芯层 342 以及第四存储器管芯层 352。在该图示中,存储栈 317 和系统元件 312 通过全部数量的细微互连 372 与衬底 380 连接,再次因为充足的存储器管芯层被包含在存储栈 317 中,以要求用于装置 302 的最大数量的互连。在一些实施例中,该替换的装置体系结构也可以提供用于高功率操作的完整存储器,并且用于将存储栈 317 和系统元件 312 耦合至硅中介层 382 或硅衬底的互连 372 和 374 可以利用衬垫布局体系结构,所述衬垫布局体系结构提供在更小的存储器管芯所要求的衬垫之间

的间隔,以允许随着存储栈中的存储器管芯层的数量变化的互连间距中的变化。

[0028] 相反,图 4 图示了用于具有单个存储器管芯层的堆栈式存储装置的实施例的连接。在该图示中,堆栈式存储装置 400 包括通过非硅封装衬底 484 (诸如有机衬底)与系统元件 412 连接的存储器管芯层 422。实施例不限于该布置,并且单个存储器管芯层 422 的面也可以以与图 3A 类似的方式与系统元件 410 的面耦合,或者通过使用如图 3B 中图示的硅中介层来进行连接。然而,图 4 中图示的实现可以提供在制造中的附加的成本节省。在一些实施例中,堆栈式存储装置 400 包括分别通过降低数量的有规律的间距互连,互连 472 和 474 (其中,这样的互连比图 3A 和 3B 中图示的细微间距互连更厚)来耦合至非硅衬底 484 的存储器管芯层 422 和系统元件 412,因为单个存储器管芯层仅要求用于装置 400 的最大数量的互连的子集。在一些实施例中,互连 472 和 474 再次利用衬垫布局体系结构(诸如,例如图 5 中图示的衬垫布局),所述衬垫布局体系结构提供在更小数量的存储器管芯所要求的衬垫之间的间隔,以允许随着存储栈中的存储器管芯层的数量变化的互连间距中的变化。

[0029] 在一些实施例中,在图 3A、3B 和 4 中图示的装置体系结构允许在较低成本下的存储器(具有较便宜的封装成本)和在高功率操作中使用的存储器两者。

[0030] 图 5 图示了用于支持变化间距的接口连接的堆栈式存储装置的衬垫布局的实施例。在一些实施例中,存储装置包括用于堆栈式存储装置的衬垫布局 500,其提供了在连接之间的间隔以允许根据在装置中的存储器管芯层的数量使间距互连变化。变化数量的存储器管芯层可以例如是如图 3A、3B 和 4 中图示的。

[0031] 在一些实施例中,衬垫布局 500 可以包括存储器操作所要求的连接,其包括数据连接(DQ0 至 DQ4)和功率连接(在该图示中的 VSS、VSS Q、VDD Q 和 VDD 2)。在一些实施例中,每一个存储器管芯层驱动装置的存储器互连的子集,因此如果具有存储器管芯层的数量的降低,则允许互连的数量的降低。在一些实施例中,衬垫布局被构造,使得单个存储器管芯装置的互连所要求的主动衬垫(其例如是图 5 中的阴影衬垫 510)在每个方向上隔开了一个衬垫宽度的最小值。在一些实施例中,衬垫布局体系结构 500 允许用于较大数量的存储器管芯层的连接的第一互连间距(诸如,最大数量的存储器管芯层要求衬垫布局体系结构 500 的全部衬垫)以及用于较少存储器管芯层(诸如单个存储器管芯层)所要求的衬垫 510 的部分衬垫布局的第二互连间距。

[0032] 根据在存储装置中的存储器管芯层的数量,堆栈式存储器可以用在许多不同的计算环境中。图 6 是用来图示包括堆栈式存储装置的设备或系统的实施例的框图。计算装置 600 表示包括移动计算装置的计算装置,诸如:膝上型计算机、计算平板、移动电话或智能电话、无线使能的电子书阅读器或其它无线移动装置。将理解的是,一般示出了部件中的特定部件,而非示出了在装置 600 中的这样的装置的全部部件。部件可以由一个或多个总线或其它连接 605 连接。

[0033] 装置 600 包括处理器 610,其执行装置 600 的主要处理操作。处理器 610 可以包括一个或多个物理装置,诸如:微处理器、应用处理器、微控制器、可编程逻辑装置或其它处理装置。由处理器 610 执行的处理操作包括其上执行应用、装置功能或两者的操作平台或操作系统的执行。处理操作包括相关于与人类用户或与其它装置的 I/O (输入/输出)的操作,与功率管理、操作有关的操作,或者与将装置 600 连接到另一个装置相关的两者。处理操作也可以包括与音频 I/O、显示 I/O 或两者相关的操作。



[0034] 在一个实施例中,装置 600 包括音频子系统 620,其表示与将音频功能提供给计算装置相关联的硬件(诸如音频硬件和音频电路)和软件(诸如驱动器和编解码器)部件。音频功能可以包括扬声器、耳机或者这两者音频输出,以及麦克风输入。用于这样的功能的装置可以被集成到装置 600 中,或者连接到装置 600。在一个实施例中,用户通过提供由处理器 610 接收并处理的音频命令来与装置 600 交互。

[0035] 显示子系统 630 表示提供具有视觉、触觉或两者元素的显示器以供用户与计算装置交互的硬件(诸如显示装置)和软件(诸如驱动器)部件。显示子系统 630 包括显示接口 632,其包括用来向用户提供显示的特别的屏幕或硬件装置。在一个实施例中,显示接口 632 包括与处理器 610 分开的逻辑以至少执行与显示相关的一些处理。在一个实施例中,显示子系统 630 包括向用户提供输出和输入两者的触屏装置。

[0036] I/O 控制器 640 表示相关于与用户的交互的硬件装置和软件部件。I/O 控制器 640 可以进行操作以管理硬件,所述硬件是音频子系统 620、显示子系统 630 或这两者子系统的一部分。此外,I/O 控制器 640 图示了用于连接到装置 600 的附加的装置的连接点,通过所述附加的装置,用户可以与系统交互。例如,可以附接至装置 600 的装置可以包括麦克风装置、扬声器或立体声系统、视频系统或其它显示装置、键盘或键区装置或者用于与诸如读卡器或其它装置的特定应用一起使用的其它 I/O 装置。

[0037] 如上面提到的,I/O 控制器 640 可以与音频子系统 620、显示子系统 630 或这两者子系统交互。例如,通过麦克风或其它音频装置的输入可以提供用于装置 600 的一个或多个应用或功能的输入或命令。此外,取代显示输出或除显示输出以外,可以提供音频输出。在另一个实施例中,如果显示子系统包括触屏,则显示装置也充当输入装置,其可以至少部分地由 I/O 控制器 640 管理。在装置 600 上也可以存在附加的按钮或开关,以提供由 I/O 控制器 640 管理的 I/O 功能。

[0038] 在一个实施例中,I/O 控制器 640 管理诸如加速度计、摄像机、光线传感器或其它环境传感器、或者可以被包含在装置 600 中的其它硬件的装置。输入可以是直接用户交互的一部分,以及提供对系统的环境输入以影响它的操作(诸如对于噪声的过滤、调整对于亮度检测的显示、对于摄像头的应用闪光或其它特征)。

[0039] 在一个实施例中,装置 600 包括管理电池功率使用、电池的充电以及与功率节省操作相关的特征的功率管理 650。

[0040] 在一些实施例中,存储器子系统 660 包括用于在装置 600 中存储信息的存储装置。处理器 610 可以读和写数据到存储器子系统 660 的元件。存储器可以包括非易失性(具有如果对存储装置的功率被中断则不改变的状态)、易失性(具有如果对存储装置的功率被中断则不确定的状态)存储装置或者这两者存储器。存储器 660 可以存储应用数据、用户数据、音乐、相片、文档或其它数据以及与系统 600 的应用和功能的执行相关的系统数据(无论是长期的还是临时的)。

[0041] 在一些实施例中,存储器子系统 660 可以包括堆栈式存储装置 662,诸如在图 1 至 5 中图示的,其中,堆栈式存储装置包括一个或多个存储器管芯层和系统元件。在一些实施例中,堆栈式存储装置 662 提供了基于存储器管芯层的数量而变化的互连,允许在利用较小数量的存储器管芯的装置中使用较宽间距互连。

[0042] 连接 670 包括硬件装置(例如,连接器和用于无线通信、有线通信或两者的通信硬

件)和软件部件(例如,驱动器,协议堆栈)以使装置 600 能够与外部装置通信。装置可以是单独的装置(诸如其它计算装置、无线访问点或基站)以及外设(诸如耳机、打印机或其它装置)。

[0043] 连接 670 可以包括多个不同类型的连接。为了归纳,装置 600 被图示有蜂窝连接 672 和无线连接 674。蜂窝连接 672 一般指的是诸如经由 GSM (全球移动通信系统)或变型或派生物、CDMA (码分多址)或变型或派生物、TDM (时分多路复用)或变型或派生物,或者其它蜂窝服务标准提供的由无线运营商提供的蜂窝网络连接。无线连接 674 指的是不是蜂窝的无线连接,并且可以包括个域网(诸如蓝牙)、局域网(诸如 WiFi)、广域网(诸如 WiMax)和其它无线通信

外设连接 680 包括硬件接口和连接器以及软件部件(例如,驱动器、协议堆栈)以进行外设连接。将理解的是,装置 600 可以是到其它计算装置的外设装置(“到”682)以及具有连接到它的外设装置(“从”684)。为了诸如管理(诸如下载、上传、改变或同步)装置 600 上的内容的目的,装置 600 通常具有“对接”连接器以连接到其它计算装置。此外,对接连接器可以允许装置 600 连接到特定外设,所述特定外设允许装置 600 控制例如到视听或其它系统的内容输出。

[0044] 除专有的对接连接器或其它专有的连接硬件以外,装置 600 可以经由普通或基于标准的连接器进行外设连接 680。普通的类型包括:通用串行总线(USB)连接器(其可以包括许多不同的硬件接口中的任何一个)、包括迷你显示端口(MDP)的显示端口、高清多媒体接口(HDMI)、火线或其它类型。

[0045] 在上面的描述中,为了解释的目的,叙述了大量具体细节,以便提供对本发明的透彻理解。然而,将明显的是,的本领域技术人员而言,本发明可以在没有这些具体细节中的一些的情况下进行实践。在其它实例下,以框图形式示出了公知的结构和装置。可以具有在图示的部件之间的中间结构。本文中描述或图示的部件可以具有未图示或描述的附加的输入或输出。

[0046] 各种实施例可以包括各种过程。这些过程可以由硬件部件执行或可以体现在计算机程序或机器可执行指令中,所述计算机程序或机器可执行指令可以用来使通用或专用处理器或逻辑电路用指令进行编程以执行过程。可替换地,过程可以由硬件和软件的组合执行。

[0047] 各种实施例的部分可以被提供为计算机程序产品,其可以包括具有存储在其上的计算机程序指令的非瞬态计算机可读存储媒介,所述计算机程序指令可以用来对计算机(或其它电子装置)进行编程以供一个或多个处理器执行,从而执行根据特定实施例的过程。计算机可读媒介可以包括但不限于:软盘、光盘、光盘只读存储器(CD-ROM)、以及磁光盘、只读存储器(ROM)、随机访问存储器(RAM)、可擦除可编程只读存储器(EPROM)、电可擦除可编程只读存储器(EEPROM)、磁卡或光卡、闪存存储器、或者适合于存储电子指令的其它类型的计算机可读媒介。此外,实施例也可以被下载为计算机程序产品,其中,程序可以被从远程计算机转移到请求计算机。

[0048] 方法中的许多方法以它们最基本的形式进行描述,但是在不脱离本发明的基本范围的情况下,可以将过程添加到方法中的任何一个方法或可以从方法中的任何一个方法删除过程,并且可以将信息添加到所描述的消息中的任何一个消息或可以从所描述的消息中

的任何一个消息减去信息。对本领域技术人员而言将明显的是,可以进行许多进一步的修改和适应。特别的实施例不是提供来限制本发明,而是提供来说明它。本发明的实施例的范围不由上面提供的特定示例确定,而仅由下面的权利要求确定。

[0049] 如果所说的是元素“A”耦合至或与元素“B”耦合,则元素A可以直接耦合至元素B,或通过例如元素C间接地耦合。当说明书或权利要求声明部件、特征、结构、过程或特性A“引起”部件、特征、结构、过程或特性B,它意味着“A”至少是“B”的部分原因,但有可能存在帮助引起“B”的至少一个其它部件、特征、结构、过程或特性。如果说明书指示了“可以”、“可能”或“能够”包括部件、特征、结构、过程或特性,则不要求包括该特别的部件、特征、结构、过程或特性。如果说明书或权利要求指的是“一”或“一个”元素,则这不意味着仅存在所描述的元素中的一个元素。

[0050] 实施例是本发明的实现或示例。在说明书中参考“实施例”、“一个实施例”、“一些实施例”或“其它实施例”意味着结合实施例描述的特别的特征、结构或特性被包含在至少一些实施例中,但不必在所有实施例中。“实施例”、“一个实施例”或“一些实施例”的各种出现不必都指的是相同的实施例。应当理解的是,在前述的本发明的示例性实施例的描述中,为了使公开内容形成一个整体且帮助对各种创造性方面中的一个或多个的理解的目的,各种特征在单个实施例、图或其描述中有时被分组在一起。然而,该公开内容的方法不被解释为影响所要求保护的发明要求比在每一个权利要求中明确列举的特征更多的特征的意图。相反,如下面权利要求反映的,创造性方面处于比单个前述公开的实施例的全部特征更少的特征。因此,权利要求由此明显地并入该描述中,其中,每一个权利要求作为该发明的单独的实施例独立存在。

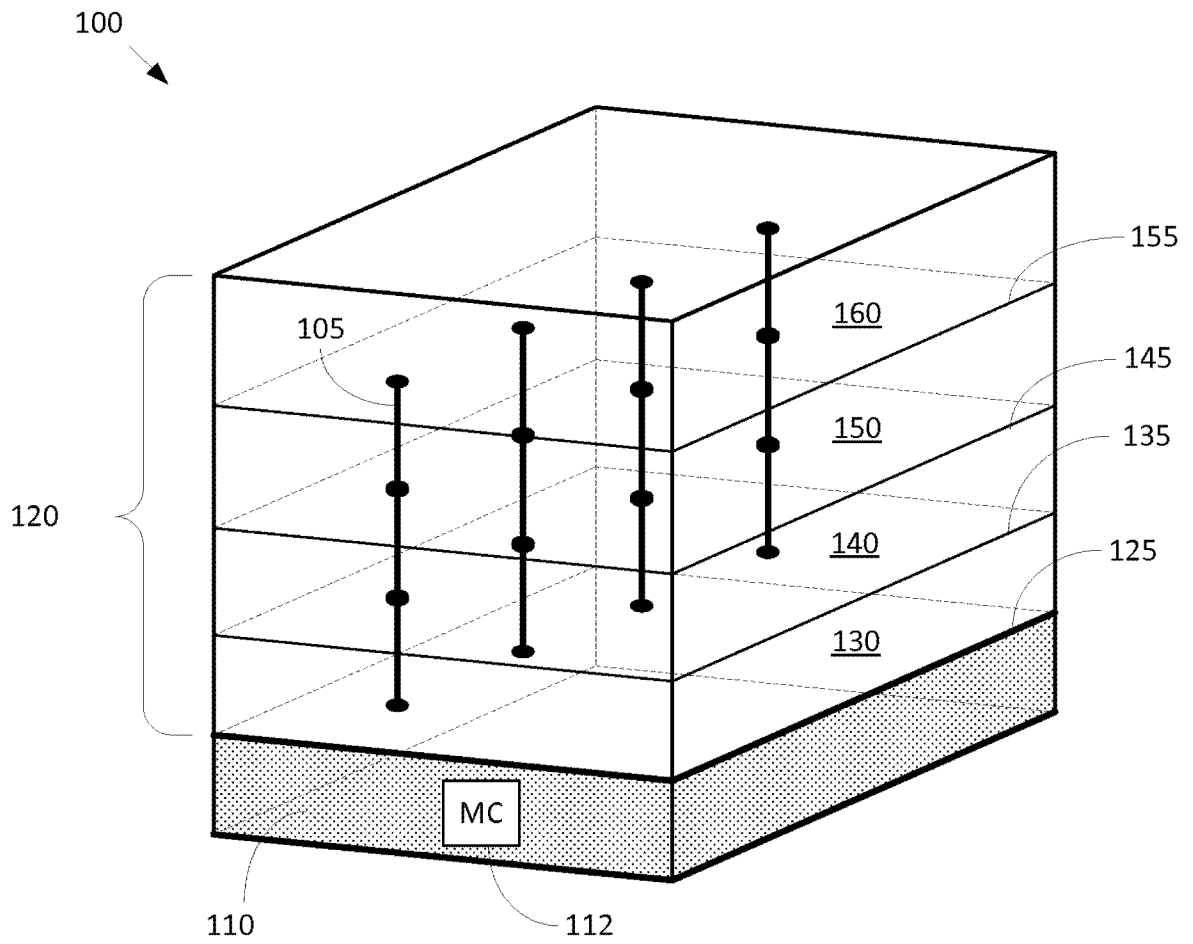


图 1

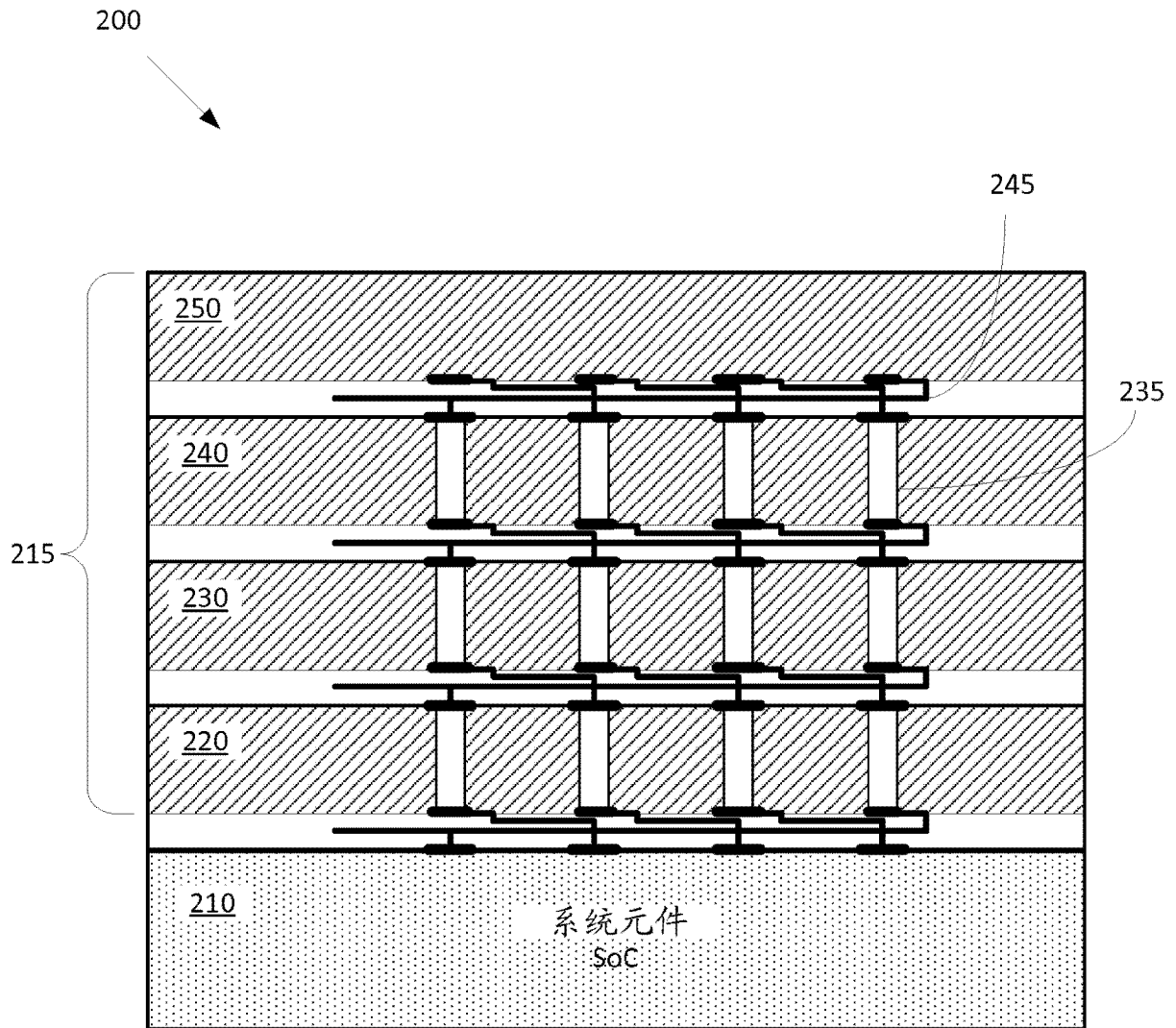


图 2

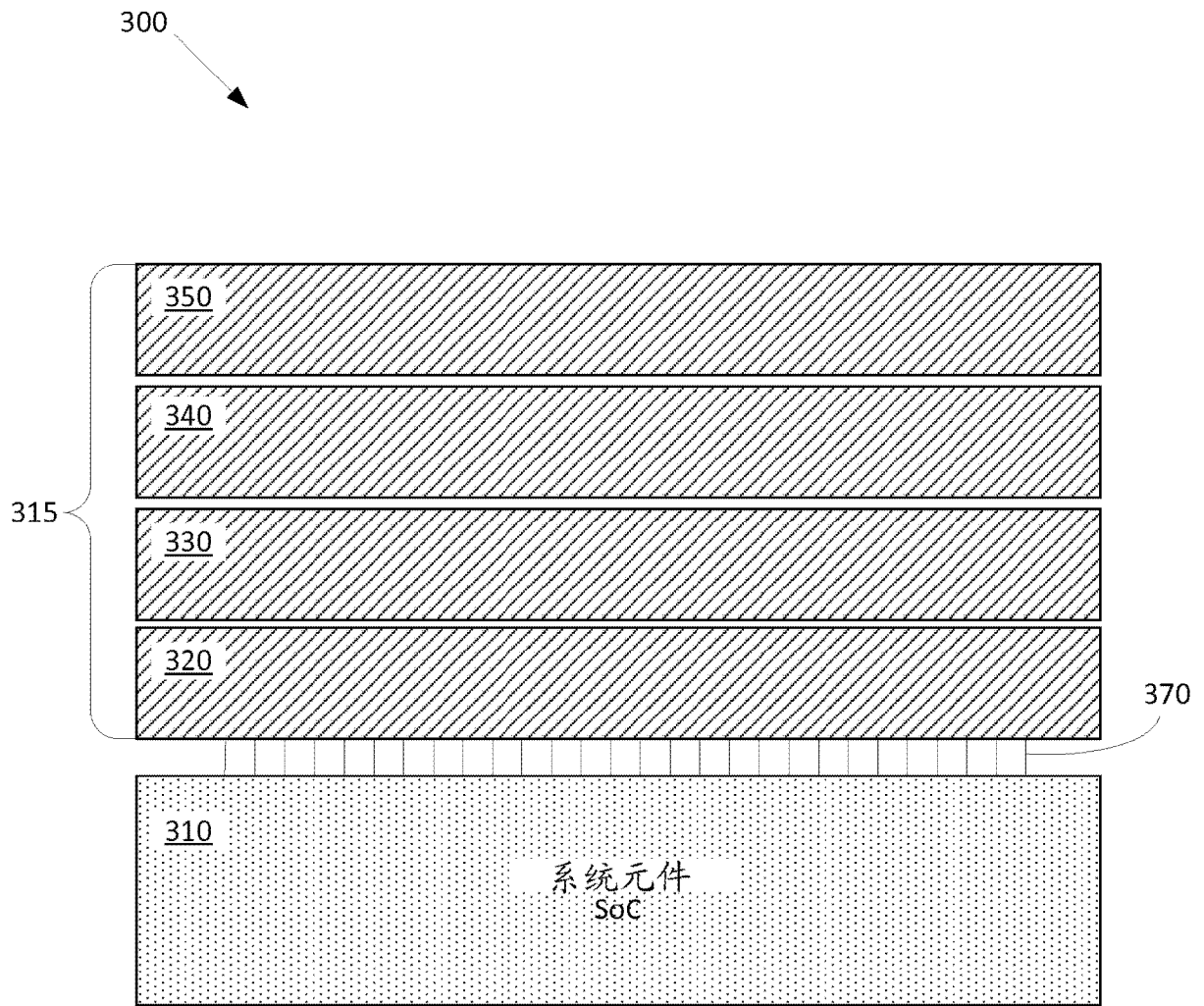


图 3A

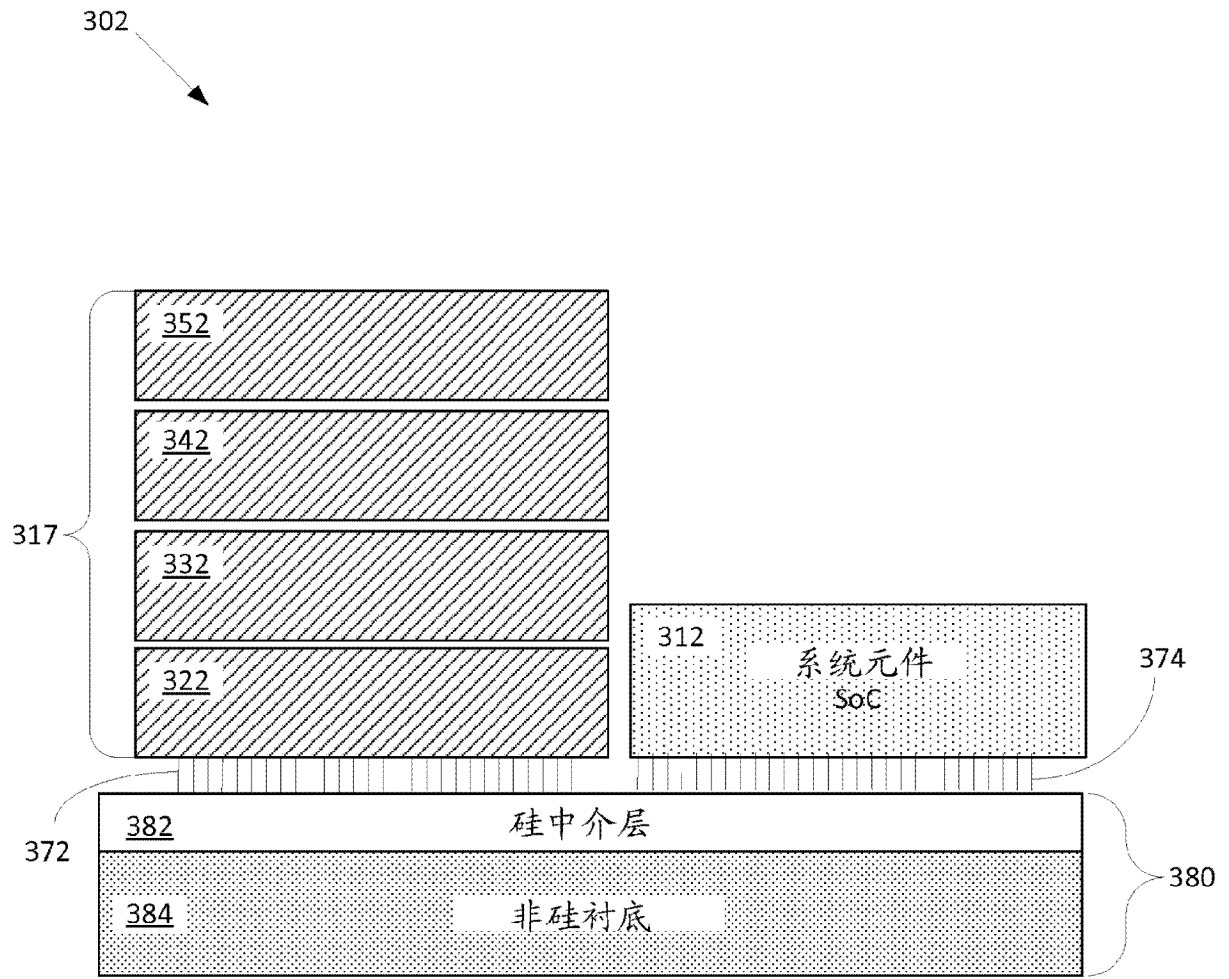


图 3B

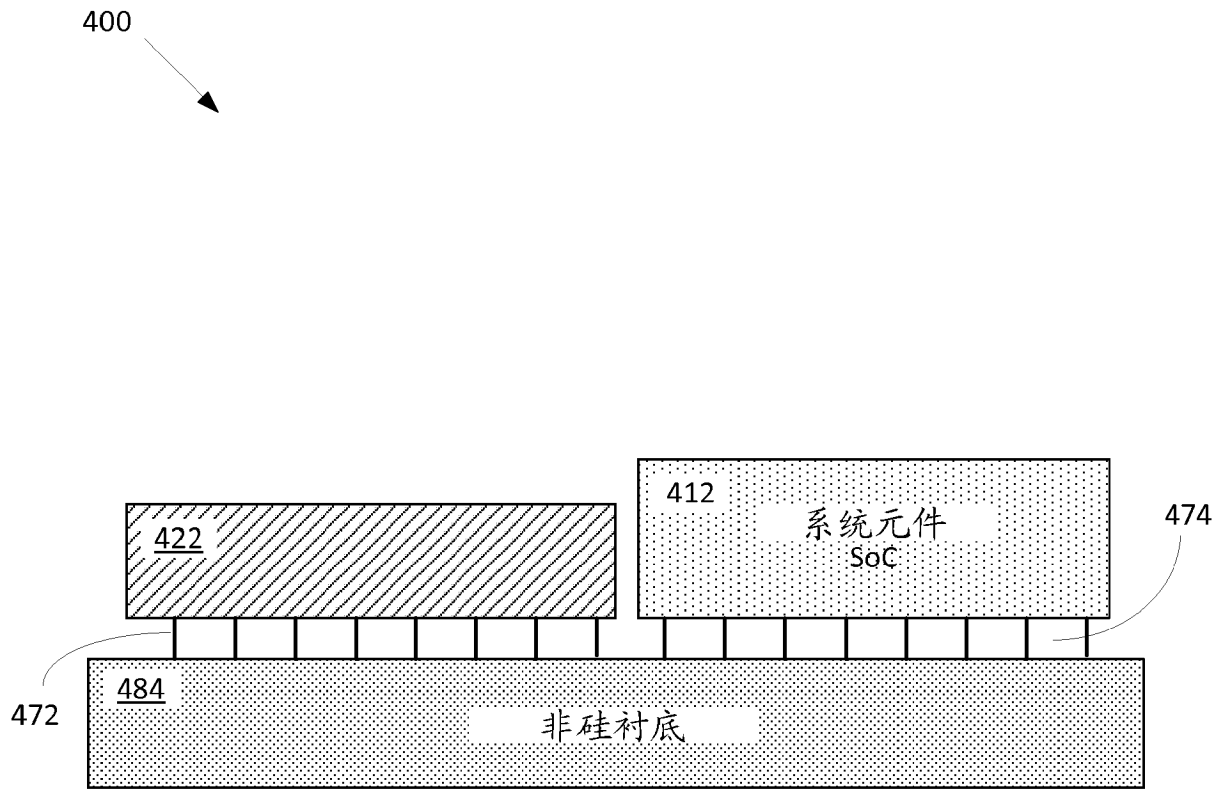


图 4



500

VSS Q	DQ1	VDD Q	DQ3	VSS Q
VSS Q	VDD 2	VDD Q	VSS	VSS Q
DQ0	VDD 2	DQ2	VSS	DQ4
VSS Q	DQ1	VDD Q	DQ3	VSS Q
VSS Q	VDD 2	VDD Q	VSS	VSS Q
DQ0	VDD 2	DQ2	VSS	DQ4
VSS Q	DQ1	VDD Q	DQ3	VSS Q
VSS Q	VDD 2	VDD Q	VSS	VSS Q
DQ0	VDD 2	DQ2	VSS	DQ4
VSS Q	DQ1	VDD Q	DQ3	VSS Q
DQ0	VDD 2	DQ2	VSS	DQ4
VSS Q	DQ1	VDD Q	DQ3	VSS Q
VSS Q	VDD 2	VDD Q	VSS	VSS Q
DQ0	VDD 2	DQ2	VSS	DQ4
VSS Q	DQ1	VDD Q	DQ3	VSS Q
VSS Q	VDD 2	VDD Q	VSS	VSS Q
DQ0	VDD 2	DQ2	VSS	DQ4

510

图 5

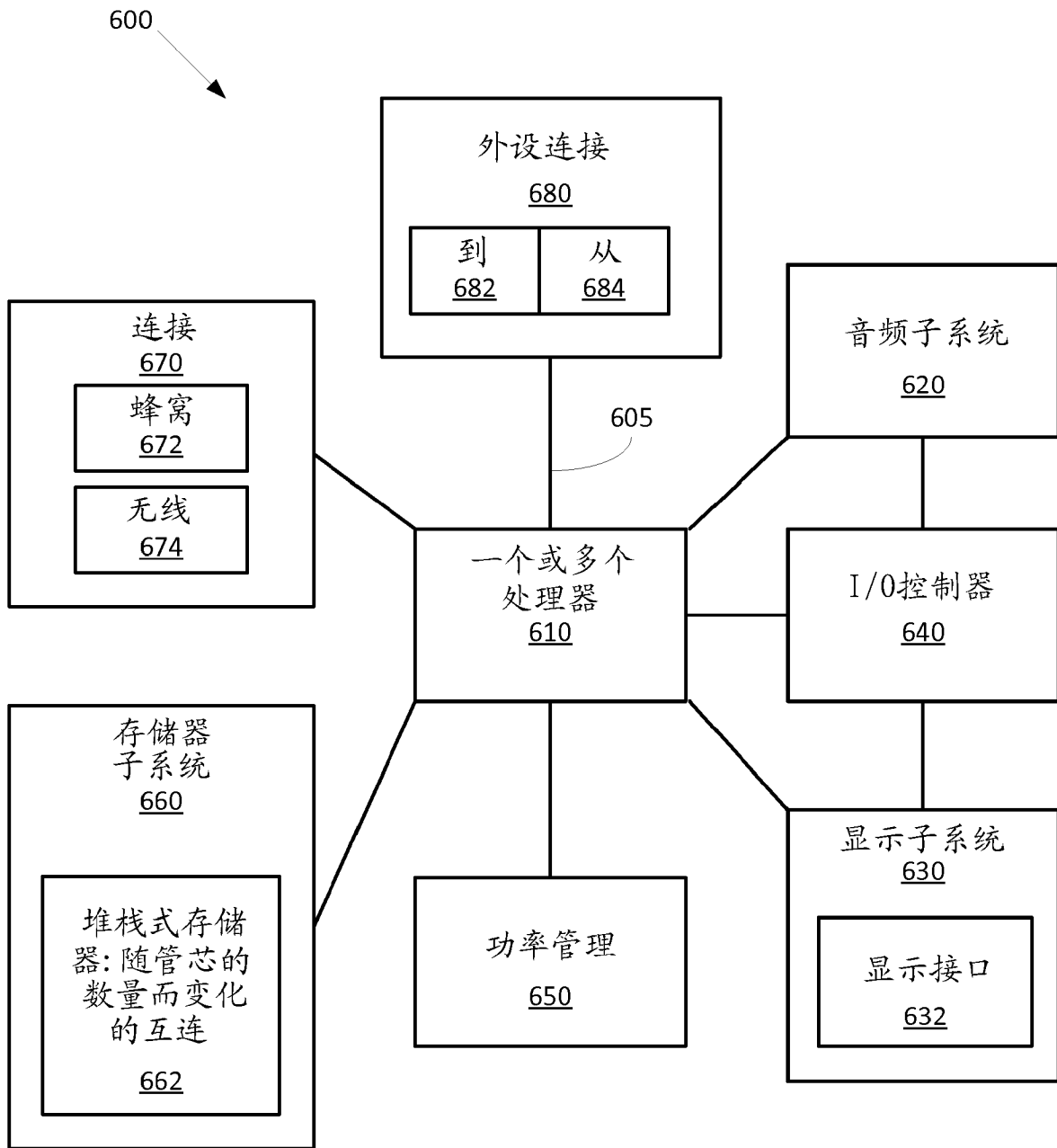


图 6