



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

254517

(11)

(B1)

(51) Int. Cl.⁴

H 03 M 1/66

(22) Přihlášeno 28 03 86

(21) PV 2203-86.A

(40) Zveřejněno 14 05 87

(45) Vydáno 15 09 88

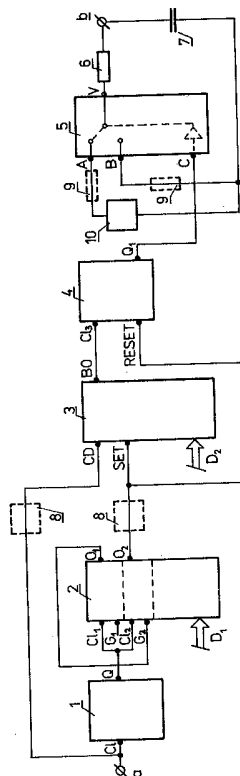
(75)

Autor vynálezu

LUKÁŠEK RADEK ing., ROUSÍNOV, PODBRDSKÝ JOSEF RNDr., BRNO

(54) Zapojení digitálně analogového převodníku pro číslicové řízení zdrojů proudu a napětí

Podstatou zapojení je vstupní čítač, jehož hodinový vstup je spojen s hodinovým vstupem rychlého čítače a jehož výstup je spojen s hodinovými vstupy dvou sekcí integrovaného časovače, jehož výstup je spojen jednak s nastavovacím vstupem rychlého čítače, jednak s nulovacím vstupem klopného obvodu, jehož hodinový vstup je spojen s výstupem rychlého čítače a výstup je spojen s řídicím vstupem přepínače, mezi jehož dva vstupy je připojen zdroj referenčního napětí a jehož výstup je připojen přes odpor na výstupní svorku spojenou přes kondenzátor s jedním z pólů zdroje referenčního napětí. Zapojení je určeno zejména pro číslicové řízení přesných proudových a napěťových zdrojů zejména elektronových mikroskopů.



Vynález se týká zapojení digitálně analogového převodníku pro číslicové řízení přesných zdrojů proudu a napětí, používaných zejména v elektronové optice.

Řízení přesných proudových a napěťových zdrojů pro elektronové optické přístroje, zejména na elektronové mikroskopy, představuje specifický problém. Na řídicí obvod jsou kladeny mimořádné požadavky zejména z hlediska krátkodobé stability a přesnosti nastavení požadované hodnoty např. řádu 10^{-5} až 10^{-6} a diferenciální nelinearity, kdy obvod musí být zaručeně monotónní v celém rozsahu, naproti tomu nejsou kladeny nároky na rychlost převodu, absolutní přesnost a linearitu převodové charakteristiky.

Dosavadní stav, kdy pro číslicové řízení těchto zdrojů jsou využívány komerčně vyráběné integrované digitálně analogové převodníky, vyžaduje speciální výběr a pracné nastavení, rozdělení pracovního rozsahu do několika částí a při extrémních nárocích, vyžadujících použití 18 a vícebitových převodníků nevyhovuje z cenových důvodů.

Tyto dosavadní nevýhody odstraňuje zapojení digitálně analogového převodníku pro číslicové řízení zdrojů proudu a napětí, jehož podstatou je, že vstupní svorka tvořící hodinový vstup vstupního čítače je spojena s hodinovým vstupem rychlého čítače, přičemž výstup vstupního čítače je spojen s hodinovými vstupy dvou sekcí integrovaného časovače, přičemž jeho první výstup je spojen s jeho druhým hradlovacím vstupem a jeho druhý výstup je spojen jednak s nastavovacím vstupem rychlého čítače a jednak s nulovacím vstupem klopného obvodu, jehož vstup je spojen s výstupem rychlého čítače a jeho výstup s logickým vstupem řízeného přepínače, jehož první dva vstupy jsou spojeny každý s jedním pólem zdroje referenčního napětí a výstup řízeného přepínače je spojen přes odpor s výstupní svorkou, která je přes kondenzátor spojena s jedním z pólů zdroje referenčního napětí.

Výhodou tohoto zapojení je, že z principu zaručuje monotoničnost převodní charakteristiky, umožňuje programově přizpůsobit počet převáděných bitů požadované přesnosti převodu a nevyžaduje použití speciálních součástek, ani komplikovaného nastavení. Použití integrovaného časovače např. typu INTEL 8253 podstatně zjednodušuje a zlevňuje zapojení a snižuje potřebný počet součástek, zpracování několika např. 1 až 4 nejnižších bitů zvláštním rychlým čítačem umožňuje volbu vysoké základní hodinové frekvence až 32 MHz a tím dosažení poměrně rychlé odezvy a snížení nároků na filtrační obvod, potlačující střídavou složku signálu při vysokém počtu převáděných bitů.

Zapojení pro číslicové řízení přesných zdrojů proudu a napětí je naznačeno na přiloženém výkrese. Ze vstupní svorky a je přivedena základní hodinová frekvence f_0 na hodinové vstupy čítačů 1 a 3. Vstupní čítač 1 je zapojen jako dělič kmitočtu v poměru 2^i , kde $i = 1$ až 4 . Integrovaný časovač 2 má použity dvě ze tří sekcí, jejichž hodinové vstupy Cl_1 a Cl_2 jsou spojeny a řízeny výstupním signálem vstupního čítače 1.

Výstup O_1 jedné z použitých sekcí časovače 2 je spojen se vstupem G_2 druhé z použitých sekcí, jejíž výstup O_2 je spojen a řídí nastavovací vstup rychlého čítače 3 a nulovací vstup klopného obvodu 4. Hodinový vstup Cl_3 klopného obvodu 4 je spojen s výstupem BO rychlého čítače 3 a jeho výstup Q_1 je spojen s řídicím vstupem C řízeného spínače 5. Mezi vstupy A a B řízeného spínače 5 je zapojen zdroj 10 referenčního napětí a výstup spínače 5 je přes odpor 6 připojen na výstupní svorku b, která je přes kondenzátor 7 spojena s jedním z pólů zdroje 10 referenčního napětí.

Zpoždovací člen 8 logického signálu může být zapojen buď mezi vstupní svorku a a hodinový vstup CD rychlého čítače 3, nebo mezi výstup O_2 časovače 2 a uzel spojující nastavovací vstup SET čítače 3 a nulovací vstup RESET klopného obvodu 4. Mezi vstupy A nebo B řízeného spínače 5 a póly zdroje 10 referenčního napětí může být v případě potřeby zařazen pevný nebo proměnný druhý odpor 9.

Vlastní zapojení pracuje následovně: Vstupní hodinový kmitočet f_0 je prvním čítačem 1

dělen 2^i $i = 1$ až 4. Výstupní kmitočet $f_0/2^i$ je použit jako hodinový kmitočet pro dvě sekce časovače 2. První sekce časovače 2 je naprogramována jako dělička kmitočtu v poměru 2^{I-i} , kde I je celkový počet převáděných bitů $I-i$ může nabýt hodnoty max. 16. Výstup první sekce řídí hradlovací vstup G_2 druhé sekce časovače 2, která pracuje jako programovatelný dekrementující čítač.

Do registrů časovače 2 jsou prostřednictvím datové sběrnice D_1 postupně zapsány jednak dělicí poměr první děličky 2^{I-i} , jednak váhově nejvyšší bity převáděného čísla. Na výstupu O_2 druhé sekce časovače 2 získáváme logický signál o kmitočtu $f_0/2^i$ a střídě odpovídající váhově nejvyšším $I-i$ bitům zadaného čísla. Váhově nejnižší i bity zadaného čísla jsou pomocí datové sběrnice D_2 zapsány do registru rychlého čítače 3, který pracuje jako dekrementující čítač se vstupním hodinovým kmitočtem f_0 a řídí zpoždění sestupné hrany výstupního logického signálu.

Sečtení váhově nejvyšších $I-i$ bitů a váhově nejnižších i bitů je provedeno pomocí klop-ného obvodu 4 typu D. Případný rozdíl zpoždění logického signálu a hodinového kmitočtu je možné vyrovnat zpožďovacím členem 8. Výstupní šířkově modulovaný signál o kmitočtu $f_0/2^i$ a střídě určené zadaným I -bitovým číslem střídavě přepíná pomocí řízeného spínače 5 přes odpor 6 zdroj 10 přesného referenčního napětí a bod zemního potenciálu na filtrační kondenzátor 7, připojený na výstupní svorku b.

Případný rozdíl odporů řízeného spínače 5 v obou polohách lze vyrovnat zařazením druhého odporu 9 do jednoho ze vstupů. Na výstupní svorce b je stejnosměrná složka napětí úměrná zadanému číslu, střídavá složka signálu je potlačena filtrační kapacitou kondenzátoru 7. Tento kondenzátor lze nahradit vhodným dvojpólem kapacitního charakteru.

Zapojení je výhodné zejména pro číslicové řízení proudových a napěťových zdrojů pro elektronové mikroskopy a jiné vědecké přístroje, kde jsou kladeny požadavky na přesnost nastavení a krátkodobou stabilitu v řádu 10^{-5} až 10^{-6} , převod musí být v celém rozsahu monotónní a není na závadu doba ustálení výstupní hodnoty v řádu 0,1 až 1 s.

PŘEDMĚT VYNÁLEZU

1. Zapojení digitálně analogového převodníku pro číslicové řízení zdrojů proudu a napětí, vyznačené tím, že vstupní svorka (a) tvořící hodinový vstup (Cl) vstupního čítače (1) je spojena s hodinovým vstupem (CD) rychlého čítače (3), přičemž výstup (Q) vstupního čítače (1) je spojen s hodinovými vstupy Cl_1 , Cl_2 dvou sekcí integrovaného časovače (2), přičemž jeho první výstup (O_1) je spojen s jeho druhým hradlovacím vstupem (G_2) a jeho druhý výstup (O_2) je spojen jednak s nastavovacím vstupem (SET) rychlého čítače (3) a jednak s nulovacím vstupem (RESET) klopného obvodu (4), jehož vstup (Cl_3) je spojen s výstupem (BO) rychlého čítače (3) a jeho výstup (Q_1) s logickým vstupem (C) řízeného přepínače (5), jehož první dva vstupy (A, B) jsou spojeny každý s jedním pólem zdroje (10) referenčního napětí a výstup (V) řízeného přepínače (5) je spojen přes odpor (6) s výstupní svorkou (b), která je přes kondenzátor (7) spojena s jedním z pólů zdroje referenčního napětí (10).

2. Zapojení podle bodu 1 vyznačené tím, že buď mezi vstupní svorkou (a) a vstup (CD) rychlého čítače (3), nebo mezi výstup (02) časovače (2) a uzel spojující vstup (SET) čítače (3) a vstup (RESET) klopného obvodu (7) je zapojen zpoždovací člen (8) logického signálu.

3. Zapojení podle bodu 1 a 2 vyznačené tím, že kondenzátor (7) nahrazuje reaktanční dvojpól kapacitního charakteru.

4. Zapojení podle bodu 1 až 3 vyznačené tím, že buď mezi prvním vstupem (A) řízeného spínače (5) a jedním pólem zdroje (10) referenčního napětí, nebo mezi druhým vstupem (B) řízeného spínače (5) a druhým pólem zdroje (10) referenčního napětí je zapojen druhý odpor (9).

1. výkres

254517

