



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2012년11월06일  
(11) 등록번호 10-1197053  
(24) 등록일자 2012년10월29일

(51) 국제특허분류(Int. Cl.)

G02F 1/136 (2006.01)

(21) 출원번호 10-2005-0091862

(22) 출원일자 2005년09월30일

심사청구일자 2010년09월30일

(65) 공개번호 10-2007-0036876

(43) 공개일자 2007년04월04일

(56) 선행기술조사문헌

KR1020050070479 A

KR1020040049110 A

KR1020050005797 A

KR1020050001709 A

전체 청구항 수 : 총 25 항

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

송근규

경기도 용인시 수지구 푸른솔로 88, 죽전택지지구 31BL 우미1차 301동 1603호 (죽전동)

최대영

서울특별시 성북구 정릉로 404, 현대아파트 102동 605호 (돈암동)

(74) 대리인

팬코리아특허법인

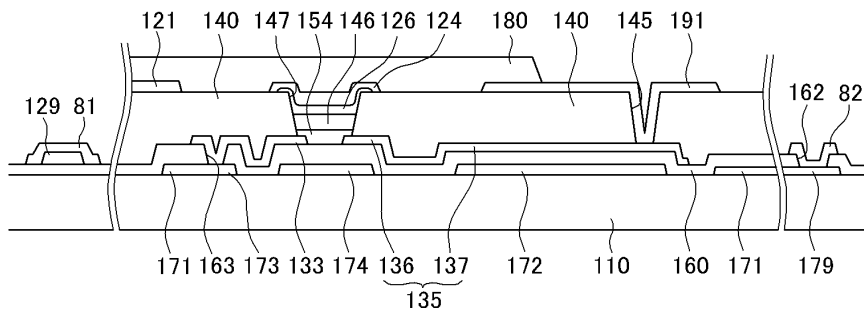
심사관 : 임동재

(54) 발명의 명칭 유기 박막 트랜지스터 표시판 및 그 제조 방법

(57) 요약

본 발명은 기판, 상기 기판 위에 형성되어 있는 데이터선, 상기 데이터선과 연결되어 있는 소스 전극, 상기 소스 전극과 마주하는 부분을 포함하는 드레인 전극, 상기 소스 전극 및 상기 드레인 전극 위에 형성되어 있으며 개구 부 및 접촉 구멍을 가지는 격벽, 상기 개구부에 위치하며 상기 소스 전극 및 상기 드레인 전극과 적어도 일부 중첩하는 유기 반도체, 상기 유기 반도체 위에 형성되어 있는 게이트 절연 부재, 상기 게이트 절연 부재 위에 형성되어 있는 차단 부재, 상기 데이터선과 교차하며 상기 차단 부재 위에 형성되어 있는 게이트 전극을 포함하는 게이트선, 상기 접촉 구멍을 통하여 상기 드레인 전극과 연결되어 있는 화소 전극을 포함하는 유기 박막 트랜지스터 표시판 및 그 제조 방법을 제공한다.

대표도 - 도2



## 특허청구의 범위

### 청구항 1

기판,  
상기 기판 위에 형성되어 있는 데이터선,  
상기 데이터선과 연결되어 있는 소스 전극,  
상기 소스 전극과 마주하는 부분을 포함하는 드레인 전극,  
상기 소스 전극 및 상기 드레인 전극 위에 형성되어 있으며 개구부 및 접촉 구멍을 가지는 격벽,  
상기 개구부에 위치하며 상기 소스 전극 및 상기 드레인 전극과 중첩하는 유기 반도체,  
상기 유기 반도체 위에 형성되어 있는 게이트 절연 부재,  
상기 게이트 절연 부재 위에 형성되어 있는 차단 부재,  
상기 데이터선과 교차하며 상기 차단 부재 위에 형성되어 있는 게이트 전극을 포함하는 게이트선,  
상기 접촉 구멍을 통하여 상기 드레인 전극과 연결되어 있는 화소 전극  
을 포함하는 유기 박막 트랜지스터 표시판.

### 청구항 2

제1항에서,  
상기 차단 부재 및 상기 화소 전극은 동일한 물질을 포함하는 유기 박막 트랜지스터 표시판.

### 청구항 3

제2항에서,  
상기 차단 부재 및 상기 화소 전극은 IZO 또는 ITO를 포함하는 유기 박막 트랜지스터 표시판.

### 청구항 4

제2항 또는 제3항에서,  
상기 차단 부재와 상기 화소 전극은 다른 층에 형성되어 있는 유기 박막 트랜지스터 표시판.

### 청구항 5

제1항에서,  
상기 소스 전극 및 상기 드레인 전극은 IZO 또는 ITO를 포함하는 유기 박막 트랜지스터 표시판.

### 청구항 6

제1항에서,  
상기 게이트 전극은 상기 차단 부재를 완전히 덮는 유기 박막 트랜지스터 표시판.

### 청구항 7

제1항에서,  
상기 데이터선과 동일한 층에 형성되어 있는 유지 전극을 더 포함하는 유기 박막 트랜지스터 표시판.

### 청구항 8

제7항에서,

상기 드레인 전극은 상기 유지 전극과 중첩하는 부분을 포함하는 유기 박막 트랜지스터 표시판.

#### 청구항 9

제8항에서,

상기 드레인 전극과 상기 유지 전극 사이에 층간 절연막이 형성되어 있는 유기 박막 트랜지스터 표시판.

#### 청구항 10

제1항에서,

상기 유기 반도체 하부에 위치하며 상기 데이터선과 동일한 층에 형성되는 광 차단막을 더 포함하는 유기 박막 트랜지스터 표시판.

#### 청구항 11

제1항에서,

상기 격벽은 상기 기판 전면에 형성되어 있는 유기 박막 트랜지스터 표시판.

#### 청구항 12

제1항에서,

상기 격벽은 유기 물질을 포함하는 유기 박막 트랜지스터 표시판.

#### 청구항 13

제1항에서,

상기 게이트 절연 부재는 유기 물질을 포함하는 유기 박막 트랜지스터 표시판.

#### 청구항 14

제1항에서,

상기 게이트 전극을 덮는 보호 부재를 더 포함하는 유기 박막 트랜지스터 표시판.

#### 청구항 15

기판 위에 데이터선을 형성하는 단계,

상기 데이터선 위에 층간 절연막을 형성하는 단계,

상기 층간 절연막 위에 소스 전극 및 드레인 전극을 형성하는 단계,

상기 소스 전극 및 상기 드레인 전극 위에 개구부 및 접촉 구멍을 가지는 격벽을 형성하는 단계,

상기 개구부에 유기 반도체를 형성하는 단계,

상기 유기 반도체 위에 게이트 절연 부재를 형성하는 단계,

상기 게이트 절연 부재 위에 차단 부재를 형성하는 단계,

상기 차단 부재 및 상기 격벽 위에 게이트선을 형성하는 단계,

상기 게이트선 위에 상기 접촉 구멍을 통하여 상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계를 포함하는 유기 박막 트랜지스터 표시판의 제조 방법.

#### 청구항 16

제15항에서,

상기 유기 반도체를 형성하는 단계는

상기 격벽을 표면 개질하는 단계,  
유기 반도체 층을 도포하는 단계,  
상기 표면 개질에 따라 상기 격벽이 형성되지 않은 부분에만 유기 반도체를 남기는 단계를 포함하는 유기 박막 트랜지스터 표시판의 제조 방법.

#### 청구항 17

제16항에서,  
상기 격벽을 표면 개질하는 단계는 상기 격벽이 형성된 부분과 상기 격벽이 형성되지 않은 부분에서의 물에 대한 친화도가 다르게 하는 유기 박막 트랜지스터 표시판의 제조 방법.

#### 청구항 18

제17항에서,  
상기 격벽이 형성된 부분은 상기 격벽이 형성되지 않은 부분보다 물에 대한 친화도가 작은 유기 박막 트랜지스터 표시판의 제조 방법.

#### 청구항 19

제16항에서,  
상기 격벽을 표면 개질하는 단계는 상기 격벽 위에 불소 함유 기체를 공급하여 상기 격벽 표면에 불소화 처리를 하는 유기 박막 트랜지스터 표시판의 제조 방법.

#### 청구항 20

제16항에서,  
상기 게이트 절연 부재를 형성하는 단계는  
게이트 절연 부재 층을 도포하는 단계,  
상기 표면 개질에 따라 상기 격벽이 형성되지 않은 부분에만 게이트 절연 부재를 남기는 단계를 포함하는 유기 박막 트랜지스터 표시판의 제조 방법.

#### 청구항 21

제15항에서,  
상기 차단 부재를 형성하는 단계 후에 건식 식각하는 단계를 더 포함하는 유기 박막 트랜지스터 표시판의 제조 방법.

#### 청구항 22

제21항에서,  
상기 격벽을 형성하는 단계는 유기막을 도포하는 단계 및 패터닝하는 단계를 포함하며,  
상기 유기막을 도포하는 단계에서 상기 유기막은 상기 건식 식각하는 단계 후의 격벽의 두께보다 두껍게 형성하는  
유기 박막 트랜지스터 표시판의 제조 방법.

#### 청구항 23

제15항에서,  
상기 게이트 절연 부재를 형성하는 단계 및 상기 차단 부재를 형성하는 단계는  
게이트 절연막을 도포하는 단계,

상기 차단 부재를 형성하는 단계,  
상기 차단 부재를 마스크로 하여 상기 게이트 절연막을 패터닝하는 단계  
를 포함하는 유기 박막 트랜지스터 표시판의 제조 방법.

#### 청구항 24

제15항에서,  
상기 유기 반도체를 형성하는 단계 및 상기 게이트 절연 부재를 형성하는 단계 중 적어도 하나는 잉크젯 인쇄  
방법으로 형성하는 유기 박막 트랜지스터 표시판의 제조 방법.

#### 청구항 25

제15항에서,  
상기 화소 전극을 형성하는 단계 후에 보호 부재를 형성하는 단계를 더 포함하는 유기 박막 트랜지스터 표시판  
의 제조 방법.

### 명세서

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

- [0024] 본 발명은 유기 박막 트랜지스터 표시판 및 그 제조 방법에 관한 것이다.
- [0025] 일반적으로 액정 표시 장치(liquid crystal display, LCD), 유기 발광 표시 장치(organic light emitting diode display, OLED display), 전기 영동 표시 장치(electrophoretic display) 등의 평판 표시 장치는 복수 쌍의 전기장 생성 전극과 그 사이에 들어 있는 전기 광학(electro-optical) 활성층을 포함한다. 액정 표시 장치의 경우 전기 광학 활성층으로 액정층을 포함하고, 유기 발광 표시 장치의 경우 전기 광학 활성층으로 유기 발광층을 포함한다.
- [0026] 한 쌍을 이루는 전기장 생성 전극 중 하나는 통상 스위칭 소자에 연결되어 전기 신호를 인가받고, 전기 광학 활성층은 이 전기 신호를 광학 신호로 변환함으로써 영상을 표시한다.
- [0027] 평판 표시 장치에서는 스위칭 소자로서 삼단자 소자인 박막 트랜지스터(thin film transistor, TFT)를 사용하며, 이 박막 트랜지스터를 제어하기 위한 주사 신호를 전달하는 게이트선(gate line)과 화소 전극에 인가 될 신호를 전달하는 데이터선(data line)이 평판 표시 장치에 구비된다.
- [0028] 이러한 박막 트랜지스터 중에서, 규소(Si)와 같은 무기 반도체 대신 유기 반도체를 사용하는 유기 박막 트랜지스터(organic thin film transistor, OTFT)에 대한 연구가 활발히 이루어지고 있다.
- [0029] 유기 박막 트랜지스터는 저온에서 용액 공정(solution process)으로 제작할 수 있어서 증착 공정 만으로 한계가 있는 대면적 평판 표시 장치에도 쉽게 적용할 수 있다. 또한 유기 물질의 특성상 섬유(fiber) 또는 필름(film)과 같은 형태로 만들 수 있어서 가요성 표시 장치(flexible display device)의 핵심 소자로 주목받고 있다.
- [0030] 이러한 유기 박막 트랜지스터가 매트릭스(matrix) 형태로 배열되어 있는 유기 박막 트랜지스터 표시판은 기존의 박막 트랜지스터와 비교하여 구조 및 제조 방법에 있어서 많은 차이가 있다.
- [0031] 특히, 공정 중 유기 반도체에 미치는 영향을 최소화하고 유기 박막 트랜지스터의 특성을 개선할 수 있는 새로운 방안이 요구되고 있다.

##### 발명이 이루고자 하는 기술적 과제

- [0032] 따라서, 본 발명이 이루고자 하는 기술적 과제는 공정 중 유기 반도체에 미치는 영향을 최소화하는 동시에 유기 박막 트랜지스터의 특성을 개선할 수 있는 유기 박막 트랜지스터 표시판 및 그 제조 방법을 제공한다.

### 발명의 구성 및 작용

- [0033] 본 발명의 한 실시예에 따른 유기 박막 트랜지스터 표시판은, 기관, 상기 기관 위에 형성되어 있는 데이터선, 상기 데이터선과 연결되어 있는 소스 전극, 상기 소스 전극과 마주하는 부분을 포함하는 드레인 전극, 상기 소스 전극 및 상기 드레인 전극 위에 형성되어 있으며 개구부 및 접촉 구멍을 가지는 격벽, 상기 개구부에 위치하며 상기 소스 전극 및 상기 드레인 전극과 적어도 일부 중첩하는 유기 반도체, 상기 유기 반도체 위에 형성되어 있는 게이트 절연 부재, 상기 게이트 절연 부재 위에 형성되어 있는 차단 부재, 상기 데이터선과 교차하며 상기 차단 부재 위에 형성되어 있는 게이트 전극을 포함하는 게이트선, 상기 접촉 구멍을 통하여 상기 드레인 전극과 연결되어 있는 화소 전극을 포함한다.
- [0034] 또한, 상기 차단 부재 및 상기 화소 전극은 동일한 물질을 포함할 수 있다.
- [0035] 또한, 상기 차단 부재 및 상기 화소 전극은 IZO 또는 ITO를 포함할 수 있다.
- [0036] 또한, 상기 차단 부재와 상기 화소 전극은 다른 층에 형성될 수 있다.
- [0037] 또한, 상기 소스 전극 및 상기 드레인 전극은 ITO 또는 IZO를 포함할 수 있다.
- [0038] 또한, 상기 게이트 전극은 상기 차단 부재를 완전히 덮을 수 있다.
- [0039] 또한, 상기 데이터선과 동일한 층에 형성되어 있는 유지 전극을 더 포함할 수 있다.
- [0040] 또한, 상기 드레인 전극은 상기 유지 전극과 적어도 일부 중첩하는 부분을 포함할 수 있다.
- [0041] 또한, 상기 드레인 전극과 상기 유지 전극 사이에 층간 절연막이 형성될 수 있다.
- [0042] 또한, 상기 유기 반도체 하부에 위치하며 상기 데이터선과 동일한 층에 형성되는 광 차단막을 더 포함할 수 있다.
- [0043] 또한, 상기 격벽은 상기 개구부 및 상기 접촉 구멍을 제외한 기관 전면에 형성될 수 있다.
- [0044] 또한, 상기 격벽은 유기 물질을 포함할 수 있다.
- [0045] 또한, 상기 게이트 절연 부재는 유기 물질을 포함할 수 있다.
- [0046] 또한, 상기 게이트 전극을 덮는 보호 부재를 더 포함할 수 있다.
- [0047] 또한, 본 발명의 한 실시예에 따른 유기 박막 트랜지스터 표시판의 제조 방법은 기관 위에 데이터선을 형성하는 단계, 상기 데이터선 위에 층간 절연막을 형성하는 단계, 상기 층간 절연막 위에 소스 전극 및 드레인 전극을 형성하는 단계, 상기 소스 전극 및 상기 드레인 전극 위에 개구부 및 접촉 구멍을 가지는 격벽을 형성하는 단계, 상기 개구부에 유기 반도체를 형성하는 단계, 상기 유기 반도체 위에 게이트 절연 부재를 형성하는 단계, 상기 게이트 절연 부재 위에 차단 부재를 형성하는 단계, 상기 차단 부재 및 상기 격벽 위에 게이트선을 형성하는 단계, 상기 게이트선 위에 상기 접촉 구멍을 통하여 상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계를 포함한다.
- [0048] 또한, 상기 유기 반도체를 형성하는 단계는 상기 격벽을 표면 개질하는 단계, 유기 반도체 층을 도포하는 단계, 상기 표면 개질에 따라 상기 격벽이 형성되지 않은 부분에만 유기 반도체를 남기는 단계를 포함할 수 있다.
- [0049] 또한, 상기 격벽을 표면 개질하는 단계는 상기 격벽이 형성된 부분과 상기 격벽이 형성되지 않은 부분에서의 물에 대한 친화도가 다르게 할 수 있다.
- [0050] 또한, 상기 격벽이 형성된 부분은 상기 격벽이 형성되지 않은 부분보다 물에 대한 친화도가 작을 수 있다.
- [0051] 또한, 상기 격벽을 표면 개질하는 단계는 상기 격벽 위에 불소 함유 기체를 공급하여 상기 격벽 표면에 불소화 처리를 할 수 있다.
- [0052] 또한, 상기 게이트 절연 부재를 형성하는 단계는 게이트 절연 부재 층을 도포하는 단계, 상기 표면 개질에 따라 상기 격벽이 형성되지 않은 부분에만 게이트 절연 부재를 남기는 단계를 포함할 수 있다.
- [0053] 또한, 상기 차단 부재를 형성하는 단계 후에 건식 식각하는 단계를 더 포함할 수 있다.
- [0054] 또한, 상기 격벽을 형성하는 단계는 유기막을 도포하는 단계 및 패터닝하는 단계를 포함하며, 상기 유기막을 도포하는 단계에서 상기 유기막은 상기 건식 식각하는 단계 후의 격벽의 두께보다 두껍게 형성할 수 있다.

- [0055] 또한, 상기 게이트 절연 부재를 형성하는 단계 및 상기 차단 부재를 형성하는 단계는 게이트 절연막을 도포하는 단계, 상기 차단 부재를 형성하는 단계, 상기 차단 부재를 마스크로 하여 상기 게이트 절연막을 패터닝하는 단계를 포함할 수 있다.
- [0056] 또한, 상기 유기 반도체를 형성하는 단계 및 상기 게이트 절연 부재를 형성하는 단계 중 적어도 하나는 잉크젯 인쇄 방법으로 형성할 수 있다.
- [0057] 또한, 상기 화소 전극을 형성하는 단계 후에 보호 부재를 형성하는 단계를 더 포함할 수 있다.
- [0058] 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [0059] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우 뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0060] 그러면 도 1 및 도 2를 참고로 하여 본 발명의 한 실시예에 따른 유기 박막 트랜지스터 표시판에 대하여 상세하게 설명한다.
- [0061] 도 1은 본 발명의 한 실시예에 따른 유기 박막 트랜지스터 표시판의 배치도이고, 도 2는 도 1의 박막 트랜지스터 표시판을 II-II 선을 따라 잘라 도시한 단면도이다.
- [0062] 투명한 유리, 실리콘(silicone) 또는 플라스틱(plastic) 따위로 만들어진 절연 기판(substrate)(110) 위에 복수의 데이터선(data line)(171), 복수의 유지 전극선(storage electrode line)(172) 및 광 차단막(174)이 형성되어 있다.
- [0063] 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 있다. 각 데이터선(171)은 옆으로 돌출한 복수의 돌출부(projection)(173)와 다른 층 또는 외부 구동 회로와의 접속을 위한 넓은 끝 부분(179)을 포함한다. 데이터 신호를 생성하는 데이터 구동 회로(도시하지 않음)는 기판(110) 위에 부착되는 가요성 인쇄 회로막(도시하지 않음) 위에 장착되거나, 기판(110) 위에 직접 장착되거나, 기판(110)에 집적될 수 있다. 데이터 구동 회로가 기판(110) 위에 집적되어 있는 경우, 데이터선(171)이 연장되어 이와 직접 연결될 수 있다.
- [0064] 유지 전극선(172)은 소정의 전압을 인가 받으며 데이터선(171)과 거의 나란하게 뻗는다. 각 유지 전극선(172)은 두 데이터선(171) 사이에 위치하며 두 데이터선(171) 중 오른쪽에 가깝다. 유지 전극선(172)은 옆으로 갈라져서 원형을 이루는 유지 전극(storage electrode)(177)을 포함한다. 그러나 유지 전극선(172)의 모양 및 배치는 여러 가지로 변형될 수 있다.
- [0065] 광 차단막(174)은 데이터선(171) 및 유지 전극선(172)과 분리되어 있다.
- [0066] 데이터선(171), 유지 전극선(172) 및 광 차단막(174)은 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은 계열 금속, 금(Ag)이나 금 합금 등 금 계열 금속, 구리(Cu)나 구리 합금 등 구리 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 만들어질 수 있다. 그러나 이들은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다층막 구조를 가질 수도 있다. 이 중 한 도전막은 신호 지연이나 전압 강하를 줄일 수 있도록 비저항(resistivity)이 낮은 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 만들어진다. 이와는 달리, 다른 도전막은 기판(110)과의 접착성이 우수하거나, 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 물리적, 화학적, 전기적 접촉 특성이나 이를테면 몰리브덴 계열 금속, 크롬, 탄탈륨, 티타늄 등으로 만들어진다. 이러한 조합의 예로는 크롬 하부막과 알루미늄 (합금) 상부막 및 알루미늄 (합금) 하부막과 몰리브덴 (합금) 상부막을 들 수 있다. 그러나 데이터선(171) 및 유지 전극선(172)은 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.
- [0067] 데이터선(171), 유지 전극선(172) 및 광 차단막(174)은 그 측면이 기판(110) 면에 대하여 30° 내지 80° 정도의 경사각으로 기울어진 것이 바람직하다.
- [0068] 데이터선(171), 유지 전극선(172) 및 광 차단막(174) 위에는 층간 절연막(160)이 형성되어 있다. 층간 절연막(160)은 질화규소(SiNx) 또는 산화규소(SiO<sub>2</sub>) 따위의 무기 절연물로 만들어질 수 있으며, 그 두께는 약 2000 내



지 5000Å일 수 있다.

- [0069] 층간 절연막(160)은 데이터선(171)의 돌출부(173) 및 끝 부분(179)을 각각 드러내는 복수의 접촉 구멍(163, 162)을 가진다.
- [0070] 층간 절연막(160) 위에는 복수의 소스 전극(source electrode)(133), 복수의 드레인 전극(drain electrode)(135) 및 복수의 접촉 보조 부재(contact assistant)(82)가 형성되어 있다. 소스 전극(133) 및 드레인 전극(135)은 유기 반도체와 직접 접촉하기 때문에 유기 반도체와 일 함수(work function) 차이가 크지 않은 도전 물질로 만들어지며, 이에 따라 유기 반도체와 전극 사이에 쇼트키 장벽(schottky barrier)을 낮추어 캐리어 주입 및 이동을 용이하게 할 수 있다. 이러한 물질로는 IZO 또는 ITO를 들 수 있다. 이들의 두께는 약 300 내지 1000Å일 수 있다.
- [0071] 소스 전극(133)은 섬(island)형일 수 있으며, 접촉 구멍(163)을 통하여 데이터선(171)과 연결되어 있다.
- [0072] 드레인 전극(135)은 광 차단막(174) 위에서 소스 전극(133)과 마주하는 부분(이하 '전극부'라고 함)(136) 및 유지 전극선(172)과 적어도 일부 중첩하는 부분(이하 '용량부'라고 함)(137)을 포함한다. 전극부(136)는 소스 전극(133)과 마주하여 박막 트랜지스터(thin film transistor, TFT)의 일부를 이루며, 용량부(137)는 유지 전극선(172)과 중첩하여 전압 유지 능력을 강화하기 위한 유지 축전기(storage capacitor)를 형성한다.
- [0073] 접촉 보조 부재(82)는 접촉 구멍(162)을 통하여 데이터선(171)의 끝 부분(179)과 연결되어 있으며, 데이터선(171)의 끝 부분(179)과 외부 장치와의 접착성을 보완하고 이들을 보호한다.
- [0074] 소스 전극(133), 드레인 전극(135) 및 층간 절연막(160)을 포함한 기관 전면에는 격벽(140)이 형성되어 있다. 격벽(140)은 용액 공정이 가능한 감광성 유기 물질로 만들어질 수 있으며, 그 두께는 약 5000Å 내지 4μm일 수 있다.
- [0075] 격벽(140)은 복수의 개구부(147) 및 복수의 접촉 구멍(145)을 가진다. 개구부(147)는 소스 전극(133) 및 드레인 전극(135)과 이들 사이의 층간 절연막(160)을 노출하며, 접촉 구멍(145)은 드레인 전극(135)을 노출한다.
- [0076] 격벽(140)의 개구부(147) 내에는 복수의 섬형 유기 반도체(organic semiconductor island)(154)가 형성되어 있다.
- [0077] 유기 반도체(154)는 소스 전극(133) 및 드레인 전극(135)과 접하며, 그 높이가 격벽(140)보다 낮아서 격벽(140)으로 완전히 갇혀 있다. 이와 같이 유기 반도체(154)가 격벽(140)에 의해 완전히 갇혀 측면이 노출되지 않으므로 후속 공정에서 유기 반도체(154)의 측면으로 화학적 파위가 침투하는 것을 방지할 수 있다.
- [0078] 또한, 유기 반도체(154)는 광 차단막(174) 상부에 형성되어 있다. 광 차단막(174)은 백라이트(backlight)로부터 공급되는 광이 유기 반도체(154)로 직접 유입되는 것을 차단하여 유기 반도체(154)에서 광 누설 전류(photoleakage current)가 급격히 증가하는 것을 방지한다.
- [0079] 유기 반도체(154)는 수용액이나 유기 용매에 용해되는 고분자 화합물이나 저분자 화합물을 포함할 수 있다.
- [0080] 유기 반도체(154)는 테트라센(tetracene) 또는 펜타센(pentacene)의 치환기를 포함하는 유도체를 포함할 수 있다. 유기 반도체(154)는 또한 티오펜 링(thiophene ring)의 2, 5 위치에서 연결된 4 내지 8개의 티오펜을 포함하는 올리고티오펜(oligothiophene)을 포함할 수 있다.
- [0081] 유기 반도체(154)는 폴리티닐렌비닐렌(polythienylenevinylene), 폴리-3-헥실티오펜(poly 3-hexylthiophene), 폴리티오펜(polythiophene), 프탈로시아닌(phthalocyanine), 금속화 프탈로시아닌(metallized phthalocyanine) 또는 그의 할로겐화 유도체를 포함할 수 있다. 유기 반도체(154)는 또한 페틸렌테트라카르복실산 이무수물(perylenetetracarboxylic dianhydride, PTCA), 나프탈렌테트라카르복실산 이무수물(naphthalenetetracarboxylic dianhydride, NTCDA) 또는 이들의 이미드(imide) 유도체를 포함할 수 있다. 유기 반도체(154)는 페틸렌(perylen) 또는 코로넨(coronene)과 그들의 치환기를 포함하는 유도체를 포함할 수도 있다.
- [0082] 유기 반도체(154)의 두께는 약 300Å 내지 3,000Å일 수 있다.
- [0083] 유기 반도체(154) 위에는 게이트 절연 부재(146)가 형성되어 있다. 게이트 절연 부재(146) 또한 격벽(140)보다 높이가 낮아서 격벽(140)으로 완전히 갇혀 있다.
- [0084] 게이트 절연 부재(146)는 비교적 높은 유전 상수를 가지는 유기 물질 또는 무기 물질로 만들어진다. 이러한 유



기 물질의 예로는 폴리이미드(polyimide)계 화합물, 폴리비닐알코올(polyvinyl alcohol)계 화합물, 폴리플루오란(polyfluorane)계 화합물, 파릴렌(parylene) 등의 용해성 고분자 화합물을 들 수 있으며, 무기 물질의 예로는 옥타데실트리클로로실란(octadecyl trichloro silane, OTS)으로 표면처리된 산화규소 따위를 들 수 있다.

- [0085] 게이트 절연 부재(146) 위에는 차단 부재(126)가 형성되어 있다. 차단 부재(126)는 게이트 절연 부재(146) 및 유기 반도체(154)를 보호하며, IZO 또는 ITO로 만들어질 수 있다.
- [0086] 차단 부재(126) 및 격벽(140) 위에는 복수의 게이트선(gate line)(121)이 형성되어 있다.
- [0087] 게이트선(121)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 데이터선(171) 및 유지 전극선(172)과 교차한다. 각 게이트선(121)은 위로 돌출한 복수의 게이트 전극(gate electrode)(124)과 다른 층 또는 외부 구동 회로와의 접촉을 위한 넓은 끝 부분(129)을 포함한다. 게이트 신호를 생성하는 게이트 구동 회로(도시하지 않음)는 기판(110) 위에 부착되는 가요성 인쇄 회로막(도시하지 않음) 위에 장착되거나, 기판(110) 위에 직접 장착되거나, 기판(110)에 집적될 수 있다. 게이트 구동 회로가 기판(110) 위에 집적되어 있는 경우 게이트선(121)이 연장되어 게이트 구동 회로와 직접 연결될 수 있다.
- [0088] 게이트 전극(124)은 게이트 절연 부재(146)를 사이에 두고 유기 반도체(154)와 중첩되어 있으며, 차단 부재(126) 위에서 차단 부재(126)를 완전히 덮는 크기로 형성되어 있다. 차단 부재(126)는 게이트 전극(124)과 게이트 절연 부재(146) 사이의 접착성(adhesion)을 강화하여 게이트 전극(124)이 들뜨는 것(lifting)을 방지할 수 있다.
- [0089] 게이트선(121)은 데이터선(171) 및 유지 전극선(172)과 동일한 재료로 만들어질 수 있다. 게이트선(121) 및 유지 축전기용 도전체(127)의 측면 또한 기판(110) 면에 대하여 경사져 있으며 그 경사각은 약 30° 내지 약 80° 인 것이 바람직하다.
- [0090] 하나의 게이트 전극(124), 하나의 소스 전극(133) 및 하나의 드레인 전극(135)은 유기 반도체(154)와 함께 하나의 박막 트랜지스터를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(133)과 드레인 전극(135) 사이의 유기 반도체(154)에 형성된다.
- [0091] 게이트선(121) 및 격벽(140) 위에는 복수의 화소 전극(pixel electrode)(191) 및 복수의 접촉 보조 부재(81)가 형성되어 있다. 이들은 IZO 또는 ITO 등과 같은 투명한 도전 물질로 만들어지며, 그 두께는 약 300Å 내지 약 800Å일 수 있다.
- [0092] 화소 전극(191)은 접촉 구멍(145)을 통하여 드레인 전극(135)과 연결되어 있으며, 게이트선(121) 및/또는 데이터선(171)과 중첩하여 개구율(aperture ratio)을 높일 수 있다.
- [0093] 화소 전극(191)은 박막 트랜지스터에서 데이터 전압을 인가 받아 공통 전압(common voltage)을 인가 받는 다른 표시판(도시하지 않음)의 공통 전극(common electrode)(도시하지 않음)과 함께 전기장을 생성함으로써 두 전극 사이의 액정층(도시하지 않음)의 액정 분자의 방향을 결정한다. 화소 전극(191)과 공통 전극은 축전기[이하 “액정 축전기(liquid crystal capacitor)”라 함]를 이루어 박막 트랜지스터가 턴 오프된 후에도 인가된 전압을 유지한다.
- [0094] 접촉 보조 부재(81)는 게이트선(121)의 끝 부분(129) 위에 형성되어 게이트선(121)의 끝 부분(129)과 외부 장치와의 접착성을 보완하고 이들을 보호한다.
- [0095] 화소 전극(191) 위에는 보호 부재(180)가 형성되어 있다. 보호 부재(180)는 유기 박막 트랜지스터를 보호하기 위한 것으로, 기판의 일부분 또는 전면에 형성될 수 있으며, 경우에 따라 생략할 수도 있다.
- [0096] 그러면 도 1 및 도 2에 도시한 유기 박막 트랜지스터를 제조하는 방법에 대하여 도 3 내지 도 15를 참고하여 상세히 설명한다.
- [0097] 도 3, 도 5, 도 7, 도 9, 도 12 및 도 14는 도 1 및 도 2의 유기 박막 트랜지스터 표시판을 본 발명의 한 실시예에 따라 제조하는 방법의 중간 단계에서의 배치도이고, 도 4는 도 3의 유기 박막 트랜지스터 표시판을 IV-IV 선을 따라 잘라 도시한 단면도이고, 도 6은 도 5의 유기 박막 트랜지스터 표시판을 VI-VI 선을 따라 잘라 도시한 단면도이고, 도 8은 도 7의 유기 박막 트랜지스터 표시판을 VIII-VIII 선을 따라 잘라 도시한 단면도이고, 도 10은 도 9의 유기 박막 트랜지스터 표시판을 X-X 선을 따라 잘라 도시한 단면도이고, 도 11은 도 10의 유기 박막 트랜지스터 표시판의 연속 공정을 도시한 단면도이고, 도 13은 도 12의 유기 박막 트랜지스터 표시판을 XIII-XIII 선을 따라 잘라 도시한 단면도이고, 도 15는 도 14의 유기 박막 트랜지스터 표시판을 XV-XV 선을 따

라 잘라 도시한 단면도이다.

- [0098] 먼저, 기판(110) 위에 스퍼터링(sputtering) 따위의 방법으로 금속층을 적층하고 이를 사진 식각하여, 도 3 및 도 4에 도시한 바와 같이, 돌출부(173) 및 끝 부분(179)을 포함하는 데이터선(171), 유지 전극(177)을 포함하는 유지 전극선(172) 및 광 차단막(174)을 형성한다.
- [0099] 다음, 도 5 및 도 6에 도시한 바와 같이, 질화규소를 화학 기상 증착(chemical vapor deposition, CVD)하여 층간 절연막(160)을 형성하고, 층간 절연막(160) 위에 감광막을 도포하고 사진 식각하여 접촉 구멍(162, 163)을 형성한다.
- [0100] 다음, 도 7 및 도 8에 도시한 바와 같이, ITO 또는 IZO를 스퍼터링한 후 사진 식각하여 소스 전극(133), 드레인 전극(135) 및 접촉 보조 부재(82)를 형성한다.
- [0101] 다음, 도 9 및 도 10에 도시한 바와 같이, 기판 전면에 감광성 유기막을 도포하고 현상하여 복수의 개구부(147) 및 복수의 접촉 구멍(145)을 가지는 격벽(140)을 형성한다. 이 때, 격벽(140)은 소망하는 두께보다 두껍게 형성하며, 예컨대 20,000 내지 30,000Å의 두께로 형성한다.
- [0102] 다음, 유기 반도체(154) 및 게이트 절연 부재(146)를 형성하는 방법에 대하여 크게 세 가지로 설명한다.
- [0103] 첫째, 잉크젯 인쇄 방법을 이용한다.
- [0104] 먼저 개구부(147) 내에 유기 반도체 용액을 적하한 후 건조하여 섬형의 유기 반도체(154)를 형성한다. 이어서 유기 반도체(154) 위에 게이트 절연 부재 용액을 적하한 후 건조하여 소정 두께의 게이트 절연 부재(146)를 형성한다.
- [0105] 둘째, 표면 개질(surface modification) 방법을 이용한다.
- [0106] 먼저, 격벽(140)을 표면 개질한다. 표면 개질이란 플라즈마(plasma)를 이용하여 물질의 표면을 친수성(hydrophilic) 또는 소수성(hydrophobic)으로 바꾸는 기술이다.
- [0107] 본 실시예에서는 격벽(140)을 플라즈마 분위기에서 불소화 처리한다. 예컨대, 건식 식각 챔버에서  $CF_4$ ,  $C_2F_6$  또는  $SF_6$ 와 같은 불소 함유 기체를 산소 기체( $O_2$ ) 및/또는 불활성 기체와 함께 공급한다. 이 경우, 유기 물질로 만들어진 격벽(140)은 표면에서 탄소(C)-불소(F) 결합이 이루어져 불소화 처리되며, 개구부(147) 및 접촉 구멍(145)을 통하여 노출되어 있는 소스 전극(133), 드레인 전극(135) 및 층간 절연막(160)은 무기 물질로 만들어지므로 불소화 처리가 되지 않는다. 이와 같이 불소화 처리함에 따라 격벽(140) 표면은 소수성(hydrophobic)으로 개질되고 개구부(147) 및 접촉 구멍(145)을 통하여 노출된 부분을 상대적으로 친수성을 가진다.
- [0108] 다음, 도 11에 도시한 바와 같이, 유기 반도체 물질을 용매에 용해하여 스핀 코팅(spin coating) 또는 슬릿 코팅(slits coating) 등의 방법으로 기판 전면(全面)에 도포한다. 이 경우 전술한 바와 같이, 격벽(140) 표면은 소수성을 가지고 개구부(147) 및 접촉 구멍(145)은 친수성을 가지므로 개구부(147) 및 접촉 구멍(145)에만 유기 반도체 용액이 모인다.
- [0109] 다음, 건조 과정 등을 통하여 용매를 제거하면 개구부(147) 내에 섬형의 유기 반도체(154)가 형성되고 접촉 구멍(145) 내에도 유기 반도체 잔류물(154a)이 남는다.
- [0110] 다음, 상술한 공정을 반복하여 게이트 절연 부재(146)를 형성한다. 즉 게이트 절연 부재 용액(도시하지 않음)을 기판 전면에 도포하면, 전술한 바와 같이 개구부(147) 내의 유기 반도체(154) 위에 용액이 모이게 되어 게이트 절연 부재(146)가 형성되고 접촉 구멍(145) 내의 유기 반도체 잔류물(154a) 위에도 게이트 절연 부재 잔류물(146a)이 남는다.
- [0111] 이와 같이 표면 개질을 통하여 기판 위에 친수성 영역 및 소수성 영역을 정의하고 이를 이용하여 유기 반도체(154) 및 게이트 절연 부재(146)를 형성하는 경우, 인쇄 방법이나 섀도 마스크(shadow mask)를 사용할 때보다 간단하면서도 작업 시간 및 비용을 절감할 수 있다.
- [0112] 다음, 도 12 및 도 13에 도시한 바와 같이, IZO를 스퍼터링한 후 사진 식각 하여 게이트 절연 부재(146)를 덮는 차단 부재(126)를 형성한다.
- [0113] 이어서, 기판 전면을 건식 식각(dry etch)하여 접촉 구멍(145) 내에 남아있는 유기 반도체 잔류물(154a) 및 게이트 절연 부재 잔류물(146a)을 제거한다. 이 때, 유기 반도체(154) 및 게이트 절연 부재(146)는 차단 부재(126)에 의해 덮여 있으므로 제거되지 않는다. 또한, 이 때 격벽(140)도 함께 식각되어 유기 반도체 잔류물

(154a)과 게이트 절연 부재 잔류물(146a) 두께의 합만큼 격벽(140)의 높이 또한 낮아진다.

- [0114] 셋째, 표면 개질 방법을 이용하여 게이트 절연 부재(146)를 형성할 수 없는 경우에는 차단 부재(126)를 마스크로 하여 패터닝한다.
- [0115] 먼저 상술한 방법에 따라 격벽(140)을 표면 개질하고 개구부(147) 내에 유기 반도체(154) 및 접촉 구멍(145) 내에 유기 반도체 잔류물(154a)을 형성한다.
- [0116] 다음, 게이트 절연 부재 용액을 스핀 코팅 또는 슬릿 코팅 따위로 기판 전면에 형성한다.
- [0117] 다음, 상술한 바와 같이 유기 반도체(154)를 덮는 크기의 차단 부재(126)를 형성한 후, 차단 부재(126)를 마스크로 하여 게이트 절연 부재를 패터닝한다. 이 때 접촉 구멍(145)에 남아있는 유기 반도체 잔류물(154a)도 함께 제거된다.
- [0118] 상기와 같은 세 가지 방법으로 유기 반도체(154) 및 게이트 절연 부재(146)를 형성할 수 있다.
- [0119] 그 다음, 스퍼터링 따위의 방법으로 금속층을 적층하고 이를 사진 식각하여, 도 14 및 도 15에 도시한 바와 같이, 게이트 전극(124) 및 끝 부분(129)을 포함하는 게이트선(121)을 형성한다.
- [0120] 이 때 게이트 전극(124)은 차단 부재(126)를 완전히 덮을 수 있는 크기로 형성한다. 이와 같이 게이트 전극(124)이 차단 부재(126)를 완전히 덮음으로써, 사진 식각 공정에서 사용하는 식각액 등이 ITO 또는 IZO와 같이 내화학성이 약한 물질로 만들어진 차단 부재(126)로 유입되는 것을 방지할 수 있고, 하부의 게이트 절연 부재(146) 및 유기 반도체(154)를 보호할 수 있다.
- [0121] 다음, 도 1 및 도 2에 도시한 바와 같이, IZO 또는 ITO를 스퍼터링한 후 사진 식각하여 화소 전극(191) 및 접촉 보조 부재(81)를 형성한다.
- [0122] 한편, 차단 부재(126) 및 화소 전극(191)은 IZO 또는 ITO 따위의 동일한 물질로 만들어질 수 있으나, 다른 층에 형성되어야 한다. 즉 차단 부재(126)는 게이트선(121) 형성 전에, 화소 전극(191)은 게이트선(121) 형성 후에 각각 형성하여야 한다. ITO 또는 IZO는 내화학성이 약하여 후속 공정에서 사용되는 금속용 식각액 등에 의해 손상되기 쉽다. 전술한 바와 같이 차단 부재(126)는 게이트 전극(124)으로 완전히 덮음으로써 식각액 등에 보호될 수 있으나 화소 전극(191)은 그대로 노출되어 있어 금속용 식각액 등에 의해 손상되기 쉽다. 따라서, 화소 전극(191)을 게이트선(121) 형성 후에 형성함으로써 이를 방지할 수 있다.
- [0123] 마지막으로, 유기 박막 트랜지스터를 덮는 보호 부재(180)를 형성한다.
- [0124] 이상에서 본 발명의 바람직한 실시예들에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구 범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

### 발명의 효과

- [0125] 상술한 바와 같이, 유기 반도체를 격벽 내에 형성하고 차단 부재로 덮음으로써 후속 공정 중 유기 반도체에 미치는 영향을 최소화할 수 있으며, 유기 반도체와의 접촉 특성이 양호한 소스 전극 및 드레인 전극을 포함하여 유기 박막 트랜지스터의 특성을 개선할 수 있다. 또한, 유기 반도체를 표면 개질 방법 등을 사용하여 간단하게 형성함으로써 공정을 단순화할 수 있다.

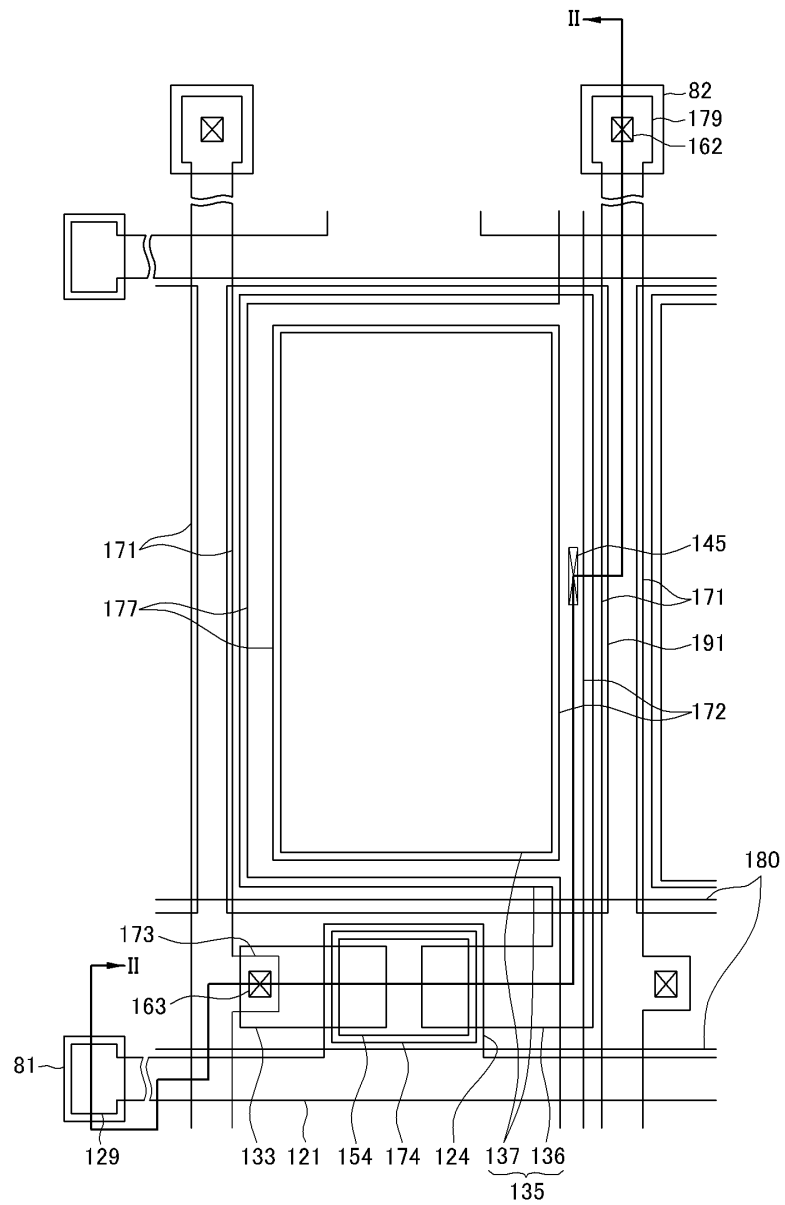
### 도면의 간단한 설명

- [0001] 도 1은 본 발명의 한 실시예에 따른 유기 박막 트랜지스터 표시판의 배치도이고,
- [0002] 도 2는 도 1의 박막 트랜지스터 표시판을 II-II 선을 따라 잘라 도시한 단면도이고,
- [0003] 도 3, 도 5, 도 7, 도 9, 도 12 및 도 14는 도 1 및 도 2의 유기 박막 트랜지스터 표시판을 본 발명의 한 실시예에 따라 제조하는 방법의 중간 단계에서의 배치도이고,
- [0004] 도 4는 도 3의 유기 박막 트랜지스터 표시판을 IV-IV 선을 따라 잘라 도시한 단면도이고,
- [0005] 도 6은 도 5의 유기 박막 트랜지스터 표시판을 VI-VI 선을 따라 잘라 도시한 단면도이고,

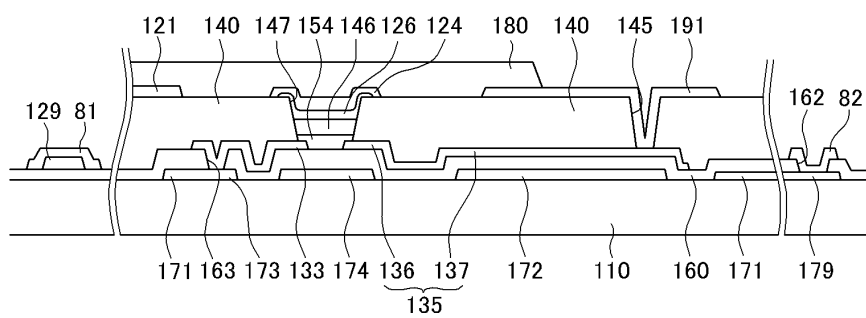
[0006]	도 8은 도 7의 유기 박막 트랜지스터 표시판을 VIII-VIII 선을 따라 잘라 도시한 단면도이고,	
[0007]	도 10은 도 9의 유기 박막 트랜지스터 표시판을 X-X 선을 따라 잘라 도시한 단면도이고,	
[0008]	도 11은 도 10의 유기 박막 트랜지스터 표시판의 연속 공정을 도시한 단면도이고,	
[0009]	도 13은 도 12의 유기 박막 트랜지스터 표시판을 XIII-XIII 선을 따라 잘라 도시한 단면도이고,	
[0010]	도 15는 도 14의 유기 박막 트랜지스터 표시판을 XV-XV 선을 따라 잘라 도시한 단면도이다.	
[0011]	<도면의 주요부분에 대한 부호의 설명>	
[0012]	110: 절연 기판	121: 게이트선
[0013]	124: 게이트 전극	126: 차단 부재
[0014]	129: 게이트선의 끝 부분	133: 소스 전극
[0015]	135: 드레인 전극	136: 전극부
[0016]	137: 용량부	145: 접촉 구멍
[0017]	146: 게이트 절연 부재	147: 개구부
[0018]	154: 유기 반도체	160: 층간 절연막
[0019]	171: 데이터선	172: 유지 전극선
[0020]	173: 데이터선의 돌출부	174: 광 차단막
[0021]	177: 유지 전극	179: 데이터선의 끝 부분
[0022]	81, 82: 접촉 보조 부재	162, 163: 접촉 구멍
[0023]	191: 화소 전극	

도면

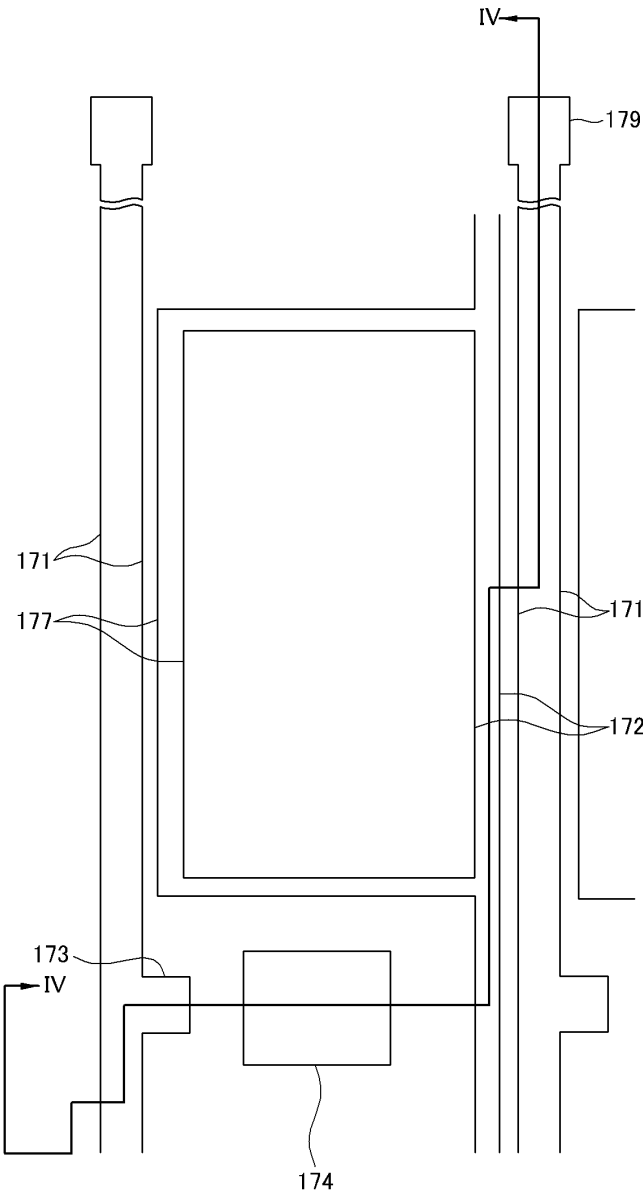
도면1



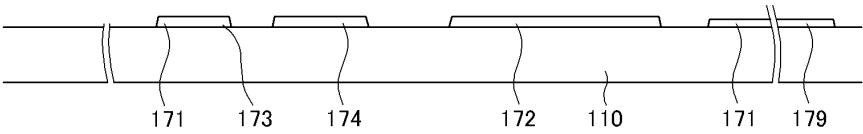
도면2



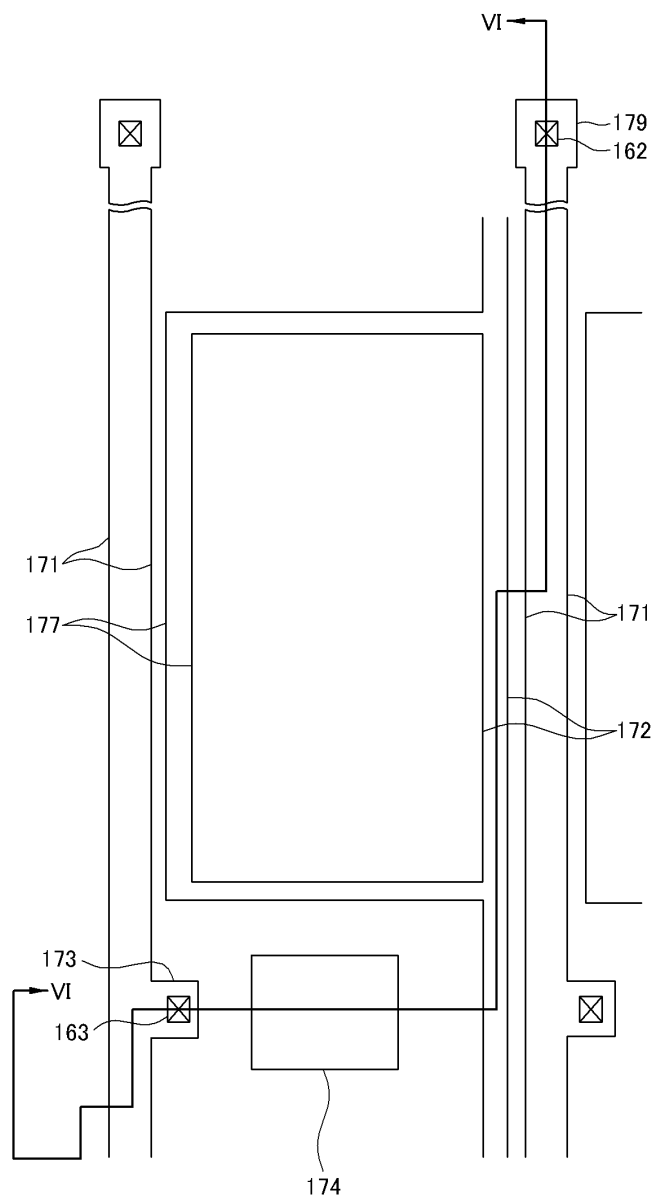
도면3



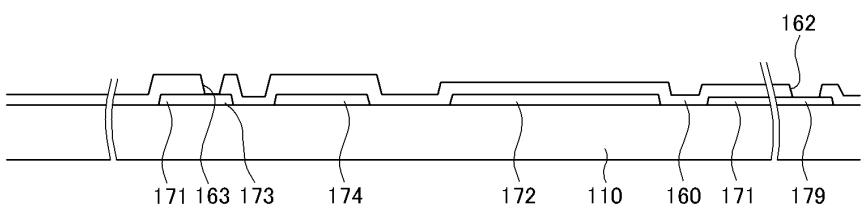
도면4



도면5

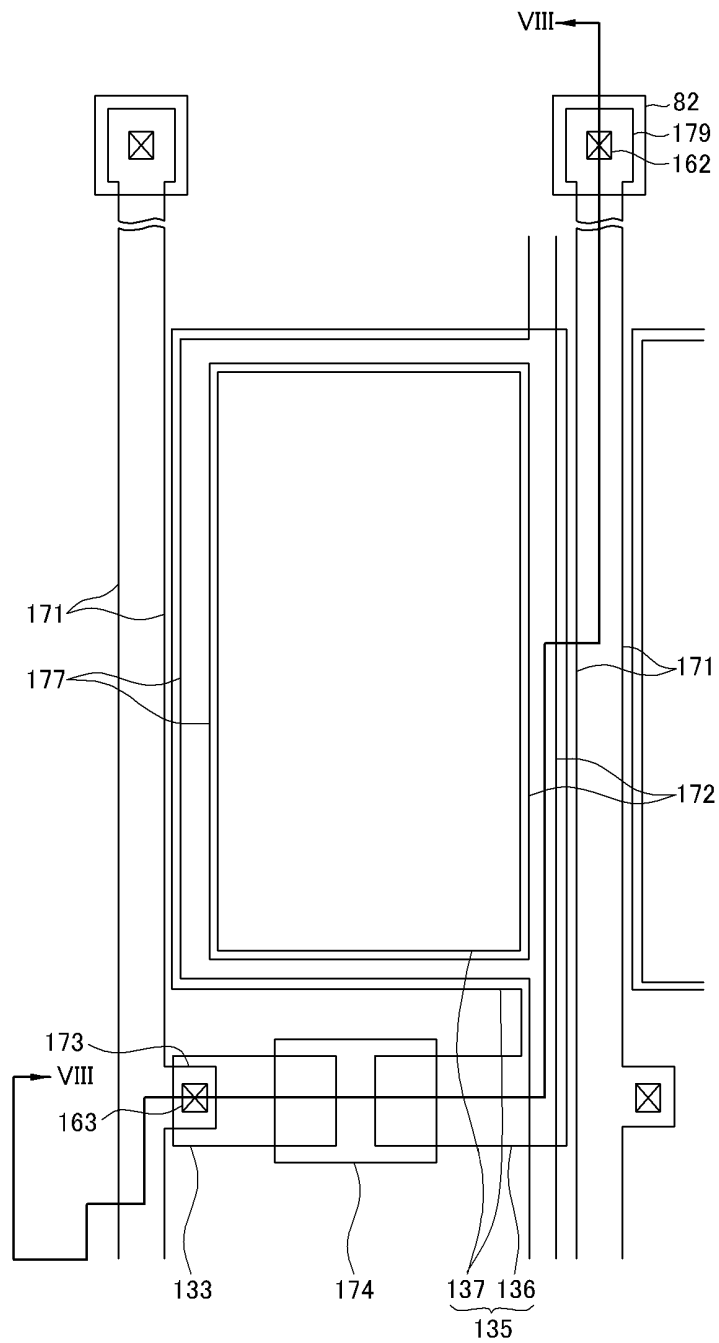


도면6

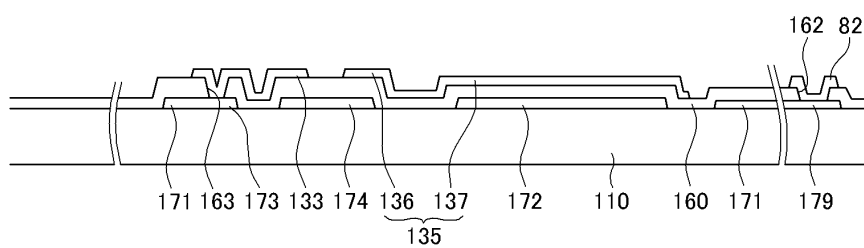




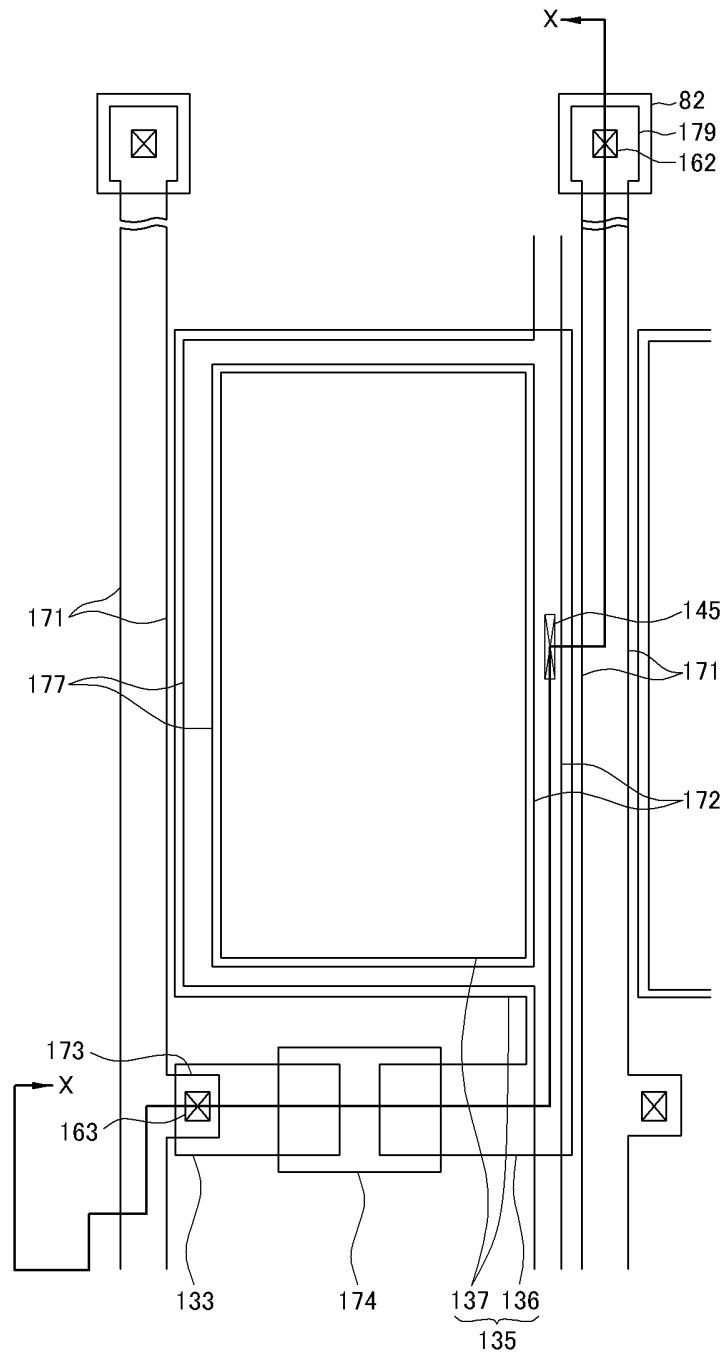
도면7



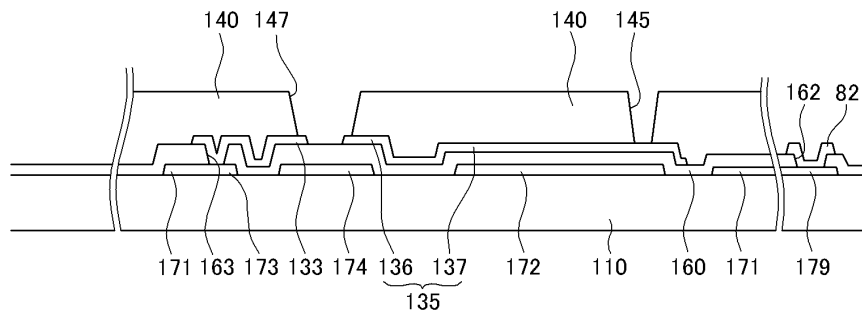
도면8



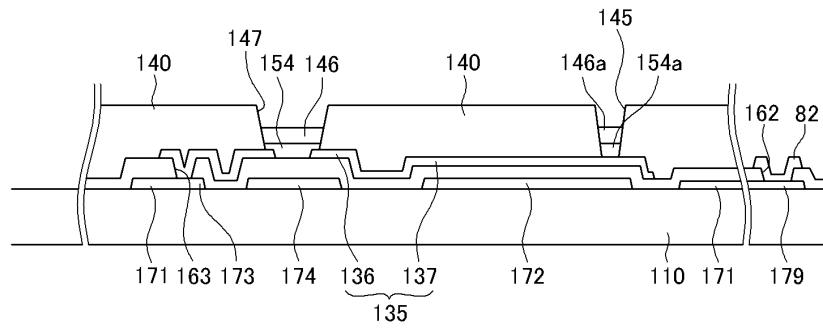
도면9



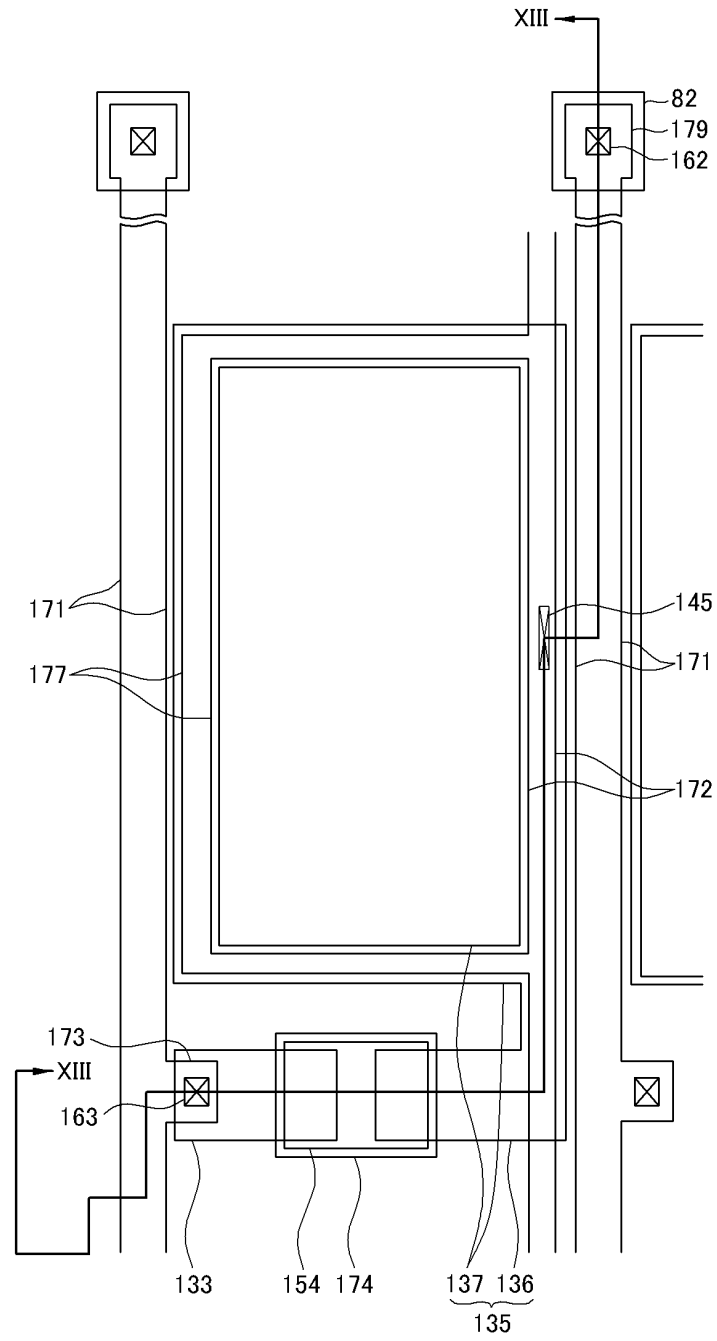
도면10



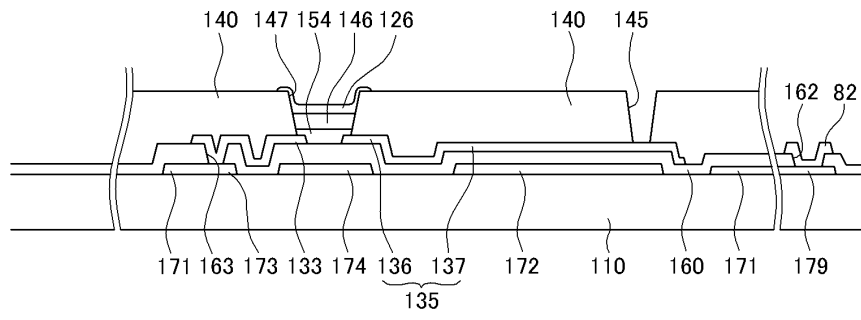
도면11



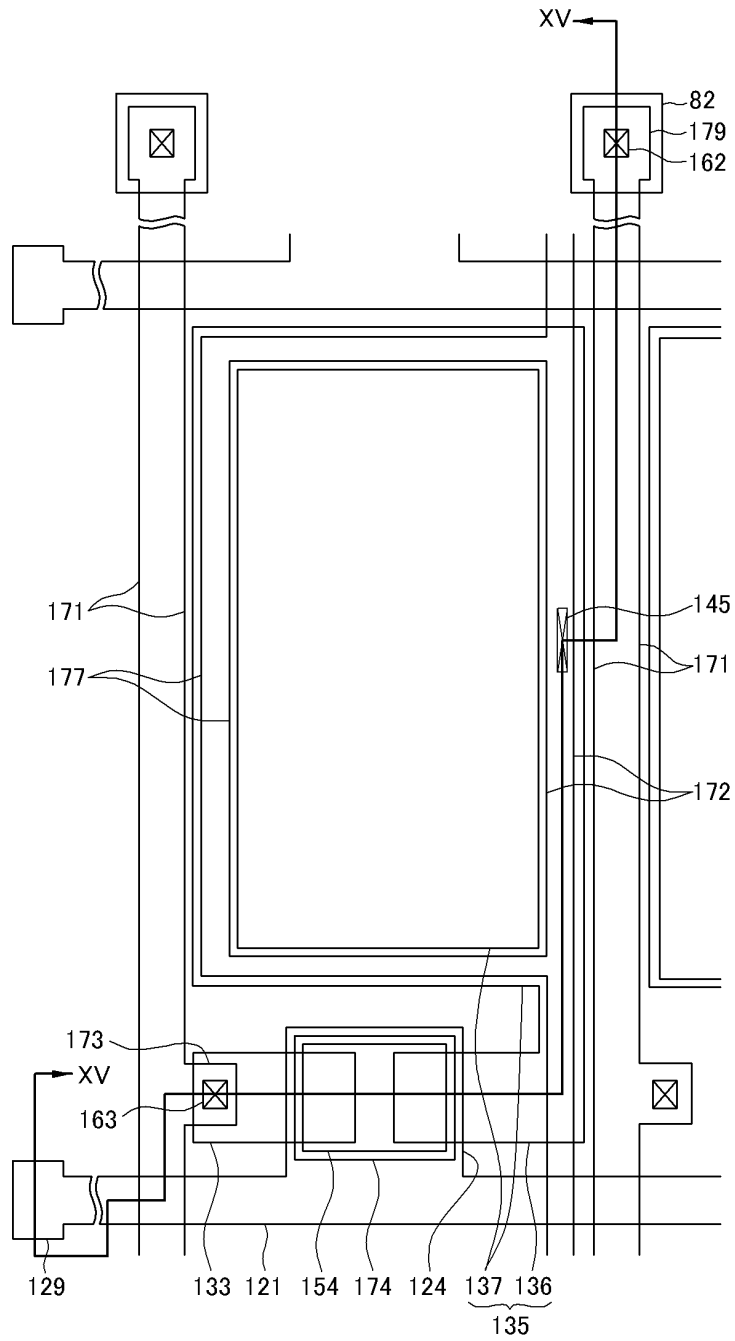
도면12



도면13



도면14



도면15

