



(12) 发明专利申请

(10) 申请公布号 CN 103515325 A

(43) 申请公布日 2014. 01. 15

(21) 申请号 201210227692. 4

(22) 申请日 2012. 07. 02

(30) 优先权数据

101122365 2012. 06. 22 TW

(71) 申请人 矽品精密工业股份有限公司

地址 中国台湾台中市

(72) 发明人 张江城 李孟宗 邱世冠

(74) 专利代理机构 北京戈程知识产权代理有限公司 11314

代理人 程伟 王锦阳

(51) Int. Cl.

H01L 23/00(2006. 01)

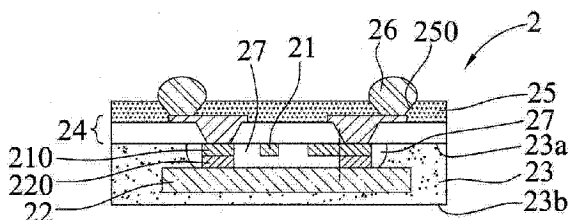
权利要求书2页 说明书7页 附图5页

(54) 发明名称

半导体封装件及其制法

(57) 摘要

一种半导体封装件及其制法,该半导体封装件包括:绝缘层、嵌埋于该绝缘层中的半导体组件、嵌埋于该绝缘层中并嵌埋部分该半导体组件的粘固体、嵌埋于该粘固体中以电性连接该半导体组件的图案化金属层、以及形成于该绝缘层表面上以电性连接该图案化金属层的线路重布结构。借由该粘固体的设计,使该半导体组件嵌入该粘固体中,以增强固定能力,所以可避免该半导体组件产生偏移。



1. 一种半导体封装件,其包括:

绝缘层,其具有相对的第一表面与第二表面;

半导体组件,其嵌埋于该绝缘层中;

粘固体,其嵌埋于该绝缘层的中且外露于该绝缘层的第一表面,且部分该半导体组件嵌入该粘固体中;

图案化金属层,其嵌埋于该粘固体中以电性连接该半导体组件,且该图案化金属层外露于该绝缘层的第一表面;以及

线路重布结构,其形成于该绝缘层的第一表面、图案化金属层与粘固体上,以电性连接该图案化金属层。

2. 根据权利要求1所述的半导体封装件,其特征在于,该绝缘层的第一表面上具有凸部,且该图案化金属层与该粘固体嵌埋于该凸部中。

3. 根据权利要求1所述的半导体封装件,其特征在于,该图案化金属层更包含电性连接垫,以电性连接该半导体组件。

4. 根据权利要求1所述的半导体封装件,其特征在于,该粘固体为非流动性的胶材。

5. 根据权利要求1所述的半导体封装件,其特征在于,该半导体组件具有相对的主动面与非主动面,该半导体组件的主动面及部分侧面嵌入该粘固体中而电性连接该图案化金属层。

6. 根据权利要求1所述的半导体封装件,其特征在于,该半导体组件具有相对的主动面与非主动面,该主动面上具有多个导电凸块,以嵌入该粘固体中而电性连接该图案化金属层。

7. 根据权利要求1所述的半导体封装件,其特征在于,该半导体组件具有相对的主动面与非主动面,该非主动面外露于该绝缘层的第二表面。

8. 根据权利要求1所述的半导体封装件,其特征在于,该线路重布结构具有至少一介电层、形成于该介电层上的线路层、及形成于该介电层中的导电盲孔,该导电盲孔电性连接该线路层与该图案化金属层。

9. 根据权利要求1所述的半导体封装件,其特征在于,该半导体封装件还包括一绝缘保护层,其形成于该线路重布结构上,且该绝缘保护层外露该线路重布结构的部分表面。

10. 一种半导体封装件的制法,其包括:

提供一具有图案化金属层的承载件;

形成至少一粘固体于该承载件上,以包覆该图案化金属层;

设置半导体组件于该粘固体上,并令部分该半导体组件嵌入该粘固体中,使该半导体组件电性连接该图案化金属层;

形成绝缘层于该承载件上,以包覆该半导体组件与该粘固体,该绝缘层具有相对的第一表面与第二表面,且该第一表面结合该承载件;

移除该承载件,以外露该绝缘层的第一表面、图案化金属层与粘固体;以及

形成线路重布结构于该绝缘层的第一表面、图案化金属层与粘固体上,且该线路重布层电性连接该图案化金属层。

11. 根据权利要求11所述的半导体封装件的制法,其特征在于,该承载件上还具有一离型层,以供该图案化金属层与粘固体形成其上,且借由该离型层移除该承载件。

12. 根据权利要求 11 所述的半导体封装件的制法,其特征在于,该承载件上形成有凹槽,以设置该半导体组件。

13. 根据权利要求 11 所述的半导体封装件的制法,其特征在于,该图案化金属层更包含电性连接垫,以电性连接该半导体组件。

14. 根据权利要求 11 所述的半导体封装件的制法,其特征在于,该粘固体为非流动性的胶材。

15. 根据权利要求 11 所述的半导体封装件的制法,其特征在于,该半导体组件具有相对的主动面与非主动面,该主动面上具有多个导电凸块,以嵌入该粘固体中而电性连接该图案化金属层。

16. 根据权利要求 11 所述的半导体封装件的制法,其特征在于,该半导体组件具有相对的主动面与非主动面,该非主动面外露于该绝缘层的第二表面。

17. 根据权利要求 11 所述的半导体封装件的制法,其特征在于,形成该绝缘层的方式为压合工艺或涂布工艺。

18. 根据权利要求 11 所述的半导体封装件的制法,其特征在于,以研磨方式移除该承载件。

19. 根据权利要求 11 所述的半导体封装件的制法,其特征在于,该线路重布结构具有至少一介电层、形成于该介电层上的线路层、及形成于该介电层中的导电盲孔,该导电盲孔电性连接该线路层与该图案化金属层。

20. 根据权利要求 11 所述的半导体封装件的制法,其特征在于,该制法还包括形成一绝缘保护层于该线路重布结构上,且该绝缘保护层外露该线路重布结构的部分表面。

半导体封装件及其制法

技术领域

[0001] 本发明涉及一种半导体封装件,尤指一种晶圆级的半导体封装件及其制法。

背景技术

[0002] 随着电子产业的蓬勃发展,电子产品也逐渐迈向多功能、高性能的趋势。为了满足半导体封装件微型化(miniaturization)的封装需求,发展出晶圆级封装(Wafer Level Packaging, WLP)的技术。

[0003] 第 6,452,265 号美国专利与第 7,202,107 号美国专利提供一种晶圆级封装的制法。如图 1A 至图 1D,其为现有晶圆级半导体封装件 1 的制法的剖面示意图。

[0004] 如图 1A 所示,形成一热化离型胶层(thermal release tape) 100 于一承载件 10 上。

[0005] 接着,置放多个半导体芯片 12 于该热化离型胶层 100 上,该些半导体芯片 12 具有相对的主动面 12a 与非主动面 12b,各该主动面 12a 上均具有多个电极垫 120,且各该主动面 12a 粘着于该热化离型胶层 100 上。

[0006] 如图 1B 所示,以模压(molding)方式形成一封装胶体 13 于该热化离型胶层 100 上,以包覆该半导体芯片 12。

[0007] 如图 1C 所示,进行烘烤工艺以硬化该封装胶体 13,而同时该热化离型胶层 100 因受热后会失去粘性,所以可一并移除该热化离型胶层 100 与该承载件 10,以外露该半导体芯片 12 的主动面 12a。

[0008] 如图 1D 所示,进行线路重布层(Redistribution layer, RDL)工艺,形成一线路重布结构 14 于该封装胶体 13 与该半导体芯片 12 的主动面 12a 上,令该线路重布结构 14 电性连接该半导体芯片 12 的电极垫 120。

[0009] 接着,形成一绝缘保护层 15 于该线路重布结构 14 上,且该绝缘保护层 15 外露该线路重布结构 14 的部分表面,以供结合焊球 16。

[0010] 然而,现有半导体封装件 1 的制法中,该热化离型胶层 100 具有挠性,其于模压工艺中的热膨胀系数(Coefficient of thermal expansion, CTE)与该封装胶体 13 的侧推力,将一同影响该半导体芯片 12 固定的精度,也就是容易使粘附于该热化离型胶层 100 上的半导体芯片 12 产生偏移,如图 1D' 所示(也就是半导体芯片 12 未置于置晶区 B 上),且当该承载件 10 移除后会造成本封装胶体 13 翘曲(warp)过大。因此,当该承载件 10 的尺寸越大时,各该半导体芯片 12 间的位置公差也随之加大,致使该线路重布结构 14 与该半导体芯片 12 间的电性连接造成极大影响,因而造成良率过低。

[0011] 因此,如何克服上述现有技术的问题,实已成目前亟欲解决的课题。

发明内容

[0012] 鉴于上述现有技术的种种缺失,本发明的主要目的在于提供一种半导体封装件及其制法,可避免该半导体组件产生偏移。

[0013] 本发明的半导体封装件,包括:绝缘层,其具有相对的第一表面与第二表面;半导体组件,其嵌埋于该绝缘层中;粘固体,其嵌埋于该绝缘层的中且外露于该绝缘层的第一表面,且部分该半导体组件嵌入该粘固体中;图案化金属层,其嵌埋于该粘固体中以电性连接该半导体组件,且该图案化金属层外露于该绝缘层的第一表面;以及线路重布结构,其形成于该绝缘层的第一表面、图案化金属层与粘固体上,以电性连接该图案化金属层。

[0014] 前述的半导体封装件中,该绝缘层的第一表面上具有凸部,且该图案化金属层与该粘固体嵌埋于该凸部中。

[0015] 前述的半导体封装件中,该半导体组件具有相对的主动面与非主动面,该半导体组件的主动面及部分侧面嵌入该粘固体中而电性连接该图案化金属层。

[0016] 本发明还提供一种半导体封装件的制法,其包括:形成图案化金属层于一承载件上;形成至少一粘固体于该承载件上,以包覆该图案化金属层;设置半导体组件于该粘固体上,并令部分该半导体组件嵌入该粘固体中,使该半导体组件电性连接该图案化金属层;形成绝缘层于该承载件上,以包覆该半导体组件与该粘固体,该绝缘层具有相对的第一表面与第二表面,且该第一表面结合该承载件;移除该承载件,以外露该绝缘层的第一表面、图案化金属层与粘固体;以及形成线路重布结构于该绝缘层的第一表面、图案化金属层与粘固体上,且该线路重布层电性连接该图案化金属层。

[0017] 前述的制法中,该承载件上还具有一离型层,以供该图案化金属层与粘固体形成其上,且借由该离型层移除该承载件。

[0018] 前述的制法中,该承载件上形成有凹槽,以设置该半导体组件。

[0019] 前述的制法中,形成该绝缘层的方式为压合工艺或涂布工艺。

[0020] 前述的制法中,是以研磨方式移除该承载件。

[0021] 前述的半导体封装件及其制法中,该图案化金属层更包含电性连接垫,以电性连接该半导体组件。

[0022] 前述的半导体封装件及其制法中,该粘固体为非流动性的胶材。

[0023] 前述的半导体封装件及其制法中,该半导体组件具有相对的主动面与非主动面,该主动面上具有多个导电凸块,以嵌入该粘固体中而电性连接该图案化金属层。

[0024] 前述的半导体封装件及其制法中,该半导体组件具有相对的主动面与非主动面,该非主动面外露于该绝缘层的第二表面。

[0025] 前述的半导体封装件及其制法中,该线路重布结构具有至少一介电层、形成于该介电层上的线路层、及形成于该介电层中的导电盲孔,该导电盲孔电性连接该线路层与该图案化金属层。

[0026] 另外,前述的半导体封装件及其制法中,还包括形成一绝缘保护层于该线路重布结构上,且该绝缘保护层外露该线路重布结构的部分表面。

[0027] 由上可知,本发明的半导体封装件及其制法,借由该粘固体,使该半导体组件嵌入该粘固体中,以增强固定能力,所以当制作该绝缘层时,可避免该半导体组件产生偏移。因此,于制作该线路重布结构时,该导电盲孔与该半导体组件间的电性连接能有效对接,所以能避免良率过低的问题。

[0028] 此外,本发明的制法不需使用现有热化离型胶层,所以于硬化该绝缘层时,该离型层不会造成该绝缘层翘曲过大的问题。

附图说明

[0029] 图 1A 至图 1D 为现有半导体封装件的制法的剖视示意图；其中，图 1D' 为图 1C 的上视图；

[0030] 图 2A 至图 2F 为本发明的半导体封装件的第一实施例的制法的剖视示意图；其中，图 2A' 为图 2A 的另一实施例，图 2F' 及图 2F'' 为图 2F 的不同实施例；以及

[0031] 图 3A 至图 3C 为本发明的半导体封装件的第二实施例的制法的剖视示意图。

[0032] 主要组件符号说明

[0033]

1,2,2',2'',3	半导体封装件
10,20,30	承载件
100	热化离型胶层
12	半导体芯片
12a,22a	主动面
12b,22b	非主动面
120	电极垫
13	封装胶体
14,24	线路重布结构
15,25	绝缘保护层
16,26	焊球
200	离型层
21	图案化金属层
210	电性连接垫
22	半导体组件
22c	侧面
220	导电凸块
23,23'	绝缘层
23a	第一表面
23b,23b'	第二表面

[0034]

230	凸部
240	介电层
241	线路层
242	导电盲孔
250	开孔
27,27'	粘固体
300	凹槽
A,B	置晶区
L	切割路径。

具体实施方式

[0035] 以下借由特定的具体实施例说明本发明的实施方式,本领域技术人员可由本说明书所揭示的内容轻易地了解本发明的其它优点及功效。

[0036] 须知,本说明书所附图式所绘示的结构、比例、大小等,均仅用以配合说明书所揭示的内容,以供本领域技术人员的了解与阅读,并非用以限定本发明可实施的限定条件,所以不具技术上的实质意义,任何结构的修饰、比例关系的改变或大小的调整,在不影响本发明所能产生的功效及所能达成的目的下,均应仍落在本发明所揭示的技术内容得能涵盖的范围内。同时,本说明书中所引用的如“上”、“第一”、“第二”及“一”等的用语,也仅为便于叙述的明了,而非用以限定本发明可实施的范围,其相对关系的改变或调整,在无实质变更技术内容下,当也视为本发明可实施的范畴。

[0037] 图 2A 至图 2F 为本发明的半导体封装件 2 的第一实施例的制法的剖面示意图。

[0038] 如图 2A 所示,形成一图案化金属层 21 于一承载件 20 上,再形成多个粘固体 27 于该承载件 20 上,以包覆该图案化金属层 21。其中,该粘固体 27 的设置可令后续接置的半导体组件 22 更牢固地定位在预定位置上。

[0039] 于本实施例中,该承载件 20 上定义有多个置晶区 A,该些粘固体 27 对应形成于各该置晶区 A,以令每一置晶区 A 上形成有一粘固体 27。

[0040] 此外,该图案化金属层 21 更包含多个电性连接垫 210,且该粘固体 27 为非流动性的胶材。

[0041] 于其它实施例中,如图 2A' 所示,该承载件 20 上可具有一离型层 200,以令该图案化金属层 21 与该粘固体 27 形成于该离型层 200 上。其中,该离型层 200 可为一高分子聚合物,利用溅镀或涂布方式形成于该承载件 20 上。

[0042] 于另一实施例中,该离型层 200 可为低热膨胀系数的材质,于后续工艺中,半导体组件 22 不会因热膨胀系数而产生偏移,较佳者,其热膨胀系数小于 10,但不以此为限。

[0043] 如图 2B 所示,设置多个半导体组件 22 于该粘固体 27 上,以令每一该置晶区 A 上设有一半导体组件 22,且该半导体组件 22 具有多个导电凸块 220,该些导电凸块 220 嵌入该粘固体 27 中以电性连接该电性连接垫 210。

[0044] 于本实施例中,该半导体组件 22 为芯片,且具有相对的主动面 22a 与非主动面

22b, 该主动面 22a 上具有电极垫(图略), 用以形成该些导电凸块 220 于该电极垫上。

[0045] 此外, 该半导体组件 22 以热压方式嵌入该粘固体 27。

[0046] 此外, 该导电凸块 220 含有焊锡材料, 如锡银(Sn-Ag) 无铅焊料, 且该焊锡材料中也可含有 Cu、Ni 或 Ge 等, 但该导电凸块 220 的材质无特别限制, 所以该半导体组件 22 能焊接该电性连接垫 210, 以强化该半导体组件 22 的固定力。

[0047] 于其它实施例中, 该电性连接垫 210 上覆盖一层锡(图略)以作为表面处理层, 从而供直接结合该半导体组件 22 的电极垫, 而无需形成该导电凸块 220。

[0048] 另外, 于设置该些半导体组件 22 后, 可选择性进行烘烤工艺, 以固化该粘固体 27。

[0049] 如图 2C 所示, 形成一绝缘层 23 于该承载件 20 上, 以令该半导体组件 22 与该粘固体 27 埋入该绝缘层 23 中, 且该绝缘层 23 具有相对的第一表面 23a 与第二表面 23b, 且该第一表面 23a 结合该承载件 20。

[0050] 于本实施例中, 该绝缘层 23 的材质为干膜(dry film), 所以该绝缘层 23 以压合方式形成于该承载件 20 上, 以令该半导体组件 22 与该粘固体 27 嵌入该绝缘层 23 中。

[0051] 此外, 该绝缘层 23 的材质可为聚酰亚胺(Polyimide, PI), 所以于其它实施例中, 可借由涂布方式, 将该绝缘层 23 形成于该承载件 20、半导体组件 22 与该粘固体 27 上。

[0052] 如图 2D 所示, 借由研磨方式移除该承载件 20, 以外露该绝缘层 23 的第一表面 23a、图案化金属层 21 与粘固体 27。

[0053] 于其它实施例中, 如图 2A' 所示, 可借由该离型层 200 移除该承载件 20, 以易于分离该承载件 20。

[0054] 如图 2E 所示, 进行 RDL 工艺, 形成线路重布结构 24 于该绝缘层 23 的第一表面 23a、图案化金属层 21 与粘固体 27 上, 且该线路重布结构 24 电性连接该些电性连接垫 210。

[0055] 于本实施例中, 该线路重布结构 24 具有至少一介电层 240、形成于该介电层 240 上的线路层 241、及形成于该介电层 240 中的导电盲孔 242, 该介电层 240 的材质为聚酰亚胺(Polyimide, PI)、苯并环丁烯(Benzocyclobutene, BCB) 或聚对二唑苯(Polybenzoxazole, PBO), 且该些导电盲孔 242 电性连接该线路层 241 与该些电性连接垫 210。

[0056] 接着, 形成一绝缘保护层 25 于该介电层 240 上, 且该绝缘保护层 25 形成有多个开孔 250 以对应外露该线路层 241 的部分表面。

[0057] 如图 2F 所示, 进行切单工艺, 沿第 2E 图所示的切割路径 L 进行切割, 以形成多个半导体封装件 2, 且于该线路层 241 的外露表面上结合如焊球 26 的导电组件。

[0058] 如图 2F' 所示, 于另一实施例中, 可于形成该绝缘层 23 时, 以令该半导体组件 22 的非主动面 22b 外露于该绝缘层 23 的第二表面 23b', 以供散热的用或接置散热结构; 或者, 于其它步骤中进行研磨该绝缘层 23 的第二表面 23b', 以令该半导体组件 22 的非主动面 22b 外露于该绝缘层 23 的第二表面 23b'。

[0059] 如图 2F'' 所示, 于另一实施例中, 可于图 2A 的工艺中形成占用范围较大的粘固体 27', 以令该半导体组件 22 的主动面 22a 及部分侧面 22c 嵌入该粘固体 27' 中而电性连接该图案化金属层 21。

[0060] 本发明半导体封装件 2 的制法中, 借由将该半导体组件 22 嵌入该粘固体 27 中, 以增强固定能力, 且以焊接方式连接该承载件 20, 当制作该绝缘层 23 时, 可避免该半导体组

件 22 产生偏移,所以当该承载件 20 尺寸越大时,各该半导体组件 22 间的位置公差不会随之加大,所以可精确控制该半导体组件 22 的精度。因此,于制作该线路重布结构 24 时,该导电盲孔 242 与该半导体组件 22 间的电性连接能有效对接,所以能避免良率过低的问题。

[0061] 此外,本发明的制法中,不需使用现有热化离型胶层,所以于硬化该绝缘层 23 时,该离型层 200 不会造成该绝缘层 23 的翘曲(warpage)过大。

[0062] 图 3A 至图 3C 为本发明的半导体封装件 3 的第二实施例的制法的剖面示意图。本实施例与第一实施例的差异仅在于该承载件 30 的结构,其它工艺与结构大致相同,所以不再赘述。

[0063] 如图 3A 所示,该承载件 30 上形成有凹槽 300,以设置该半导体组件 22,以借该凹槽 300 的设计,使该半导体组件 22 收纳于该凹槽 300 中,而增加对位的精准度。

[0064] 详细地,该半导体组件 22 借由形成于该凹槽 300 中的粘固体 27 粘附于该承载件 30 上,且该凹槽 300 底面上形成有图案化金属层 21,令该半导体组件 22 的电极垫(图略)或导电凸块 220 结合至该图案化金属层 21 上。

[0065] 如图 3B 所示,进行模压工艺与移除该承载件 30 工艺,令该绝缘层 23' 的第一表面 23a 上形成有凸部 230,且该图案化金属层 21 与该粘固体 27 位于该凸部 230。

[0066] 如图 3C 所示,进行 RDL 工艺与切单工艺,以形成多个半导体封装件 3。

[0067] 本发明还提供一种半导体封装件 2, 2', 2'', 3, 包括:一绝缘层 23、一半导体组件 22、一粘固体 27、一图案化金属层 21、一线路重布结构 24 以及一绝缘保护层 25。

[0068] 所述的绝缘层 23 具有相对的第一表面 23a 与第二表面 23b。

[0069] 所述的半导体组件 22 嵌埋于该绝缘层 23 中,且该半导体组件 22 具有相对的主动面 22a 与非主动面 22b,该主动面 22a 上具有多个导电凸块 220,且该非主动面 22b 选择性外露于该绝缘层 23 的第二表面 23b',此外该导电凸块 220 含有焊锡材料。

[0070] 所述的粘固体 27 为非流动性的胶材,其嵌埋于该绝缘层 23 中并包覆该些导电凸块 220,且该粘固体 27 外露于该绝缘层 23 的第一表面 23a。

[0071] 所述的图案化金属层 21 为铜材,其嵌埋于该粘固体 27 中,并以其电性连接垫 210 电性连接该些导电凸块 220,且该图案化金属层 21 外露于该绝缘层 23 的第一表面 23a。

[0072] 所述的线路重布结构 24 形成于该绝缘层 23 的第一表面 23a、图案化金属层 21 与粘固体 27 上,该线路重布结构 24 具有至少一介电层 240、形成于该介电层 240 上的线路层 241、及形成于该介电层 240 中的导电盲孔 242,该导电盲孔 242 电性连接该线路层 241 与该图案化金属层 21。

[0073] 所述的绝缘保护层 25 形成于最外层的介电层 240 上,且该绝缘保护层 25 外露最外层的线路层 241 的部分表面。

[0074] 于一实施例中,该绝缘层 23' 的第一表面 23a 上具有凸部 230,且该图案化金属层 21 与该粘固体 27 嵌埋于该凸部 230 中。

[0075] 于一实施例中,该半导体组件 22 的主动面 22a 及部分侧面 22c 嵌入该粘固体 27' 中而电性连接该图案化金属层 21。

[0076] 综上所述,本发明的半导体封装件及其制法,主要借由该粘固体固定该半导体组件,以增强该半导体组件的固定能力,而能避免该半导体组件产生偏移,进而使该导电盲孔与该半导体组件间的电性连接有效对接,从而能提升产品的良率。

[0077] 另外,借由免用现有热化离型胶层,所以能避免该绝缘层翘曲过大的问题。

[0078] 上述实施例仅用以例示性说明本发明的原理及其功效,而非用于限制本发明。任何本领域技术人员均可在不违背本发明的精神及范畴下,对上述实施例进行修改。因此本发明的权利保护范围,应如权利要求书所列。

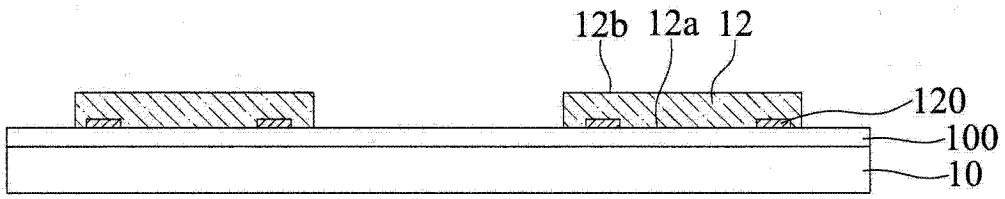


图 1A

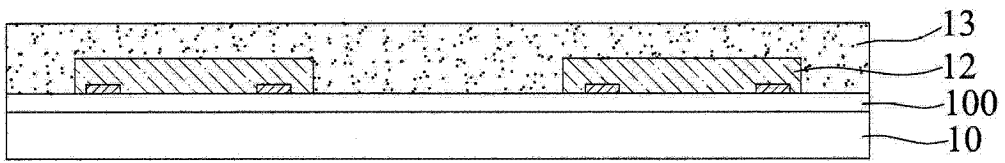


图 1B

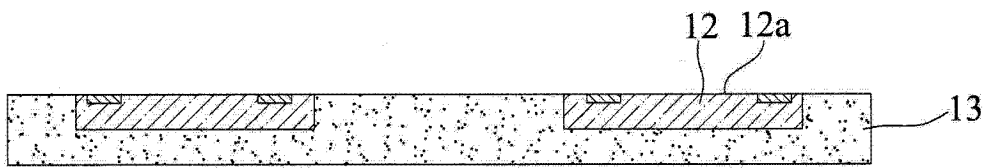


图 1C

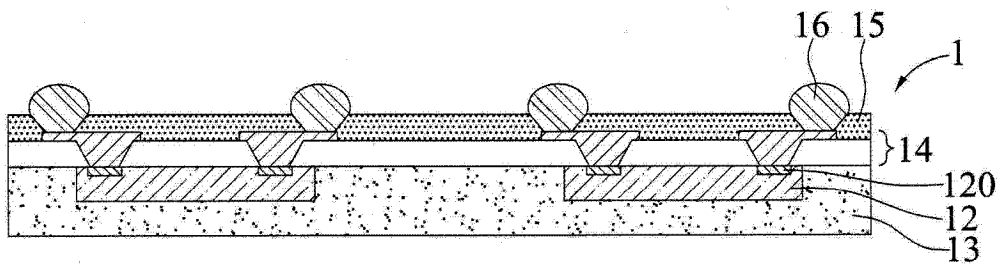


图 1D

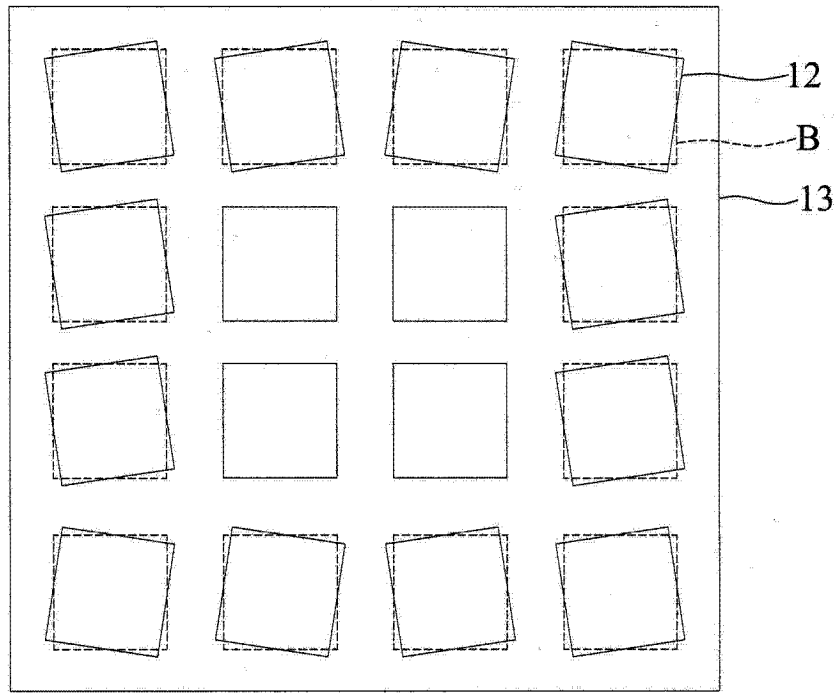


图 1D'

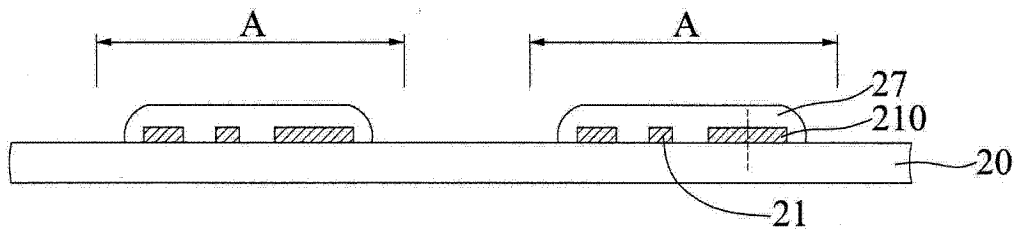


图 2A

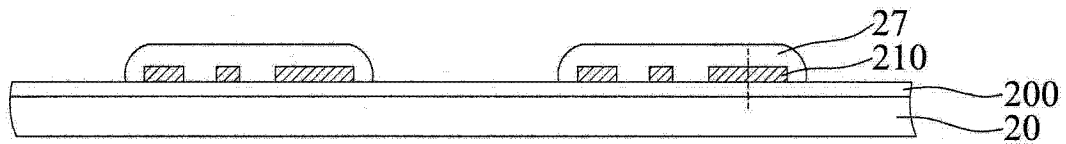


图 2A'

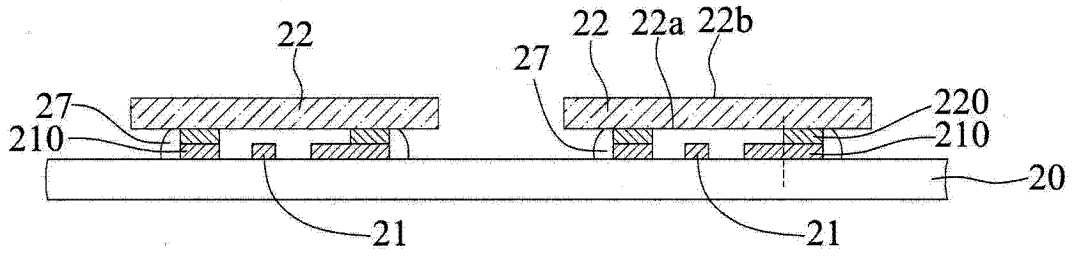


图 2B

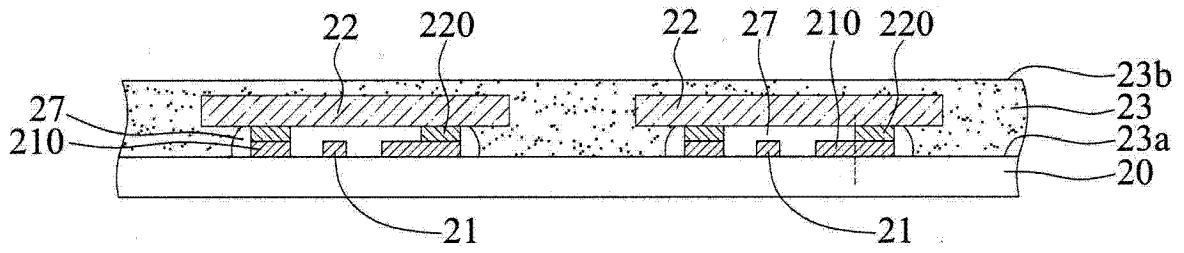


图 2C

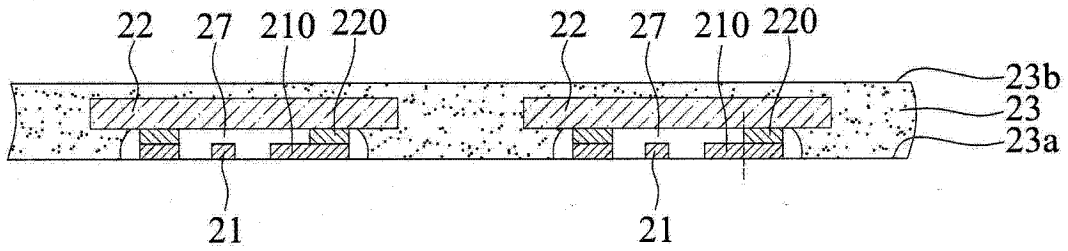


图 2D

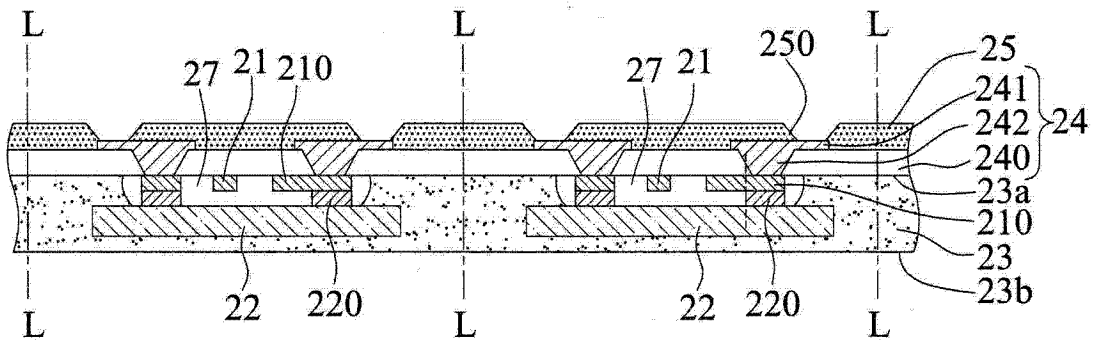


图 2E

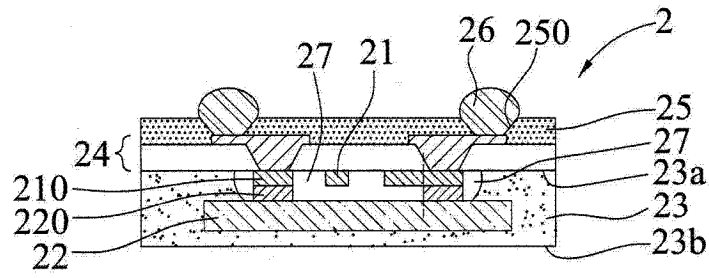


图 2F

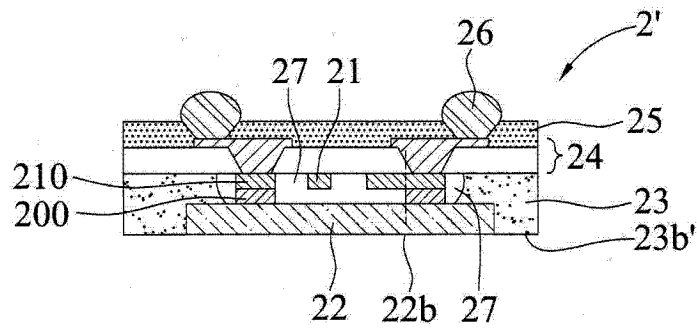


图 2F'

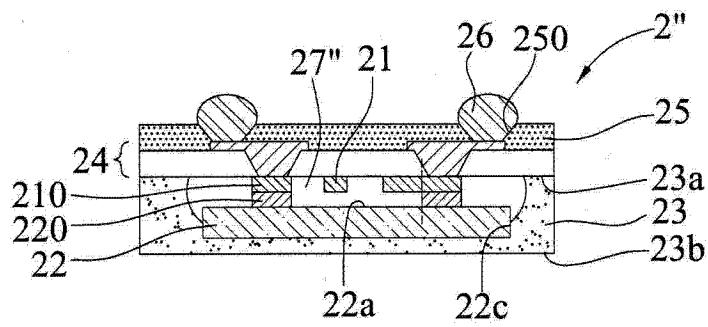


图 2F''

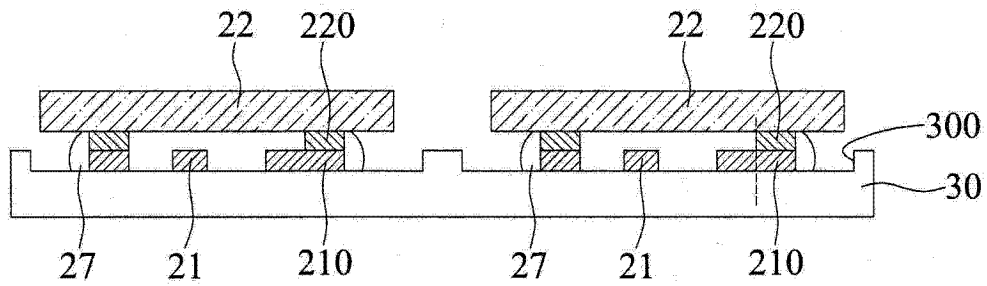


图 3A

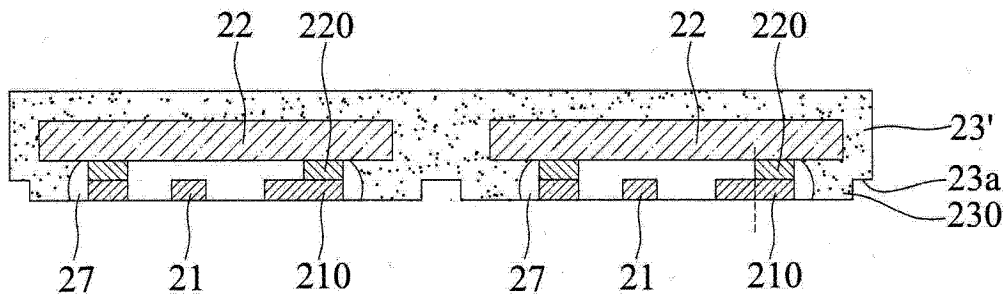


图 3B

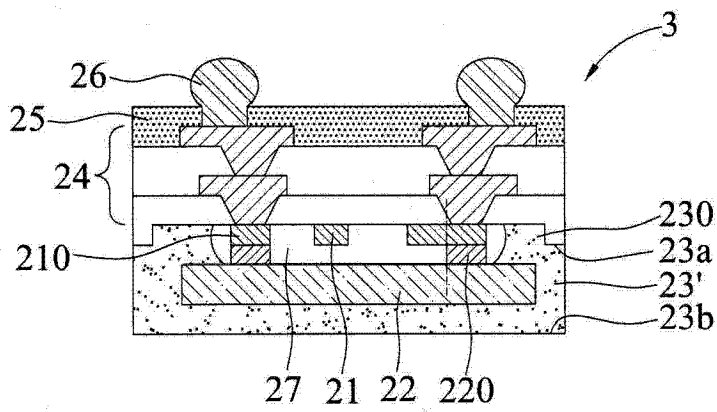


图 3C