

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2009年7月30日 (30.07.2009)

PCT

(10) 国際公開番号
WO 2009/093625 A1

(51) 国際特許分類:

H01L 29/786 (2006.01) H01L 21/336 (2006.01)

(21) 国際出願番号:

PCT/JP2009/050916

(22) 国際出願日:

2009年1月22日 (22.01.2009)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特願2008-013085 2008年1月23日 (23.01.2008) JP
特願2008-100088 2008年4月8日 (08.04.2008) JP

(71) 出願人(米国を除く全ての指定国について): 出光興産株式会社 (IDEMITSU KOSAN CO.,LTD.) [JP/IP]; 〒1008321 東京都千代田区丸の内三丁目1番1号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 矢野公規 (YANO, Koki) [JP/IP]; 〒2990293 千葉県袖ヶ浦市上泉1280番地 Chiba (JP). 井上一吉 (INOUE,

Kazuyoshi) [JP/IP]; 〒2990293 千葉県袖ヶ浦市上泉1280番地 Chiba (JP). 川嶋浩和 (KAWASHIMA, Hirokazu) [JP/IP]; 〒2990293 千葉県袖ヶ浦市上泉1280番地 Chiba (JP). 苫井重和 (TOMAI, Shigekazu) [JP/IP]; 〒2990293 千葉県袖ヶ浦市上泉1280番地 Chiba (JP).

(74) 代理人: 渡辺喜平, 外 (WATANABE, Kihei et al.); 〒1010041 東京都千代田区神田須田町一丁目26番芝信神田ビル3階 Tokyo (JP).

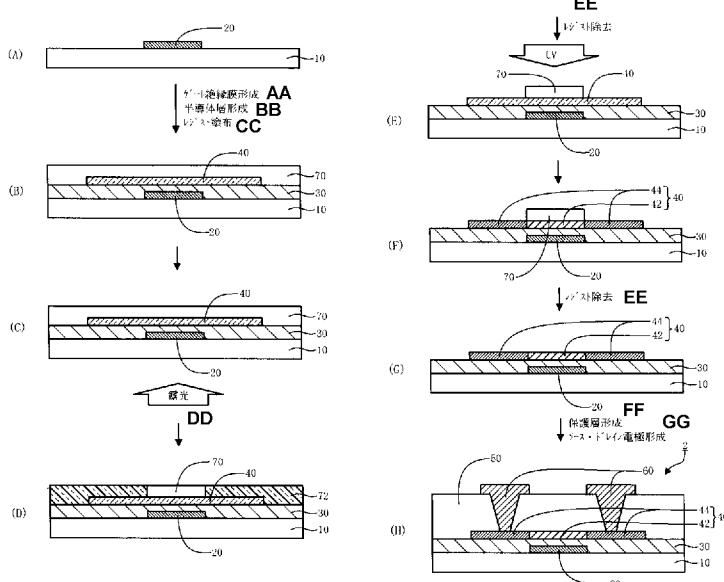
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

/ 続葉有 /

(54) Title: FIELD-EFFECT TRANSISTOR, METHOD FOR MANUFACTURING FIELD-EFFECT TRANSISTOR, DISPLAY DEVICE USING FIELD-EFFECT TRANSISTOR, AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 電界効果型トランジスタ及びその製造方法、それを用いた表示装置、並びに半導体装置

[図2]



AA FORMATION OF GATE INSULATING FILM

BB FORMATION OF SEMICONDUCTOR LAYER

CC RESIST APPLICATION

DD EXPOSURE

EE RESIST REMOVAL

FF FORMATION OF PROTECTION LAYER

GG FORMATION OF SOURCE/DRAIN ELECTRODE

(57) Abstract: Provided is a field-effect transistor wherein an oxide film is arranged as a semiconductor layer, the oxide film has a channel portion, a source portion and a drain portion, and compositions of the channel portion, the source portion and the drain portion, excluding oxygen element and an inert gas, are substantially the same.

(57) 要約: 酸化物膜を半導体層として有し、前記酸化物膜がチャンネル部位、ソース部位及びドレイン部位を有し、前記チャンネル部位、ソース部位及びドレイン部位の酸素元素及び不活性ガスを除く組成が実質同一である電界効果型トランジスタ。

WO 2009/093625 A1



(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

明細書

電界効果型トランジスタ及びその製造方法、それを用いた表示装置、並びに半導体装置

技術分野

[0001] 本発明は、電界効果型トランジスタ及びその製造方法、並びにそれを用いた表示装置に関する。また、本発明は、酸化物半導体を用いた半導体装置、特に電界効果型トランジスタに関する。

背景技術

[0002] 電界効果型トランジスタは、半導体メモリ集積回路の単位電子素子、高周波信号增幅素子、液晶駆動用素子等として広く用いられており、現在、最も多く実用化されている電子デバイスである。

特に近年は表示装置のめざましい発展に伴って、液晶表示装置(LCD)、エレクトロルミネッセンス表示装置(EL)、フィールドエミッショングディスプレイ(FED)等の表示装置のスイッチング素子として、薄膜トランジスタ(TFT)が多用されている。

[0003] 上記薄膜トランジスタの材料としては、シリコン半導体が最も広く用いられている。一般に、高速動作が必要な高周波増幅素子、集積回路用素子等には、シリコン単結晶が用いられ、液晶駆動用素子等には、大面積化の要求からアモルファスシリコンが用いられている。

[0004] しかしながら、結晶性シリコン系薄膜は、結晶化を図る際に、例えば800°C以上の高温が必要であり、ガラス基板上や有機物基板上への構成が困難であった。このため、結晶性シリコン系薄膜は、シリコンウェハーや石英等の耐熱性の高い高価な基板上にしか成膜できないばかりか、製造に際して多大なエネルギーと工程数を要する等の問題があった。

また、結晶性シリコン系薄膜を用いたTFTの素子構成はトップゲート型に限定されるため、マスク枚数の削減等のコストダウンが困難であった。

[0005] 一方、比較的低温で形成可能な非晶性シリコン半導体(アモルファスシリコン)は、結晶性シリコン系薄膜に比べてスイッチング速度が遅いため、表示装置を駆動するス

イッティング素子として使用したときに、高速な動画の表示に追従できないおそれがある。

[0006] 現在、表示装置を駆動させるスイッチング素子としては、シリコン系半導体膜を用いた素子が主流を占めている。これは、シリコン薄膜の安定性、加工性の良さに加え、スイッチング速度が速い等、種々の性能が良好なためである。そして、このようなシリコン系薄膜は、一般に化学蒸気析出法(CVD)法により製造されている。

[0007] 従来の薄膜トランジスタ(TFT)は、例えばガラス等の基板上にゲート電極、ゲート絶縁層、水素化アモルファスシリコン(a-Si:H)等の半導体層、ソース及びドレイン電極をこの順に積層した逆スタガ構造を有する。この構造を有するTFTは、イメージセンサーを始め、大面積デバイスの分野において、アクティブマトリスク型の液晶ディスプレイに代表されるフラットパネルディスプレイ等の駆動素子として用いられている。しかし、フラットパネルディスプレイの高機能化に伴い、薄膜トランジスタのさらなる高速化が求められている。

このような状況下、特許文献1ではシリコン系半導体薄膜よりも安定性が優れる、金属酸化物を用いた酸化物半導体薄膜を開示している。

[0008] しかしながら、上記金属酸化物からなる透明半導体薄膜は、特に酸化亜鉛を高温で結晶化してなる透明半導体薄膜は、低い電界効果移動度($1\text{cm}^2/\text{V}\cdot\text{sec}$ 程度)、低いon-off比、漏れ電流が大きい、ピンチオフが不明瞭、ノーマリーオンになりやすい等の欠点を有し、工業的な実用化が困難であった。これら欠点に加えて、金属酸化物からなる透明半導体薄膜は、耐薬品性が劣る、ウェットエッチングが困難、成膜時に高い圧力が必要、 700°C 以上の高温処理が必要等の製造プロセスや使用環境にも制限があった。

また、金属酸化物からなる透明半導体膜は、ボトムゲート構成での電解移動度等のTFT性能が低く、性能を上げるためにトップゲート構成で膜厚を50nm以上にする必要があった。

[0009] 特許文献2では、酸化インジウム、酸化ガリウム及び酸化亜鉛からなる非晶質酸化物半導体膜、及び酸化インジウム及び酸化亜鉛からなる非晶質酸化物半導体膜を作製し、薄膜トランジスタを駆動させる方法を開示している。

しかし、組成及び製造条件にもよるが、非晶質酸化物半導体膜を用いたTFTのトランジスタ特性($I_d - V_g$ 特性)は、ばらつきが生じる場合があった。特性のばらつきは、例えばディスプレイの画素回路等に用いる場合に、駆動対象である有機EL、液晶等のディスプレイの動作にばらつきを生み、画像品位を落とすことになる。

- [0010] 特許文献3は、ソース部位及びドレイン部位の水素又は重水素の濃度が、チャンネル部位の水素又は重水素の濃度よりも大きいトランジスタを開示している。しかし、上記トランジスタは、水素イオンは散乱元となり移動度が低下する、ゲート絶縁膜に欠陥が発生しリーク電流が増加する、界面にトラップが発生し閾値電圧が上昇する、注入された水素が駆動時のストレスで移動して特性が変化する等によりトランジスタ性能が大きく低下する問題点があった。また、特定部位の水素濃度が高いことによって、電流値のばらつきを大きくする、オフ電流を高くする、閾値電圧のシフト量を大きくする等のおそれがあった。また、ソース部位及びドレイン部位に水素を注入する設備は大型化が難しく、且つ製造コストが高くなるため実用化は困難であった。
- [0011] 特許文献4は、水素以外の不純物を添加した酸化亜鉛からなる半導体層を導電性に改質した電極を開示している。しかし、不純物の拡散による性能低下等により実用化は困難であった。
- [0012] 特許文献5は、インジウムーガリウムー亜鉛酸化物膜を用いたトランジスタを開示している。しかし、上記酸化物膜の電気抵抗率を成膜時の酸素分圧のみで調整している、半導体層の非局在準位のエネルギー幅(E_g)の増加、移動度の低下等のトランジスタ特性が低いという問題があった。
- [0013] 特許文献6及び特許文献7は、絶縁膜に含まれる金属酸化物膜の一部の領域の酸素組成比を変調させることにより導電性を変化させる工程を含む半導体装置の製造方法を開示している。しかし、特許文献6及び7は、半導体層及び電極についてはなんら検討していない。また、半導体層と電極の組成が大きく異なっているため接触抵抗が発生したり、製造工程が複雑になる等の問題があった。
- [0014] 薄膜トランジスタ(TFT)の構造として、半導体膜(チャンネル層)の上にゲート絶縁膜とゲート端子(ゲート電極)とを順に形成するスタガ(トップゲート)構造のものや、ゲート端子(ゲート電極)の上にゲート絶縁膜と半導体膜(チャンネル層)とを順に形成

する逆スタガ(ボトムゲート)構造のもの等が知られている。

[0015] 半導体活性層に可視光が照射されると導電性を示し、漏れ電流が発生して誤動作のおそれがある等、スイッチング素子としての特性が劣化するという問題があった。そのため、可視光を遮断する遮光層を設ける方法が知られており、例えば、遮光層としては金属薄膜が用いられている。

金属薄膜からなる遮光層を設けると、製造工程が増えるだけでなく、浮遊電位を持つこととなるので、遮光層をグランドレベルにする必要がある。グランドレベルにした場合にも寄生容量が発生するという問題がある。

[0016] シリコン薄膜を用いるトランジスタの製造は、シラン系のガスを用いて製造するため安全性や設備費用の点で問題があった。また、非晶質シリコン薄膜はTFTとした場合の移動度が $0.5\text{cm}^2/\text{Vs}$ 程度と低くまたバンドギャップが小さいため可視光を吸収し誤動作するおそれがあった。また、多結晶シリコン薄膜は比較的高温の熱工程を要し、エネルギー費用が高いうえ大型のガラス基板上に直接形成することは困難である。

[0017] このような状況下、近年にあっては、シリコン系半導体薄膜よりも安定性が優れるものとして、金属酸化物からなる透明半導体薄膜が注目されている。一般に酸化物結晶の電子移動度は、金属イオンのs軌道の重なりが大きくなるほど大きくなり、原子番号の大きなZn, In, Snの酸化物結晶は、 0.1 から $200\text{cm}^2/\text{Vs}$ の大きな電子移動度を持つ。さらに、酸化物では、酸素と金属イオンとがイオン結合しているために、化学結合の方向性がなく、結合の方向が不均一な非晶質状態でも、結晶状態の移動度に近い電子移動度を有することが可能となる。このことから、シリコン系半導体と異なり金属酸化物は非晶質でも電界効果移動度の高いトランジスタを作ることが可能である。これらの点を利用しZn, In, Snを含む結晶質・非晶質の金属酸化物を用いた様々な半導体デバイスや、それを用いた回路等が検討されている。

[0018] また、近年、有機半導体材料を用いた薄膜トランジスタが盛んに研究されている。有機半導体材料は、真空プロセスを用いず、例えば、印刷プロセスで作成できるため、低温でトランジスタの製造ができる可能性があり、また、可撓性のプラスチック基材上に設けることができる等の利点を有する。

しかしながら、有機半導体材料は移動度が極めて低く、また、経時劣化にも弱いと
いう難点があり、未だ広範な使用、実用に至っていない。

[0019] 一方、上述した酸化物半導体は、低温で形成することができるので、各種基板を用いたトランジスタが得られる可能性が高い。しかしながら、酸化物半導体をチャンネル層に用いると、チャンネル層とソース電極又はドレイン電極間の接触抵抗が大きくなり、良好なトランジスタが得られにくいという問題があった。

また、熱履歴を受けると接触抵抗が変化しトランジスタ特性が低下するという問題があった。接触抵抗の影響は、特にチャンネル長が短くなると顕著になりトランジスタの特性を低下させる。このため、トランジスタの微細化に問題があった。また、前記チャンネル層にドレイン集中が生じやすく同様に良好なトランジスタが得られないおそれがあった。

[0020] そこで、酸化物半導体薄膜層よりも抵抗の低いソース・ドレイン領域を形成し、コンタクト性を向上させる方法が提案されている(特許文献8)。具体的な方法として、成膜条件により酸素量を変えることで、チャンネル層より導電率が高い介在層を設ける方法(特許文献9)、プラズマ等により酸化物半導体薄膜層の表面を還元する方法(特許文献10、非特許文献1)、イオン注入を用いる方法(特許文献3、11)等が提案されている。

[0021] しかし、成膜時の酸素量を変え導電率の高い介在層を設けたり、プラズマ処理により表面を還元する方法では、酸素含有量が化学両論比から大きく外れ、プロセスや使用時の熱履歴により効果が失われるおそれや処理層の厚みを制御できないという問題があった。

また、イオン注入する方法では製造方法や材料の選定が制限されるおそれや、水素等の軽い注入元素が使用時に移動して安定性が損なわれるおそれがあった。

特許文献1:特開2003-86808号公報

特許文献2:米国特許出願公開2005/0199959号明細書

特許文献3:特開2007-250983号公報

特許文献4:特開2003-050405号公報

特許文献5:特開2007-305658号公報

特許文献6:特開2007-311817号公報

特許文献7:特開2007-073701号公報

特許文献8:特開2003-298062号公報

特許文献9:特開2007-150158号公報

特許文献10:特開2007-220819号公報

特許文献11:特開2007-220818号公報

非特許文献1:Appl. Phys. Lett. 90, 22104(2007)

非特許文献2:Hyun-Joong Chung et al., ELETROCHEMICAL AND SOLID-STATE LETTERS, 11(3), H51(2008)

[0022] 本発明の目的は、トランジスタ特性のばらつき及びその経時変化が少ない信頼性の高い電界効果型トランジスタを提供することである。

[0023] 酸化物半導体を電界効果型トランジスタに用いると、酸化物半導体と、ソース電極又はドレイン電極間の有効S/D直列抵抗が大きくなる課題や、酸化物半導体にドレイン集中が生じやすくなる課題があった。

本発明の目的は、電界効果型トランジスタ等の半導体装置を提供することである。例えば、上記の課題を解決し、酸化物半導体をチャンネル層とした良好なトランジスタ及びその製造方法を提供することを目的とする。

発明の開示

[0024] 本発明者らは鋭意検討した結果、ソース部位、又はドレイン部位及びチャンネル部位の酸素元素及び不活性ガスを除く組成をほぼ同一とすることにより、トランジスタ特性のばらつき及びその経時変化が少ない信頼性の高い電界効果型トランジスタが得られることを見出した。加えて、ソース部位及びドレイン部位に特別な元素を添加せず、ソース部位又はドレイン部位の酸素の濃度をチャンネル部位の酸素の濃度より低く調整することにより、トランジスタ特性のばらつき及びその経時変化が少ない信頼性の高い電界効果型トランジスタが得られることを見出した。

[0025] また、本発明者らは、非縮退半導体である酸化物半導体が、縮退半導体である酸化物半導体を介して導電体と接続することで、抵抗やキャリア注入性を制御できることを見出した。また、非縮退半導体と縮退半導体の作り分けは、組成又は組成比を変

えることで制御できることを見出し、本発明を完成させた。

[0026] 本発明によれば、以下の電界効果型トランジスタ等が提供される。

1. 酸化物膜を半導体層として有し、

前記酸化物膜がチャンネル部位、ソース部位及びドレイン部位を有し、

前記チャンネル部位、ソース部位及びドレイン部位の酸素元素及び不活性ガスを除く組成が実質同一である電界効果型トランジスタ。

2. 前記ソース部位及びドレイン部位のそれぞれの酸素濃度が、前記チャンネル部位の酸素濃度よりも低い1に記載の電界効果型トランジスタ。

3. 前記ソース部位及びドレイン部位が、ゲート電極と自己整合している1又は2に記載の電界効果型トランジスタ。

4. 前記酸化物膜が、In、Zn、Ga及びSnからなる群から選択される1以上の元素を含む酸化物からなる1～3のいずれかに記載の電界効果型トランジスタ。

5. 前記酸化物膜が、In及びZnを含む複合酸化物の非晶質膜である1～4のいずれかに記載の電界効果型トランジスタ。

6. 前記酸化物膜が、In、Zn及びGaを含む複合酸化物の非晶質膜、又はIn、Zn及びAlを含む複合酸化物の非晶質膜である1～5のいずれかに記載の電界効果型トランジスタ。

7. 前記酸化物膜が、Zr、Hf、Ge、Si、Ti、Mn、W、Mo、V、Nb、B、Sc、Y及びランタノイド類元素からなる群から選択される1以上の元素、In及びZnを含む複合酸化物の非晶質膜である1～5のいずれかに記載の電界効果型トランジスタ。

8. 1～7のいずれかに記載の電界効果型トランジスタを用いた表示装置。

9. 酸化物膜を形成する工程、及び

前記酸化物膜の一部の抵抗を減少させてソース部位及びドレイン部位を形成する工程を含み、

前記酸化物膜がチャンネル部位、ソース部位及びドレイン部位を有する電界効果型トランジスタの製造方法。

10. 低酸素分圧環境下で短波長の光を照射することにより前記酸化物膜の一部の抵抗を減少させる9に記載の電界効果型トランジスタの製造方法。

11. 不活性ガスプラズマ処理により前記酸化物膜の一部の抵抗を減少させる9に記載の電界効果型トランジスタの製造方法。
12. 酸化物膜を形成する工程、及び
前記酸化物膜の一部の抵抗を増加させてチャンネル部を形成する工程を含み、
前記酸化物膜がチャンネル部位、ソース部位及びドレイン部位を有する電界効果型トランジスタの製造方法。
13. 酸素プラズマ処理又はオゾン処理により前記酸化物膜の一部の抵抗を増加させる12に記載の電界効果型トランジスタの製造方法。
14. 酸化物膜を形成する工程、
前記酸化物膜を絶縁膜で被覆する工程、及び
前記絶縁膜上にゲート電極を形成し、前記ゲート電極を加熱して前記酸化物膜の一部の抵抗を増加させてチャンネル部を形成する工程を含み、
前記酸化物膜がチャンネル部位、ソース部位及びドレイン部位を有する電界効果型トランジスタの製造方法。
15. 非縮退半導体である酸化物半導体が、縮退半導体である酸化物半導体を介して導電体と接続している構造を有することを特徴とする半導体装置。
16. 酸化物半導体からなるチャンネル部と、酸化物半導体からなるソース部及びドレイン部を含み、
前記チャンネル部が非縮退半導体であり、前記ソース部及びドレイン部の少なくとも一方が縮退半導体であり、
チャンネル部がソース部及びドレイン部を介して、ソース電極及びドレイン電極と接続していることを特徴とする電界効果型トランジスタ。
17. 前記ソース部及びドレイン部の少なくとも一方の組成が、チャンネル部と異なっていることを特徴とする16の電界効果型トランジスタ。
18. 前記チャンネル部、ソース部及びドレイン部が、In元素を含む酸化物であることを特徴とする16又は17に記載の電界効果型トランジスタ。
19. 前記チャンネル部、ソース部及びドレイン部が、In元素、Zn元素及びその他の元素Xを含む酸化物であり、

酸素元素を除く全元素中の元素Xの割合が、ソース部及びドレイン部よりもチャンネル部において高いことを特徴とする16～18のいずれかに記載の電界効果型トランジスタ。

20. 前記チャンネル部、ソース部及びドレイン部がIn、Zn及び元素Xを含む酸化物であり、

前記チャンネル部の組成が、下記の領域1、領域2又は領域3の原子比を満たし、
前記ソース部及びドレイン部の組成が、下記の領域4の原子比を満たすことを特徴
とする16～18のいずれかに記載の電界効果型トランジスタ。

領域1

$$\text{In} / (\text{In} + \text{Zn} + \text{X}) = 0.20 \sim 0.55$$

$$\text{Zn} / (\text{In} + \text{Zn} + \text{X}) = 0.00 \sim 0.80$$

$$\text{X} / (\text{In} + \text{Zn} + \text{X}) = 0.00 \sim 0.80$$

領域2

$$\text{In} / (\text{In} + \text{Zn} + \text{X}) = 0.55 \sim 0.90$$

$$\text{Zn} / (\text{In} + \text{Zn} + \text{X}) = 0.00 \sim 0.35$$

$$\text{X} / (\text{In} + \text{Zn} + \text{X}) = 0.10 \sim 0.45$$

領域3

$$\text{In} / (\text{In} + \text{Zn} + \text{X}) = 0.90 \sim 1.00$$

$$\text{Zn} / (\text{In} + \text{Zn} + \text{X}) = 0.00 \sim 0.10$$

$$\text{X} / (\text{In} + \text{Zn} + \text{X}) = 0.00 \sim 0.10$$

領域4

$$\text{In} / (\text{In} + \text{Zn} + \text{X}) = 0.55 \sim 0.90$$

$$\text{Zn} / (\text{In} + \text{Zn} + \text{X}) = 0.00 \sim 0.45$$

$$\text{X} / (\text{In} + \text{Zn} + \text{X}) = 0.00 \sim 0.10$$

21. 前記元素Xが、Ga、Al、B、Sc、Y、ランタノイド類(La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu)、Zr、Hf、Ge、Si、Ti、Mn、W、Mo、V、Cu、Ni、Co、Fe、Cr及びNbからなる群から選択される元素であることを特徴とする19
又は20に記載の電界効果型トランジスタ。

22. 前記チャンネル部がIn元素、Zn元素及び元素Xを含む酸化物であり、前記ソース部及びドレイン部がIn元素、Zn元素及び元素Yを含む酸化物であり、前記元素X及び元素Yが、それぞれGa、Al、B、Sc、Y、ランタノイド類(La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu)、Zr、Hf、Ge、Si、Ti、Mn、W、Mo、V、Cu、Ni、Co、Fe、Cr、Nb及びSnからなる群から選択される元素であり、

前記元素Xと元素Yが異なることを特徴とする16～18のいずれかに記載の電界効果型トランジスタ。

23. 前記チャンネル部が、In元素と1種以上の正二価元素を含む結晶質酸化物からなることを特徴とする16又は17に記載の電界効果型トランジスタ。

24. 前記ソース部及びドレイン部と、チャンネル部のエッチング選択比が5以上であることを特徴とする16～23のいずれかに記載の電界効果型トランジスタ。

25. ソース電極、ドレイン電極及びゲート電極の少なくとも1つが、Ti、Pt、Cr、W、Al、Ni、Cu、Mo、Ta、Au及びNbからなる群から選択される金属、又は前記金属を1つ以上含む合金からなることを特徴とする16～24のいずれかに記載の電界効果型トランジスタ。

26. チャンネル部を成膜する工程と、

ソース部及びドレイン部を成膜する工程と、

上記2つの成膜工程の後に、成膜温度より高い温度で熱処理する工程と、

を含むことを特徴とする16～25のいずれかに記載の電界効果型トランジスタの製造方法。

27. 前記チャンネル部を成膜する工程と、ソース部及びドレイン部を成膜する工程との間において、処理対象を大気に暴露させないことを特徴とする26に記載の電界効果型トランジスタの製造方法。

28. 前記チャンネル部と、前記ソース部及びドレイン部を、組成又は組成比が異なるスパッタリングターゲットを用いて成膜することを特徴とする26又は27に記載の電界効果型トランジスタの製造方法。

[0027] 本発明によれば、トランジスタ特性のばらつき及びその経時変化が少ない信頼性の

高い電界効果型トランジスタを提供することができる。

[0028] 本発明によれば、特性のよい電界効果型トランジスタや抵抗変化型メモリ等の半導体装置を提供することが可能となる。特に、チャンネル部と異なる組成あるいは組成比のソース部及びドレイン部を設けることで、電界効果型トランジスタの有効S／D直列抵抗を低減し、良好なトランジスタが得られる。また、有効S／D直列抵抗を安定させ、特に、チャンネル長が短くともトランジスタ特性の信頼性を向上させることが可能となる。

図面の簡単な説明

[0029] [図1]本発明の第1の態様の電界効果型トランジスタの概略断面図である。

[図2]本発明の第1の態様の電界効果型トランジスタ(ボトムゲート型)の製造方法の一実施形態を示す工程図である。

[図3]本発明の第1の態様の電界効果型トランジスタ(ボトムゲート型)の製造方法の他の実施形態を示す工程図である。

[図4]本発明の第1の態様の電界効果型トランジスタ(ボトムゲート型)の製造方法の他の実施形態を示す工程図である。

[図5]本発明の第1の態様の電界効果型トランジスタ(ボトムゲート型)の製造方法の他の実施形態を示す工程図である。

[図6]本発明の第1の態様の電界効果型トランジスタ(ボトムゲート型)の製造方法の他の実施形態を示す工程図である。

[図7]本発明の第1の態様の電界効果型トランジスタ(トップゲート型)の製造方法の他の実施形態を示す工程図である。

[図8]本発明の第1の態様の電界効果型トランジスタ(ボトムゲート型)の製造方法の他の実施形態を示す工程図である。

[図9]本発明の第1の態様の電界効果型トランジスタの利用例を示す概略断面図である。

[図10]本発明の第1の態様の電界効果型トランジスタの他の利用例を示す概略断面図である。

[図11]本発明の第1の態様の電界効果型トランジスタの他の実施形態の概略断面図

である。

[図12]本発明の第2の態様の一実施形態の電界効果型トランジスタの概略断面図である。

[図13]本発明の第2の態様の他の実施形態の電界効果型トランジスタの概略断面図である。

[図14]本発明の第2の態様の他の実施形態の電界効果型トランジスタの概略断面図である。

[図15]本発明の第2の態様の他の実施形態の電界効果型トランジスタの概略断面図である。

[図16]本発明の第2の態様における酸化物半導体の好ましい組成領域を示す図である。

[図17]比抵抗が $10^4 \Omega \text{cm}$ の酸化物膜に、低酸素分圧環境下で紫外線を照射して低抵抗化処理した場合の照射時間(処理時間)と抵抗の関係を示す図である。

[図18]比抵抗が $10^4 \Omega \text{cm}$ の酸化物膜に、アルゴンプラズマ処理を施して低抵抗化処理した場合の処理時間と抵抗の関係を示す図である。

[図19]比抵抗が $10^{-3} \Omega \text{cm}$ の酸化物膜に、酸素プラズマ処理を施して高抵抗化処理した場合の照射時間と抵抗の関係を示す図である。

[図20]比抵抗が $10^{-3} \Omega \text{cm}$ の酸化物膜に、オゾン処理を施して高抵抗化処理した場合の処理時間と抵抗の関係を示す図である。

[図21]実施例1で作製したトランジスタの伝達曲線のヒステリシスを示す図である。

[図22]比較例1で作製したトランジスタの伝達曲線のヒステリシスを示す図である。

[図23]酸化物半導体の、温度と移動度の関係を示す図である。

発明を実施するための最良の形態

[0030] 以下、本発明の第1の態様について詳細に説明する。

図1は本発明の第1の態様の電界効果型トランジスタ(以下、単にトランジスタという場合がある)の概略断面図である。

電界効果型トランジスタ1は、ゲート電極20を具備する支持基板10上に、支持基板10及びゲート電極20を覆うようにしてゲート絶縁膜30が積層しており、ゲート絶縁膜

30上にさらに半導体層40が積層している。半導体層40は、その抵抗の違いにより、チャンネル部位42及びソース部位・ドレイン部位44を有する。半導体層40上には、半導体層40を覆うようにして保護層50が積層しており、ソース部位・ドレイン部位44に接した楔形状のソース・ドレイン電極60が保護層50を貫通して形成している。

- [0031] 上記電界効果型トランジスタ1はボトムゲート型であるが、本発明の第1の態様の電界効果型トランジスタはこれに限定されない。本発明の第1の態様の電界効果型トランジスタは、例えばボトムゲート型でもトップゲート型でもよく、好ましくは半導体層が後述の保護膜を備えたボトムゲート型トランジスタである。
- [0032] 本発明の第1の態様の電界効果型トランジスタは、酸化物膜を半導体層として有し、酸化物膜がチャンネル部位、ソース部位及びドレイン部位を有し、チャンネル部位、ソース部位及びドレイン部位の酸素元素及び不活性ガスを除く組成がほぼ同一である。

酸化物膜の各部位が互いに異なる元素を含み、酸素元素及び不活性ガスを除く組成が同一でない場合、含有元素が散乱元となって移動度が低下する、ゲート絶縁膜に欠陥が発生してリーク電流が増加する、界面にトラップが発生して閾値電圧が上昇する、及び異なる元素が可動イオンとなって駆動時のストレスで移動して特性が変化する等によりトランジスタ性能が大きく低下する問題点があった。このような問題を発生させる異なる元素としては、例えば水素、ナトリウム、リチウム等があげられる。

- [0033] 本発明の第1の態様において、「チャンネル部位、ソース部位及びドレイン部位の酸素元素及び不活性ガスを除く組成が実質同一である」とは、チャンネル部位、ソース部位及びドレイン部位の各部位に特定の元素のドーピングやドーピング濃度の調整が行われていないことを意味する。

ここで、通常ドーピングされる元素(酸素元素及び不活性ガスを除く組成として実質同一であるべき元素)は、水素(H)、ナトリウム(Na)、リチウム(Li)、リン(P)、ホウ素(B)である。この中で特にH(水素)濃度が均一(ほぼ同一)であることが好ましい。

実質同一とするために、特定の元素のドーピングやドーピング濃度の調整を行わなければかりではなく、熱処理等により工程上等で混入した元素の除去や元素の不均一性の均一化を行ってもよい。

- [0034] 半導体層である酸化物膜は、好ましくはIn、Zn、Ga及びSnからなる群から選択される1以上の元素を含む酸化物からなり、より好ましくはIn及びZnを含む複合酸化物の非晶質膜であり、さらに好ましくはIn、Zn及びGaを含む複合酸化物の非晶質膜、In、Zn及びAlを含む複合酸化物の非晶質膜、又はZr、Hf、Ge、Si、Ti、Mn、W、Mo、V、Nb、B、Sc、Y及びランタノイド類元素(例えばLa、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb及びLu)からなる群から選択される1以上の元素、In及びZnを含む複合酸化物の非晶質膜である。
- [0035] 酸化物膜が非晶質であることは、X線回折で特定のピークが見出せないことから判断できる。本発明の第1の態様では、非晶質酸化物膜のX線回折で明確なピークが見出せず、透過型電子顕微鏡(TEM)で観察できる程度の微結晶を含んでいると好ましい。この微結晶の平均粒径は、好ましくは10nm以下であり、より好ましくは5nm以下であり、特に好ましくは1nm以下である。非晶質酸化物膜が微結晶を含むことにより、移動度を向上させることができる。但し、非晶質酸化物膜が平均粒径10nm超の微結晶を含む場合、この非晶質酸化物膜をトランジスタに用いると、素子間のばらつきが大きくなるおそれがある。
- [0036] 半導体層である酸化物膜のチャンネル部位、ソース部位及びドレイン部位の酸素元素及び不活性ガスを除く組成がほぼ同一であることにより、ソース部位・ドレイン部位とチャンネル部位の間で元素の移動を抑制でき、半導体層の半導体特性の変化に伴う接触抵抗の発生及びトランジスタ特性の低下を抑制することができる。
- [0037] 本発明の第1の態様において不活性ガスとは、窒素(N)、ヘリウム(He)、ネオン(Ne)、アルゴン(Ar)、クリプトン(Kr)、及びキセノン(Xe)を意味する。不活性ガスは、スパッタリング、プラズマ処理等の酸化物膜成膜時に、膜中に不純物として混入する場合があるが、酸化物膜中の不活性ガスの含有量が100ppm以下程度であれば半導体特性にほとんど影響を与えない。
- [0038] 酸化物膜中の不活性ガスの含有量は、好ましくは100ppm以下である。不活性ガスの含有量が100ppm超の場合、TFTの移動度が低下する等トランジスタ特性が低下するおそれがある。酸化物膜のチャンネル部位、ソース部位及びドレイン部位の不活性ガスの含有量がほぼ同一であると、酸化物膜の均一性が増すので好ましい。

[0039] 酸化物膜が有するチャンネル部位、ソース部位及びドレイン部位の酸素元素及び不活性ガスを除く組成比がほぼ同一であることは、XRF(蛍光X線)分析、ICP(誘導結合プラズマ)分析、RBS(ラザフォード後方散乱スペクトル)分析、AES(オージェ電子分光)、EDX(エネルギー分散型蛍光X線)、SIMS(2次イオン質量分析)、HFS(hydrogen forward scattering spectrometry)等を用いることにより確認することができる。

[0040] ソース部位及びドレイン部位のそれぞれの酸素濃度は、好ましくはチャンネル部位の酸素濃度よりも低く設定する。ソース部位及びドレイン部位のそれぞれの酸素濃度を、チャンネル部位の酸素濃度よりも低く設定することにより、酸素欠損によるキャリアが増加して比抵抗が十分に小さくなることが期待できる。

ソース部位、ドレイン部位及びチャンネル部位の酸素濃度は、AES(オージェ電子分光)やEDX(エネルギー分散型蛍光X線)を測定することにより確認することができる。

酸化物膜が有するチャンネル部位、ソース部位及びドレイン部位の水素濃度がほぼ同一であることが特に好ましい。水素濃度が高い部位の水素濃度が、水素濃度の低い部位の水素濃度の100倍未満であることが好ましく、10倍未満であることが特に好ましい。

また、ソース部位、ドレイン部位及びチャンネル部位の水素濃度の測定は、SIMS(2次イオン質量分析)やHFS(hydrogen forward scattering spectrometry)により評価することができる。

[0041] ソース部位及びドレイン部位は、好ましくはゲート電極と自己整合している。

ソース部位及びドレイン部位がゲート電極と自己整合していない場合、マスク合わせエラーによりゲート電極とソース部位・ドレイン部位の重なりが変動するおそれがある。ソース部位及びドレイン部位がゲート電極と自己整合していない電界効果型トランジスタを表示装置に用いた場合、ゲート電極とソース部位・ドレイン部位の重なりが変動するに伴って電気容量が変動し、表示装置内部で表示ムラを発生させるおそれがある。

[0042] ソース部位又はドレイン部位とゲート電極の重なりは、通常3.0 μm以下、好ましく

は2.0 μ m以下、より好ましくは1.0 μ m以下、さらに好ましくは0.5 μ m以下、特に好ましくは0.2 μ m以下である。ソース部位又はドレイン部位とゲート電極の重なりが3.0 μ m超の場合、トランジスタの寄生容量が大きくなり回路動作が遅くなるおそれがある。

[0043] 本発明の第1の態様の電界効果型トランジスタは、ソース部位及びドレイン部位がゲート電極と自己整合しているとともに、好ましくはさらにコプレーナ構造をとる。

コプレーナ型トランジスタとは、ゲート電極及びソース部位・ドレイン部位が半導体層に対して同一側；半導体層とソース・ドレイン電極が同一面内にある；又は半導体層とソース・ドレイン電極が基板と平行な面で接していない構造を有するトランジスタを言う。

[0044] 上記コプレーナ構造と逆の構造をスタガ構造という。スタガ型トランジスタは、電界が湾曲してかかるため、半導体界面やゲート絶縁膜でトラップが発生し、移動度、閾値電圧、S値等のトランジスタ特性が低下するおそれがある。加えて、スタガ型トランジスタは、半導体層とソース・ドレイン電極の界面で接触抵抗が発生し、移動度、閾値電圧、S値、ヒステリシス等のトランジスタ特性が低下するおそれがある。

[0045] 以下、本発明の第1の態様の電界効果型トランジスタの各部材等について説明する。

用いる支持基板は特に限定されず、本発明の効果を損ねない範囲で公知の基板を用いることができる。具体的には、無アルカリガラス、ソーダガラス、石英ガラス等のガラス基板；ポリエチレンテレフタレート(PET)、ポリアミド、ポリカーボネート(PC)等の樹脂性基板、金属薄膜(ホイル)基板を用いることができる。但し、Si基板等の単結晶基板は、大型化が難しいため、製造コストが増大するおそれがある。

支持基板の厚みは、通常、0.01～10mmである。

[0046] ゲート電極の材料は特に限定されず、本発明の効果を失わない範囲で公知の材料を用いることができる。例えば、インジウム錫酸化物(ITO)、インジウム亜鉛酸化物、ZnO、SnO₂等の透明電極、Al、Ag、Cr、Ni、Mo、Au、Ti、Ta等の金属電極、又はこれらを金属を含む合金の金属電極を用いることができる。

トランジスタの製造過程でゲート電極を加熱する必要がある場合は、反射率が低く、

熱吸収率が高い材料を選ぶと加熱が容易となり好ましい。このような特性を有する上記材料としては、金属電極又は合金の金属電極が挙げられる。これら材料は、より好ましくは表面処理して反射率を下げて用いる。

[0047] ゲート電極は、好ましくは2層以上の積層構造を有する。ゲート電極が2層以上の積層構造を有することにより、接触抵抗の低減及び界面強度の向上が可能となる。

ゲート電極の厚みは、通常、50～300nmである。

[0048] 用いるゲート絶縁膜は特に限定されず、本発明の効果を損ねない範囲で公知の絶縁膜を用いることができる。ゲート絶縁膜の材料としては、例えば SiO_2 , SiN_x （水素を含んでもよい）、 Al_2O_3 , Ta_2O_5 , TiO_2 , MgO , ZrO_2 , CeO_2 , K_2O , Li_2O , Na_2O , Rb_2O , Sc_2O_3 , Y_2O_3 , Hf_2O_3 , CaHfO_3 , PbTi_3 , BaTa_2O_6 , SrTiO_3 , AlN 等の化合物を用いることができ、好ましくは SiO_2 , SiN_x , Al_2O_3 , Y_2O_3 , Hf_2O_3 , CaHfO_3 を用い、より好ましくは SiO_2 , SiN_x , Y_2O_3 , Hf_2O_3 , CaHfO_3 を用いる。

尚、これらの化合物の酸素数は、必ずしも化学量論比と一致していないともよい（例えば、 SiO_2 でも SiO_x でもよい）。

[0049] 上記ゲート絶縁膜は、材料の異なる2層以上の絶縁膜を積層した構造でもよい。また、ゲート絶縁膜は、結晶質、多結晶質及び非晶質のいずれでもよく、生産性の観点から好ましくは多結晶質又は非晶質である。

[0050] ゲート絶縁膜は2層以上の積層構造を有してもよい。特にゲート絶縁膜が SiO_2 からなる絶縁膜及び SiO_2 より誘電率の高い材料（例えば SiN_x ）からなる絶縁膜の積層体であって、半導体層側を SiO_2 からなる絶縁膜とすると、良好な界面と高い誘電率の両立することができる。

ゲート絶縁膜の厚みは、通常、5～500nmである。

[0051] チャンネル部位、ソース部位及びドレイン部位を有する半導体層は、保護膜で封止されていると好ましい。半導体層を保護膜で封止することにより、プロセス環境及び使用時の環境の影響を受けて特性が劣化するのを防ぐことができる。

上記保護膜としては、ゲート絶縁膜と同様の材料を用いることができる。

[0052] 半導体層は、好ましくは遮光構造を有する。半導体層が遮光構造（例えば遮光層）を有することにより、半導体層に光があたることによりキャリア電子が励起され、オフ電

流が高くなるのを防ぐことができる。

[0053] 遮光層としては、例えば波長500nm以下に大きな吸収を持つ薄膜を用いることができる。遮光層は半導体層の上部、下部どちらに積層してもよいが、好ましくは上部下部ともに積層する。遮光層が半導体層の上部下部のどちらか一方のみに積層しての場合、半導体層が光にあたらないよう構造を工夫するとよい。

尚、遮光層はゲート絶縁膜、ブラックマトリックス等として兼用してもよい。

[0054] 半導体層の電子キャリア濃度は、好ましくは $10^{13} \sim 10^{18}/\text{cm}^3$ である。半導体層の電子キャリア濃度が $10^{18}/\text{cm}^3$ 超の場合、トランジスタのオフ電流が高くなるおそれがある。一方、半導体層の電子キャリア濃度が $10^{13}/\text{cm}^3$ 未満の場合、トランジスタの移動度が小さくなるおそれがある。

[0055] 半導体層の比抵抗は、好ましくは $10^{-1} \sim 10^{10} \Omega \text{ cm}$ であり、より好ましくは $10^1 \sim 10^9 \Omega \text{ cm}$ であり、さらに好ましくは $10^3 \sim 10^8 \Omega \text{ cm}$ である。半導体層の比抵抗が $10^{-1} \Omega \text{ cm}$ より未満の場合、トランジスタのオフ電流が高くなるおそれがある。一方、半導体層の比抵抗が $10^{10} \Omega \text{ cm}$ 超の場合、トランジスタの移動度が小さくなるおそれがある。

[0056] 半導体層のソース部位及びドレイン部位の抵抗率は、好ましくはチャンネル部位の抵抗率の $10^{-2} \sim 10^{-10}$ 倍であり、より好ましくは $10^{-4} \sim 10^{-9}$ 倍である。

また、半導体層のソース部位及びドレイン部位の比抵抗は、好ましくは $10^{-5} \sim 10^{-1} \Omega \text{ cm}$ であり、より好ましくは $10^{-4} \sim 10^{-2} \Omega \text{ cm}$ であり、さらに好ましくは $10^{-4} \sim 10^{-3} \Omega \text{ cm}$ である。ソース部位及びドレイン部位の比抵抗が $10^{-1} \Omega \text{ cm}$ 超の場合、ソース・ドレイン電極との接触抵抗が大きくなりTFTとした際に、S値が大きくなる等トランジスタ特性が低下するおそれがある。ソース部位及びドレイン部位の比抵抗を $10^{-5} \Omega \text{ cm}$ 未満の場合、材料・製造方法が制限され工業化が困難となるおそれがある。

[0057] 半導体層のバンドギャップは、好ましくは2.0~6.0eVであり、より好ましくは2.8~4.8eVである。半導体層のバンドギャップが2.0eV未満の場合、可視光を吸収し電界効果型トランジスタが誤動作するおそれがある。一方、半導体層のバンドギャップが6.0eV超の場合、電界効果型トランジスタが機能しなくなるおそれがある。

[0058] 半導体層は、熱活性型を示す非縮退半導体であると好ましい。半導体層が縮退半導体であると、キャリアが多すぎてオフ電流・ゲートリーク電流が増加したり、閾値が負

になりノーマリーオンとなるおそれがある。

- [0059] 半導体層の表面粗さ(RMS)は、好ましくは1nm以下であり、より好ましくは0.6nm以下であり、特に好ましくは0.3nm以下である。半導体層の表面粗さが1nm超の場合、トランジスタの移動度が低下するおそれがある。
 - [0060] 半導体層の非局在準位のエネルギー幅(E_0)は好ましくは14meV以下であり、より好ましくは10meV以下であり、さらに好ましくは8meV以下であり、特に好ましくは6meV以下である。半導体層の非局在準位のエネルギー幅(E_0)が14meV超の場合、トランジスタの移動度が低下したり、閾値及びS値が大きくなりすぎるおそれがある。これは半導体層の非局在準位のエネルギー幅(E_0)が大きいことは、半導体層の近距離秩序性が悪いことを反映しているものと考えられる。
 - [0061] 半導体層の非局在準位のエネルギー幅(E_0)は、温度を4~300Kまで変化させ、ホール効果を用いて測定したキャリア濃度及び活性化エネルギーの関係から求めることができる。
 - [0062] 半導体層の厚みは、通常0.5~500nmであり、好ましくは1~150nm、より好ましくは3~80nm、特に好ましくは10~60nmである。半導体層の厚みが0.5nm未満の場合、半導体層を工業的に均一に積層することが難しくなるおそれがある。一方、半導体層の厚みが500nm超の場合、半導体層の積層時間が長くなり工業生産が困難となるおそれがある。半導体層の厚みが3~80nmであると、移動度、オンオフ比等のトランジスタ特性が特に良好である。
 - [0063] 保護層の材料としては、特に制限はないが、好ましくは非晶質酸化物又は非晶質窒化物である。
- 例えば、 SiO_2 , SiNx , Al_2O_3 , Ta_2O_5 , TiO_2 , MgO , ZrO_2 , CeO_2 , K_2O , Li_2O , Na_2O , Rb_2O , Sc_2O_3 , Y_2O_3 , Hf_2O_3 , CaHfO_3 , PbTi_3 , BaTa_2O_6 , SrTiO_3 , AlN 等を用いることができる。これらのなかでも、好ましくは SiO_2 , SiNx , Al_2O_3 , Y_2O_3 , Hf_2O_3 , CaHfO_3 であり、より好ましくは SiO_2 , Y_2O_3 , Hf_2O_3 , CaHfO_3 であり、特に好ましくは SiO_2 , Y_2O_3 , Hf_2O_3 , CaHfO_3 等の酸化物である。尚、これらの酸化物の酸素数は、必ずしも化学量論比と一致していないともよい(例えば、 SiO_2 でも SiO_x でもよい)。また、 SiNx は水素元素を含んでも良い。

[0064] 保護層は、異なる2層以上の絶縁膜を積層した構造でもよい。

また、保護層は、結晶質、多結晶質、非晶質のいずれであってもよいが、工業的に製造しやすい観点から、好ましくは多結晶質又は非晶質であり、特に好ましくは非晶質である。保護層が非晶質膜であれば、界面の平滑性が悪く移動度が低下したり、閾値電圧やS値が大きくなりすぎるのを防ぐことができる。

[0065] 保護層の材料が酸化物でない場合、半導体中の酸素が保護層側に移動し、オフ電流が高くなったり、閾値電圧が負になりノーマリーオフを示すおそれがある。

また、半導体層の保護層は、poly(4-vinylphenol)(PVP)、パリレン等の有機絶縁膜を用いてもよい。さらに、半導体層の保護層は、無機絶縁膜及び有機絶縁膜の2層以上積層構造を有してもよい。

保護層の厚みは、通常5~500nmである。

[0066] ソース電極及びドレイン電極の材料は特に限定されず、例えばインジウム錫酸化物(ITO)、インジウム亜鉛酸化物、ZnO、SnO₂等の透明電極、Al、Ag、Cr、Ni、Mo、Au、Ti、Ta等の金属電極、又はこれら金属の合金からなる金属電極を用いることができる。

ソース電極及びドレイン電極は、好ましくは2層以上の積層体とする。ソース電極及びドレイン電極を積層体とすることにより、接触抵抗を低減したり、界面強度を向上させることができる。また、ソース電極、ドレイン電極の接触抵抗を低減させるため、半導体層の電極との界面をプラズマ処理、オゾン処理等で予め抵抗を調整すると好ましい。

[0067] 電界効果型トランジスタの移動度は、好ましくは1cm²/Vs以上であり、より好ましくは3cm²/Vs以上であり、特に好ましくは8cm²/Vs以上である。トランジスタの移動度が1cm²/Vs未満の場合、トランジスタのスイッチング速度が遅くなり大画面高精細のディスプレイに用いることができないおそれがある。

[0068] 電界効果型トランジスタのオフ電流は、好ましくは2pA以下であり、より好ましくは1pA以下である。トランジスタのオフ電流が2pA超の場合、ディスプレイのTFTとして用いた場合にコントラストが悪くなる、及び画面の均一性が悪くなるおそれがある。

[0069] 電界効果型トランジスタの閾値電圧は、好ましくは0~4Vであり、より好ましくは0~

3Vであり、特に好ましくは0～2Vである。トランジスタの閾値電圧が0未満の場合、トランジスタがノーマリーオンとなり、オフ時に電圧をかける必要があることから消費電力が大きくなるおそれがある。一方、トランジスタの閾値電圧が5V超の場合、トランジスタの駆動電圧が大きくなり消費電力が大きくなるおそれがある。

[0070] 電界効果型トランジスタのS値は、好ましくは0.8V/dec以下であり、より好ましくは0.3V/dec以下であり、さらに好ましくは0.25V/dec以下であり、特に好ましくは0.2V/dec以下である。トランジスタのS値が0.8V/dec超の場合、トランジスタの駆動電圧が大きくなり消費電力が大きくなるおそれがある。特に、本発明の電界効果型トランジスタを有機ELディスプレイに用いる場合は、有機ELディスプレイは直流駆動であるため、トランジスタのS値を0.3V/dec以下にすると消費電力を大幅に低減できる。

[0071] $3\mu A$ の直流電圧を 60°C 100時間加えた前後の電界効果型トランジスタの閾値電圧のシフト量は、好ましくは1.0V以下であり、より好ましくは0.5V以下である。シフト量が1V超の場合、このようなシフト量であるトランジスタを有機ELディスプレイに用いると、画質が変化するおそれがある。

加えて、電界効果型トランジスタは、好ましくは伝達曲線でゲート電圧を昇降させた場合のヒステリシス及び大気下で測定した時(周囲の雰囲気の変動)の閾値電圧のばらつきが小さい。

[0072] 薄膜トランジスタのチャンネル幅Wとチャンネル長Lの比W/Lは、通常0.1～100であり、好ましくは1～20、特に好ましくは2～8である。W/Lが0.1未満の場合、薄膜トランジスタの電界効果移動度が低下する、及びピンチオフが不明瞭になるおそれがある。一方、W/Lが100超の場合、薄膜トランジスタの漏れ電流が増加する、及びon-off比が低下するおそれがある。

[0073] 薄膜トランジスタのチャンネル長Lは通常、0.1～1000 μm であり、好ましくは1～100 μm 、さらに好ましくは2～10 μm である。薄膜トランジスタのチャンネル長Lが0.1 μm 未満の場合、薄膜トランジスタの工業的製造が難しくなる、及び漏れ電流が大きくなるおそれがある。一方、チャンネル長Lが1000 μm 超の場合、素子が大きくなりすぎるおそれがある。

[0074] 電界効果型トランジスタのオンオフ比は、好ましくは 10^6 以上であり、より好ましくは 10^7 以上であり、特に好ましくは 10^8 以上である。

電界効果型トランジスタのゲートリーク電流は、好ましくは1pA以下である。ゲートリーク電流が1pA超の場合、ディスプレイのTFTとして用いた場合にコントラストが悪くなるおそれがある。

[0075] 本発明の第1の態様の電界効果型トランジスタは、下記(1)～(3)のいずれかの工程を含む製造方法を用いることにより製造することができる。

- (1)酸化物膜を形成し、酸化物膜の一部の抵抗を減少させてソース部位及びドレイン部位を形成する。
- (2)酸化物膜を形成し、酸化物膜の一部の抵抗を増加させてチャンネル部を形成する。
- (3)酸化物膜を形成し、酸化物膜を絶縁膜で被覆し、絶縁膜上にゲート電極を形成して、ゲート電極を加熱し、酸化物膜の一部の抵抗を増加させてチャンネル部を形成する。

以下、本発明の第1の態様の電界効果型トランジスタの製造方法を図面を用いて具体的に説明する。

[0076] [実施形態1]

図2は、本発明の第1の態様の電界効果型トランジスタ(ボトムゲート型)の製造方法の一実施形態を示す工程図である。

本実施形態では、まず支持基板10上にゲート電極20を形成し(図2(A))、ゲート電極20を覆うようにしてゲート絶縁膜30を成膜し、成膜したゲート絶縁膜30上に半導体層40及びレジスト50を積層する(図2(B))。この積層体について、支持基板10側からの露光及びレジスト除去を行い、レジスト70を所望の形状にパターニングする(図2(C)、図2(D)及び図2(E))。露光したレジスト72を除去して、レジスト70をパターニングした積層体の半導体層側からUV照射を行って半導体層の一部の抵抗を減少させ、半導体層40にチャンネル部位42及びソース部位・ドレイン部位44を形成する(図2(F))。チャンネル部位42及びソース部位・ドレイン部位44形成後、パターニングしたレジスト70を除去し(図2(G))、半導体層40上に保護層50とソース・ドレ

イン電極60を形成して、電界効果型トランジスタ2とする(図2(H))。

- [0077] 半導体層は好ましくはDCスパッタリング又はACスパッタリングを用いて積層する。DCスパッタリング及びACスパッタリングはRFスパッタリングに比べて、積層時に半導体層が受けるダメージを減少させることが可能となる。DCスパッタリング又はACスパッタリングで半導体層を積層した電界効果型トランジスタには、閾値電圧シフトの低減、移動度の向上、閾値電圧の減少、S値の減少等の効果が期待できる。
- [0078] 積層した半導体層に、好ましくは70～350°Cの熱履歴を与える。当該熱履歴は、より好ましくは80～260°Cであり、さらに好ましくは90～180°Cであり、特に好ましくは100～150°Cである。半導体層に与える熱履歴が70°C未満の場合、得られるトランジスタの熱安定性及び耐熱性が低下する、移動度が低下する、S値が増加する、並びに閾値電圧が高くなるおそれがある。一方、半導体層に与える熱履歴が350°C超の場合、耐熱性の低い支持基板を使用できないうえ、高額な熱処理用設備が必要となり製造コストが増大するおそれがある。
- 尚、上記の温度範囲のうち、与える熱履歴が180°C以下であれば、PEN(ポリエチレンナフタレート)等の樹脂製支持基板を用いることができる。
- [0079] 热履歴は、好ましくは不活性ガス雰囲気下で酸素分圧が 10^{-3} Pa以下として行う、又は半導体層上に保護膜を成膜した後に行う。これら条件下で半導体層に熱履歴を与えることにより、効果の再現性を高めることができる。
- [0080] 半導体層以外のゲート絶縁膜等の成膜方法は、特に限定されず、CVDやスパッタ等の公知の成膜方法を利用することができます。
- [0081] 本実施形態では半導体層(酸化物膜)の一部の抵抗を減少させることにより低抵抗化した部分をソース部位・ドレイン部位とし、半導体層の抵抗を減少させていない部分をチャンネル部位とする。
- [0082] 半導体層の一部の抵抗を減少させる方法(以下、低抵抗化処理という場合がある)としては、低酸素分圧下での短波長光の照射、短波長光の照射、不活性ガスプラズマ処理、フォーミングガス中の熱処理、水素プラズマ処理が利用でき、好ましくは低酸素分圧下での短波長光の照射又は不活性ガスプラズマ処理又はフォーミングガス中の熱処理であり、より好ましくは不活性ガスプラズマ処理又はフォーミングガス中の熱

処理である。上述のように水素プラズマ処理を用いて低抵抗化処理を行うことができるが、水素がソース部位やドレイン部位に混入し、トランジスタの経時変化が発生する、及びトランジスタの信頼性が低下するおそれがある。

[0083] 低抵抗化処理に低酸素分圧下での短波長光の照射を用いる場合、酸素分圧は通常、 10^3Pa 以下、好ましくは 10Pa 以下、より好ましくは 10^{-1}Pa 以下、さらに好ましくは 10^{-2}Pa 以下、特に好ましくは 10^{-3}Pa 以下である。酸素分圧が 10^3Pa 超の場合、低抵抗化処理に時間がかかるすぎる、及び十分に低抵抗化処理できないおそれがある。

[0084] 短波長光の照射は、例えば超高压水銀ランプ、低压水銀ランプ、X線を用いることを行うことができる。

照射する短波長光の波長は、通常 $100\sim400\text{nm}$ 、好ましくは $150\sim350\text{nm}$ 、より好ましくは $200\sim320\text{nm}$ である。照射光の波長が 100nm 未満の場合、トランジスタの各部材を劣化させるおそれがある。一方、照射光の波長が 400nm 超の場合、低抵抗化処理の効果が少ないおそれがある。上記の波長を有する短波長光としては、実施形態1に示す紫外線が挙げられる。

[0085] 低抵抗化処理に不活性ガスプラズマを用いる場合、用いる不活性ガスとしては窒素(N)、ヘリウム(He)、ネオン(Ne)、アルゴン(Ar)、クリプトン(Kr)、及びキセノン(Xe)を使用でき、工業的な使用しやすさの観点から好ましくはアルゴンである。

低抵抗化処理にフォーミングガス中の熱処理を用いる場合、フォーミングガスとしては水素・窒素混合ガスが好ましく、フォーミングガス組成としては水素(H₂):窒素(N₂)=1:100~1:1が好ましく、1:20~1:5が特に好ましい。また、熱処理方法に制限はないが、RTA(ラピッドサーマルアニーリング)により0.1~5分加熱することが好ましい。加熱時間が上記範囲内の場合、均一に再現よく低抵抗化できる。

[0086] [実施形態2]

図3は、本発明の第1の態様の電界効果型トランジスタ(ボトムゲート型)の製造方法の他の実施形態を示す工程図である。

本実施形態では、まず支持基板10上にゲート電極20を形成し(図3(A))、ゲート電極20を覆うようにしてゲート絶縁膜30を成膜し、成膜したゲート絶縁膜30上に半

導体層40、保護膜80及びレジスト70を積層する(図3(B))。この積層体について、支持基板10側からの露光及びレジスト除去を行い、レジスト70を所望の形状にパターニングする(図3(C)、図3(D)及び図3(E))。レジスト70をパターニングした積層体の保護膜をエッチングし保護膜を所望形状にパターニングした後、パターニングしたレジスト70を除去する(図3(F))。パターン化した保護膜80を半導体層40上に有する積層体について、半導体層側からUV照射を行って半導体層の一部の抵抗を減少させ、半導体層40にチャンネル部位42及びソース部位・ドレイン部位44を形成し(図3(G))、半導体層40上に保護層50とソース・ドレイン電極60を形成して、電界効果型トランジスタ3とする(図3(H))。

尚、半導体層40にチャンネル部位42及びソース部位・ドレイン部位44を形成する(図3(G))際は、不活性ガスプラズマ処理、フォーミングガス中の熱処理、水素プラズマ処理等のUV照射以外の低抵抗化処理を用いてもよい。

[0087] 本実施形態は、半導体層上に保護膜を設けたほかは実施形態1と同様である。上述したように、半導体層を保護膜で封止することにより、プロセス環境及び使用時の環境の影響を受けて特性が劣化するのを防ぐことができる。

[0088] [実施形態3]

図4は、本発明の第1の態様の電界効果型トランジスタ(ボトムゲート型)の製造方法の他の実施形態を示す工程図である。

本実施形態では、まず支持基板10上にゲート電極20を形成し(図4(A))、ゲート電極20を覆うようにしてゲート絶縁膜30を成膜し、成膜したゲート絶縁膜30上に半導体層40及びレジスト70を積層する(図4(B))。この積層体について、支持基板10側からの露光及びレジスト除去を行い、レジスト70を所望の形状にパターニングする(図4(C)、図4(D)及び図4(E))。レジスト70をパターニングした積層体の半導体層側から酸素プラズマ処理を行って半導体層の一部の抵抗を増加させ、半導体層40にチャンネル部位42及びソース部位・ドレイン部位44を形成する(図4(F))。パターニングしたレジスト70を除去し(図4(G))、半導体層40上に保護層50とソース・ドレイン電極60を形成して、電界効果型トランジスタ4とする(図4(H))。

[0089] 本実施形態では、実施形態1と異なり、半導体層(酸化物膜)の一部の抵抗を増加

させることにより高抵抗化した部分をチャンネル部位とし、半導体層の抵抗を増加させていない部分をソース部位・ドレイン部位とする。

- [0090] 半導体層の一部の抵抗を増加させる方法(以下、高抵抗化処理という場合がある)としては、酸素プラズマ処理(プラズマ酸化)、オゾン処理(オゾン酸化)、高圧処理(高圧酸化)、光処理(光酸化)等の低温酸化法、酸化物による保護膜で覆う方法等が挙げられ、好ましくは酸素プラズマ処理又はオゾン処理を用いる。

上記方法に加え、「低温ポリシリコン薄膜トランジスタの開発－システムオンパネルをめざして－(監修:浦岡行治、シーエムシー出版)」第5章等に記載のシリコンを酸化させ絶縁膜を作製する際の方法を応用して高抵抗化処理を行なってもよい。

- [0091] 酸素プラズマ処理(プラズマ酸化)は、任意の印加周波数(印加する電圧の周波数、電源周波数)により酸素を含むガスを励起して発生した酸素プラズマに、酸化物膜を暴露する、又は表面波プラズマを発生させることにより行なうことができる。

酸素プラズマ処理(プラズマ酸化)の印加周波数は、無線周波数(RF)、超短波(VHF)、マイクロ波(μ 波)等任意のものを利用できる。

- [0092] 印加周波数は、好ましくは1kHz以上300MHz以下であり、より好ましくは1MHz以上30MHz以下であり、特に好ましくは13. 56MHzである。印加周波数が1kHz以上300MHz以下の範囲外である場合、酸素プラズマが安定しないおそれがある。

- [0093] 投入電圧は、好ましくは100W以上であり、より好ましくは300W以上である。また、圧力は好ましくは5Pa以上0. 1MPa以下である。圧力が5Pa未満の場合、高抵抗化処理が不十分となる、又は時間がかかりすぎるおそれがある。一方、圧力が0. 1MPa超の場合、基板を加熱してしまうおそれがある。

- [0094] 酸素プラズマ処理にマイクロ波(μ 波)を用いる場合、表面波プラズマを発生させることができる。表面波プラズマは、 μ 波導入部近傍で高密度プラズマを発生させ、プラズマ表面から距離がある基板には直接 μ 波が届かず、低損傷で酸化物膜の抵抗を増加させることができる。

- [0095] オゾン処理(オゾン酸化)及び光処理(光酸化)は、UV光等により酸素ガスを励起し、オゾンに解離させ、解離により発生する酸素原子、酸素オゾン及び酸素ラジカルによって酸化物膜の抵抗を増加させる。特に上記オゾン処理及び光処理の際に酸

素原子が発生していると、酸素原子は酸素オゾン、酸素ラジカルよりも活性が高く効果的である。

UV光源としては、エキシマランプ(Xeエキシマランプ等)、高圧水銀灯、低圧水銀灯、エキシマレーザー等を用いることができる。

[0096] また、半導体層の一部を酸化物からなる保護膜で多い、保護膜に加熱等によりエネルギーを与え、保護膜で覆った部分の高抵抗化処理することができる。当該高抵抗化処理は、保護膜側から半導体層側に酸素が移動して、高抵抗化できると推定される。

[0097] 上記高抵抗化処理において、加熱する場合の基板温度は好ましくは200～550°Cである。基板温度が200°C未満の場合、高抵抗化が不十分、又は時間がかかる過ぎるおそれがある。一方、基板温度が550°C超の場合、基板が反り・変形・収縮等してしまうおそれがある。

加熱時間は、好ましくは1～240分であり、より好ましくは10～120分である。加熱時間が1分未満の場合、高抵抗化が不十分又は時間がかかりすぎるおそれがある。一方、加熱時間が240分超の場合、基板が反り・変形・収縮等をしてしまうおそれがある。

[0098] [実施形態4]

図5は、本発明の第1の態様の電界効果型トランジスタ(ボトムゲート型)の製造方法の他の実施形態を示す工程図である。

本実施形態では、まず支持基板10上にゲート電極20を形成し(図5(A))、ゲート電極20を覆うようにしてゲート絶縁膜30を成膜し、成膜したゲート絶縁膜30上に半導体層40、保護膜80及びレジスト70を積層する(図5(B))。この積層体について、支持基板10側からの露光及びレジスト除去を行い、レジスト70を所望の形状にパターニングする(図5(C)、図5(D)及び図5(E))。レジスト70をパターニングした後、積層体の保護膜をエッチングし保護膜を所望形状にパターニングし、パターン化レジスト70を除去する(図5(F))。パターン化保護膜80を半導体層40上有する積層体について、半導体層側からUV照射を行って半導体層の一部の抵抗を増加させ、半導体層40にチャンネル部位42及びソース部位・ドレイン部位44を形成し(図5(G))

、半導体層40上に保護層50とソース・ドレイン電極60を形成して、電界効果型トランジスタ5とする(図5(H))。

[0099] 本実施形態は、高抵抗化処理を用いて半導体層の一部を増加させ、半導体層にチャンネル部位及びソース部位・ドレイン部位を形成するほかは実施形態2と同様である。

[0100] [実施形態5]

図6は、本発明の第1の態様の電界効果型トランジスタ(ボトムゲート型)の製造方法の他の実施形態を示す工程図である。

本実施形態では、まず支持基板10上にゲート電極20を形成し(図6(A))、ゲート電極20を覆うようにしてゲート絶縁膜30を成膜し、成膜したゲート絶縁膜30上に半導体層40、保護膜80及びレジスト70を積層する(図6(B))。この積層体について、支持基板10側からの露光及びレジスト除去を行い、レジスト70を所望の形状にパターニングする((図6(C)、図6(D)及び図6(E))。レジスト70をパターニングした後、積層体の保護膜をエッチングし保護膜を所望形状にパターニングし、パターン化レジスト70を除去する(図6(F))。パターン化保護膜80を半導体層40上に有する積層体について、加熱処理を行って半導体層の一部の抵抗を増加させ、半導体層40にチャンネル部位42及びソース部位・ドレイン部位44を形成し(図6(G))、半導体層40上に保護層50とソース・ドレイン電極60を形成して、電界効果型トランジスタ6とする(図6(H))。

[0101] 上記加熱処理の加熱温度は、好ましくは200～550°Cであり、より好ましくは250～400°Cである。加熱温度が200°C未満の場合、十分高抵抗化できないおそれがある。一方、加熱温度が550°C超の場合、基板に反り、変形、収縮等が起こるおそれがある。

加熱処理時間は、好ましくは1～240分であり、より好ましくは10～120分である。加熱時間が1分未満の場合、十分高抵抗化できないおそれがある。一方、加熱時間が240分超の場合、基板に反り、変形、収縮等が起こるおそれがある。上記加熱処理は低酸素濃度雰囲気、不活性ガス雰囲気又は低圧雰囲気下、フォーミングガス下で行なうと保護膜で覆われていない半導体部が低抵抗化されて好ましい。また、上記

加熱はRTAを用いてもよい。

[0102] [実施形態6]

図7は、本発明の第1の態様の電界効果型トランジスタ(トップゲート型)の製造方法の他の実施形態を示す工程図である。

本実施形態では、まず支持基板10上に半導体層40、ゲート絶縁膜30及びゲート電極20をこの順に積層する(図7(A))。この積層体のゲート電極20を加熱し(図7(B))、半導体層40にチャンネル部位42及びソース部位・ドレイン部位44を形成する(図7(C))。続いて、ゲート絶縁膜30をエッチングしてコンタクトホール90を形成し、このコンタクトホール90を埋めるように、ソース・ドレイン電極60を形成して、電界効果型トランジスタ7とする(図7(E))。

[0103] 支持基板10の表面は、好ましくはCVD、スパッタ等で成膜したSiO₂膜又はSiNx膜で保護する。支持基板10を保護することにより、支持基板からの金属イオン等の拡散が防止でき好ましい。

[0104] 本実施形態ではゲート電極を加熱することにより、保護膜又は絶縁膜で覆われた半導体層を高抵抗化し、高抵抗化した部分をチャンネル部位とし、半導体層の抵抗を増加させていない部分をソース部位・ドレイン部位とする。

[0105] 支持基板上に成膜する酸化物膜は、好ましくは導電膜である。酸化物膜が導電膜であると、ゲート電極を加熱して酸化物膜の一部を半導体化させてチャンネル部位とする際に、酸化物膜の残りの部分がソース部位、ドレイン部位としやすい。

このような導電膜としては、好ましくは比抵抗が10⁻⁵～10⁰Ωcmである導電膜であり、より好ましくは10⁻⁴～10⁻²Ωcmである導電膜である。導電膜の比抵抗が10⁰Ωcm超の場合、当該導電膜をソース部位、ドレイン部位とした際に、配線接続とのオームックコンタクトが取れないおそれがある。

[0106] ゲート絶縁膜は好ましくは酸化物からなる。ゲート絶縁膜が酸化物からなり、ゲート絶縁膜が酸素過多の状態にあることにより、ゲート電極を加熱した際に、過多である酸素が酸化物膜に供給され、酸化物膜が半導体化しチャンネル部位となることを容易にすることができます。

[0107] ゲート電極の加熱方法は特に限定されず、例えばランプ加熱、半導体レーザー加

熱、エキシマーレーザー加熱、電磁誘導加熱、プラズマジェット加熱等の公知の加熱方法を用いることができる。これら加熱方法の中でも、均一に加熱できる観点から好ましくはランプ加熱、及び半導体レーザー加熱が好ましく、大面積を加熱できる観点からさらに好ましくはランプ加熱である。

[0108] [実施形態7]

図8は、本発明の第1の態様の電界効果型トランジスタ(ボトムゲート型)の製造方法の他の実施形態を示す工程図である。

本実施形態では、まず支持基板10上にゲート電極20を形成し(図8(A))、ゲート電極20を覆うようにしてゲート絶縁膜30を成膜し、成膜したゲート絶縁膜30上に半導体層40、保護膜80及びレジスト70を積層する(図8(B))。この積層体について、支持基板10側からの露光及びレジスト除去を行い、レジスト70を所望の形状にパターニングする(図8(C)、図8(D)及び図8(E))。レジスト70をパターニングした積層体の保護膜をエッチングし保護膜を所望形状にパターニングした後、パターニングしたレジスト70を除去する(図8(F))。パターン化した保護膜80を半導体層40上有する積層体上に、保護層50を形成すると同時に半導体層の一部の抵抗を減少させ、半導体層40にチャンネル部位42及びソース部位・ドレイン部位44を形成し(図8(G))、半導体層40上にソース・ドレイン電極60を形成して、電界効果型トランジスタ8とする(図8(H))。

[0109] 尚、本実施形態は、UV照射を行う代わりに保護層50を例えばプラズマ化学気相成長法(PECVD)等で積層すると同時に半導体層の一部の抵抗を減少させ、半導体層40にチャンネル部位42及びソース部位・ドレイン部位44を形成する(図8(G))他は実施形態2と同様である。

[0110] 保護層80としてPECVDによりSiO_x等の酸化膜を形成し、保護層50としてPECVDによりSiNx:H層を形成すると好ましい。保護層50としてSiNx:H層を形成すると特に耐湿性の向上が期待できる。

[0111] 以上、本発明の第1の態様の電界効果型トランジスタの製造方法を説明したが、実施形態1～7の製造方法を組み合わせて、半導体層のチャンネル部位の抵抗を増加させ、且つソース部位・ドレイン部位の抵抗を低減させることにより電界効果型トラン

ジスタを製造してもよい。

[0112] 本発明の第1の態様の電界効果型トランジスタは、表示装置に好適に用いることができる。具体的には表示装置の表示素子の電極に、本発明の第1の態様の電界効果型トランジスタの半導体層のソース部位又はドレイン部位を電気的に接続させる。上記表示素子は、好ましくはエレクトロルミネッセンス素子、又は液晶セルである表示素子である。

本発明の第1の態様の表示装置は、好ましくは基板上にこれら表示素子及び本発明の第1の態様の電界効果型トランジスタが二次元的に複数配されている。

[0113] 図9は本発明の第1の態様の電界効果型トランジスタの利用例を示す概略断面図である。図9において、電界効果型トランジスタの出力端子であるドレインに、有機又は無機のエレクトロルミネッセンス(EL)素子、液晶素子等の表示素子の電極が接続している。

[0114] 基体111上に、酸化物膜(チャンネル層)112と、ソース電極113と、ドレイン電極114とゲート絶縁膜115と、ゲート電極116から構成される電界効果トランジスタを形成する。そして、ドレイン電極114に、層間絶縁膜117を介して電極118が接続されており、電極118は発光層119と接し、さらに発光層119が電極120と接している。かかる構成により、発光層119に注入する電流を、ソース電極113からドレイン電極114に酸化物膜112に形成されるチャネルを介して流れる電流値によって制御することが可能となる。従って、これを電界効果トランジスタのゲート電極116の電圧によって制御することができる。ここで、電極118、発光層119、電極120は無機もしくは有機のエレクトロルミネッセンス素子を構成する。

[0115] 図10は本発明の第1の態様の電界効果型トランジスタの他の利用例を示す概略断面図である。

ドレイン電極114が延長されて電極118を兼ねており、これを高抵抗膜121、122に挟まれた液晶セルや電気泳動型粒子セル123へ電圧を印加する電極118とする構成を取ることができる。液晶セルや電気泳動型粒子セル123、高抵抗層121及び122、電極118、電極20は表示素子を構成する。これら表示素子に印加する電圧を、ソース電極113からドレイン電極114に非晶質酸化物半導体膜112に形成される

チャネルを介して流れる電流値によって制御することが可能となる。従ってこれをTFTのゲート電極116の電圧によって制御することができる。ここで表示素子の表示媒体が流体と粒子を絶縁性被膜中に封止したカプセルであるなら、高抵抗膜121、122は不要である。

- [0116] 上述の2つの実施形態において、電界効果型トランジスタとしては、トップゲートのコレーナー型の構成で代表させたが、本実施形態は必ずしも本構成に限定されるものではない。例えば、電界効果型トランジスタの出力端子であるドレイン電極と表示素子の接続が位相幾何的に同一であれば、スタガ型等他の構成も可能である。
- [0117] また、上述の2つの実施形態においては、表示素子を駆動する一対の電極が、基体と平行に設けられた例を図示したが、本実施形態は必ずしも本構成に限定されるものではない。例えば、電界効果型トランジスタの出力端子であるドレイン電極と表示素子の接続が位相幾何的に同一であれば、いずれかの電極もしくは両電極が基体と垂直に設けられていてもよい。
- [0118] さらに、上述の2実施形態においては、表示素子に接続される電界効果型トランジスタをひとつだけ図示したが、本発明の第1の態様の表示装置は必ずしも本構成に限定されるものではない。例えば、図中に示した電界効果型トランジスタがさらに別の電界効果型トランジスタに接続されていてもよく、図中の電界効果型トランジスタはそれら電界効果型トランジスタによる回路の最終段であればよい。
- [0119] ここで、表示素子を駆動する一対の電極が、基体と平行に設けられた場合、表示素子がEL素子もしくは反射型液晶素子等の反射型表示素子ならば、いずれかの電極が発光波長もしくは反射光の波長に対して透明である必要がある。あるいは透過型液晶素子等の透過型表示素子ならば、両電極とも透過光に対して透明である必要がある。
- [0120] さらに本発明の第1の態様の電界効果型トランジスタでは、全ての構成体を透明にすることも可能であり、これにより、透明な表示素子を形成することもできる。また、軽量可撓で透明な樹脂製プラスチック基板等低耐熱性基体の上にも、かかる表示素子を設けることができる。
- [0121] 図11は本発明の第1の態様の電界効果型トランジスタの他の実施形態の概略断面

図である。具体的には、図11はEL素子(ここでは有機EL素子)と電界効果型トランジスタを含む画素を二次元状に配置した表示装置の概略断面図である。

- [0122] 図11において、181は有機EL層184を駆動するトランジスタであり、182は画素を選択するトランジスタである。また、コンデンサ183は選択された状態を保持するためのものであり、共通電極線187とトランジスタ182のソース部分との間に電荷を蓄え、トランジスタ181のゲートの信号を保持している。画素選択は走査電極線185と信号電極線186により決定される。
- [0123] 画像信号がドライバ回路(図示せず)から走査電極185を通してゲート電極へパルス信号で印加される。それと同時に、別のドライバ回路(図示せず)から信号電極186を通してやはりパスル信号でトランジスタ182へと印加されて画素が選択される。そのときトランジスタ182がONとなり信号電極線186とトランジスタ182のソースの間にあるコンデンサ183に電荷が蓄積される。これによりトランジスタ181のゲート電圧が所望の電圧に保持されトランジスタ181はONになる。この状態は次の信号を受け取るまで保持される。トランジスタ181がONである状態の間、有機EL層184には電圧、電流が供給され続け発光が維持されることになる。
- [0124] 図11では、1画素にトランジスタ2ヶコンデンサー1ヶの構成であるが、性能を向上させるためにさらに多くのトランジスタ等を組み込んでも構わない。本質的なのはトランジスタ部分に本発明の第1の態様の電界効果トランジスタを用いることにより、有効なEL素子が得られる。
- [0125] 以下、図10の電界効果型トランジスタを用いた表示素子について説明する。この電界効果型トランジスタにおいて、ドレイン電極をなす In_2O_3-ZnO 膜の島の短辺を100 μmまで延長し、延長された90 μmの部分を残し、ソース電極及びゲート電極への配線を確保した上で、TFTを絶縁層で被覆する。この上にポリイミド膜を塗布し、ラビング工程を施す。一方で、同じくガラス基板上に透明導電膜である In_2O_3-ZnO 膜とポリイミド膜を形成し、ラビング工程を施したもの用意し、上記電界効果型トランジスタを形成した基板と5 μmの空隙を空けて対向させ、ここにネマチック液晶を注入する。さらにこの構造体の両側に一対の偏光板を設ける。ここで、電界効果型トランジスタのソース電極に電圧を印加し、ゲート電極の印加電圧を変化させると、ドレイン電極

から延長されたIn₂O₃－ZnO膜の島の一部である30 μm × 90 μmの領域のみ、光透過率が変化する。またその透過率は、電界効果型トランジスタがオン状態となるゲート電圧の下ではソースドレイン間電圧によつても連続的に変化させることができる。かようにして、図10に対応した、液晶セルを表示素子とする表示素子を作成する。

[0126] TFTを形成する基板として白色のプラスチック基板を用い、TFTの各電極を金に置き換え、ポリイミド膜と偏光板を廃する構成とする。そして、白色と透明のプラスチック基板の空隙に粒子と流体を絶縁性皮膜にて被覆したカプセルを充填させる構成とする。この構成の表示素子の場合、本電界効果型トランジスタによって延長されたドレイン電極と上部のIn₂O₃－ZnO膜間の電圧が制御され、よつてカプセル内の粒子が上下に移動する。それによつて、透明基板側から見た延長されたドレイン電極領域の反射率を制御することで表示を行うことができる。

[0127] また、電界効果型トランジスタを複数隣接して形成して、たとえば、通常の4トランジスタ1キャバシタ構成の電流制御回路を構成し、その最終段トランジスタのひとつを図9のTFTとして、EL素子を駆動することもできる。たとえば、上述のIn₂O₃－ZnO膜をドレイン電極とする電界効果型トランジスタを用いる。そして、ドレイン電極から延長されたIn₂O₃－ZnO膜の島の一部である30 μm × 90 μmの領域に電荷注入層と発光層からなる有機エレクトロルミネッセンス素子を形成する。こうして、EL素子を用いる表示素子を形成することができる。

[0128] 上記表示素子と電界効果型トランジスタを二次元に配列させる。たとえば、上記液晶セル、EL素子等の表示素子と、電界効果型トランジスタとを含めて約30 μm × 115 μmの面積を占める画素を、短辺方向に40 μmピッチ、長辺方向に120 μmピッチでそれぞれ7425 × 1790個方形配列する。そして、長辺方向に7425個の電界効果型トランジスタのゲート電極を貫くゲート配線を1790本、1790個のTFTのソース電極が非晶質酸化物半導体膜の島から5 μmはみ出した部分を短辺方向に貫く信号配線を7425本設ける。そして、それをゲートドライバ回路、ソースドライバ回路に接続する。さらに液晶表示素子の場合、液晶表示素子と同サイズで位置を合わせRGBが長辺方向に反復するカラーフィルタを表面に設ければ、約211ppiでA4サイズのアクティブマトリクス型カラー画像表示装置を構成することができる。

[0129] また、EL素子においても、ひとつのEL素子に含まれる2つの電界効果型トランジスタのうち第一電界効果型トランジスタのゲート電極をゲート線に配線し、第二電界効果型トランジスタのソース電極を信号線に配線し、さらに、EL素子の発光波長を長辺方向にRGBで反復させる。こうすることで、同じ解像度の発光型カラー画像表示装置を構成することができる。

ここで、アクティブマトリクスを駆動するドライバ回路は、画素の電界効果型トランジスタと同じ本実施形態のTFTを用いて構成しても良いし、既存のICチップを用いても良い。

[0130] 以下、本発明の第2の態様について詳細に説明する。

本発明の第2の態様の半導体装置は、非縮退半導体である酸化物半導体が、縮退半導体である酸化物半導体を介して導電体と接続している構造を有することを特徴とする。

上記構造の例としては、電界効果型トランジスタにおけるチャンネル層(酸化物半導体)とソース・ドレイン電極(導電体)の接続や、抵抗変化型メモリの高抵抗層と低抵抗層が挙げられる。

接続部に本発明の第2の態様の構造を採用することにより、接続部の抵抗やキャリア注入性を制御でき、特性のよい半導体装置を作製することが可能となる。

[0131] 本発明の第2の態様において、非縮退半導体である酸化物半導体とは、伝導率の温度特性が熱活性型を示し、温度依存性が大きなものをいう。

一方、縮退半導体である酸化物半導体とは、移動度あるいは伝導率の温度特性が熱活性型を示さず、温度依存性が小さいものをいう。

酸化物半導体が、非縮退半導体であるか縮退半導体であるかは、移動度又は電気伝導率の温度依存性を測定することで判断できる。本発明の第2の態様では、移動度又は伝導率の温度依存性から求めた活性化エネルギーが25meV以上のものを非縮退半導体とし、25meV未満のものを縮退半導体とする。

ここで、活性化エネルギーとは、電気伝導率のアレニウスプロットから求めた酸化物半導体膜の活性化エネルギーのことである。

[0132] 酸化物半導体は、所定の組成比を満たす複合酸化物からなる。酸化物半導体は、

例えば、複合酸化物ターゲットを使用してスパッタリングにより薄膜とすることで作製できる。

複合酸化物ターゲットは、例えば、酸化インジウム等の酸化物を、所定の元素比率で含む混合粉体を原料とする。原料粉体をボールミル等で微粉体化した後、ターゲット状に成形し焼成することによって作製できる。詳細については後述する電界効果型トランジスタの例で説明する。

[0133] 非縮退半導体と縮退半導体の作り分けは、例えば、下記の方法が挙げられる。

- (1) 非縮退半導体と縮退半導体とで、組成又は組成比を変える方法
- (2) 成膜時に酸素分圧を調整する方法
- (3) イオン注入する方法

上記(1)の方法を用いることにより、チャンネル部の組成が後述する領域1、2又は3の組成である場合に非縮退半導体とさせやすくできる。上記(2)の方法を用いることにより、成膜時の酸素分圧を 10^{-2} Pa以下とした場合に非縮退半導体とさせやすくできる。上記(3)の方法を用いることにより、 1×10^{15} (1/cm²)以上の水素イオン照射を行うと非縮退半導体とさせやすくできる。

また、本発明の第1の態様の高抵抗化の方法を用い、非縮退半導体としたり、あるいは低抵抗化の方法を用い縮退半導体としてもよい。

[0134] これらのうち、(1)あるいは(2)の方法が好ましく、(1)の方法が特に好ましい。この方法では安定性の高い半導体を作製しやすい。作製時の酸素分圧やイオン注入等の方法で作製すると、化学量論比から大きくずれているため安定性が損なわれるおそれがある。

[0135] 本発明の第2の態様において、導電体は特に制限なく、半導体装置の電極や配線等に使用される金属、合金、具体的には、Ti, Pt, Cr, W, Al, Ni, Cu, Mo, Ta, Au, Nb及びそれらを含む合金や積層体等を使用することができる。

以下、本発明の第2の態様の半導体装置の具体例として、電界効果型トランジスタの例について説明する。

[0136] 本発明の第2の態様の電界効果型トランジスタは、酸化物半導体からなるチャンネル部と、チャンネル部と組成の異なる酸化物半導体からなるソース部及びドレイン部

を含む。そして、チャンネル部がソース部及びドレイン部を介して、ソース電極及びドレイン電極と接続していることを特徴とする。

図12は、本発明の第2の態様の一実施形態の電界効果型トランジスタの概略断面図である。

電界効果型トランジスタ001では、基板010上に、ゲート電極011がストライプ状に形成されている。このゲート電極011を覆うようにゲート絶縁膜012を有し、このゲート絶縁膜012上であって、かつ、ゲート電極012上にチャンネル部021が形成されている。

チャンネル部021の両端に、ゲート電極012と直交する方向にソース部・ドレイン部022が形成されている。ソース部・ドレイン部022上にソース電極・ドレイン電極013が形成されている。

[0137] 本実施形態では、チャンネル部021、ソース部・ドレイン部022が酸化物半導体020である。そして、チャンネル部021が非縮退半導体からなり、ソース部・ドレイン部022が縮退半導体からなる。チャンネル部021は、導電体であるソース電極・ドレイン電極013に、ソース部・ドレイン部022を介して接続している。

このような構造とすることにより、酸化物半導体と、ソース電極又はドレイン電極間の有効S/D直列抵抗を低くでき、また、酸化物半導体へのドレイン集中を抑制できる。

[0138] 本発明の第2の態様のトランジスタでは、チャンネル部が非縮退半導体であり、前記ソース部及びドレイン部の少なくとも一方が縮退半導体である。チャンネル部が非縮退半導体でないと、トランジスタとした際オフ電流が高くなったり、ノーマリーオンとなるおそれがある。また、ソース部及びドレイン部が縮退半導体でないと、トランジスタとした際、電極との接触抵抗が大きくなり、移動度やオンオフ比が低下したり、閾値電圧が大きくなる等、トランジスタ特性が劣化するおそれがある。

本発明の第2の態様では、チャンネル部を構成する酸化物半導体の組成と、ソース部及びドレイン部を構成する酸化物半導体の組成が異なることが好ましい。

[0139] チャンネル部を構成する酸化物半導体の活性化エネルギーは30meV以上が好ましく、40meV以上がより好ましく、50meV以上がさらに好ましく、100meV以上が特

に好ましい。30meVより小さないと、オフ電流が高くなったり、ノーマリーオンとなるおそれがある。

ソース部あるいは／及びドレイン部を構成する酸化物半導体の活性化エネルギーは20meV未満が好ましく、10meV未満がより好ましく、5meV未満が特に好ましい。20meV以上だと、有効S／D直列抵抗が大きくなり、移動度やオンオフ比が低下したり、閾値電圧が大きくなる等、トランジスタ特性が劣化するおそれがある。

[0140] 尚、本発明の第2の態様の電界効果型トランジスタの構成は、図12に示した電界効果型トランジスタ001に限られない。例えば、以下の図13～図15に示す構成が挙げられる。

図13は、本発明の第2の態様の他の実施形態の電界効果型トランジスタの概略断面図である。電界効果型トランジスタ002は、チャンネル部021の上部であって、ソース部とドレイン部の間の間隙部に、エッチングストッパー(保護膜)014を積層した構成をしている。その他は上記電界効果型トランジスタ001と同様である。

エッチングストッパー014を形成することにより、外部の雰囲気による特性の変化が抑制できる。

[0141] 図14は、トップゲート型の電界効果型トランジスタの例を示す概略断面図である。

電界効果型トランジスタ003では、基板010上に保護膜015を有し、その上にソース電極・ドレイン電極013が形成されている。ソース電極・ドレイン電極013上に、ソース部・ドレイン部022が積層されている。さらに、ソース部・ドレイン部022上、及びこれらの間隙部にチャンネル部021が形成され、チャンネル部021にゲート絶縁膜012が形成されている。ゲート絶縁膜012上であって、ソース電極・ドレイン電極013の間隙部に相当する箇所にゲート電極011がある。

[0142] 図15は、トップゲート型の電界効果型トランジスタの例を示す概略断面図である。

電界効果型トランジスタ004は、コプラナー構造のトランジスタであって、チャンネル部とソース部・ドレイン部が同一平面上にある。具体的に、基板010の保護膜015上に、ソース部・ドレイン部022を、間隙を設けて形成し、その間隙にチャンネル部021を形成している。チャンネル部021及びソース部・ドレイン部022上に、ゲート絶縁膜012及び保護膜014をこの順に積層し、これらを貫通するコンタクトホールを介して、

ソース部・ドレイン部022とソース電極・ドレイン電極013を接続している。

[0143] 尚、上記の各実施形態のトランジスタは、ソース部及びドレイン部をともに有するが、本発明では、ソース部及びドレイン部の少なくとも1つあればよい。

但し、ソース部及びドレイン部がともにある方が好ましい。

また、ソース部とドレイン部を形成する酸化物半導体の組成は同一でも異なっていてもよい。

図15に示したトランジスタ004のように、ソース部及びドレイン部がチャンネル部と並立していてもよく、図12～14のように積層していてもよい。ソース部及びドレイン部がチャンネル部の上又は下に積層されていることが好ましい。積層構造でない場合、チャンネル部をソース部及びドレイン部に精度よく接続することが難しいおそれがある。

[0144] 以下、本発明の第2の態様の電界効果型トランジスタを構成部材について説明する。

1. 基板

特に制限はなく、本技術分野で公知のものを使用できる。例えば、ケイ酸アルカリ系ガラス、無アルカリガラス、石英ガラス等のガラス基板、シリコン基板、アクリル、ポリカーボネート、ポリエチレンナフタレート(PEN)等の樹脂基板、ポリエチレンテレフタレート(PET)、ポリアミド等の高分子フィルム基材等が使用できる。

基板や基材の厚さは0.1～10mmが一般的であり、0.3～5mmが好ましい。ガラス基板の場合は、化学的に、或いは熱的に強化させたものが好ましい。

透明性や平滑性が求められる場合は、ガラス基板、樹脂基板が好ましく、ガラス基板が特に好ましい。軽量化が求められる場合は樹脂基板や高分子機材が好ましい。

2. 酸化物半導体

酸化物半導体は、所定の組成比を満たす複合酸化物からなる。酸化物半導体(チャンネル部、ソース部及びドレイン部)は、例えば、複合酸化物ターゲットを使用して作製できる。

複合酸化物ターゲットは、例えば、酸化インジウム、酸化亜鉛及び元素Xの酸化物を、後述する元素比率を満たすように含む混合粉体を原料とする。原料粉体をボ一

ルミル等で微粉体化した後、ターゲット状に成形し焼成することによって作製できる。

尚、使用する原料粉体の一部は、ターゲットの端材や使用済みターゲット等の高純度酸化インジウム含有スクラップから回収して作製したものであってもよい。特に、ITOターゲットから回収した酸化インジウムは不純物としてSn(錫)を適度に含んでおり好ましい。酸化インジウムの回収は特開2002-069544号に記載の方法等、公知の方法を用いることができる。

[0146] 元素Xとしては、Ga、Al、B、Sc、Y、ランタノイド類(La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu)、Zr、Hf、Ge、Si、Ti、Mn、W、Mo、V、Cu、Ni、Co、Fe、Cr、Nbから選ばれた元素であることが好ましく、特に、Ga、Al、Zr、Hf、Cuが好ましく、さらに、Ga、Al、Zrが特に好ましい。

尚、元素XがZr、Hf、Ge、Si、Ti、V及びNbであると、特に外観のよく抗折力の高いターゲットを製造しやすい。

[0147] 各原料粉の純度は、通常99.9%(3N)以上、好ましくは99.99%(4N)以上、さらに好ましくは99.995%以上、特に好ましくは99.999%(5N)以上である。各原料粉の純度が99.9%(3N)未満だと、不純物により半導体特性が低下したり、色むらや斑点等の外観上の不良が発生したり、信頼性が低下する等のおそれがある。

原料粉について、酸化インジウム粉の比表面積を8~10m²/g、酸化亜鉛粉の比表面積を2~4m²/g、元素Xの酸化物の比表面積を8~10m²/gとすることが好ましい。又は、酸化インジウム粉のメジアン径を0.2~2μm、酸化亜鉛粉のメジアン径を0.8~1.6μmとすることが好ましい。

[0148] 混合粉体を、例えば、湿式媒体攪拌ミルを使用して混合粉碎する。このとき、粉碎後の比表面積が原料混合粉体の比表面積より1.5~2.5m²/g増加する程度か、又は粉碎後の平均メジアン径が0.6~1μmとなる程度に粉碎することが好ましい。このように調整した原料粉を使用することにより、仮焼工程を全く必要とせずに、高密度の酸化物焼結体を得ることができる。また、還元工程も不要となる。

尚、原料混合粉体の比表面積の增加分が1.0m²/g未満又は粉碎後の原料混合粉の平均メジアン径が1μmを超えると、焼結密度が十分に大きくならない場合がある。一方、原料混合粉体の比表面積の增加分が3.0m²/gを超える場合又は粉碎

後の平均メジアン径が $0.6\mu\text{m}$ 未満にすると、粉碎時の粉碎器機等からのコンタミ(不純物混入量)が増加する場合がある。

[0149] ここで、各粉体の比表面積はBET法で測定した値である。各粉体の粒度分布のメジアン径は、粒度分布計で測定した値である。これらの値は、粉体を乾式粉碎法、湿式粉碎法等により粉碎することにより調整できる。

粉碎工程後の原料をスプレードライヤー等で乾燥した後、成形する。成形は公知の方法、例えば、加圧成形、冷間静水圧加圧が採用できる。

[0150] 次いで、得られた成形物を焼結して焼結体を得る。焼結は、 $1350\sim1600^\circ\text{C}$ で2~20時間焼結することが好ましい。 1350°C 未満では、密度が向上せず、また、 1600°C を超えると亜鉛が蒸散し、焼結体の組成が変化したり、蒸散により焼結体中にボイド(空隙)が発生したりする場合がある。

また、焼結は酸素を流通することにより酸素雰囲気中で焼結するか、加圧下にて焼結するのがよい。これにより亜鉛の蒸散を抑えることができ、ボイド(空隙)のない焼結体が得られる。

[0151] このようにして製造した焼結体は、密度が高いため、使用時におけるノジュールやパーティクルの発生が少ないとから、膜特性に優れた酸化物半導体膜を作製することができる。

酸化物焼結体は、研磨等の加工を施すことによりターゲットとなる。具体的には、焼結体を、例えば、平面研削盤で研削して表面粗さRaを $5\mu\text{m}$ 以下とする。さらに、ターゲットのスパッタ面に鏡面加工を施して、平均表面粗さRaが1000オングストローム以下としてもよい。この鏡面加工(研磨)は機械的な研磨、化学研磨、メカノケミカル研磨(機械的な研磨と化学研磨の併用)等の、すでに知られている研磨技術を用いることができる。例えば、固定砥粒ポリッシャー(ポリッシュ液:水)で#2000以上にポリッシングしたり、又は遊離砥粒ラップ(研磨材:SiCペースト等)にてラッピング後、研磨材をダイヤモンドペーストに換えてラッピングすることによって得ることができる。このような研磨方法には特に制限はない。

[0152] 得られたターゲットをバッキングプレートへボンディングすることにより、各種成膜装置に装着して使用できる。成膜法としては、例えば、スパッタリング法、PLD(パルス

レーザーディポジション)法、真空蒸着法、イオンプレーティング法等が挙げられる。

尚、ターゲットの清浄処理には、エアーブローや流水洗浄等を使用できる。エアーブローで異物を除去する際には、ノズルの向い側から集塵機で吸気を行なうとより有效地に除去できる。

[0153] エアーブローや流水洗浄の他に、超音波洗浄等を行なうこともできる。超音波洗浄では、周波数25～300KHzの間で多重発振させて行なう方法が有効である。例えば周波数25～300KHzの間で、25KHz刻みに12種類の周波数を多重発振させて超音波洗浄を行なうのがよい。

[0154] 酸化物焼結体中における各化合物の粒径は、それぞれ $20\text{ }\mu\text{m}$ 以下が好ましく、 $10\text{ }\mu\text{m}$ 以下がさらに好ましく、 $5\text{ }\mu\text{m}$ 以下が特に好ましい。尚、粒径は電子プローブマイクロアナライザ(EPMA)で測定した平均粒径である。結晶粒径は、例えば、原料である酸化インジウム、X元素の酸化物、酸化亜鉛の各粉体の配合比や原料粉体の粒径、純度、昇温時間、焼結温度、焼結時間、焼結雰囲気、降温時間を調製することにより得られる。化合物の粒径が $20\text{ }\mu\text{m}$ より大きいとスパッタ時にノジュールが発生するおそれがある。

[0155] ターゲットの密度は、理論密度の95%以上が好ましく、98%以上がより好ましく、99%以上が特に好ましい。ターゲットの密度が95%より小さいと強度が不十分となり成膜時にターゲットが破損するおそれがある。また、トランジスタを作製した際に性能が不均一になるおそれがある。

ここで、ターゲットの理論相対密度は、各酸化物の比重(例えば、ZnOは $5.66\text{g}/\text{cm}^3$ 、 In_2O_3 は $7.12\text{g}/\text{cm}^3$ 、 ZrO_2 は $5.98\text{g}/\text{cm}^3$)とその量比から密度を計算し、アルキメデス法で測定した密度との比率を計算して理論相対密度とする。

[0156] ターゲットのバルク抵抗は、 $20\text{m}\Omega$ 以下が好ましく、 $10\text{m}\Omega$ 以下がより好ましく、 $5\text{m}\Omega$ 以下が特に好ましい。 $20\text{m}\Omega$ より大きいとDCスパッタでの成膜時にターゲットが破損するおそれがある。また、異常放電によりスパークが発生し、ターゲットが割れたり、スパークにより飛び出した粒子が成膜基板に付着し、酸化物半導体膜としての性能を低下させたりする場合がある。また、放電時にターゲットが割れるおそれもある。

尚、バルク抵抗は抵抗率計を使用し、四探針法により測定した値である。

- [0157] 本発明の第2の態様のターゲットの抗折力は、 $8\text{kg}/\text{mm}^2$ 以上であることが好ましく、 $10\text{kg}/\text{mm}^2$ 以上であることがより好ましく、 $12\text{kg}/\text{mm}^2$ 以上であることが特に好ましい。ターゲットの運搬、取り付け時に荷重がかかり、ターゲットが破損するおそれがあるという理由で、ターゲットには、一定以上の抗折力が要求され、 $8\text{kg}/\text{mm}^2$ 未満では、ターゲットとしての使用に耐えられないおそれがある。ターゲットの抗折力は、JIS R 1601に準じて測定することができる。
- [0158] 本発明の第2の態様においては、酸化物半導体を非縮退半導体と縮退半導体に作り分ける必要がある。上述したとおり、作り分けには、非縮退半導体と縮退半導体とで、組成又は組成比を変える方法が好ましい。
- [0159] 上記の方法では、例えば、チャンネル部、ソース部及びドレイン部がInを含む酸化物であることが好ましく、また、チャンネル部の酸素を除く全元素中のInの割合が、ソース部及びドレイン部の酸素を除く全元素中のInの割合より小さくすることが好ましい。
チャンネル部、ソース部及びドレイン部がInを含む酸化物であると、チャンネル部とソース部及びドレイン部が類似の電子構造を持ち接触面で抵抗が発生することを防ぎやすい。チャンネル部、ソース部及びドレイン部は、酸素を除く全元素中のうち、Inを20原子%以上含んでいることが好ましく、30原子%以上含んでいることがより好ましい。20原子%未満だとトランジスタの移動度が低下するおそれがある。
- [0160] また、Inの含有量が多いと酸素欠損によるキャリアが生成しやすく、縮退半導体となりやすい。チャンネル部の酸素を除く全元素中のInの割合が、ソース部及びドレイン部の酸素を除く全元素中のInの割合以上であると、チャンネル部も縮退半導体になり、トランジスタのオフ電流が高くなったり、ノーマリーオンとなるおそれがある。
- [0161] 酸素、水素及び重水素を除いた組成あるいは組成比が異なることが好ましい。酸素、水素及び重水素は含有量がほぼ同一であることが好ましい。酸素、水素及び重水素の含有量が異なると熱履歴を受けた際に、二層間で酸素、水素及び重水素が移動して特性が変化するおそれがある。
尚、ソース部とドレイン部の組成は同一でも異なっていてもよい。
- [0162] また、チャンネル部、ソース部及びドレイン部がIn、Zn、元素Xを含む酸化物であり

、チャンネル部の酸素を除く全元素中のXの割合が、ソース部及びドレイン部の全元素中のXの割合より大きいことが好ましい。

Xの割合が少ないと酸素欠損によるキャリアが生成しやすく、縮退半導体となりやすい。チャンネル部の酸素を除く全元素中のXの割合が、ソース部及びドレイン部の全元素中のXの割合より少ないと、チャンネル部も縮退半導体になり、トランジスタのオフ電流が高くなったり、ノーマリーオンとなるおそれがある。

[0163] チャンネル部、ソース部及びドレイン部が、In、Zn、元素Xを含む酸化物であり、チャンネル部の組成が、下記の領域1、領域2及び領域3のいずれかの原子比を満たし、ソース部及びドレイン部が、下記の領域4の原子比を満たすことが好ましい。

本発明の第2の態様における酸化物半導体の好ましい組成領域を図16に示す。

尚、図16中の点は後述する実施例における酸化物半導体の組成を示している。

[0164] 領域1

$$\text{In} / (\text{In} + \text{Zn} + \text{X}) = 0.20 \sim 0.55$$

$$\text{Zn} / (\text{In} + \text{Zn} + \text{X}) = 0.00 \sim 0.80$$

$$\text{X} / (\text{In} + \text{Zn} + \text{X}) = 0.00 \sim 0.80$$

領域2

$$\text{In} / (\text{In} + \text{Zn} + \text{X}) = 0.55 \sim 0.90$$

$$\text{Zn} / (\text{In} + \text{Zn} + \text{X}) = 0.00 \sim 0.35$$

$$\text{X} / (\text{In} + \text{Zn} + \text{X}) = 0.10 \sim 0.45$$

領域3

$$\text{In} / (\text{In} + \text{Zn} + \text{X}) = 0.90 \sim 1.00$$

$$\text{Zn} / (\text{In} + \text{Zn} + \text{X}) = 0.00 \sim 0.10$$

$$\text{X} / (\text{In} + \text{Zn} + \text{X}) = 0.00 \sim 0.10$$

領域4

$$\text{In} / (\text{In} + \text{Zn} + \text{X}) = 0.55 \sim 0.90$$

$$\text{Zn} / (\text{In} + \text{Zn} + \text{X}) = 0.00 \sim 0.45$$

$$\text{X} / (\text{In} + \text{Zn} + \text{X}) = 0 \sim 0.10$$

[0165] 領域1～3のうちでは、領域1あるいは領域3が好ましく、領域1が特に好が好ましい

。領域1、3では、オフ電流が低くオンオフ比が高くなり良好である。

領域1において、 $In/(In+Zn+X)$ は、0.25～0.45であることがより好ましい。 $In/(In+Zn+X)$ が0.20より小さく移動度が低下するおそれがある。0.55より大きいとオフ電流が大きくなったり、ノーマリーオンとなるおそれがある。

$Zn/(In+Zn+X)$ が0.80より大きいと、移動度が低下したり、耐薬品性が低下するおそれがある。

$X/(In+Zn+X)$ が0.80より大きいと、移動度が低下したり、S値が大きくなったり、エッチングレートが低下するおそれがある。

[0166] 領域4において、 $In/(In+Zn+X)$ は、0.57～0.85がより好ましく、0.6～0.8がさらに好ましい。

$Zn/(In+Zn+X)$ は、0.15～0.43がより好ましく、0.20～0.40がさらに好ましい。

$X/(In+Zn+X)$ は、0.01～0.09がより好ましく、0.02～0.08がさらに好ましい。

[0167] 本発明の第2の態様において、チャンネル部がIn、Zn及び元素Xを含む酸化物であり、ソース部及びドレイン部がIn、Zn及び元素Yを含む酸化物であり、元素X、元素Yが、Ga、Al、B、Sc、Y、ランタノイド類(La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu)、Zr、Hf、Ge、Si、Ti、Mn、W、Mo、V、Cu、Ni、Co、Fe、Cr、Nb、Snから選ばれた元素であり、元素Xと元素Yが異なっていてもよい。

尚、元素Xは、それぞれGa、Al、Zr、Hf、Cuがより好ましく、Ga、Al、Zrが特に好み。

元素Yは、Ga、Al、Zr、Hf、Cu、Snがより好ましく、Ga、Al、Zrが特に好ましい。

このように、元素Xと元素Yが異なることで、エッチング選択比等特性を調整することができる。

[0168] ソース部及びドレイン部と、チャンネル部のエッチング選択比は5以上であることが好ましく、10以上がより好ましい。5より小さいと、ソース部・ドレイン部をエッチングした際にチャンネル部までエッチングされるためチャンネル部の膜厚を厚くする必要があるおそれがある。

尚、エッチング選択比は、30°CのPANエッチング液でエッチングした際のエッチング速度から計算した値である。

従来のa-Siのチャンネルエッチング型の製造プロセスでは、チャンネル部(a-Si)とソース部及びドレイン部(n+a-Si, Pをドープしたa-Si)のエッチング選択比が3程度でしかなく、チャンネル部の厚みを300nm程度にする必要があった。しかし、本発明の第2の態様では組成あるいは組成比を変えることでチャンネル部とソース部及びドレイン部のエッチング選択比を大きくすることができ、チャンネルエッチング型の製造プロセスでもチャンネル部の厚みを薄くすることが可能となり、高い生産性と良好なトランジスタの特性の両立させることも可能となる。

[0169] チャンネル部は、インジウムと1種以上の正二価元素を含む結晶質酸化物であってもよい。正二価元素としては、Zn、Cu、Co、Ni、Mn、Mg、Ca又はSrが好ましく、Zn、Cu、Co、Ni、Mn、Mgが特に好ましい。

結晶質酸化物は、単結晶でも多結晶でも微結晶でも構わないが、多結晶が好ましい。

結晶質酸化物は In_2O_3 のビックスバイト構造をとることが好ましい。また、正三価元素、正四価元素を含んでいてもよい。

[0170] 本発明の第2の態様において、チャンネル部は非晶質であっても、結晶質でもよい。また、非晶質は微結晶を含んでいてもよい。

ソース部及びドレイン部は、非晶質でも、結晶質でも構わないが、非晶質を含むことが好ましい。非晶質を含まないと仕事関数が小さくなり電極との接触抵抗が大きくなるおそれがある。

チャンネル部と、ソース部及びドレイン部の一方が非晶質で、一方が結晶質であるとエッチング選択比が大きくなり好ましい。チャンネル部が結晶質、ソース部及びドレイン部が非晶質であるとエッチング選択比が大きく、接触抵抗が大きくなるおそれがない特に好ましい。結晶質、非晶質はXRDで確認できる。微結晶を含んでいることは断面TEMで確認できる。

[0171] チャンネル部の比抵抗は、 $10^{-1} \sim 10^9 \Omega\text{cm}$ 、ソース部及びドレイン部の比抵抗が $10^{-5} \sim 10^{-1} \Omega\text{cm}$ であることが好ましい。より好ましくは、チャンネル部の比抵抗が 10^1

$\sim 10^8 \Omega \text{cm}$ 、ソース部及びドレイン部の比抵抗が $5 \times 10^{-5} \sim 5 \times 10^{-1} \Omega \text{cm}$ である。特に好ましくは、チャンネル部の比抵抗が $10^2 \sim 10^7 \Omega \text{cm}$ 、ソース部及びドレイン部の比抵抗が $10^{-4} \sim 10^{-2} \Omega \text{cm}$ である。チャンネル部の比抵抗が $10^{-1} \Omega \text{cm}$ より小さいとオフ電流が大きくなるおそれがある。 $10^9 \Omega \text{cm}$ より大きいと移動度が小さくなったり閾値電圧が高くなるおそれがある。ソース部及びドレイン部の比抵抗が、 $10^{-5} \Omega \text{cm}$ より小さいとチャンネル部とソース部及びドレイン部の間に接触抵抗が生じるおそれがある。 $10^{-1} \Omega \text{cm}$ より大きいと接触抵抗が大きくなるおそれがある。

[0172] チャンネル部のキャリア密度は $10^{12} \sim 10^{18} \text{cm}^{-3}$ 、ソース部及びドレイン部のキャリア密度が $10^{18} \text{cm}^{-3} \sim 10^{21} \text{cm}^{-3}$ であることが好ましい。チャンネル部のキャリア密度は $2 \times 10^{17} \text{cm}^{-3}$ 未満がより好ましい。ソース部及びドレイン部のキャリア密度は、 $2 \times 10^{18} \text{cm}^{-3} \sim 10^{21} \text{cm}^{-3}$ であることがより好ましく、 $4 \times 10^{18} \text{cm}^{-3} \sim 10^{21} \text{cm}^{-3}$ であることが特に好ましい。チャンネル部のキャリア密度が 10^{18}cm^{-3} より大きいとオフ電流が高くなったり、ノーマリーオンとなるおそれがある。 10^{12}cm^{-3} より小さいと移動度が低下するおそれがある。ソース部及びドレイン部のキャリア密度が 10^{18}cm^{-3} より小さいと接触抵抗が大きくなりトランジスタ特性が低下するおそれがある。 10^{21}cm^{-3} より大きいとチャンネル部とソース部及びドレイン部との接合面に接触抵抗が生じるおそれがある。

[0173] ソース部及びドレイン部の仕事関数あるいは電子親和力が3.0～6.0Vであることが好ましい。仕事関数は、光電効果等により測定できる。上記範囲外だと電極との接触抵抗が大きくなるおそれがある。

通常、有効S/D直列抵抗は、ソースあるいはドレインコンタクト抵抗とコンタクトとコンダクション・チャンネル間のアクセス領域に関連するバルク抵抗の合計をいい、トランジスタの特性に大きな影響を与える。特に半導体層の厚みが増大すると有効S/D直列抵抗の影響が大きい。尚、本発明の第2の態様で、有効S/D直列抵抗が低減される理由は、電極とのコンタクトが改善されコンタクト抵抗が低減されたり、バルク抵抗が低減するためと思われる。

[0174] チャンネル部のバンドギャップは2.0～6.0eVであることが好ましく、特に、2.8～5.0eVがより好ましい。バンドギャップは、2.0eVより小さいと可視光を吸収し電界

効果型トランジスタが誤動作するおそれがある。一方、6. 0eVより大きいとキャリアが供給されにくくなり電界効果型トランジスタが機能しなくなるおそれがある。

- [0175] チャンネル部の表面粗さ(RMS)は、1nm以下が好ましく、0. 6nm以下がさらに好ましく、0. 3nm以下が特に好ましい。1nmより大きいと、移動度が低下するおそれがある。

チャンネル部は、酸化インジウムのビックスバイト構造の稜共有構造の少なくとも一部を維持している非晶質膜であることが好ましい。酸化インジウムを含む非晶質膜が酸化インジウムのビックスバイト構造の稜共有構造の少なくとも一部を維持しているかどうかは、高輝度のシンクロtron放射等を用いた微小角入射X線散乱(GIXS)によって求めた動径分布関数(RDF)により、In-X(Xは、In, Zn)を表すピークが0. 30から0. 36nmの間にあることで確認できる。詳細については、下記の文献を参照すればよい。

F. Utsuno, et al., Thin Solid Films, Volume 496, 2006, Pages 95–98

- [0176] さらに、原子間距離が0. 30から0. 36nmの間のRDFの最大値をA、原子間距離が0. 36から0. 42の間のRDFの最大値をBとした場合に、 $A/B > 0.70$ の関係を満たすことが好ましく、 $A/B > 0.85$ がより好ましく、 $A/B > 1$ がさらに好ましく、 $A/B > 1.2$ が特に好ましい。 A/B が0. 70以下だと、酸化物半導体をトランジスタのチャンネル部として用いた場合、移動度が低下したり、閾値やS値が大きくなりすぎるおそれがある。 A/B が小さいことは、非晶質膜の近距離秩序性が悪いことを反映しているものと考えられる。

また、In-Inの平均結合距離が0. 300～0. 322nmであることが好ましく、0. 310～0. 320nmであることが特に好ましい。In-Inの平均結合距離はX線吸収分光法により求めることができる。X線吸収分光法による測定では、立ち上がりから数百eVも高いエネルギーのところまで広がったX線吸収広域微細構造(EXAFS)を示す。EXAFSは励起された原子の周囲の原子による電子の後方散乱によって引き起こされる。飛び出していく電子波と後方散乱された波との干渉効果が起こる。干渉は電子状態の波長と周囲の原子へ行き来する光路長に依存する。EXAFSをフーリエ変換す

ることで動径分布関数(RDF)が得られる。RDFのピークから平均結合距離を見積もることができる。

[0177] 本発明の第2の態様では、チャンネル部が非晶質膜であり、非局在準位のエネルギー幅(E_0)が14meV以下であることが好ましい。チャンネル部の非局在準位のエネルギー幅(E_0)は10meV以下がより好ましく、8meV以下がさらに好ましく6meV以下が特に好ましい。

非局在準位のエネルギー幅(E_0)が14meVより大きいと、酸化物半導体をトランジスタのチャンネル部として用いた場合、移動度が低下したり、閾値やS値が大きくなりすぎるおそれがある。チャンネル部の非局在準位のエネルギー幅(E_0)が大きいことは、非晶質膜の近距離秩序性が悪いことを反映しているものと考えられる。

[0178] チャンネル部の膜厚は、通常1～500nm、好ましくは5～200nm、より好ましくは10～150nm、特に好ましくは20～120nmである。1nmより薄いと工業的に均一に成膜することが難しい。一方、500nmより厚いと移動度が低下するおそれがあり、また成膜時間が長くなり工業的に採用できない。また、20～120nmの範囲内にあると、移動度やオンオフ比等TFT特性が特に良好である。

[0179] ソース部又はドレイン部の膜厚は、通常1～300nm、好ましくは3～150nm、より好ましくは5～100nm、特に好ましくは10～80nmである。1nmより薄いと有効S/D直列抵抗が高くなるおそれがある。一方、300nmより厚いと移動度が低下するおそれがある。

[0180] 3. チャンネル部の保護層

電界効果型トランジスタは、チャンネル部の保護層があることが好ましい。チャンネル部の保護層がないと、真空中や低圧下で半導体の表面層の酸素が脱離し、オフ電流が高くなったり、閾値電圧が負になるおそれがある。また、大気下でも湿度等周囲の影響を受け、閾値電圧等のトランジスタ特性のばらつきが大きくなるおそれがある。保護膜はエッチングストッパーを兼ねていてもよい。

保護層を形成する材料は特に制限はない。本発明の効果を失わない範囲で一般に用いられているものを任意に選択できる。例えば、 SiO_2 , SiNx , Al_2O_3 , Ta_2O_5 , TlO_2 , MgO , ZrO_2 , CeO_2 , K_2O , Li_2O , Na_2O , Rb_2O , Sc_2O_3 , Y_2O_3 , Hf_2O_3 , Ca

HfO_3 , PbTi_3 , BaTa_2O_6 , SrTiO_3 , AlN 等を用いることができる。これらのなかでも、 SiO_2 , SiNx , Al_2O_3 , Y_2O_3 , Hf_2O_3 , CaHfO_3 を用いるのが好ましく、より好ましくは SiO_2 , SiNx , Y_2O_3 , Hf_2O_3 , CaHfO_3 であり、特に好ましくは SiO_2 , Y_2O_3 , Hf_2O_3 , CaHfO_3 等の酸化物である。これらの酸化物の酸素数や窒化物の窒素数は、必ずしも化学量論比と一致していないともよい(例えば、 SiO_2 でも SiOx でもよく、 SiN でも SiNx でもよい。 x は0.1より大きく10より小さい。)。また、 SiNx は水素元素を含んでいても良い。

[0181] このような保護膜は、異なる2層以上の絶縁膜を積層した構造でもよい。

また、保護層は、結晶質、多結晶質、非晶質のいずれであってもよいが、工業的に製造しやすい多結晶質か、非晶質であるのが好ましい。しかし、保護層が非晶質であることが特に好ましい。非晶質膜でないと界面の平滑性が悪く移動度が低下したり、閾値電圧やS値が大きくなりすぎるおそれがある。

チャンネル部の保護層は、非晶質酸化物あるいは非晶質窒化物であることが好ましく、非晶質酸化物であることが特に好ましい。また、保護層が酸化物でないとチャンネル部中の酸素が保護層側に移動し、オフ電流が高くなったり、閾値電圧が負になりノーマリーオフを示すおそれがある。

また、チャンネル部の保護層は、ポリ(4-ビニルフェノール)(PVP)、パリレン等の有機絶縁膜を用いてもよい。さらに、保護層は無機絶縁膜及び有機絶縁膜の2層以上積層構造を有してもよい。

[0182] 4. ゲート絶縁膜

ゲート絶縁膜を形成する材料は特に制限はない。本発明の効果を失わない範囲で一般に用いられているものを任意に選択できる。例えば、 SiO_2 , SiNx , Al_2O_3 , Ta_2O_5 , TiO_2 , MgO , ZrO_2 , CeO_2 , K_2O , Li_2O , Na_2O , Rb_2O , Sc_2O_3 , Y_2O_3 , Hf_2O_3 , CaHfO_3 , PbTi_3 , BaTa_2O_6 , SrTiO_3 , AlN 等を用いることができる。これらのなかでも、 SiO_2 , SiNx , Al_2O_3 , Y_2O_3 , Hf_2O_3 , CaHfO_3 を用いるのが好ましく、より好ましくは SiO_2 , SiNx , Y_2O_3 , Hf_2O_3 , CaHfO_3 である。これらの酸化物の酸素数や窒化物の窒素数は、必ずしも化学量論比と一致していないともよい(例えば、 SiO_2 でも SiOx でもよく、 SiN でも SiNx でもよい。 x は0.1より大きく10より小さい。)。また、 SiNx

は水素元素を含んでいても良い。

このようなゲート絶縁膜は、異なる2層以上の絶縁膜を積層した構造でもよい。また、ゲート絶縁膜は、結晶質、多結晶質、非晶質のいずれであってもよいが、工業的に製造しやすい多結晶質か、非晶質であるのが好ましい。

また、ゲート絶縁膜は、ポリ(4-ビニルフェノール)(PVP)、パリレン等の有機絶縁膜を用いてもよい。さらに、ゲート絶縁膜は無機絶縁膜及び有機絶縁膜の2層以上積層構造を有してもよい。

[0183] 5. 電極

ゲート電極、ソース電極及びドレイン電極の各電極を形成する材料に特に制限はなく、Ti, Pt, Cr, W, Al, Ni, Cu, Mo, Ta, Au, Nb及びそれらを含む合金から選ばれるもの等、本発明の効果を失わない範囲で一般に用いられているものを任意に選択することができる。

また、これらを2層以上積層してもよい。これにより接触抵抗を低減したり、界面強度を向上させることができが好ましい。

[0184] ソース部とソース電極、及び／又はドレイン部とドレイン電極のコンタクト抵抗(R_{SD} W)は、 $180\Omega\text{cm}$ 以下が好ましく、 $100\Omega\text{cm}$ 以下がより好ましく、 $50\Omega\text{cm}$ 以下がさらに好ましく、 $20\Omega\text{cm}$ 以下が特に好ましい。 $200\Omega\text{cm}$ より大きいと移動度やオンオフ比が低下し、S値や閾値電圧が高くなるおそれがある。コンタクト抵抗(R_{SD} W)は非特許文献2等に記載の方法で測定できる。

[0185] 本発明の第2の態様の電界効果トランジスタでは、移動度は $1\text{cm}^2/\text{Vs}$ 以上が好ましく、 $3\text{cm}^2/\text{Vs}$ 以上がより好ましく、 $8\text{cm}^2/\text{Vs}$ 以上が特に好ましい。 $1\text{cm}^2/\text{Vs}$ より小さいとスイッチング速度が遅くなり大画面高精細のディスプレイに用いることができないおそれがある。

オンオフ比は、 10^6 以上が好ましく、 10^7 以上がより好ましく、 10^8 以上が特に好ましい。

オフ電流は、 2pA 以下が好ましく、 1pA 以下がより好ましい。オフ電流が 2pA より大きいとディスプレイのTFTとして用いた場合にコントラストが悪くなったり、画面の均一性が悪くなるおそれがある。

ゲートリーク電流は1pA以下が好ましい。1pAより大きいとディスプレイのTFTとして用いた場合にコントラストが悪くなるおそれがある。

[0186] 閾値電圧は、通常−2～10Vであるが、−1～4Vが好ましく、−0.5～3Vがより好ましく、0～2Vが特に好ましい。−2Vより小さいとノーマリーオンとなり、オフ時に電圧をかける必要になり消費電力が大きくなるおそれがある。10Vより大きいと駆動電圧が大きくなり消費電力が大きくなったり、高い移動度が必要となるおそれがある。

また、S値は0.8V/dec以下が好ましく、0.3V/dec以下がより好ましく、0.25V/dec以下がさらに好ましく、0.2V/dec以下が特に好ましい。0.8V/decより大きいと駆動電圧が大きくなり消費電力が大きくなるおそれがある。特に、有機ELディスプレイで用いる場合は、直流駆動のためS値を0.3V/dec以下にすると消費電力を大幅に低減できるため好ましい。

尚、S値(Swing Factor)とは、オフ状態からゲート電圧を増加させた際に、オフ状態からオン状態にかけてドレイン電流が急峻に立ち上がるが、この急峻さを示す値である。下記式で定義されるように、ドレイン電流が1桁(10倍)上昇するときのゲート電圧の増分をS値とする。

$$S\text{値} = dV_g / d\log(I_{ds})$$

S値が小さいほど急峻な立ち上がりとなる(「薄膜トランジスタ技術のすべて」、鶴飼育弘著、2007年刊、工業調査会)。

S値が大きいと、オンからオフに切り替える際に高いゲート電圧をかける必要があり、消費電力が大きくなるおそれがある。

[0187] また、 $10 \mu A$ の直流電圧50°Cで100時間えた前後の閾値電圧のシフト量は、1.0V以下が好ましく、0.5V以下がより好ましい。1Vより大きいと有機ELディスプレイのトランジスタとして利用した場合、画質が変化してしまうおそれがある。

また、伝達曲線でゲート電圧を昇降させた場合のヒステリシスが小さい方が好ましい。

また、チャンネル幅Wとチャンネル長Lの比W/Lは、通常0.1～100、好ましくは0.5～20、特に好ましくは1～8である。W/Lが100を越えると漏れ電流が増えたり、on-off比が低下したりするおそれがある。0.1より小さいと電界効果移動度が低下

したり、ピンチオフが不明瞭になつたりするおそれがある。

[0188] また、チャンネル長Lは通常0.1～1000μm、好ましくは0.2～100μm、さらに好ましくは0.5～10μm、特に好ましくは1～5μmである。0.1μm未満は工業的に製造が難しくまた漏れ電流が大きくなるおそれがある、1000μm超では素子が大きくなりすぎて好ましくない。

[0189] 本発明の第2の態様の電界効果型トランジスタは、チャンネル部を遮光する構造を持つことが好ましい。チャンネル部を遮光する構造(例えば、遮光層)を持っていないと、光がチャンネル部に入射した場合にキャリア電子が励起されオフ電流が高くなるおそれがある。遮光層は、300～800nmに吸収を持つ薄膜が好ましい。遮光層はチャンネル部の上部、下部どちらかでも構わないが、上部及び下部の両方にあることが好ましい。また、遮光層はゲート絶縁膜やブラックマトリックス等と兼用されていても構わない。遮光層が片側だけにある場合、遮光層が無い側から光がチャンネル部に照射しないよう構造上工夫する必要がある。

[0190] また、本発明の第2の態様の電界効果型トランジスタでは、チャンネル部とゲート絶縁膜との間、及び／又はチャンネル部と保護層との間に、チャンネル部よりも抵抗の高い酸化物抵抗層を有することが好ましい。酸化物抵抗層が無いとオフ電流が発生する、閾値電圧が負となりノーマリーオンとなる、保護膜成膜やエッチング等の後処理工程時にチャンネル部が変質し特性が劣化するおそれがある。

[0191] 酸化物抵抗層としては、以下のものが例示できる。

- ・チャンネル部の成膜時よりも高い酸素分圧で成膜したチャンネル部と同一組成の非晶質酸化物膜
- ・チャンネル部と同一組成であるが組成比を変えた非晶質酸化物膜
- ・In及びZnを含みチャンネル部と異なる元素Xを含む非晶質酸化物膜
- ・酸化インジウムを主成分とする多結晶酸化物膜
- ・酸化インジウムを主成分とし、Zn、Cu、Co、Ni、Mn、Mg等の正二価元素を1種以上ドープした多結晶酸化物膜

チャンネル部と同一組成であるが組成比を変えた非晶質酸化物膜や、In及びZnを含みチャンネル部と異なる元素Xを含む非晶質酸化物膜の場合は、In組成比がチャ

ンネル部よりも少ないことが好ましい。また、元素Xの組成比がチャンネル部よりも多いことが好ましい。

酸化物抵抗層は、In及びZnを含む酸化物であることが好ましい。これらを含まないと、酸化物抵抗層とチャンネル部の間で元素の移動が発生し、ストレス試験等を行った際に閾値電圧のシフトが大きくなるおそれがある。

[0192] 続いて、本発明の第2の態様の電界効果型トランジスタの製造方法について説明する。

本発明の第2の態様の電界効果型トランジスタの製造方法では、チャンネル部を成膜する工程と、ソース部及びドレイン部を成膜する工程を有し、これら2つの成膜工程の後に、成膜温度より高い温度で熱処理する工程を有することを特徴とする。

成膜工程の後に成膜温度より高い温度で熱処理することにより、チャンネル部とソース部及びドレイン部の間に発生する、水分、酸素等の吸着等で形成された高抵抗層が消失し、トランジスタ特性が向上する。

[0193] 本発明の第2の態様では、チャンネル部を成膜する工程と、ソース部及びドレイン部を成膜する工程との間において、処理対象を大気に暴露させないことが好ましい。

チャンネル部を成膜する工程と、ソース部及びドレイン部を成膜する工程との間で大気に暴露されると、チャンネル部又は、ソース部及びドレイン部の表面に水分、酸素、有機物等が吸着し高抵抗層が形成され、トランジスタの特性を低下させるおそれがある。

[0194] また、チャンネル部と、ソース部及びドレイン部を、組成又は組成比が異なるスペッタリングターゲットを用いて成膜することが好ましい。

チャンネル部と、ソース部及びドレイン部の組成を異ならせるには、同じターゲットを用いコスパッタや反応性スペッタで、チャンネル部とソース部及びドレイン部を成膜しても、組成あるいは組成比の異なるターゲットを用い各々成膜することもできる。しかし、大面積を均一に成膜するには、組成あるいは組成比が異なるスペッタリングターゲットを用いて、チャンネル部とソース部及びドレイン部を各々成膜することが好ましい。

[0195] 上述した電界効果型トランジスタの各構成部材(層)は、本技術分野で公知の手法

で形成できる。

具体的に、成膜方法としては、スプレー法、ディップ法、CVD法等の化学的成膜方法、又はスパッタ法、真空蒸着法、イオンプレーティング法、パルスレーザーディポジション法等の物理的成膜方法を用いることができる。キャリア密度が制御し易い、及び膜質向上が容易であることから、好ましくは物理的成膜方法を用い、より好ましくは生産性が高いことからスパッタ法を用いる。

- [0196] スパッタリングでは、複合酸化物の焼結ターゲットを用いる方法、複数の焼結ターゲットを用いコスパッタを用いる方法、合金ターゲットを用い反応性スパッタを用いる方法等が利用できる。但し、複数の焼結ターゲットを用いコスパッタを用いる方法や、合金ターゲットを用い反応性スパッタを用いる方法では、均一性や再現性が悪くなる場合や、非局在準位のエネルギー幅(E_0)が大きくなる場合があり、移動度が低下したり、閾値電圧が大きくなる等、トランジスタ特性が低下するおそれがある。好ましくは、複合酸化物の焼結ターゲットを用いる。
- [0197] 尚、ソース部及びドレイン部は、チャンネル部と別個に成膜しても、チャンネル部の組成に元素を添加する等して組成を変化させてもよい。チャンネル部は、ソース部及びドレイン部と別個に成膜しても、ソース部及びドレイン部の組成に元素を添加する等して組成を変化させてもよい。

- [0198] 形成した膜を各種エッチング法によりパターニングできる。

エッチングは、ドライエッチングでもウェットエッチングでも自由に利用できる。生産性からは、ウェットエッチングが好ましい。

ウェットエッチングは、修酸系・PAN系・CAN系等のエッチャント液を用いることが好ましい。

ドライエッチングはフッ素系ガスや炭化水素を含むガス等の雰囲気中でおこなうことができる。炭化水素を含むガス雰囲気中で行うとエッチング速度が速くでき好ましい。

- [0199] 本発明の第2の態様では酸化物半導体を、RF、DC又はACスパッタリングにより成膜することが好ましい。DC又はACスパッタリングを用いることにより、RFスパッタリングの場合と比べて、成膜時のダメージを低減できる。このため、電界効果型トランジスタにおいて、閾値電圧シフトの低減、移動度の向上、閾値電圧の減少、S値の減少

等の効果が期待できる。

[0200] 本発明の第2の態様では、ソース部及びドレイン部、チャンネル部の成膜後に、成膜温度より高い温度で熱処理する。成膜温度は、通常150°C以下であり、本発明では、70~350°Cで熱処理する。70°Cより低いと得られるトランジスタの熱安定性や耐熱性が低下したり、移動度が低くなったり、S値が大きくなったり、閾値電圧が高くなるおそれがある。一方、350°Cより高いと耐熱性のない基板が使用できなかつたり、熱処理用の設備費用がかかるおそれがある。

熱処理温度は80~260°Cが好ましく、90~180°Cがより好ましく、100~150°Cがさらに好ましい。特に、熱処理温度が180°C以下であれば、基板としてPEN等の耐熱性の低い樹脂基板を利用できるため好ましい。

熱処理時間は、通常1秒~24時間が好ましいが、処理温度により調整することが好ましい。例えば、70~180°Cでは、10分から24時間がより好ましく、20分から6時間がさらに好ましく、30分~3時間が特に好ましい。180~260°Cでは、6分から4時間がより好ましく、15分から2時間がさらに好ましい。260~300°Cでは、30秒から4時間がより好ましく、1分から2時間が特に好ましい。300~350°Cでは、1秒から1時間がより好ましく、2秒から30分が特に好ましい。

[0201] 热処理は、不活性ガス中で酸素分圧が 10^{-3} Pa以下の環境下で行うか、あるいはチャンネル部を保護層で覆った後に行なうことが好ましい。これにより製造の再現性が向上する。

[実施例]

[0202] 実験例1

比抵抗が $10^4 \Omega \text{cm}$ の酸化物膜に、低酸素分圧環境下(全圧: 10^{-5} Pa、酸素分圧 $< 10^{-6}$ Pa)で紫外線を照射して低抵抗化処理し、照射時間(処理時間)と抵抗の関係を評価した。結果を図17に示す。また、AESにより紫外線照射によって膜中の酸素濃度が低下していることを確認した。

[0203] 実験例2

比抵抗が $10^4 \Omega \text{cm}$ の酸化物膜に、アルゴンプラズマ処理を施して低抵抗化処理し、処理時間と抵抗の関係を評価した。結果を図18に示す。また、AESによりアルゴン

プラズマ処理によって膜中の酸素濃度が低下していることを確認した。

[0204] 実験例3

比抵抗が $10^{-3}\Omega\text{cm}$ の酸化物膜に、酸素プラズマ処理を施して高抵抗化処理し、照射時間(処理時間)と抵抗の関係を評価した。結果を図19に示す。また、AESにより酸素プラズマ処理によって膜中の酸素濃度が上昇していることを確認した。

[0205] 実験例4

比抵抗が $10^{-3}\Omega\text{cm}$ の酸化物膜に、オゾン処理(酸素分圧 $7.5\times10^4\text{Pa}$)を施して高抵抗化処理し、処理時間と抵抗の関係を評価した。結果を図20に示す。また、AESによりオゾン処理によって膜中の酸素濃度が上昇していることを確認した。

[0206] 実施例1

酸化インジウム、酸化亜鉛及び酸化ジルコニウムの粉末を、原子比[In/(In+Zn+Zr)]が0.48、原子比[Zn/(In+Zn+Zr)]が0.50、原子比[Zr/(In+Zn+Zr)]が0.02となるように混合した。この混合物を湿式ボールミルに供給し、72時間混合粉碎して原料微粉末を得た。

得られた原料微粉末を造粒した後、直径10cm、厚さ5mmの寸法にプレス成形して成形体とし、この成形体を焼成炉に入れ、 1500°C 、12時間の条件で焼成して、焼結体(ターゲット)を得た。

得られたターゲットのバルク抵抗は $3\text{m}\Omega$ であり、密度は0.99であった。得られたターゲットは色むらが無く、外観の均一性が高かった。

[0207] 得られたスパッタリングターゲットを、DCマグネットロンスパッタリング成膜装置に装着し、ガラス基板(コーニング1737)上に膜厚70nmの透明導電膜(酸化物膜)を成膜した。

得られた酸化物膜の組成をICP法で分析したところ、原子比[In/(In+Zn+Zr)]が0.49、原子比[Zn/(In+Zn+Zr)]が0.49、原子比[Zr/(In+Zn+Zr)]が0.02であった。

[0208] 尚、酸化物膜のスパッタ条件は以下の通りである。

基板温度: 25°C

到達圧力: $1\times10^{-6}\text{Pa}$

雰囲気ガス:Ar99.5%及び酸素0.5%

スパッタ圧力(全圧): 2×10^{-1} Pa

投入電力:100W

成膜時間:7分間

S-T距離1:90mm

[0209] 上記酸化物膜を窒素環境下で、270°C、2時間の加熱処理を行い、透明半導体薄膜とした。

[0210] 得られた透明半導体薄膜のキャリア濃度及びホール移動度をホール測定装置により測定した。その結果、透明半導体薄膜はn型を示し、キャリア濃度は $4 \times 10^{17} \text{ cm}^{-3}$ 、ホール移動度は $2 \text{ cm}^2/\text{Vs}$ であり、エネルギー-bandギャップは3.7eVと十分に大きかった。

尚、ホール測定装置及びその測定条件は下記のとおりである。

[ホール測定装置]

東陽テクニカ製:Resi Test8310

[測定条件]

室温(25°C)

0.5[T]

$10^{-4} \sim 10^{-12}$ A

AC磁場ホール測定

[0211] 得られた透明半導体薄膜をX線結晶構造解析したところ、透明半導体薄膜が非晶質であることが確認された。得られた透明半導体薄膜をAMF(原子間力顕微鏡)により測定したところ、透明半導体薄膜の表面粗さはRMS0.2nmであった。また、得られた透明半導体薄膜の光学的に求めたバンドギャップは3.8eVであった。

[0212] 得られた透明半導体薄膜について、77~300Kの範囲で測定温度を変化させホール効果を測定した結果、透明半導体薄膜は熱活性型を示し、非縮退半導体であることが確認できた。また、温度を変化させホール効果を用いて測定したキャリア濃度と活性化エネルギーの関係から、透明半導体薄膜の非局在準位のエネルギー幅(E_0)は6meV以下であった。

- [0213] 得られた透明半導体薄膜についてX線散乱測定し、動径分布関数(RDF)を求めた。その結果、In—Inを表すピークが0. 35nm付近に観測され、酸化インジウムのビックスバイト構造の稜共有構造が残っていることが確認できた。原子間距離が0. 30から0. 36nmの間のRDFの最大値をA、原子間距離が0. 36から0. 42の間のRDFの最大値をBとした場合のA／Bは1. 3であった。X線吸収分光法によって求めたIn—Inの平均結合距離が0. 318nmであった。
- [0214] この透明半導体薄膜を用いて、以下の実施形態1に準じた方法でトランジスタ(チャネル幅W=20 μ m、チャネル長L=10 μ m)を製造した。
支持基板10上に、Moからなるゲート電極20を100nm形成し(図2(A))、ゲート電極20を覆うようにしてSiNx:Hからなるゲート絶縁膜30を200nm成膜し、成膜したゲート絶縁膜30上に、上述の方法で膜厚70nmの半導体層40及びレジスト70を積層した(図2(B))。この積層体について、支持基板10側からの露光及びレジスト除去を行い、レジスト70を所望の形状にパターニングした(図2(C)、図2(D)及び図2(E))。レジスト70をパターニングした積層体の半導体層側から、酸素分圧が 10^{-3} Pa以下の窒素雰囲気下で超高压水銀ランプによるUV照射を60分行って半導体層の一部の抵抗を減少させ、半導体層40にチャネル部位42及びソース部位・ドレイン部位44を形成した(図2(F))。チャネル部位42及びソース部位・ドレイン部位44形成後、パターニングしたレジスト70を除去し(図2(G))、半導体層40上に保護層50とソース・ドレイン電極60を形成して、電界効果型トランジスタ2とした(図2(H))。
- [0215] 得られたトランジスタについて、XRF(蛍光X線)分析及びICP(誘導結合プラズマ)分析したところ、チャネル部位、ソース部位及びドレイン部位の酸素元素及び不活性ガスを除く組成比が同一であることを確認した。また、RBS(ラザフォード後方散乱スペクトル)及びオージェ分光により、チャネル部位の酸素含有量がソース部位及びドレイン部位より多いことを確認した。
- [0216] 実施例2

酸化インジウム、酸化亜鉛及び酸化アルミニウムの粉末を、原子比[In／(In+Zn+Al)]が0. 58、原子比[Zn／(In+Zn+Al)]が0. 40、原子比[Al／(In+Zn+Al)]が0. 02となるように混合した。この混合物を湿式ボールミルに供給し、72時間

混合粉碎して原料微粉末を得た。

得られた原料微粉末を造粒した後、直径10cm、厚さ5mmの寸法にプレス成形して成形体とし、この成形体を焼成炉に入れ、1500°C、12時間の条件で焼成して、焼結体(ターゲット)を得た。

得られたターゲットのバルク抵抗は2mΩであり、密度は0.99であった。得られたターゲットは色むらが無く、外観の均一性が高かつた。

[0217] 得られたスパッタリングターゲットを、DCマグネトロンスパッタリング成膜装置に装着し、ガラス基板(コーニング1737)上に膜厚70nmの透明導電膜(酸化物膜)を成膜した。

得られた酸化物膜の組成をICP法で分析したところ、原子比[In/(In+Zn+Al)]が0.59、原子比[Zn/(In+Zn+Al)]が0.39、原子比[Zr/(In+Zn+Al)]が0.02であった。

[0218] 尚、酸化物膜のスパッタ条件は以下の通りである。

基板温度:25°C

到達圧力: 1×10^{-6} Pa

雰囲気ガス:Ar100%

スパッタ圧力(全圧): 1×10^{-1} Pa

投入電力:100W

成膜時間:7分間

S-T距離:90mm

[0219] 得られた導電膜(酸化物膜)をXRDで確認したところ非晶質であった。この導電膜のキャリア濃度及びホール移動度をホール測定装置により測定した。その結果、導電膜はn型を示し、キャリア濃度は $2 \times 10^{20} \text{ cm}^{-3}$ 、ホール移動度は $40 \text{ cm}^2/\text{Vs}$ であり、エネルギーバンドギャップは3.6eVと十分に大きかつた。

[0220] この導電膜を用いて、以下の実施形態3に準じた方法でトランジスタ(チャンネル幅W=20μm、チャンネル長L=10μm)を製造した。

支持基板10上に、Moからなるゲート電極20を100nm形成し(図4(A))、ゲート電極20を覆うようにしてSiNx:Hからなるゲート絶縁膜30を200nm成膜し、成膜したゲ

ート絶縁膜30上に、70nmの上述の導電膜(酸化物膜)層40及びレジスト70を積層した(図4(B))。この積層体について、支持基板10側からの露光及びレジスト除去を行い、レジスト70を所望の形状にパターニングした(図4(C)、図4(D)及び図4(E))。レジスト70をパターニングした積層体の導電膜(酸化物膜)側から波数13. 56MHz、アンプパワー500W、酸素圧力330Paの条件で発生させた酸素プラズマに10分間暴露することで酸素プラズマ処理を行って透明導電膜(酸化物膜)の一部の抵抗を増加させ、導電膜(酸化物膜)40にチャンネル部位42及びソース部位・ドレイン部位44を形成した(図4(F))。パターニングしたレジスト70を除去し(図4(G))、半導体層40上に保護層50とソース・ドレイン電極60を形成して、電界効果型トランジスタ4とした(図4(H))。

[0221] 得られたトランジスタについて、XRF(蛍光X線)分析及びICP(誘導結合プラズマ)分析したところ、チャンネル部位、ソース部位及びドレイン部位の酸素元素及び不活性ガスを除く組成比が同一であることを確認した。

また、RBS(ラザフォード後方散乱スペクトル)及びオージェ分光により、チャンネル部位の酸素含有量がソース部位及びドレイン部位より多いことを確認した。

[0222] 実施例3

半導体層上に SiO_2 からなる保護膜(膜厚:50nm)を形成した他は実施例1と同様にしてトランジスタを製造した。

得られたトランジスタについて、XRF(蛍光X線)分析及びICP(誘導結合プラズマ)分析したところ、チャンネル部位、ソース部位及びドレイン部位の酸素元素及び不活性ガスを除く組成比が同一であることを確認した。

また、RBS(ラザフォード後方散乱スペクトル)及びオージェ分光により、チャンネル部位の酸素含有量がソース部位及びドレイン部位より多いことを確認した。

[0223] 実施例4

実施例2と同様に作製した導電膜(酸化物膜)を用い、実施形態6に準じた方法でトランジスタ(チャンネル幅 $W=20\ \mu\text{m}$ 、チャンネル長 $L=10\ \mu\text{m}$)を製造した。

CVDにより成膜した SiO_2 膜で表面が保護されたガラス基板からなる支持基板10上に実施例2と同様の導電膜(酸化膜)40、 SiO_2 からなるゲート絶縁膜30及びMoから

なるゲート電極20をこの順に積層した(図7(A))。この積層体のゲート電極20を赤外線ランプで加熱し(図7(B))、半導体層40にチャンネル部位42及びソース部位・ドレイン部位44を形成した(図7(C))。続いて、ゲート絶縁膜30をエッチングしてコンタクトホール90を形成し、このコンタクトホール90を埋めるように、ソース・ドレイン電極60を形成して、電界効果型トランジスタ7とした(図7(E))。

[0224] 実施例5

ゲート電極の加熱方法として、赤外線ランプの代わりにXeランプを用いた他は実施例4と同様にして電界効果型トランジスタを作製した。

[0225] 実施例6

ゲート電極の加熱方法として、赤外線ランプの代わりに半導体レーザーを用いた他は実施例4と同様にして電界効果型トランジスタを作製した。

[0226] 実施例7

原子比[In/(In+Zn+Ga)]が0.46、原子比[Zn/(In+Zn+Ga)]が0.48、原子比[Ga/(In+Zn+Ga)]が0.06であるスペッタリングターゲットを実施例1と同様にして作製し、実施例1と同様にして導電膜(酸化物膜)を成膜した。この導電膜(酸化物膜)を用いて、実施例1と同様にして電界効果型トランジスタを作製した。

[0227] 実施例8

原子比[In/(In+Zn+Ga)]が0.50、原子比[Zn/(In+Zn+Ga)]が0.25、原子比[Ga/(In+Zn+Ga)]が0.25であるスペッタリングターゲットを実施例1と同様にして作製し、実施例1と同様にして導電膜(酸化物膜)を成膜した。この導電膜(酸化物膜)を用いて、実施例1と同様にして電界効果型トランジスタを作製した。

[0228] 実施例9

原子比[In/(In+Zn+Ga)]が0.50、原子比[Zn/(In+Zn+Ga)]が0.25、原子比[Ga/(In+Zn+Ga)]が0.25であるスペッタリングターゲットを実施例1と同様にして作製し、実施例1と同様にして導電膜(酸化物膜)を成膜した。

[0229] この導電膜を用いて、以下の実施形態7に準じた方法でトランジスタ(チャンネル幅W=20μm、チャンネル長L=10μm)を製造した。

支持基板10上に、Moからなるゲート電極20を100nm形成し(図8(A))、ゲート電

極20を覆うようにしてSiO₂からなるゲート絶縁膜30を200nm成膜し、成膜したゲート絶縁膜30上に、膜厚70nmの上述の半導体層40、SiO₂からなる保護膜80及びレジスト70を積層した(図8(B))。この積層体について、支持基板10側からの露光及びレジスト除去を行い、レジスト70を所望の形状にパターニングした(図8(C)、図8(D)及び図2(E))。保護膜80を所望の形状にエッチングし、レジスト70を除去した(図8(F))。エッチングした保護膜80上に、SiNx:Hからなる保護層50をPECVDにより積層すると同時に半導体層の一部の抵抗を減少させ、半導体層40にチャンネル部位42及びソース部位・ドレイン部位44を形成した(図8(G))。ソース部位・ドレイン部位44上にさらにコンタクトホールを介してソース・ドレイン電極60を形成して、電界効果型トランジスタ8とした(図8(H))。

[0230] 比較例1

UV照射の代わりに、水素イオン注入を行った他は実施例1の同様にしてトランジスタを作製した。

[0231] 比較例2

UV照射を行わなかった他は実施例1と同様にしてトランジスタを作成した。

[0232] 実施例1～9並びに比較例1及び2で製造したトランジスタについて以下の評価を行った。結果を表1及び表2に示す。

(1)移動度及びオフ電流

半導体パラメータアナライザー(ケースレー4200)を用いて、室温・遮光環境下での移動度、伝達曲線のヒステリシス及びオフ電流を測定した。

(2)電流値のバラツキ

隣接する16個のトランジスタのオン電流Ionバラツキ(Ionのσ／平均値)を半導体パラメータアナライザーを基板内の複数箇所で測定し、その平均を電流値のバラツキとした。

(3)閾値電圧のシフト量

ゲート電極に15Vの電圧を印加し、50°Cの環境下で24時間駆動したときの閾値電圧の変化量を半導体パラメータアナライザーで測定し、閾値電圧のシフト量とした

。

(4) 水素濃度

SIMSにより半導体層のチャンネル部位及びソース部位・ドレイン部位の水素濃度を測定した。測定の結果、水素濃度が高い部位の水素濃度が、水素濃度の低い部位の水素濃度の10倍未満の半導体層を「均一」(ほぼ同一)と評価し、10倍以上の半導体層を「不均一」(ほぼ同一ではない)と評価した。

尚、SIMSによる水素濃度の測定に当たっては、水素標準試料を作製して測定することにより測定精度を高めた。この水素標準試料は、極薄シリコン絶縁膜中の水素標準試料であり、濃度既知の重水素を含む極薄シリコン酸化膜として作製した。この方法は、水素と化学的性質の等しい水素の同位体(重水素)を含む原料ガスを利用してシリコン結晶の湿式酸化を行うことで極薄シリコン酸化膜に一定濃度の重水素を混入できること、さらに、極薄シリコン酸化膜中の重水素濃度の定量を、ヘリウム(He)高速イオンビームの反跳分析(ERDA)又は質量数3のヘリウム同位体(^3He)の核反応技術を利用することで、水素(重水素)成分を含む試料の表面汚染の影響なく行えること等により極薄シリコン絶縁膜中の水素標準試料として、濃度既知の重水素を含む極薄シリコン酸化膜を作製できた。

水素濃度の測定は、HFS(hydrogen forward scattering spectrometry)でも行ったが、均一・不均一の判断は同様の結果が得られた。

(5) チャンネル部位及びソース部位・ドレイン部位の状態

非縮退半導体である酸化物半導体とは、伝導率の温度特性が熱活性型を示し、温度依存性が大きな酸化物半導体をいう。一方、縮退半導体である酸化物半導体とは、移動度あるいは伝導率の温度特性が熱活性型を示さず、温度依存性が小さい酸化物半導体をいう。

酸化物半導体が、非縮退半導体であるか縮退半導体であるかは、移動度又は電気伝導率の温度依存性を測定することで判断できる。移動度又は伝導率の温度依存性から求めた活性化エネルギーが25meV以上のものを非縮退半導体とし、25meV未満のものを縮退半導体とした。

ここで、活性化エネルギーとは、電気伝導率のアレニウスプロットの直線の傾きから求めた酸化物半導体膜の活性化エネルギーのことである。

移動度の温度依存性を、ホール測定装置により測定した。尚、ホール測定装置、及びその測定条件は下記のとおりであった。

・ホール測定装置

東陽テクニカ製:Resi Test8310

・測定条件

測定温度:室温(77~300K)

測定磁場:0.5T

測定電流: $10^{-12} \sim 10^{-4}$ A

測定モード:AC磁場ホール測定

[0233] [表1]

| | 実施例 | | | | | | | | 比較例 | | |
|---|------|------|------|------|------|------|------|------|------|------|------|
| | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 1 | 2 |
| W (μ m) | 20 | 20 | 20 | 20 | 20 | 20 | 20 | 20 | 20 | 20 | 20 |
| L (μ m) | 20 | 20 | 20 | 20 | 20 | 20 | 20 | 20 | 20 | 20 | 20 |
| ソース部位・トレンイン部位 とゲート電極の重なり (μ m) | <0.2 | <0.2 | <0.2 | <0.2 | <0.2 | <0.2 | <0.2 | <0.2 | <0.2 | <0.2 | <0.2 |
| 移動度 (cm^2/Vs) | 12 | 14 | 12 | 12 | 12 | 12 | 10 | 8 | 12 | 8 | 2 |
| 電流値のバラツキ (%) | 1.6 | 1.4 | 1.6 | 1.6 | 1.6 | 1.6 | 1.8 | 1.9 | 1.8 | 2.7 | 7.3 |
| オフ電流 (pA) | 0.1 | 1 | 0.5 | 2 | 2 | 2 | 0.3 | 1 | 2 | 10 | 10 |
| 閾値電圧のシフト量 (V) | 0.8 | 0.1 | 0.8 | 0.8 | 0.8 | 0.8 | 0.8 | 0.8 | 0.6 | 1.2 | 2.3 |
| チャンネル部位の状態 | 非縮退 |
| ソース・トレンイン部位の状態 | 縮退 |

[0234] 表1から、実施例1～9のトランジスタの伝達曲線のヒステリシスは少なく、比較例1及び比較例2のトランジスタは伝達曲線のヒステリシスが大きいことがわかる。実施例1のトランジスタの伝達曲線のヒステリシスを図21に、及び比較例1のトランジスタの伝達曲線のヒステリシスを図22に示す。

[0235] [表2]

| | | 実施例 | | | | | | | | | 比較例 | |
|---------------------------|------------|------------------|------------------|------------------|------------------|------------------|------------------|------------------|------------------|------------------|------------------|------------------|
| | | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 1 | 2 |
| 水素濃度 [m ³] | チャンネル部位 | <10 ⁷ |
| | ソース・ドレイン部位 | <10 ⁷ | 10 ¹⁴ | <10 ⁷ |
| | 評価 | 均一 | 不均一 | 均一 |

[0236] 比較例1はイオン注入により水素濃度が不均一となっているため、移動度が低く、電流値のばらつきが大きく、オフ電流が高くなっていると推定される。比較例2は、低抵抗化処理を行っていないため、ソース・ドレイン部が非縮退半導体となり、移動度が低く、電流値のばらつきが大きく、オフ電流が高くなっていると推定される。

[0237] 実施例10

(1) チャンネル部用スペッタリングターゲットAの製造

原料として、酸化インジウム、酸化亜鉛及び酸化ガリウムの粉末を、原子比[In/(In+Zn+Ga)]が0.32、原子比[Zn/(In+Zn+Ga)]が0.36、原子比[Ga/(In+Zn+Ga)]が0.32となるように混合した。これを湿式ボールミルに供給し、72時間混合粉碎して原料微粉末を得た。

得られた原料微粉末を造粒した後、直径10cm、厚さ5mmの寸法にプレス成形し、これを焼成炉に入れ、1500°Cで12時間焼成して、焼結体(ターゲット)を得た。

ターゲットのバルク抵抗は3mΩ、理論相対密度は0.99であった。尚、理論相対密度は各酸化物の比重とその量比から計算した密度を、アルキメデス法で測定した密度との比率を計算して求めた。

[0238] (2) ソース部・ドレイン部用スペッタリングターゲットBの製造

原料として、酸化インジウム、酸化亜鉛及び酸化ガリウムの粉末を、原子比[In/(In+Zn+Ga)]が0.75、原子比[Zn/(In+Zn+Ga)]が0.23、原子比[Ga/(In+Zn+Ga)]が0.02となるように混合した。これを湿式ボールミルに供給し、72時間混合粉碎して原料微粉末を得た。

得られた原料微粉末を造粒した後、直径10cm、厚さ5mmの寸法にプレス成形し、これを焼成炉に入れ、1500°Cで12時間焼成して、焼結体(ターゲット)を得た。

ターゲットのバルク抵抗は4mΩ、理論相対密度は0.99であった。

尚、理論相対密度は各酸化物の比重とその量比から計算した密度を、アルキメデ

ス法で測定した密度との比率を計算して求めた。

[0239] (3) 電界効果型トランジスタの作製

図13に示す構造の電界効果型トランジスタを作製した。

ガラス基板上に、室温のRFスパッタリングでモリブデン金属を200nm積層した後、ウェットエッチングでパターニングし、ゲート電極を作製した。

次に、ゲート電極を作製した基板にプラズマ化学気相成長装置(PECVD)にて、SiNxを300°Cで成膜(厚さ200nm)し、ゲート絶縁膜とした。

次に、(1)で製造したチャンネル部用ターゲットAを、DCスパッタ法の一つであるDCマグネットロンスパッタリング法の成膜装置に装着し、ゲート絶縁膜上に成膜し、その後パターニングしてチャンネル部(膜厚100nm)を形成した。

スパッタ条件は、基板温度(成膜温度);25°C、到達圧力; 1×10^{-6} Pa、雰囲気ガス;Ar99.5%及び酸素0.5%、スパッタ圧力(全圧); 2×10^{-1} Pa、投入電力100W、成膜時間6分間、S-T距離110mmとした。

成膜後、フォトリソ工程によりチャンネル部をパターニングした。

次に、エッチングストッパー(保護膜)層としてSiO₂層を成膜、パターニングした。

続いて、(2)で製造したソース部・ドレイン部用ターゲットBを用い、DCマグネットロンスパッタリング法により、チャンネル部と同じスパッタリング条件でソース部・ドレイン部(膜厚30nm)を成膜した。さらに、モリブデン金属からなるソース電極・ドレイン電極を成膜した。成膜後、フォトリソ工程によりパターニングした。

その後、窒素環境下、300°Cで1時間熱処理してW=20 μm、L=4 μmのボトムゲート構造のエッチングストッパー型電界効果型トランジスタを製造した。

[0240] (4) 薄膜評価

ガラス基板(コーニング1737)上に、上記(1)(2)で製造したターゲットA及びBを使用して、チャンネル部とソース部及びドレイン部に相当する膜を形成し評価した。

[0241] 得られたチャンネル部とソース部及びドレイン部に相当する膜を発光分光分析法(ICP)で分析した。

その結果、チャンネル部に相当する膜は、原子比[In/(In+Zn+Ga)]が0.34、原子比[Zn/(In+Zn+Ga)]が0.33、原子比[Ga/(In+Zn+Ga)]が0.33で

あつた。

また、ソース部及びドレイン部に相当する膜は、原子比[In/(In+Zn+Ga)]が0.78、原子比[Zn/(In+Zn+Ga)]が0.2、原子比[Ga/(In+Zn+Ga)]が0.02であった。

このように、ターゲットの組成と膜の組成は一致することが確認できた。

[0242] 上記酸化物半導体膜を窒素環境下で、300°Cで1時間の熱処理を行った。X線結晶構造解析により、ともにハローパターンが観測され、非晶質であることが確認された。

熱処理後の半導体膜のキャリア濃度及びホール移動度を、ホール測定装置により測定した。その結果、チャンネル部に相当する膜のキャリア濃度は $5 \times 10^{15} \text{ cm}^{-3}$ 、比抵抗は $5 \times 10^3 \Omega \text{ cm}$ 、ソース部及びドレイン部に相当する膜のキャリア濃度は $9 \times 10^{19} \text{ cm}^{-3}$ 、比抵抗は $1.5 \times 10^{-3} \Omega \text{ cm}$ であった。

尚、ホール測定装置、及びその測定条件は下記のとおりであった、

・ホール測定装置

東陽テクニカ製:Resi Test8310

・測定条件

測定温度:室温(25°C)

測定磁場:0.5T

測定電流: $10^{-12} \sim 10^{-4} \text{ A}$

測定モード:AC磁場ホール測定

[0243] さらに、同様に移動度の温度依存性を評価した。図23に酸化物半導体の温度と移動度の関係を示す。直線の傾きから活性化エネルギーを計算できる。図中(1)がソース部及びドレイン部に相当し、(2)がチャンネル部に相当する。チャンネル部に相当する膜は活性化エネルギー約35meVで熱活性型を示し非縮退半導体であること、ソース部及びドレイン部に相当する膜は活性化エネルギー3meV未満で縮退半導体であることが確認できた。

[0244] (5)トランジスタの評価

電界効果型トランジスタについて、下記の評価を行った。

(a)電界効果移動度(μ)、オンオフ比、オフ電流、ゲートリーク電流、S値、閾値電圧(V_{th})

半導体パラメータアナライザー(ケースレー4200)を用い、室温、大気中、かつ遮光環境下で測定した。

(b)ヒステリシス

半導体パラメータアナライザーを用い、昇電圧時の伝達曲線(I-V特性)と降電圧時の伝達曲線(I-V特性)を測定し、昇降時の電圧の差をΔV_gとする。ΔV_gの最大値が0.5V以下であるものを「少ない」、0.5~3Vであるものを「ある」、3V以上であるものを「大きい」とした。

(c)ストレス試験

ストレス条件は、ゲート電圧15Vで10μAの直流電圧を50°Cで100時間加えることとした。ストレスをかける前後のV_{th}を比較し、閾値電圧のシフト量(ΔV_{th})を測定した。

[0245] 実施例11

図12に示す構造の電界効果型トランジスタを作製した。

エッチングストッパー(保護膜)を設けず、ソース電極・ドレイン電極とソース部・ドレイン部を合わせてエッチングした他は実施例10と同様に電界効果トランジスタを作製した。

尚、ソース部及びドレイン部と、チャンネル部のエッチング選択比が5以上であった。

エッチング選択比は、30°C PANエッチング液を用いて測定したエッチング速度の比から求めた。

[0246] 実施例12

図14に示す構造の電界効果型トランジスタを作製した。

SiO_x保護膜の付いたガラス基板上で、モリブデンからなるソース・ドレイン電極(200nm)及びソース部・ドレイン部を成膜・パターニングした。チャンネル部(30nm)・SiO_xからなるゲート絶縁膜(200nm)を成膜・パターニングした後、モリブデンからなるゲート電極(300nm)を形成した。

[0247] 実施例13

図15に示す構造の電界効果型トランジスタを作製した。

SiO_x保護膜の付いたガラス基板上に酸化物半導体を成膜(30nm)し、後処理により一部をチャンネル部、一部とソース部・ドレイン部とした。SiO_xからなるゲート絶縁膜(200nm)及びゲート電極(100nm)を形成した後、SiNxからなる保護膜(300nm)を形成した。ドライエッチングでコンタクトホールを作製した後、ソース・ドレイン電極を形成した。

[0248] 実施例14～20、比較例3～7

チャンネル部用ターゲット、ソース部及びドレイン部用ターゲットの組成を変えた他は実施例10と同様に電界効果型トランジスタを作製した。

[0249] 実施例21

チャンネル部用ターゲット、ソース部及びドレイン部用ターゲットの組成、雰囲気ガスを変え、スパッタ方式をRFマグнетロンスパッタとした他は実施例10と同様に電界効果型トランジスタを作製した。

[0250] 実施例22～28

ゲート絶縁膜として、プラズマ化学気相成長装置(PECVD)によるSiO_x(厚さ200nm)を用い、チャンネル部用ターゲット、ソース部及びドレイン部用ターゲットの組成を変えた他は実施例10と同様に電界効果型トランジスタを作製した。

表3～5に、実施例及び比較例で作製したトランジスタの評価結果、チャンネル部、ソース部・ドレイン部の組成及び性質を示す。

[0251] [表3]

[0252] [表4]

| | | 実施例 | | | | | | | | |
|--------------------|--|--|--|--|--|--|--|--|--|--|
| チャンネル部の成膜方式・条件 | スパッタ方式 全圧(Pa) | 20 DC 0.2 | 21 RF 0.2 | 22 DC 0.2 | 23 DC 0.2 | 24 Ar:99.5% O ₂ :0.5% Ar:100% O ₂ :0.5% | 25 Ar:99.5% O ₂ :0.5% Ar:95% O ₂ :0.5% | 26 Ar:99.5% O ₂ :0.5% Ar:99.5% O ₂ :0.5% | 27 Ar:99.5% O ₂ :0.5% Ar:99.5% O ₂ :0.5% | |
| チャンネル部の組成(原子比) | In/(In+Zn+X) Zn/(In+Zn+X) X/(In+Zn+X) | 0.65 0.13 0.22 | 0.34 0.33 0.33 | 0.34 0.33 0.33 | 0.43 0.43 0.33 | 0.43 0.43 0.14 | 0.43 0.43 0.14 | 0.43 0.43 0.14 | 0.43 0.43 0.14 | |
| チャンネル部の状態 | 元素X 伝導率の温度特性 キヤリア密度(cm ⁻³) 比抵抗(Ωcm) | Ga Ga 1×10 ¹⁷ 1×10 ² | Ga Ga 3×10 ¹⁵ 8×10 ³ | Ga 非晶質 非晶質 非晶質 | Sn 非晶退 非晶退 5×10 ¹⁵ 5×10 ³ | Al 非晶退 非晶退 6×10 ¹⁵ 6×10 ³ | Zr 非晶退 非晶退 5×10 ¹⁵ 5×10 ³ | Hf 非晶退 非晶退 6×10 ¹⁵ 6×10 ³ | Ti Ce 非晶退 非晶退 6×10 ¹⁵ 6×10 ³ | |
| ソース部・ドレイン部の成膜方式・条件 | スパッタ方式 全圧(Pa) | DC 0.2 | RF 0.2 | DC 0.2 | DC 0.2 | DC 0.2 | DC 0.2 | DC 0.2 | DC 0.2 | |
| ソース部・ドレイン部の組成(原子比) | In/(In+Zn+X) Zn/(In+Zn+X) X/(In+Zn+X) | Ar:99.5% O ₂ :0.5% Ar:100% O ₂ :0.5% | Ar:99.5% O ₂ :0.5% Ar:99.5% O ₂ :0.5% | Ar:99.5% O ₂ :0.5% Ar:99.5% O ₂ :0.5% | Ar:99.5% O ₂ :0.5% Ar:99.5% O ₂ :0.5% | Ar:99.5% O ₂ :0.5% Ar:99.5% O ₂ :0.5% | Ar:99.5% O ₂ :0.5% Ar:99.5% O ₂ :0.5% | Ar:99.5% O ₂ :0.5% Ar:99.5% O ₂ :0.5% | Ar:99.5% O ₂ :0.5% Ar:99.5% O ₂ :0.5% | |
| ソース部・ドレイン部の状態 | 元素X 伝導率の温度特性 キヤリア密度(cm ⁻³) 比抵抗(Ωcm) | Ga Ga 0.78 0.20 | Ga Ga 0.78 0.20 | Ga 非晶質 非晶質 0.78 0.02 | Ga 非晶退 非晶退 0.78 0.02 | Sn 非晶質 非晶質 0.78 0.02 | Al 非晶退 非晶退 0.78 0.02 | Zr 非晶退 非晶退 0.78 0.02 | Hf 非晶退 非晶退 0.78 0.02 | Ti Ce 非晶退 非晶退 0.78 0.02 |
| 熱処理 | | N ₂ ↑ 300°C1Hr N ₂ ↑ 300°C1Hr N ₂ ↑ 300°C1Hr N ₂ ↑ 300°C1Hr | N ₂ ↑ 300°C1Hr N ₂ ↑ 300°C1Hr N ₂ ↑ 300°C1Hr N ₂ ↑ 300°C1Hr | N ₂ ↑ 300°C1Hr N ₂ ↑ 300°C1Hr N ₂ ↑ 300°C1Hr N ₂ ↑ 300°C1Hr | N ₂ ↑ 300°C1Hr N ₂ ↑ 300°C1Hr N ₂ ↑ 300°C1Hr N ₂ ↑ 300°C1Hr | N ₂ ↑ 300°C1Hr N ₂ ↑ 300°C1Hr N ₂ ↑ 300°C1Hr N ₂ ↑ 300°C1Hr | N ₂ ↑ 300°C1Hr N ₂ ↑ 300°C1Hr N ₂ ↑ 300°C1Hr N ₂ ↑ 300°C1Hr | N ₂ ↑ 300°C1Hr N ₂ ↑ 300°C1Hr N ₂ ↑ 300°C1Hr N ₂ ↑ 300°C1Hr | N ₂ ↑ 300°C1Hr N ₂ ↑ 300°C1Hr N ₂ ↑ 300°C1Hr N ₂ ↑ 300°C1Hr | N ₂ ↑ 300°C1Hr N ₂ ↑ 300°C1Hr N ₂ ↑ 300°C1Hr N ₂ ↑ 300°C1Hr |
| トランジスタの特性 | 移動度(cm ² /Vs) オンオフ比 オフ電流(pA) ゲートリーケ電流(pA) S値 Vth(V) ヒステリシス 耐圧電圧のシフトΔVth(V) | 21 10 ⁹ 0.15 0.1 0.4 -0.2 少なし 0.3 | 23 10 ¹⁰ 0.1 0.1 0.4 0.2 少なし 0.4 | 21 10 ⁸ 0.05 0.05 0.2 0.1 少なし 0.2 | 17 0.1 0.1 0.2 0.5 0.1 少なし 0.1 | 19 10 ¹⁰ 0.05 0.05 0.1 0.4 少なし 0.1 | 23 10 ¹⁰ 0.05 0.05 0.1 0.3 少なし 0.1 | 21 10 ¹⁰ 0.05 0.05 0.1 0.3 少なし 0.1 | 22 10 ¹⁰ 0.05 0.05 0.1 0.4 少なし 0.1 | 22 10 ¹⁰ 0.05 0.05 0.1 0.3 少なし 0.1 |

[0253] [表5]

| | | 比較例 | | | | | |
|--------------------|--|---|---|---|---|--|--|
| | | 3 | 4 | 5 | 6 | 7 | |
| チャンネル部の成膜方式・条件 | スパッタ方式 | DC | DC | DC | DC | DC | DC |
| 全圧(Pa) | 0.2 | 0.2 | 0.2 | 0.2 | 0.2 | 0.2 | 0.2 |
| 雰囲気ガス | Ar:99.5% O ₂ :0.5% | Ar:99.5% O ₂ :0.5% | Ar:99.5% O ₂ :0.5% | Ar:99.5% O ₂ :0.5% | Ar:99.5% O ₂ :0.5% | Ar:99.5% O ₂ :0.5% | Ar:99.5% O ₂ :0.5% |
| チャンネル部の組成(原子比) | In/(In+Zn+X) Zn/(In+Zn+X) X/(In+Zn+X) | 0.34 0.33 0.33 | 0.78 0.20 0.02 | 0.78 0.20 0.02 | 0.34 0.33 0.33 | 0.34 0.33 0.33 | 0.34 0.33 0.33 |
| 元素X | Ga | Ga | Ga | Ga | Ga | Ga | Ga |
| チャンネル部の状態 | 伝導率の温度特性 キャリア密度(cm ⁻³) | 非縮退 5×10 ¹⁵ | 縮退 5×10 ³ | 縮退 1.5×10 ⁻³ | 9×10 ¹⁹ 1.5×10 ⁻³ | 9×10 ¹⁹ 5×10 ⁻³ | 9×10 ¹⁹ 5×10 ⁻³ |
| XRD | 非晶質 | 非晶質 | 非晶質 | 非晶質 | 非晶質 | 非晶質 | 非晶質 |
| ソース部・ドレイン部の成膜方式・条件 | スパッタ方式 | DC | DC | DC | DC | DC | DC |
| 全圧(Pa) | 0.2 | 0.2 | 0.2 | 0.2 | 0.2 | 0.2 | 0.2 |
| 雰囲気ガス | Ar:99.5% O ₂ :0.5% | Ar:99.5% O ₂ :0.5% | Ar:99.5% O ₂ :0.5% | Ar:99.5% O ₂ :0.5% | Ar:99.5% O ₂ :0.5% | Ar:99.5% O ₂ :0.5% | Ar:99.5% O ₂ :0.5% |
| ソース部・ドレイン部の組成(原子比) | In/(In+Zn+X) Zn/(In+Zn+X) X/(In+Zn+X) | 0.34 0.33 0.33 | 0.78 0.20 0.02 | 0.34 0.33 0.33 | 0.16 0.42 0.42 | 0.16 0.33 0.33 | 0.34 0.33 0.33 |
| ソース部・ドレイン部の状態 | 伝導率の温度特性 キャリア密度(cm ⁻³) | 非縮退 5×10 ¹⁵ | 縮退 5×10 ³ | 縮退 1.5×10 ⁻³ | 9×10 ¹⁹ 5×10 ³ | 7×10 ¹⁴ 4×10 ⁷ | 5×10 ¹⁵ 5×10 ³ |
| XRD | 非晶質 | 非晶質 | 非晶質 | 非晶質 | 非晶質 | 非晶質 | 非晶質 |
| 熱処理 | N ₂ 下 300°C 1Hr | N ₂ 下 300°C 1Hr | N ₂ 下 300°C 1Hr | N ₂ 下 300°C 1Hr | N ₂ 下 300°C 1Hr | N ₂ 下 300°C 1Hr | 無し |
| トランジスタの特性 | 移動度(cm ² /Vs) オンオフ比 オフ電流(pA) ゲートリーコード電流(pA) S値 V _{th} (V) ヒステリシス 閾値電圧のシフト△V _{th} (V) | 16 10 ⁸ 0.1 0.1 0.3 1.2 少ない 0.7 | 19 10 ⁶ 20 0.2 1.2 -5.5 少ない 0.7 | 17 10 ⁶ 20 0.2 1.8 -6.8 少ない 0.7 | 3 10 ⁶ 0.05 0.2 3 5.5 少ない 0.7 | 2 10 ⁶ 1.2 0.05 3 2.1 2.7 少ない 0.7 | 2 1.2 1.3 2.1 4.2 |

[0254] [チャンネル長依存性の評価(有効S/D直列抵抗の評価)]

実施例10において、チャンネル長(L)を10、20、30、40、50 μmと変えた電界効果トランジスタを作製し、その移動度を測定した。その結果、移動度のチャンネル長依存性はほとんど確認できず有効S/D直列抵抗(R_{SD})が小さいことが分かった。R_{SD}は35 Ωcmであった。また同様に測定した実施例11～28、及び実施例1～9の有効S/D直列抵抗(R_{SD})も100 Ωcm以下であった。

一方、比較例3において、チャンネル長(L)を上記と同様に変えた電界効果トランジスタを作製し、その移動度を測定した結果、実施例10と比較して大きなチャンネル長依存性(チャンネル長が短いほど移動度が低下)が確認され、有効S/D直列抵抗が大きいことが分かった。R_{SD}は230 Ωcmであった。また同様に測定した比較例

2、5、6及び7の有効S／D直列抵抗(R_{SD})も100Ωcm超であった。

産業上の利用可能性

[0255] 本発明の電界効果型トランジスタはフラットディスプレイ等の表示装置に好適なトランジスタ特性を有する。

本発明の半導体装置は、論理回路、メモリ回路、差動增幅回路等の集積回路に適用できる。特に、液晶ディスプレイ又は有機ELディスプレイを駆動させるスイッチング素子として好適に使用できる。

この明細書に記載の文献内容をここに援用する。

請求の範囲

- [1] 酸化物膜を半導体層として有し、
前記酸化物膜がチャンネル部位、ソース部位及びドレイン部位を有し、
前記チャンネル部位、ソース部位及びドレイン部位の酸素元素及び不活性ガスを
除く組成が実質同一である電界効果型トランジスタ。
- [2] 前記ソース部位及びドレイン部位のそれぞれの酸素濃度が、前記チャンネル部位
の酸素濃度よりも低い請求項1に記載の電界効果型トランジスタ。
- [3] 前記ソース部位及びドレイン部位が、ゲート電極と自己整合している請求項1又は2
に記載の電界効果型トランジスタ。
- [4] 前記酸化物膜が、In、Zn、Ga及びSnからなる群から選択される1以上の元素を含
む酸化物からなる請求項1～3のいずれかに記載の電界効果型トランジスタ。
- [5] 前記酸化物膜が、In及びZnを含む複合酸化物の非晶質膜である請求項1～4の
いずれかに記載の電界効果型トランジスタ。
- [6] 前記酸化物膜が、In、Zn及びGaを含む複合酸化物の非晶質膜、又はIn、Zn及び
Alを含む複合酸化物の非晶質膜である請求項1～5のいずれかに記載の電界効果
型トランジスタ。
- [7] 前記酸化物膜が、Zr、Hf、Ge、Si、Ti、Mn、W、Mo、V、Nb、B、Sc、Y及びラン
タノイド類元素からなる群から選択される1以上の元素、In及びZnを含む複合酸化物
の非晶質膜である請求項1～5のいずれかに記載の電界効果型トランジスタ。
- [8] 請求項1～7のいずれかに記載の電界効果型トランジスタを用いた表示装置。
- [9] 酸化物膜を形成する工程、及び
前記酸化物膜の一部の抵抗を減少させてソース部位及びドレイン部位を形成する
工程を含み、
前記酸化物膜がチャンネル部位、ソース部位及びドレイン部位を有する電界効果
型トランジスタの製造方法。
- [10] 低酸素分圧環境下で短波長の光を照射することにより前記酸化物膜の一部の抵抗
を減少させる請求項9に記載の電界効果型トランジスタの製造方法。
- [11] 不活性ガスプラズマ処理により前記酸化物膜の一部の抵抗を減少させる請求項9

に記載の電界効果型トランジスタの製造方法。

- [12] 酸化物膜を形成する工程、及び
前記酸化物膜の一部の抵抗を増加させてチャンネル部を形成する工程を含み、
前記酸化物膜がチャンネル部位、ソース部位及びドレイン部位を有する電界効果
型トランジスタの製造方法。
- [13] 酸素プラズマ処理又はオゾン処理により前記酸化物膜の一部の抵抗を増加させる
請求項12に記載の電界効果型トランジスタの製造方法。
- [14] 酸化物膜を形成する工程、
前記酸化物膜を絶縁膜で被覆する工程、及び
前記絶縁膜上にゲート電極を形成し、前記ゲート電極を加熱して前記酸化物膜の
一部の抵抗を増加させてチャンネル部を形成する工程を含み、
前記酸化物膜がチャンネル部位、ソース部位及びドレイン部位を有する電界効果
型トランジスタの製造方法。
- [15] 非縮退半導体である酸化物半導体が、縮退半導体である酸化物半導体を介して
導電体と接続している構造を有することを特徴とする半導体装置。
- [16] 酸化物半導体からなるチャンネル部と、酸化物半導体からなるソース部及びドレイ
ン部を含み、
前記チャンネル部が非縮退半導体であり、前記ソース部及びドレイン部の少なくとも
一方が縮退半導体であり、
チャンネル部がソース部及びドレイン部を介して、ソース電極及びドレイン電極と接
続していることを特徴とする電界効果型トランジスタ。
- [17] 前記ソース部及びドレイン部の少なくとも一方の組成が、チャンネル部と異なってい
ることを特徴とする請求項16の電界効果型トランジスタ。
- [18] 前記チャンネル部、ソース部及びドレイン部が、In元素を含む酸化物であることを
特徴とする請求項16又は17に記載の電界効果型トランジスタ。
- [19] 前記チャンネル部、ソース部及びドレイン部が、In元素、Zn元素及びその他の元素
Xを含む酸化物であり、
酸素元素を除く全元素中の元素Xの割合が、ソース部及びドレイン部よりもチャンネ

ル部において高いことを特徴とする請求項16～18のいずれかに記載の電界効果型トランジスタ。

- [20] 前記チャンネル部、ソース部及びドレイン部がIn、Zn及び元素Xを含む酸化物であり、

前記チャンネル部の組成が、下記の領域1、領域2又は領域3の原子比を満たし、

前記ソース部及びドレイン部の組成が、下記の領域4の原子比を満たすことを特徴とする請求項16～18のいずれかに記載の電界効果型トランジスタ。

領域1

$$\text{In} / (\text{In} + \text{Zn} + \text{X}) = 0.20 \sim 0.55$$

$$\text{Zn} / (\text{In} + \text{Zn} + \text{X}) = 0.00 \sim 0.80$$

$$\text{X} / (\text{In} + \text{Zn} + \text{X}) = 0.00 \sim 0.80$$

領域2

$$\text{In} / (\text{In} + \text{Zn} + \text{X}) = 0.55 \sim 0.90$$

$$\text{Zn} / (\text{In} + \text{Zn} + \text{X}) = 0.00 \sim 0.35$$

$$\text{X} / (\text{In} + \text{Zn} + \text{X}) = 0.10 \sim 0.45$$

領域3

$$\text{In} / (\text{In} + \text{Zn} + \text{X}) = 0.90 \sim 1.00$$

$$\text{Zn} / (\text{In} + \text{Zn} + \text{X}) = 0.00 \sim 0.10$$

$$\text{X} / (\text{In} + \text{Zn} + \text{X}) = 0.00 \sim 0.10$$

領域4

$$\text{In} / (\text{In} + \text{Zn} + \text{X}) = 0.55 \sim 0.90$$

$$\text{Zn} / (\text{In} + \text{Zn} + \text{X}) = 0.00 \sim 0.45$$

$$\text{X} / (\text{In} + \text{Zn} + \text{X}) = 0.00 \sim 0.10$$

- [21] 前記元素Xが、Ga、Al、B、Sc、Y、ランタノイド類(La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu)、Zr、Hf、Ge、Si、Ti、Mn、W、Mo、V、Cu、Ni、Co、Fe、Cr及びNbからなる群から選択される元素であることを特徴とする請求項19又は20に記載の電界効果型トランジスタ。

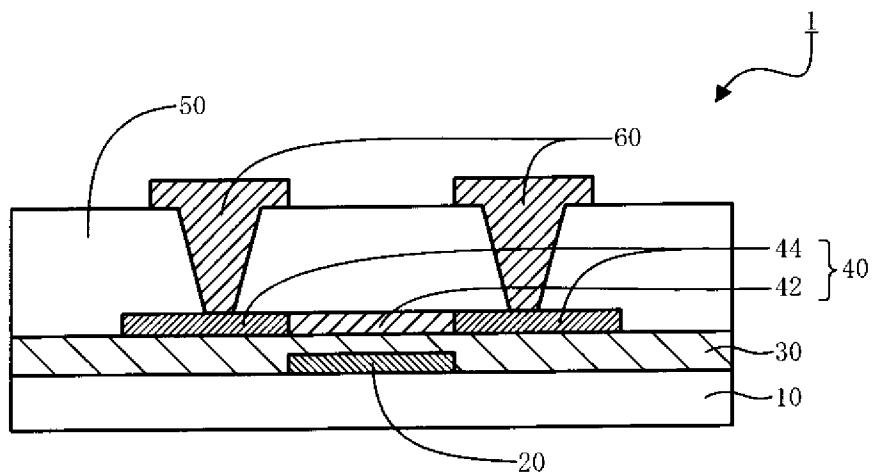
- [22] 前記チャンネル部がIn元素、Zn元素及び元素Xを含む酸化物であり、

前記ソース部及びドレイン部がIn元素、Zn元素及び元素Yを含む酸化物であり、前記元素X及び元素Yが、それぞれGa、Al、B、Sc、Y、ランタノイド類(La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu)、Zr、Hf、Ge、Si、Ti、Mn、W、Mo、V、Cu、Ni、Co、Fe、Cr、Nb及びSnからなる群から選択される元素であり、

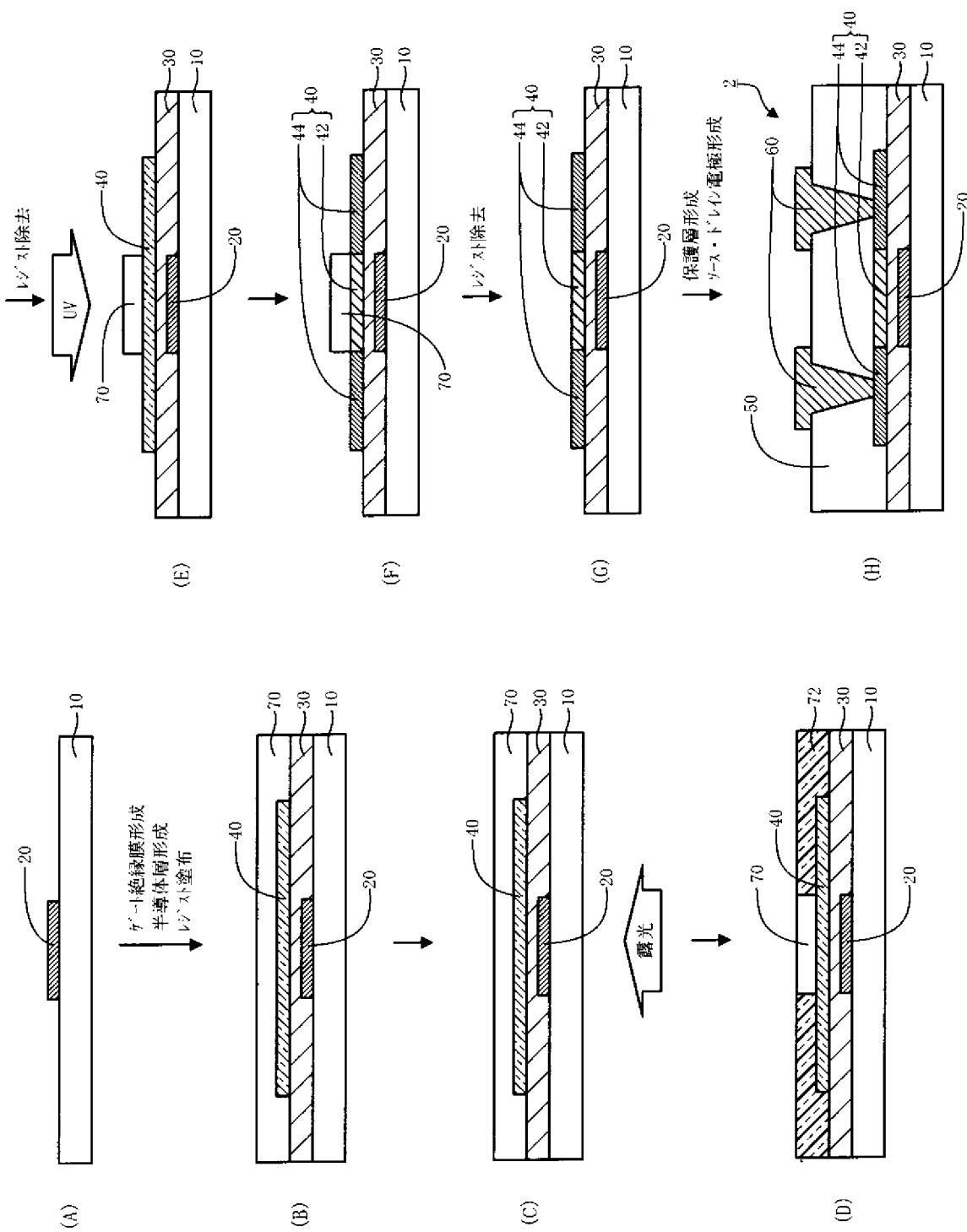
前記元素Xと元素Yが異なることを特徴とする請求項16～18のいずれかに記載の電界効果型トランジスタ。

- [23] 前記チャンネル部が、In元素と1種以上の正二価元素を含む結晶質酸化物からなることを特徴とする請求項16又は17に記載の電界効果型トランジスタ。
- [24] 前記ソース部及びドレイン部と、チャンネル部のエッチング選択比が5以上であることを特徴とする請求項16～23のいずれかに記載の電界効果型トランジスタ。
- [25] ソース電極、ドレイン電極及びゲート電極の少なくとも1つが、Ti、Pt、Cr、W、Al、Ni、Cu、Mo、Ta、Au及びNbからなる群から選択される金属、又は前記金属を1つ以上含む合金からなることを特徴とする請求項16～24のいずれかに記載の電界効果型トランジスタ。
- [26] チャンネル部を成膜する工程と、
ソース部及びドレイン部を成膜する工程と、
上記2つの成膜工程の後に、成膜温度より高い温度で熱処理する工程と、
を含むことを特徴とする請求項16～25のいずれかに記載の電界効果型トランジスタの製造方法。
- [27] 前記チャンネル部を成膜する工程と、ソース部及びドレイン部を成膜する工程との間において、処理対象を大気に暴露させないことを特徴とする請求項26に記載の電界効果型トランジスタの製造方法。
- [28] 前記チャンネル部と、前記ソース部及びドレイン部を、組成又は組成比が異なるスパッタリングターゲットを用いて成膜することを特徴とする請求項26又は27に記載の電界効果型トランジスタの製造方法。

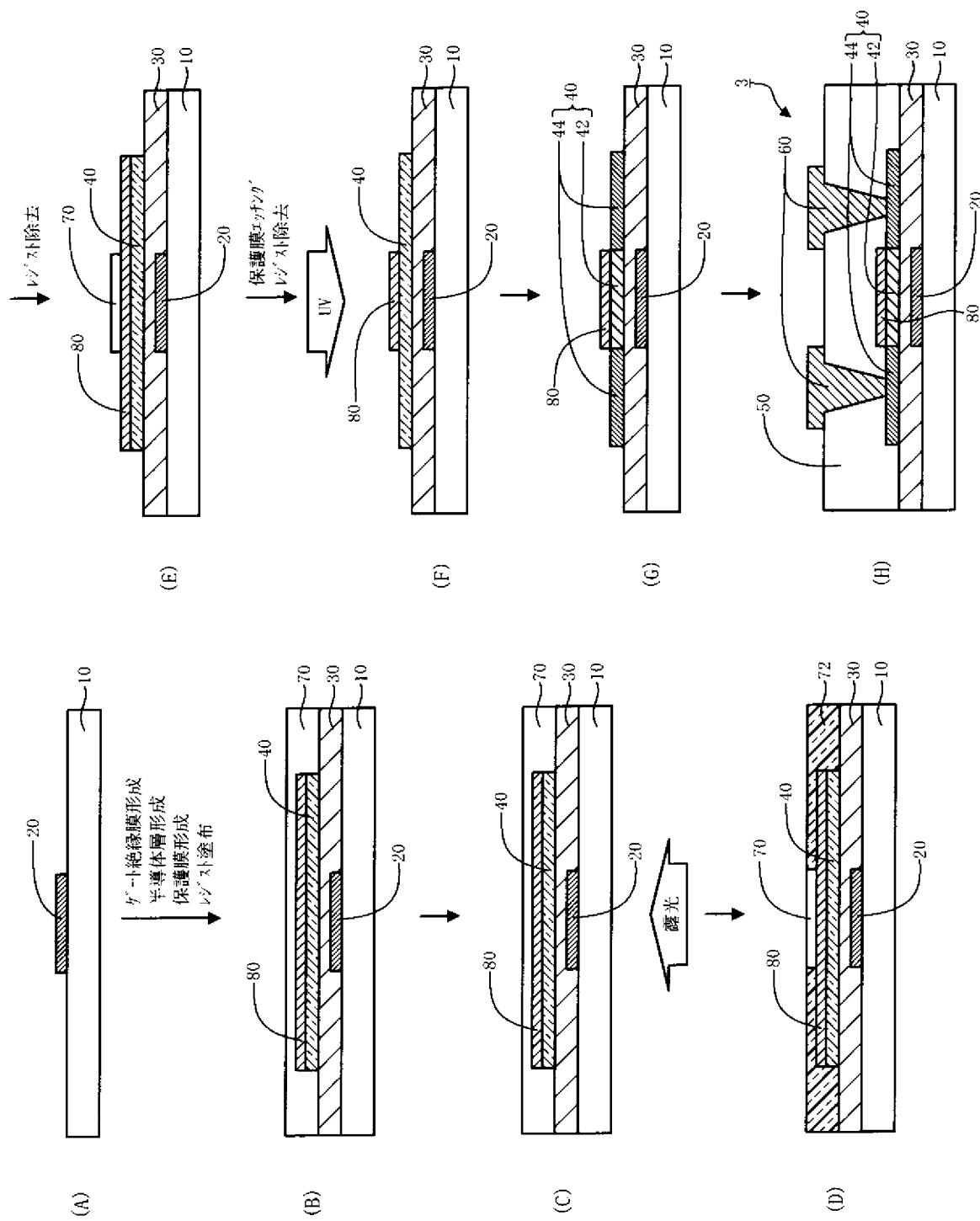
[図1]



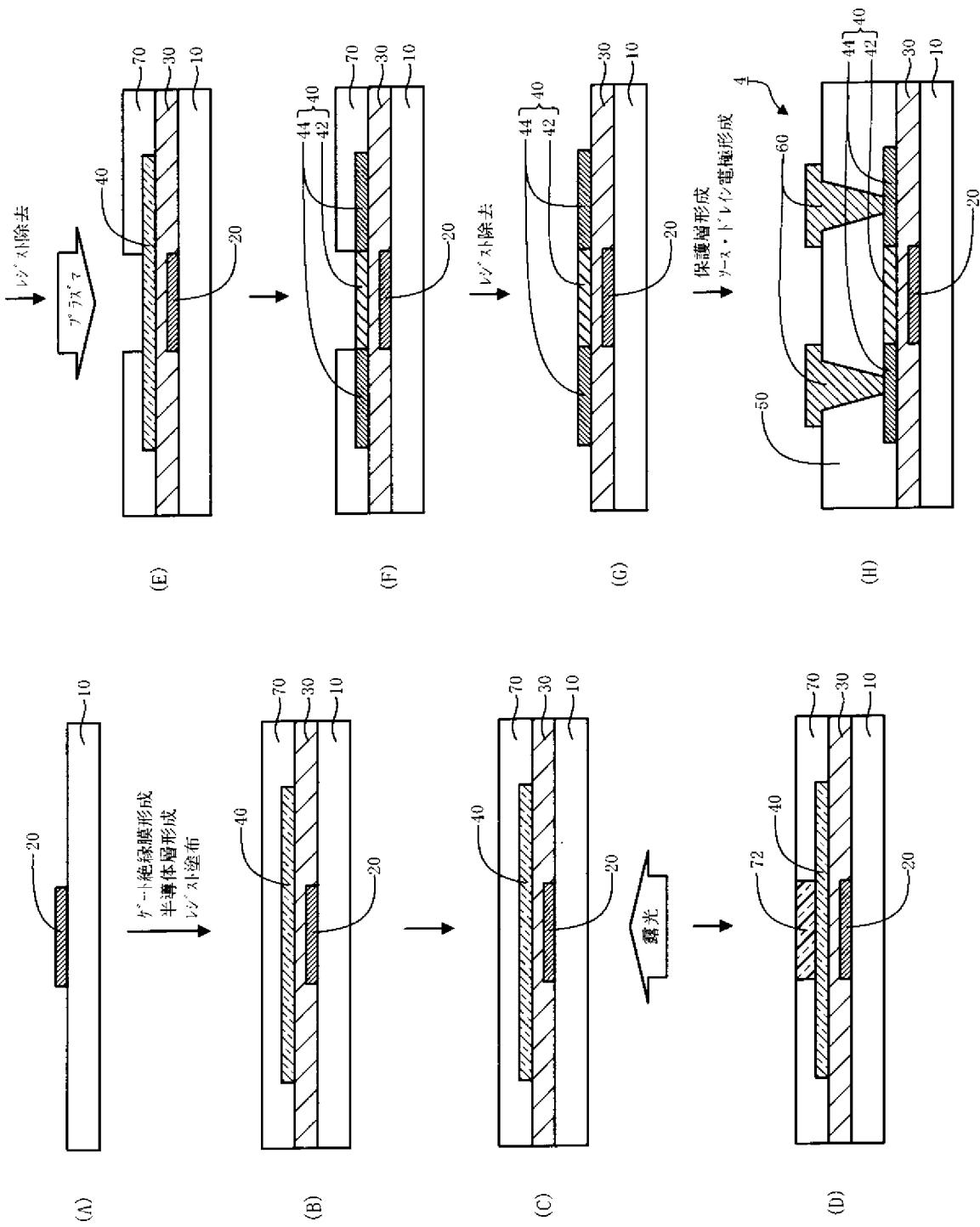
[図2]



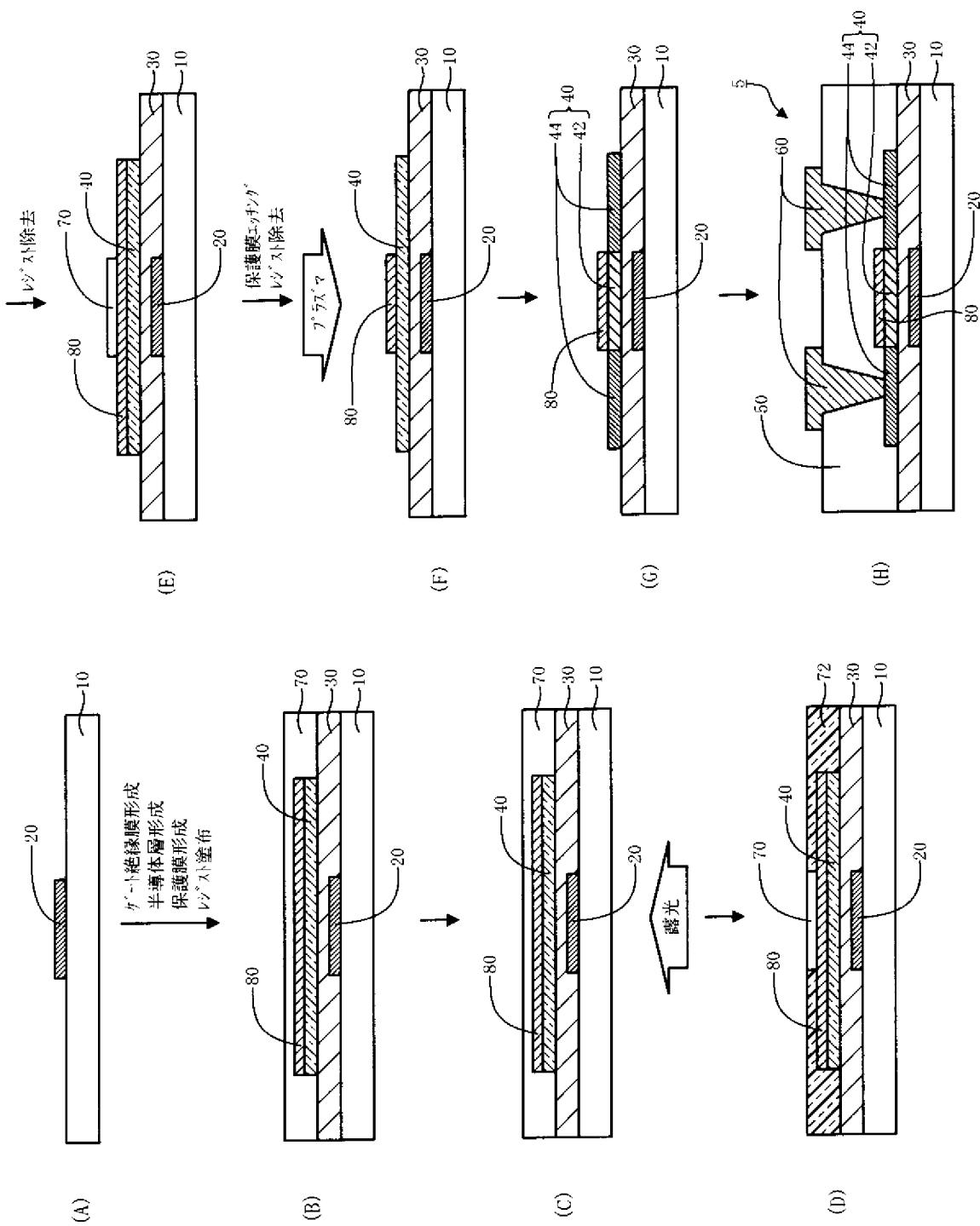
[図3]



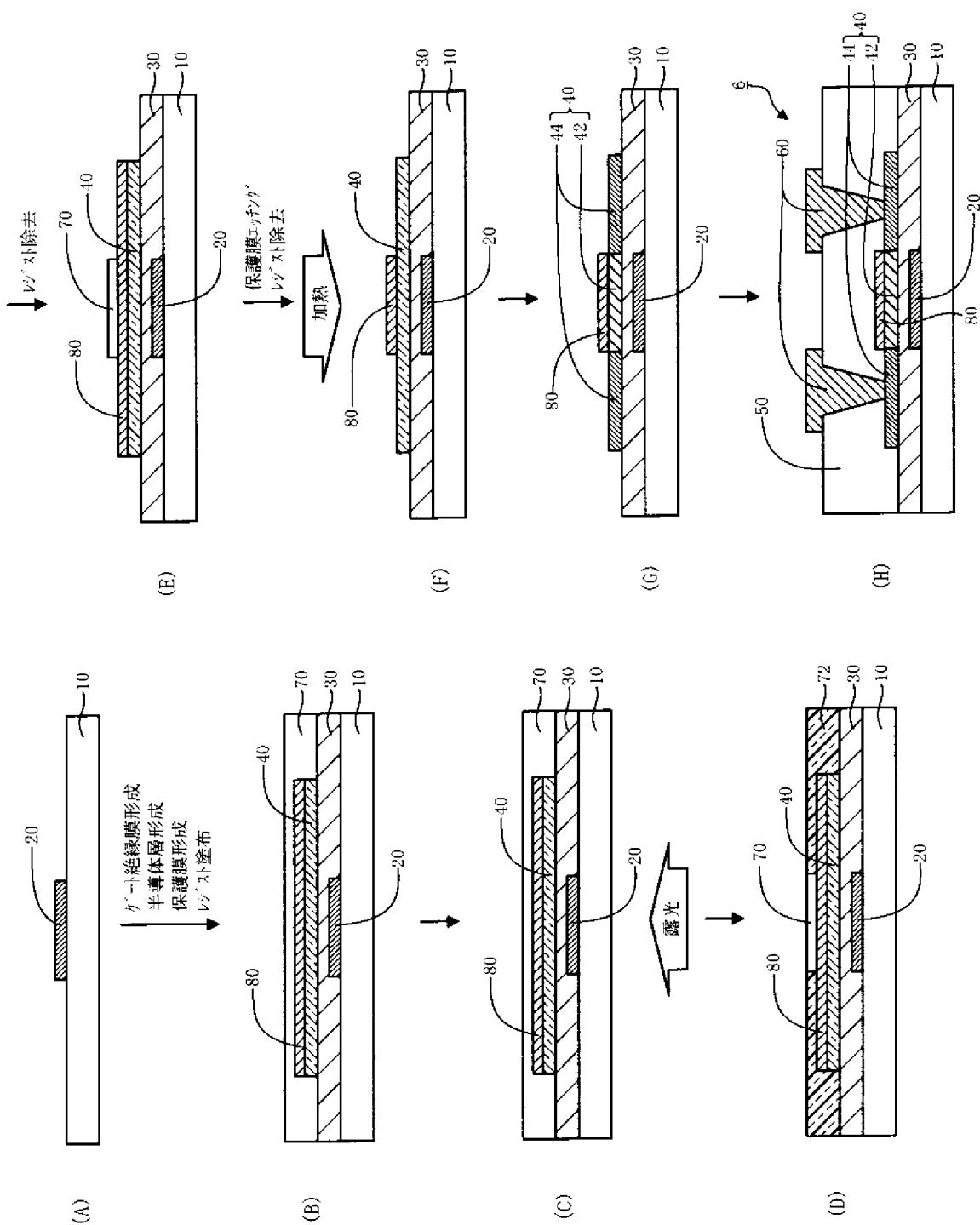
[図4]



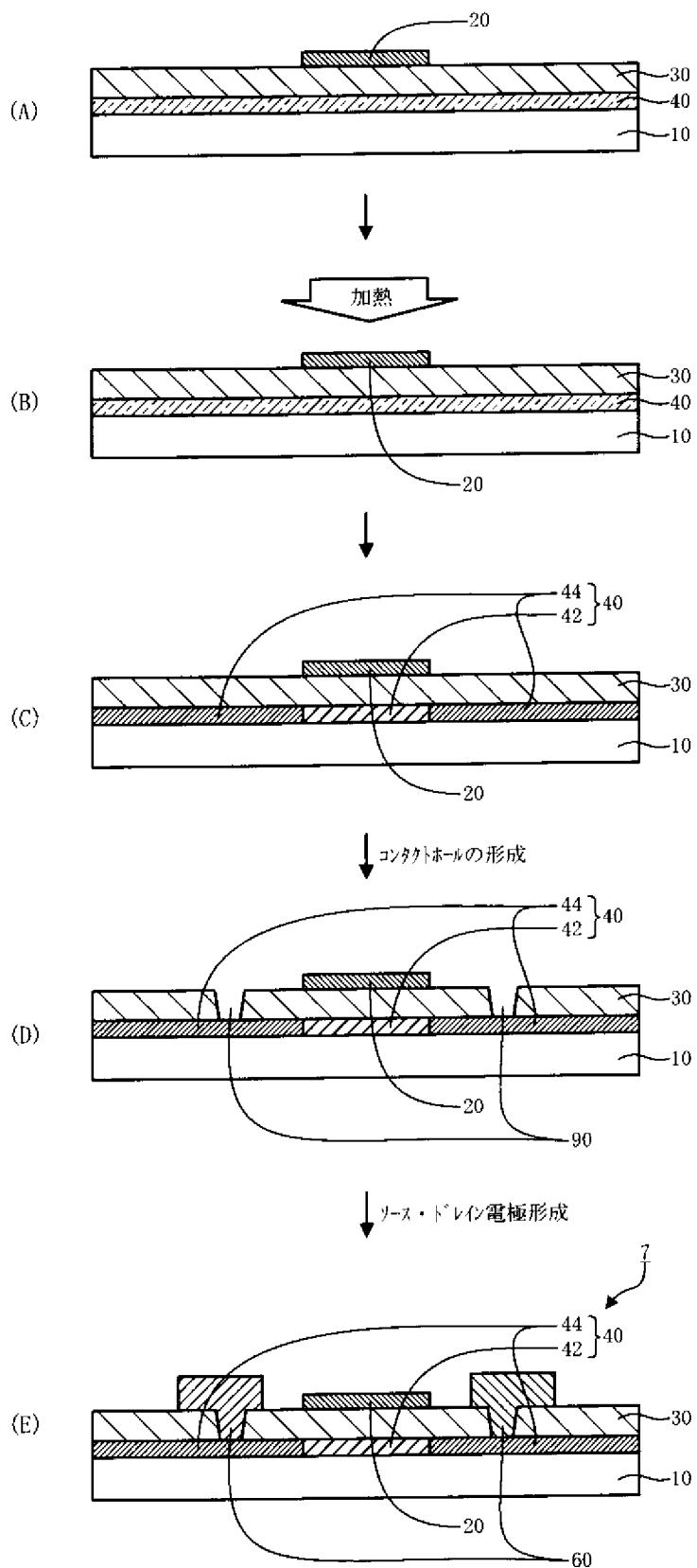
[図5]



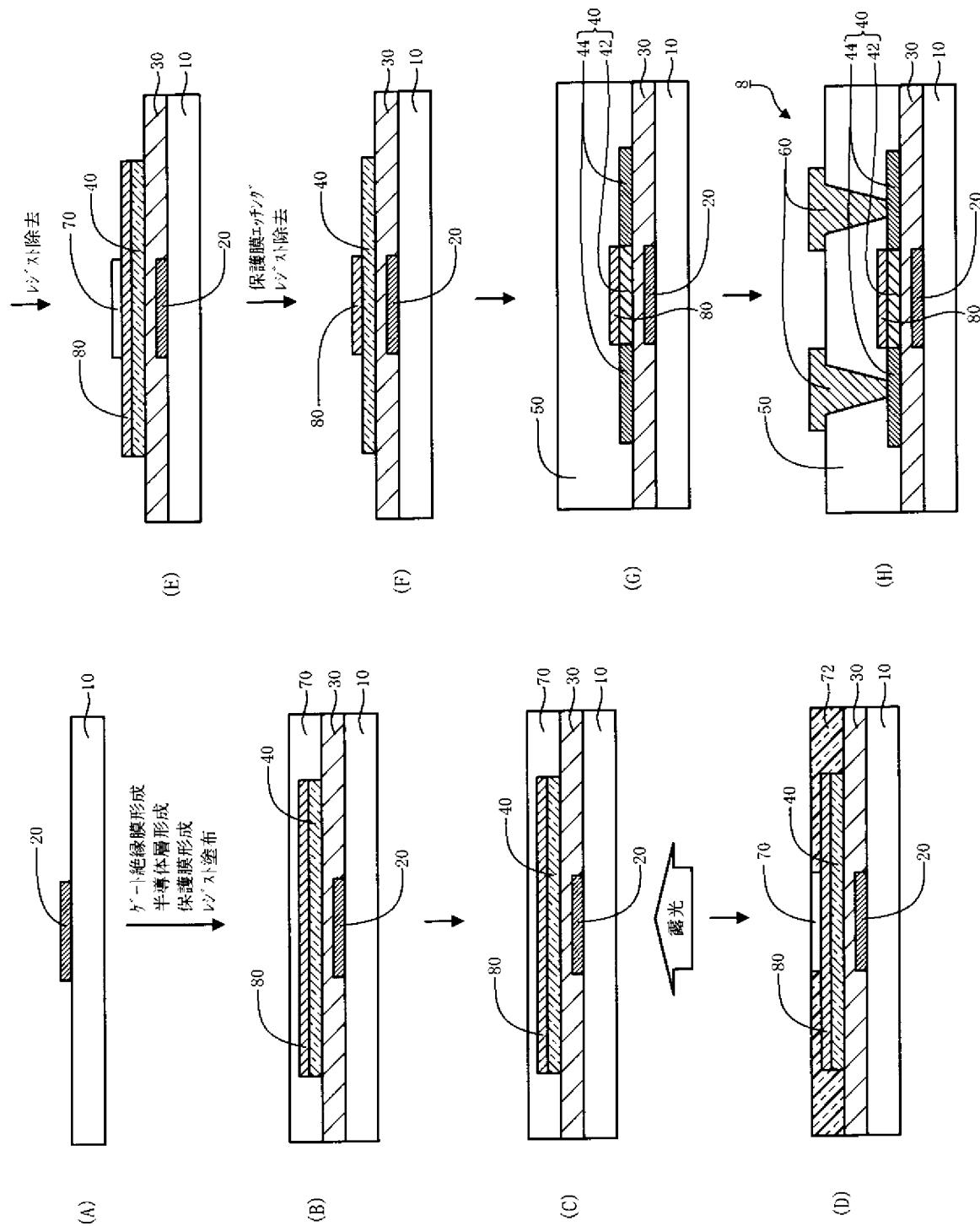
[図6]



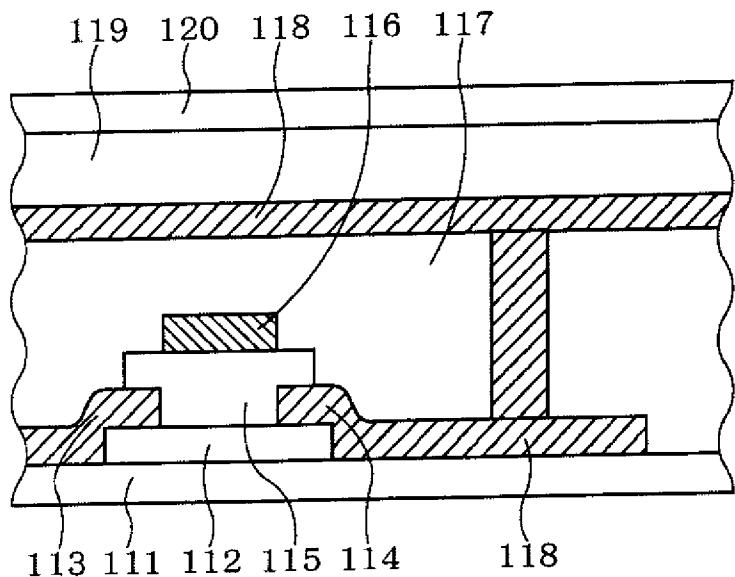
[図7]



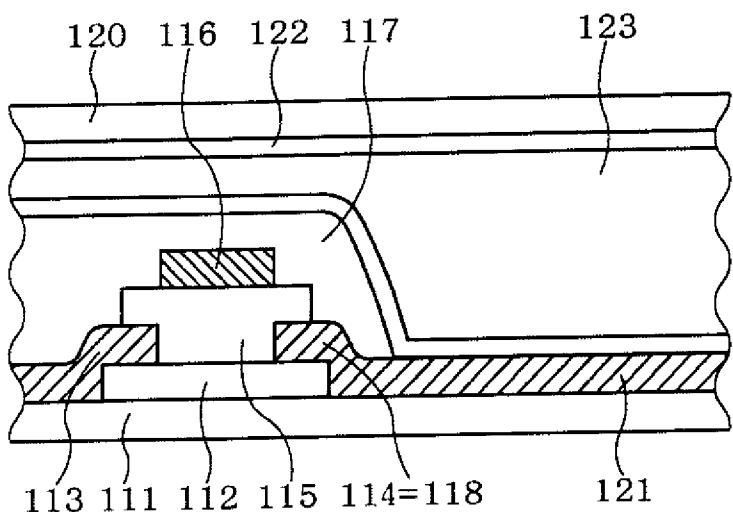
[図8]



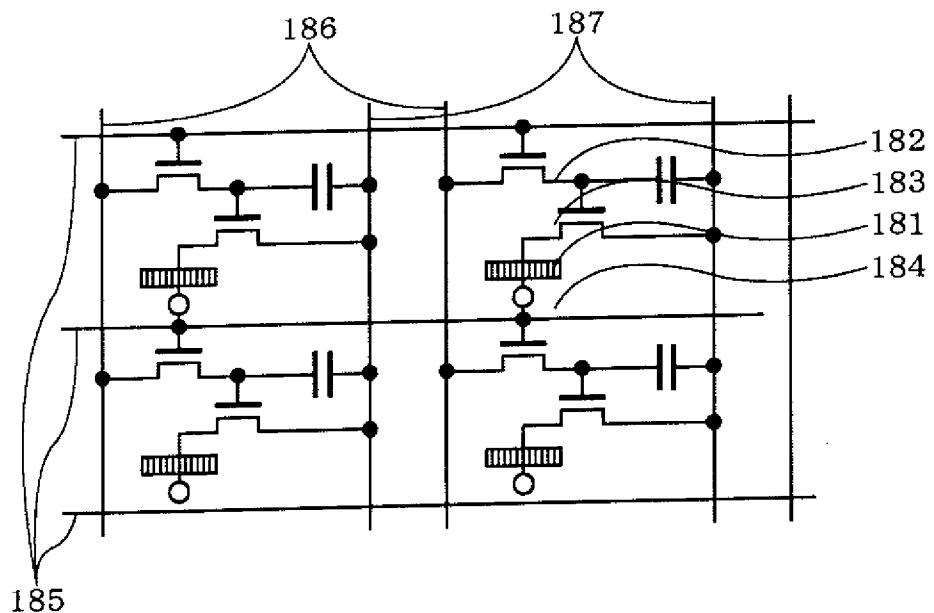
[図9]



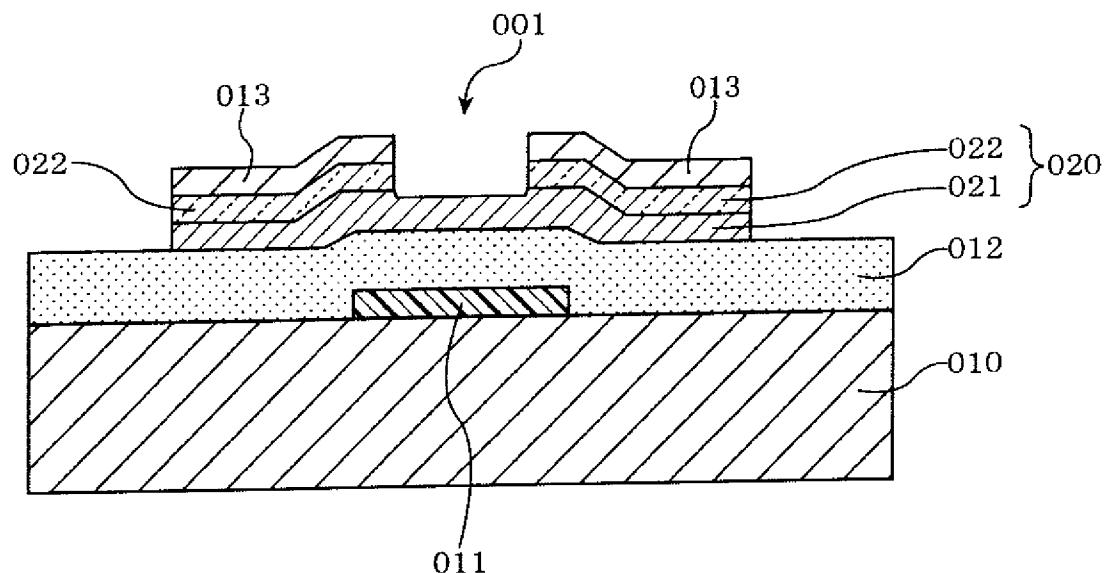
[図10]



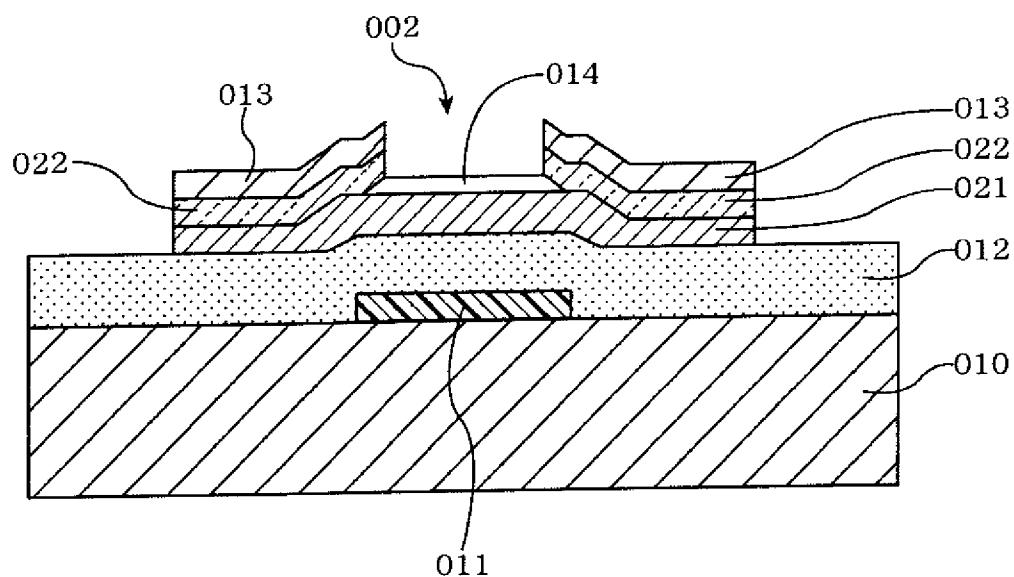
[図11]



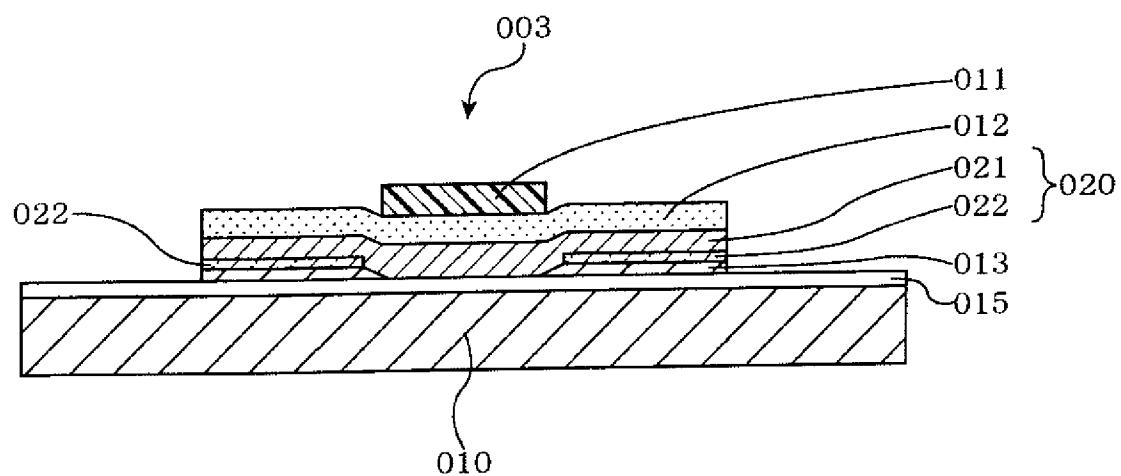
[図12]



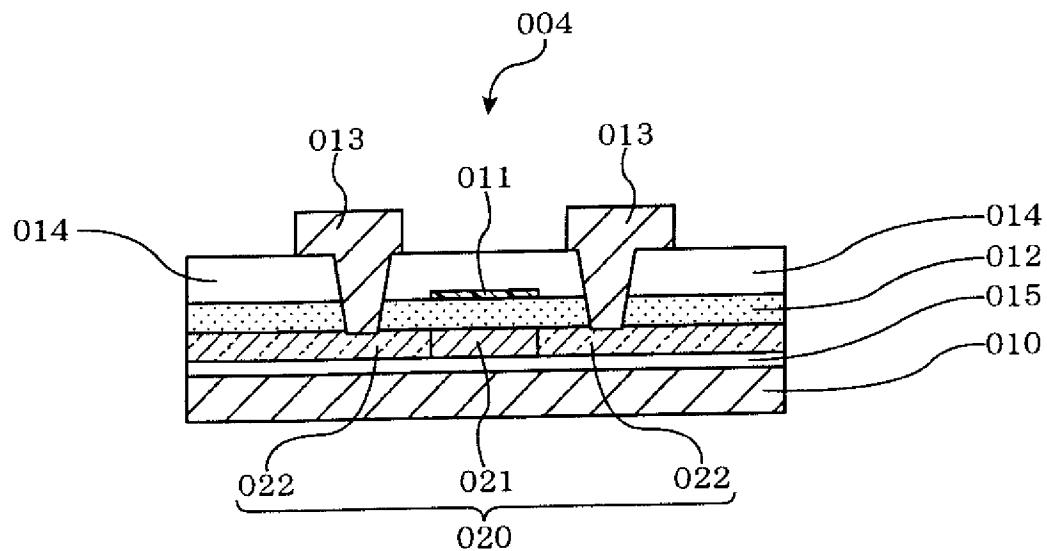
[図13]



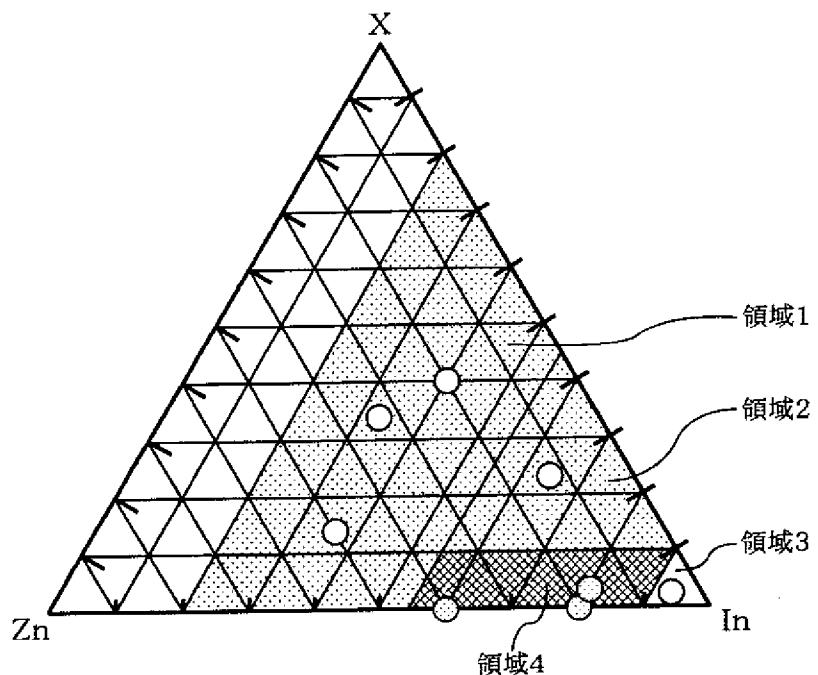
[図14]



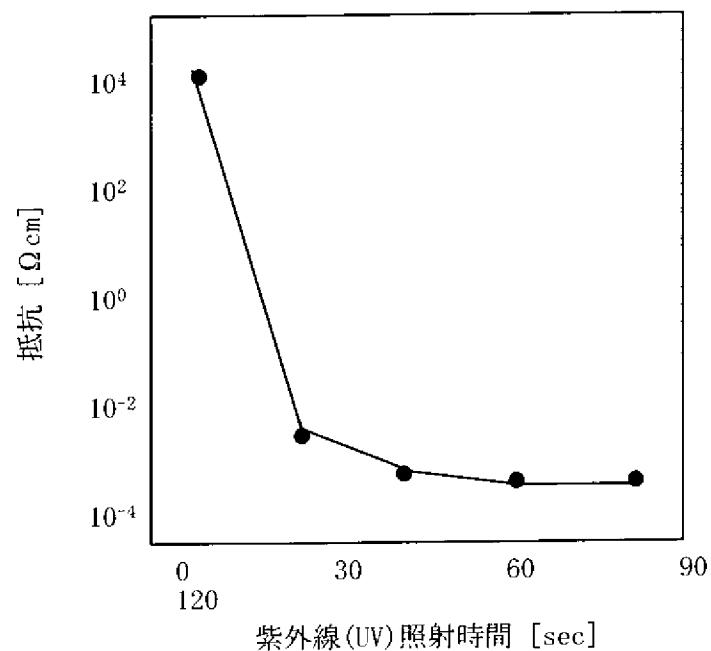
[図15]



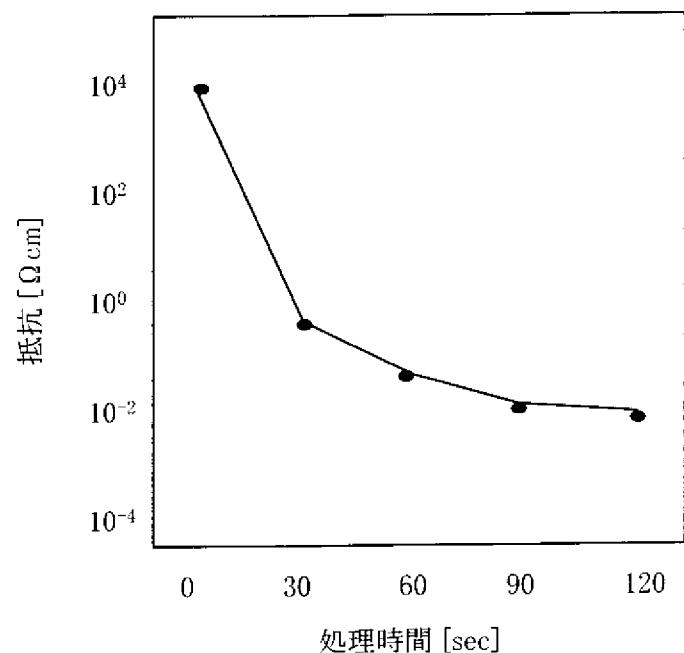
[図16]



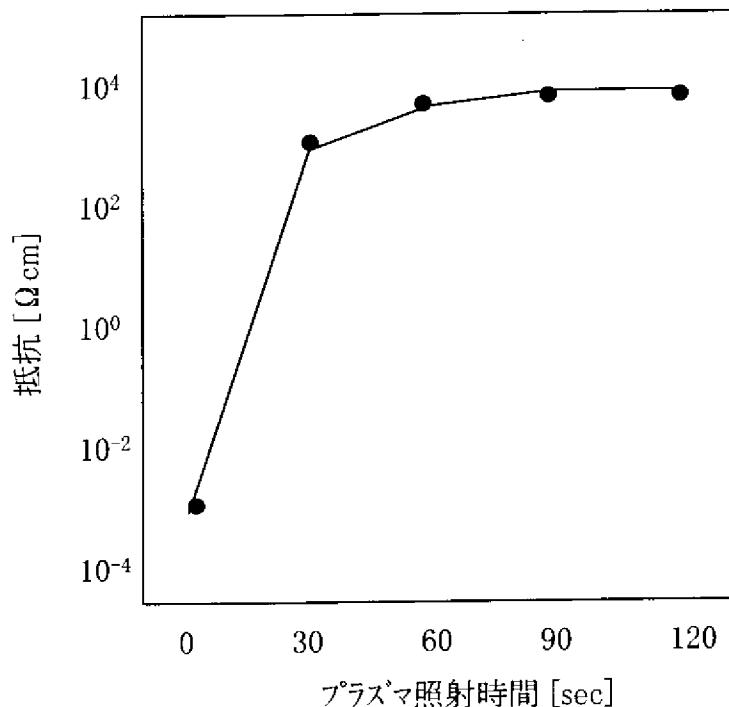
[図17]



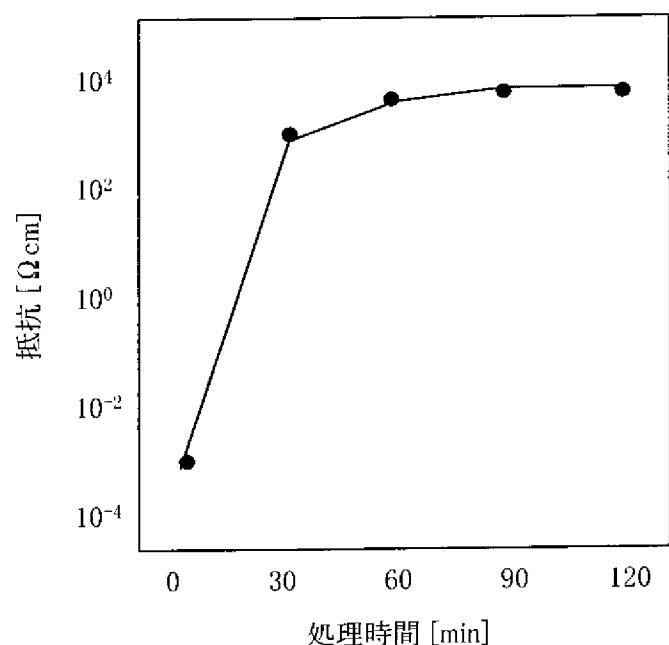
[図18]



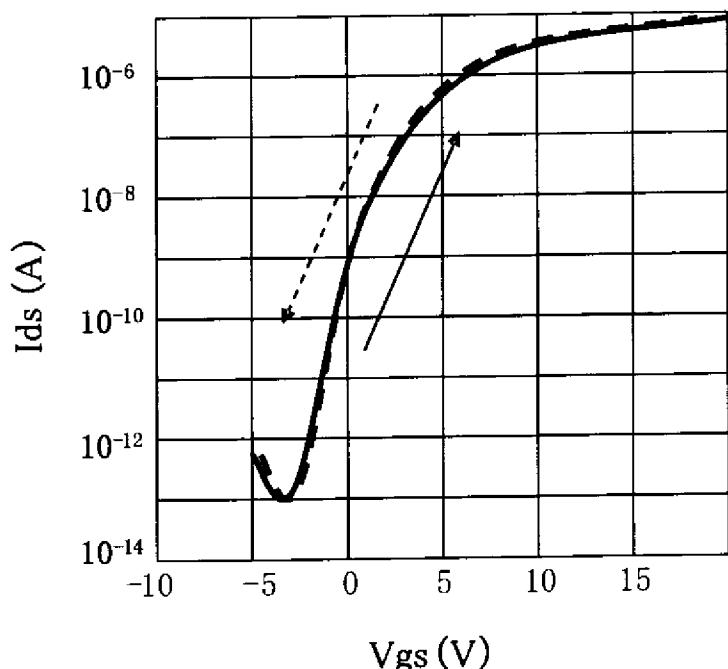
[図19]



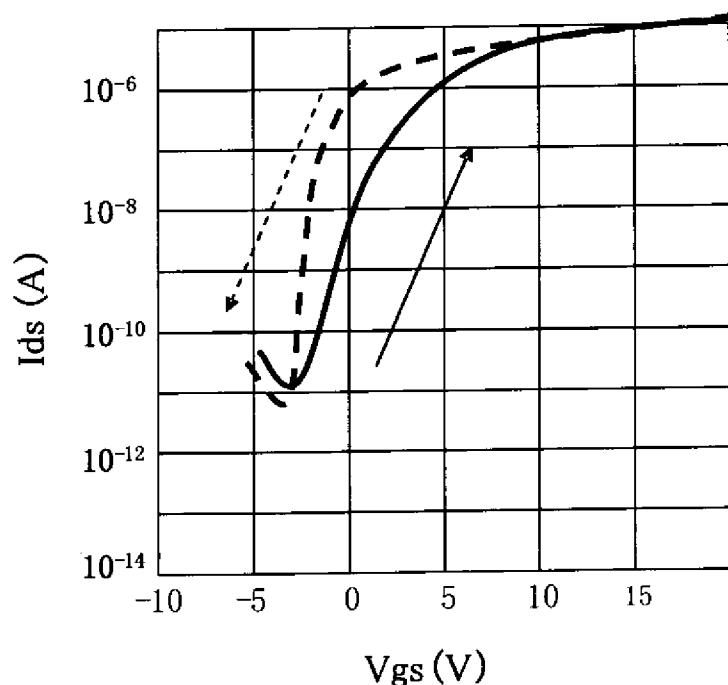
[図20]



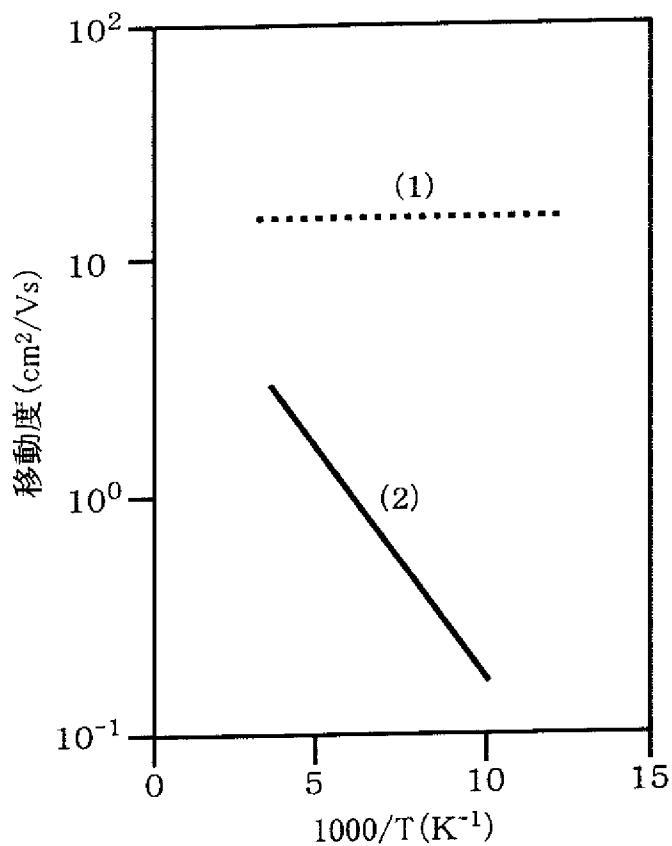
[図21]



[図22]



[図23]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/050916

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786 (2006.01) i, H01L21/336 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | |
|----------------------------------|------------------|-----------------------------------|------------------|
| <i>Jitsuyo Shinan Koho</i> | <i>1922-1996</i> | <i>Jitsuyo Shinan Toroku Koho</i> | <i>1996-2009</i> |
| <i>Kokai Jitsuyo Shinan Koho</i> | <i>1971-2009</i> | <i>Toroku Jitsuyo Shinan Koho</i> | <i>1994-2009</i> |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|---|
| X | JP 2005-268724 A (Sony Corp.) , 29 September, 2005 (29.09.05) , Par. Nos. [0012] to [0068] (Family: none) | 1, 2, 4-10, 12 3, 11, 13, 14, 19-22, 24, 28 |
| X | JP 2007-220816 A (Kochi Industrial Promotion Center) , 30 August, 2007 (30.08.07) , Par. Nos. [0009] to [0057] (Family: none) | 1, 3, 4, 8, 9, 11 |
| Y | JP 2007-250983 A (Canon Inc.) , 27 September, 2007 (27.09.07) , Par. No. [0032] & WO 2007/119386 A1 & EP 1984954 A | 3 |

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

06 April, 2009 (06.04.09)

Date of mailing of the international search report

14 April, 2009 (14.04.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Faxsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/050916

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|---|-----------------------|
| Y | JP 2007-123861 A (Semiconductor Energy Laboratory Co., Ltd.), 17 May, 2007 (17.05.07), Par. Nos. [0004] to [0045] & US 2007/0072439 A1 & EP 1770788 A2 & CN 1941299 A | 3, 14 |
| Y | JP 2004-235180 A (Sanyo Electric Co., Ltd.), 19 August, 2004 (19.08.04), Par. No. [0014] (Family: none) | 13 |
| X | JP 2006-165531 A (Canon Inc.), 22 June, 2006 (22.06.06), Par. Nos. [0010] to [0369] & US 2006/0110867 A1 | 1, 2, 4-8 |
| Y | JP 2002-289859 A (Minolta Co., Ltd.), 04 October, 2002 (04.10.02), Par. Nos. [0036] to [0039] (Family: none) | 15-28 |
| Y | WO 2007/063966 A1 (Idemitsu Kosan Co., Ltd.), 07 June, 2007 (07.06.07), Par. Nos. [0020], [0047] to [0060] & KR 10-2008-0082616 A | 19-22, 24, 28 |

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/JP2009/050916**Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

There are two inventions in this international application as stated in the extra sheet.

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest
the

- The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/050916

Continuation of Box No.III of continuation of first sheet (2)

The "special technical feature" of the invention in claims 1-7 relates to "a field-effect transistor wherein an oxide film is arranged as a semiconductor layer, the oxide film has a channel portion, a source portion and a drain portion, and compositions of the channel portion, the source portion and the drain portion, excluding oxygen element and an inert gas, are substantially the same".

The invention in claims 8-14 is considered to be a method especially applicable to manufacture of the invention in claim 1.

The "special technical feature" of the invention in claim 15, however, relates to "a semiconductor device characterized in having a structure wherein an oxide semiconductor, i.e., a nondegenerate semiconductor, is connected to a conductor through an oxide semiconductor, i.e., a degenerate semiconductor". The "special technical feature" of the invention in claims 16-28 relates to "a field-effect transistor characterized in that the transistor includes a channel section composed of an oxide semiconductor, a source section and a drain section composed of an oxide semiconductor, the channel section is a nondegenerate semiconductor, at least one of the source section and the drain section is a degenerate semiconductor, and the channel section is connected to the source electrode and the drain electrode through the source section and the drain section".

Consequently, since there is no technical relationship between the invention in claims 1-14 and the invention in claims 15-28 involving one or more of the same or corresponding special technical features, the inventions are not so linked as to form a single general inventive concept.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L29/786 (2006.01)i, H01L21/336 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L29/786, H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

| | |
|-------------|------------|
| 日本国実用新案公報 | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2009年 |
| 日本国実用新案登録公報 | 1996-2009年 |
| 日本国登録実用新案公報 | 1994-2009年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 |
|-----------------|---|---------------------------------|
| X | JP 2005-268724 A (ソニー株式会社) 2005.09.29, 段落 0012-0068 (ファミリーなし) | 1, 2, 4-10, 12 |
| Y | | 3, 11, 13, 14, 19-22, 24, 28 |
| X | JP 2007-220816 A (財団法人高知県産業振興センター) 2007.08.30, 段落 0009-057 (ファミリーなし) | 1, 3, 4, 8, 9, 11 |
| Y | JP 2007-250983 A (キヤノン株式会社) 2007.09.27, 段落 0032 & WO 2007/119386 A1 & EP 1984954 A | 3 |

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

| | |
|---|---|
| 国際調査を完了した日 06.04.2009 | 国際調査報告の発送日 14.04.2009 |
| 国際調査機関の名称及びあて先 日本国特許庁（ISA/JP） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号 | 特許庁審査官（権限のある職員） 綿引 隆 電話番号 03-3581-1101 内線 3462 4M 2934 |

| C (続き) . 関連すると認められる文献 | | |
|-----------------------|---|----------------|
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 |
| Y | JP 2007-123861 A (株式会社半導体エネルギー研究所) 2007. 05. 17, 段落 0004-0045 & US 2007/0072439 A1 & EP 1770788 A2 & CN 1941299 A | 3, 14 |
| Y | JP 2004-235180 A (三洋電機株式会社) 2004. 08. 19, 段落 0014 (ファミリーなし) | 13 |
| X | JP 2006-165531 A (キヤノン株式会社) 2006. 06. 22, | 1, 2, 4-8 |
| Y | 段落 0010-0369 & US 2006/0110867 A1 | 15-28 |
| Y | JP 2002-289859 A (ミノルタ株式会社) 2002. 10. 04, 段落 0036-0039 (ファミリーなし) | 15-28 |
| Y | WO 2007/063966 A1 (出光興産株式会社) 2007. 06. 07, 段落 0020, 0047-0060 & KR 10-2008-0082616 A | 19-22, 24, 28 |

第II欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、

2. 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

3. 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

(特別ページ)に記載したように、この国際出願の請求の範囲には、2個の発明が記載されている。

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- 追加調査手数料の納付はあったが、異議申立てはなかった。

請求項1～7に係る発明の「特別な技術的特徴」は「酸化物膜を半導体層として有し、前記酸化物膜がチャンネル部位、ソース部位及びドレイン部位を有し、前記チャンネル部位、ソース部位及びドレイン部位の酸素元素及び不活性ガスを除く組成が実質同一である電界効果型トランジスタ。」に関するものである。

また、請求項8～14に係る発明は、請求項1に係る発明の製造のために特に適した方法に該当するものと一応認める。

しかしながら、請求項15に係る発明の「特別な技術的特徴」は「非縮退半導体である酸化物半導体が、縮退半導体である酸化物半導体を介して導電体と接続している構造を有することを特徴とする半導体装置。」に関するものであり、請求項16～28に係る発明の「特別な技術的特徴」は「酸化物半導体からなるチャンネル部と、酸化物半導体からなるソース部及びドレイン部を含み、前記チャンネル部が非縮退半導体であり、前記ソース部及びドレイン部の少なくとも一方が縮退半導体であり、チャンネル部がソース部及びドレイン部を介して、ソース電極及びドレイン電極と接続していることを特徴とする電界効果型トランジスタ。」に関するものである。

よって、請求項1～14に係る発明と、請求項15～28に係る発明は、一又は二以上の同一又は対応する特別な技術的特徴を含む技術的な関係にないから、单一の一般的発明概念を形成するように連関しているものとは認められない。