



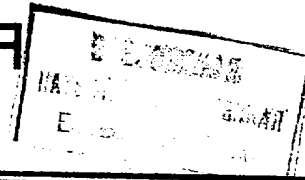
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1479954** **A1**

(51) 4 G 11 C 11/00, G 06 F 7/08

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 4306209/24-24

(22) 14.09.87

(46) 15.05.89. Бюл. № 18.

(72) А.А.Мельник

(53) 681.327.6(088.8)

(56) Шигин А.Г., Дерюгин А.А. Цифровые вычислительные машины. М., 1975, с.11.

Каган Б.М. Электронные вычислительные машины и системы. М., 1979, с.112.

(54) БУФЕРНОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО

(57) Изобретение относится к вычислительной технике и может быть использовано при построении запоминающих устройств ЭВМ. Целью изобретения является расширение функциональных возможностей устройства за счет

обеспечения произвольного порядка считывания информации. Устройство содержит блок памяти, состоящий из n ячеек, блок сортировки адресов и коммутатор. Блок сортировки адресов содержит n узлов сравнения, каждый из которых включает регистр, элемент сравнения, коммутатор, триггер, элемент И и элемент ИЛИ. Цель изобретения достигается тем, что запоминающее устройство организуется в виде многоразрядного сдвигового регистра, причем позиция очередного слова, записываемого в регистр, определяется сопровождающим его кодом адреса. В результате расположение информации в регистре автоматически упорядочивается по кодам адресов, от меньшего к большему. 2 з.п. ф-лы, 4 ил.

1

Изобретение относится к вычислительной технике и может быть использовано при построении запоминающих устройств ЭВМ.

Целью изобретения является расширение функциональных возможностей устройства за счет обеспечения произвольного порядка считывания информации.

На фиг.1 представлена структурная схема буферного запоминающего устройства; на фиг.2 - функциональная схема блока памяти; на фиг.3 - функциональная схема блока сортировки адресов; на фиг.4 - функциональная схема коммутатора.

2

Устройство (фиг.1) содержит блок 1 сортировки адресов, блок памяти 2, коммутатор 3, вход синхронизации 4, управляющий вход 5, адресные входы 6, информационный вход 7, информационный выход 8, шины $9_1, 9_2, \dots, 9_n$ (n - количество ячеек памяти) управления памятью, шины $10_1, 10_2, \dots, 10_{n-1}$ управления коммутатором 3, информационные шины $11_1, 11_2, \dots, 11_{n-1}$ и $12_1, 12_2, \dots, 12_{n-1}$.

Блок 1 сортировки адресов (фиг.3) содержит узлы $13_1, 13_2, \dots, 13_n$ сравнения, каждый из которых содержит элемент И 14, триггер 15, регистр

(19) **SU** (11) **1479954** **A1**

16, элемент сравнения 17, элемент ИЛИ 18, коммутатор 19.

Коммутатор 3 (фиг.4) содержит элементы коммутации $3_1, 3_2, \dots, 3_n$.

Запоминающее устройство работает следующим образом.

Будем считать, что в блоке памяти 2 уже находится ранее записанный массив из n чисел, размещенных в ячейках памяти в соответствии с величинами поступивших с ними адресов. Вместе с поступлением по входу 7 первого числа нового массива по входу 6 поступает адрес, указывающий, каким по порядку в данном массиве это число должно быть считано, а по входу 5 поступает сигнал, равный единице, который устанавливает все триггеры 15 в единицу, обеспечивая сдвиг ранее записанного массива вниз. По первому тактовому импульсу, поступившему по входу 4, выполняются следующие операции:

сдвиг в памяти ранее записанного массива из n чисел на одну ячейку вниз и считывание первого числа этого массива на выход 8;

запись в триггер 15 узла 13, сравнения единицы, которая сопровождает первый элемент нового массива чисел, поступающей по входу 5;

запись адреса первого числа нового массива в регистр 16 узла 13, сравнения, причем сигнал разрешения записи в регистр 16 поступает на элемент И 14 от элемента ИЛИ 18, через который проходит единица с входа 5;

запись первого числа нового массива в ячейку 2, блока памяти 2 сигналом с выхода элемента И 14.

После этого по входу 7 поступает второе число нового массива, по входу 6 - его адрес, а по входу 5 - ноль. На элементе 17 сравнения узла 13, адрес второго числа сравнивается с адресом первого числа из регистра 16. Элемент 17 сравнения вырабатывает сигнал, который, проходя через элемент ИЛИ 18, управляет элементом И 14, коммутатором 19 и элементом коммутации 3_1 коммутатора 3. Если адрес второго числа больше адреса первого числа, схема сравнения 55 вырабатывает сигнал, равный единице, который разрешает прохождение тактовых импульсов через элемент

И 14, пропускает через коммутатор 19 число из регистра 16, а через элемент коммутации 3_1 - число с выхода ячейки 2, блока памяти 2. Если адрес второго числа меньше адреса первого числа, элемент сравнения 17 вырабатывает сигнал, равный нулю, который закрывает элемент И 14, пропускает через коммутатор 19 число с входа 6, а через элемент коммутации 3_1 - число с входа 8.

По второму тактовому импульсу выполняются следующие операции:

сдвиг в памяти ранее записанного массива из $n-1$ числа на одну ячейку вниз и считывание второго числа этого массива;

запись единицы, которая сопровождает первый элемент нового массива чисел, из триггера 15 узла 13, в триггер 15 узла 13, запись нуля с входа 5 в триггер 15 узла 13, сравнения;

запись адреса второго числа нового массива в регистр 16 узла 13, сравнения и самого второго числа в ячейку 2, памяти сигналом с выхода элемента И 14 узла 13, если адрес второго числа меньше адреса первого числа, или запись адресов первого и второго чисел в регистры 16 соответственно узлов 13₂ и 13₁ и запись первого и второго чисел соответственно в ячейки 2₂ и 2₁ памяти, если адрес второго числа больше адреса первого числа.

После прихода $(n-1)$ -го импульса по входу 7 поступает n -е число нового массива, по входу 6 - его адрес, а по входу 5 - ноль. На элементах 17 сравнения узлов 13_{*i*} ($i = 1, 2, \dots, n-1$) адрес n -го числа сравнивается с адресами 1-го, 2-го, ..., $(n-1)$ -го чисел, хранящимися в регистрах 16 узлов 13_{*i*}. Элементы 17 сравнения узлов 13_{*i*} вырабатывают сигналы 0 или 1 в зависимости от того, меньше или больше адрес n -го числа, чем адрес, который хранится в регистре 16 узла 13_{*i*}.

По n -му тактовому импульсу выполняются следующие операции:

считывание последнего числа ранее записанного массива;

запись единицы из триггера 15 узла 13_{*n-1*} в триггер 15 узла 13_{*n*}, запись нуля из входа 5 в триггер 15 узла 13_{*n*} сравнения;

запись адреса n -го числа нового массива и запись n -го числа нового массива соответственно в регистр 16 узла 13j и ячейку 2j памяти, причем значение j равно адресу n -го числа нового массива, и сдвиг адресов и чисел с j-го до $(n-1)$ -го вниз на одну ячейку.

Таким образом, после прихода n -го импульса в запоминающем устройстве будет запомнен массив из n чисел, которые размещены в ячейках памяти в соответствии с величинами их адресов. В следующем тактовом импульсе можно начинать считывание этого массива чисел и запись нового массива.

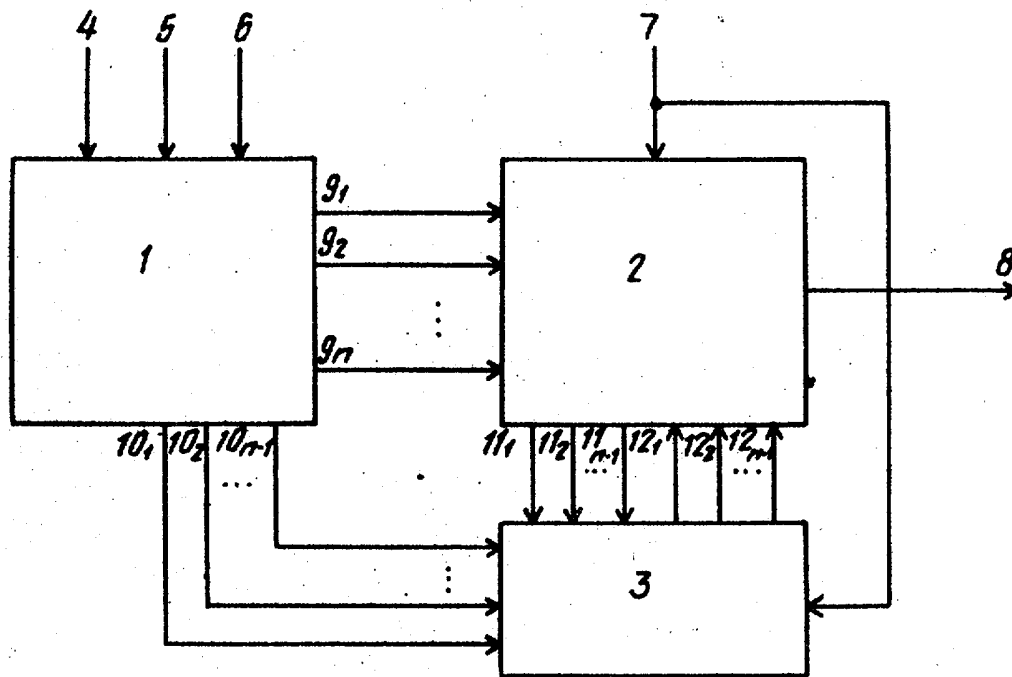
Ф о р м у л а и з о б р е т е н и я

1. Буферное запоминающее устройство, содержащее блок памяти из n ячеек, причем информационный вход первой ячейки и выход n -й ячейки являются соответственно входом и выходом устройства, о т л и ч а ю щ е с я тем, что, с целью расширения функциональных возможностей за счет обеспечения произвольного порядка считывания информации, в устройстве введены блок сортировки адресов и коммутатор, причем адресные входы, управляющий вход и вход синхронизации блока сортировки адресов являются одноименными входами устройства, управляющие выходы первой группы с первого по n -й блока сортировки адресов соединены с входами записи соответствующих ячеек блока памяти, выходы ячеек блока памяти с первого по $(n-1)$ -й подключены соответственно к информационным входам с второй по n -ю групп коммутатора, выходы которого с первого по $(n-1)$ -й соединены с информационными входами ячеек блока памяти с второй по n -ю соответственно, информационные входы первой группы коммутатора подключены к информационному входу устройства, а управляющие входы коммутатора с первого по $(n-1)$ -й соединены с соответствующими управляющими выходами второй группы блока сортировки адресов.

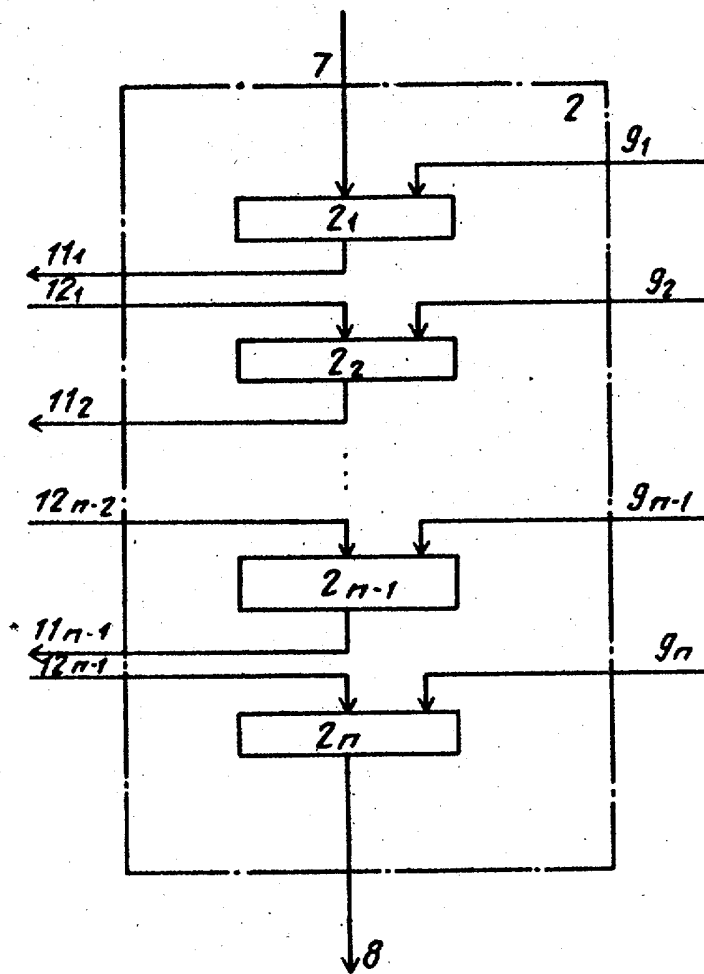
2. Устройство по п.1, о т л и ч а ю щ е е с я тем, что блок сортировки адресов содержит n узлов

сравнения, причем каждый из них включает регистр, выходы которого соединены с информационными входами второй группы коммутатора и с входами второй группы элемента сравнения, выход которого подключен к второму входу элемента ИЛИ, первый вход которого соединен с информационным входом триггера, а выход подключен к управляющему входу коммутатора и к второму входу элемента И, выход которого соединен с синхровходом регистра, информационные входы регистра, входы первой группы элемента сравнения и информационные входы первой группы коммутатора каждого узла сравнения подключены к адресным входам блока сортировки адресов, первый вход элемента И и синхровход триггера каждого узла сравнения соединены с входом синхронизации блока сортировки адресов, установочные входы триггеров всех узлов сравнения и информационный вход триггера первого узла сравнения подключены к управляющему входу блока сортировки адресов, выход триггера и выходы коммутатора каждого предыдущего узла сравнения с первого по $(n-1)$ -й соединены соответственно с информационным входом триггера и с информационными входами регистра каждого последующего узла сравнения с второго по n -й, выходы элементов И узлов сравнения с первого по n -й подключены к соответствующим управляющим выходам первой группы блока сортировки адресов, а выходы элементов ИЛИ узлов сравнения с первого по $(n-1)$ -й соединены с соответствующими управляющими выходами второй группы блока сортировки адресов.

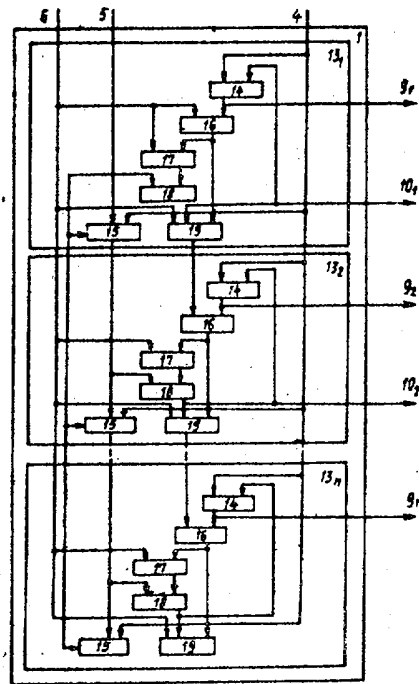
3. Устройство по п.1, о т л и ч а ю щ е е с я тем, что коммутатор содержит $(n-1)$ элементов коммутации, информационные входы первой группы которых соединены с информационными входами первой группы коммутатора, информационные входы второй группы элементов коммутации подключены к информационным входам с второй по n -ю групп коммутатора, управляющие входы и выходы элементов коммутации соединены с соответствующими одноименными входами и выходами коммутатора.



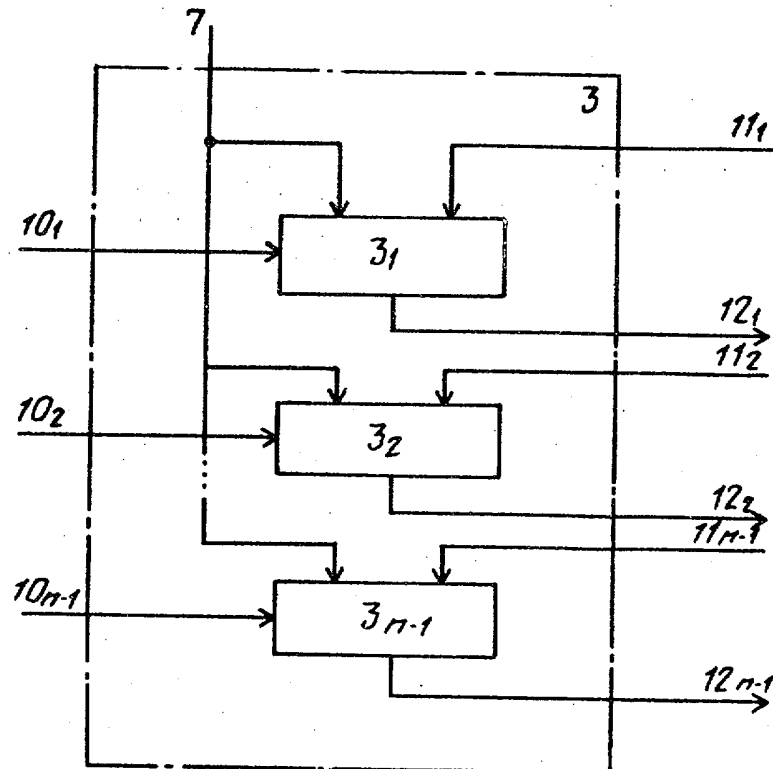
фиг.1



фиг.2



Фиг. 3



Фиг. 4

Составитель О.Исаев

Редактор М.Циткина Техред А.Кравчук

Корректор М.Самборская

Заказ 2544/47

Тираж 559

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101