

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4956922号
(P4956922)

(45) 発行日 平成24年6月20日 (2012.6.20)

(24) 登録日 平成24年3月30日 (2012.3.30)

(51) Int. Cl.	F I		
G06F 12/08 (2006.01)	G06F 12/08	551B	
G06F 12/00 (2006.01)	G06F 12/08	501C	
G06F 12/02 (2006.01)	G06F 12/08	501G	
G06F 12/06 (2006.01)	G06F 12/08	515P	
	G06F 12/08	553B	
請求項の数 5 (全 44 頁) 最終頁に続く			

(21) 出願番号	特願2005-171141 (P2005-171141)	(73) 特許権者	000002185
(22) 出願日	平成17年6月10日 (2005.6.10)		ソニー株式会社
(65) 公開番号	特開2006-236304 (P2006-236304A)		東京都港区港南1丁目7番1号
(43) 公開日	平成18年9月7日 (2006.9.7)	(74) 代理人	100094053
審査請求日	平成20年4月9日 (2008.4.9)		弁理士 佐藤 隆久
(31) 優先権主張番号	特願2004-312500 (P2004-312500)	(72) 発明者	西原 利幸
(32) 優先日	平成16年10月27日 (2004.10.27)		東京都品川区北品川6丁目7番35号 ソニー株式会社内
(33) 優先権主張国	日本国 (JP)	(72) 発明者	酒井 芳男
(31) 優先権主張番号	特願2004-312501 (P2004-312501)		東京都品川区北品川6丁目7番35号 ソニー株式会社内
(32) 優先日	平成16年10月27日 (2004.10.27)		
(33) 優先権主張国	日本国 (JP)		
(31) 優先権主張番号	特願2005-18370 (P2005-18370)	審査官	中野 裕二
(32) 優先日	平成17年1月26日 (2005.1.26)		
(33) 優先権主張国	日本国 (JP)		
最終頁に続く			

(54) 【発明の名称】 記憶装置

(57) 【特許請求の範囲】

【請求項1】

第1の不揮発性メモリ部と、

上記第1の不揮発性メモリ部よりアクセス速度が高速で記憶容量が小さい第2の不揮発性メモリ部と、

記憶装置の仮想アドレスに対応して、データが上記第1の不揮発性メモリ部および上記第2の不揮発性メモリ部のうちのいずれの不揮発性メモリに記憶されるかを管理するためのアドレス変換テーブルと、

読み出したり書き換えにおいて、互いにアクセス速度の異なる上記第1の不揮発性メモリ部と上記第2の不揮発性メモリ部間で、適時双方向に記憶データを移動させる機能を含み、当該記憶データの移動に応じて上記アドレス変換テーブルのデータの保存先のアドレスを書き換える制御回路と、を有し、

上記第1の不揮発性メモリ部は書き換えに事前消去を必要とする半導体メモリであって、消去単位であるブロック領域はアクセス単位であるページ領域を複数含み、

上記第2の不揮発性メモリ部は上記第1の不揮発性メモリ部より書き換え速度が速い半導体メモリであって、

上記制御回路は、

外部から読み出しのために上記第1の不揮発性メモリ部にアクセスされたデータ、または外部から書き換えのために上記第1の不揮発性メモリ部にアクセスされたデータを、アクセス速度が速い側の上記第2の不揮発性メモリ部に移動させるとともに、上記アドレ

10

20

ス変換テーブルのデータの保存先のアドレスを書き換え、

上記第2の不揮発性メモリ部に保存されたページデータを上記第1の不揮発性メモリ部に書き戻す際、上記ページデータを、上記第1の不揮発性メモリ部上の消去済み領域に移動させるとともに、上記アドレス変換テーブルのデータの保存先のアドレスを書き換える

記憶装置。

【請求項2】

上記制御回路は、

上記第2の不揮発性メモリ部に保存されたページデータを上記第1の不揮発性メモリ部に書き戻す際、上記ページデータを、上記第1の不揮発性メモリ部上の元のページ領域とは異なる消去済のページ領域に、ページ単位で独立に移動させる

請求項1記載の記憶装置。

【請求項3】

上記制御回路は、

上記第1の不揮発性メモリ部から上記第2の不揮発性メモリ部へデータを移動させて、上記アドレス変換テーブルを更新し、上記第1の不揮発性メモリ部上の元の記憶領域を無効化する機能、および上記第2の不揮発性メモリ部から上記第1の不揮発性メモリ部へデータを移動させて、上記アドレス変換テーブルを更新し、上記第2の不揮発性メモリ部上の元の記憶領域を無効化する機能を有する

請求項1または2記載の記憶装置。

【請求項4】

上記第2の不揮発性メモリ部は、強誘電体材料、相変化材料、強磁性材料または磁気抵抗効果材料を記憶素子に用いた不揮発性メモリを含む

請求項1から3のいずれかーに記載の記憶装置。

【請求項5】

上記アドレス変換テーブルは、上記第2の不揮発性メモリ部内に保管されている

請求項1から4のいずれかーに記載の記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不揮発性メモリを含む記憶装置および情報処理システムに関するものであり、特にフラッシュメモリを含む記憶装置におけるデータ転送の高速化に関わるものである。

【背景技術】

【0002】

近年、デジタルスチルカメラやモバイルコンピュータ機器の記憶媒体として、フラッシュメモリが注目されている。

【0003】

フラッシュメモリは、トンネリングやホットエレクトロン加速を用いて、電子にゲート絶縁膜を通過させ、それらを浮遊ゲートやトラップ層に注入し、セルトランジスタの閾値を変化させることでデータを記憶させる半導体メモリである。積層ゲート構造やMNO S構造等を用いたトランジスタ1つのみでメモリセルを構成できるため、安価かつ大容量のメモリを実現できる。

その代表例として、NAND型フラッシュメモリが挙げられる。

【0004】

図1は、NAND型フラッシュメモリの内部構成例を示す図である。

図1のNAND型フラッシュメモリは、ビット線BL1~BLnに接続された複数のメモリユニット1-1~1-nがアレイ状に(縦横)に配列されている。

たとえば、選択用トランジスタ2のゲートが選択ゲート線SL1に接続され、偶数列の選択用トランジスタ3のゲートが選択ゲート線SL2に接続されている。また、各メモリ

10

20

30

40

50

セルN0～N15のゲートがワード線WL0～WL15に接続されている。

【0005】

各メモリセルN0～N15は積層ゲート構造を持ち、浮遊ゲートへの電荷蓄積量に従ってデータを記憶する。すなわち、浮遊ゲートに多くの電子が蓄積されていると、トランジスタの閾値が上昇するので、チャージされたビット線BL1～BLnからのメモリユニット1(-1～-n)への電流貫通の有無を、センスアンプ等を含むアクセス回路4で検出してデータ判定を行う。

【0006】

このようなNAND型フラッシュメモリは、メモリセル毎にビット線へのコンタクト領域を設ける必要もないので、特に大容量で安価な記憶装置の媒体に適している。

10

【0007】

ところで、一般にフラッシュメモリのプログラム速度は非常に遅く、セルあたり数百μ秒を必要とする。またデータの上書きはできないので、プログラムに先立って消去を行う必要があり、これには数m秒もの時間がかかる。このような問題に対しては、多くのメモリセルを並列処理することで対処している。

【0008】

すなわち、たとえば同一ワード線WL0に接続され、ページ単位を成すメモリセル群5を、同時一括に書き込み、さらに互いにメモリユニットを共有するページ群で構成されるセルブロック6を全て一括で消去することにより、プログラムの転送速度を向上させている。

20

【0009】

具体的には、たとえば非特許文献1には1GbのNAND型フラッシュメモリが掲載されており、ページサイズを2kバイト、消去ブロックサイズを128kBとしている。すなわち、一つのメモリアレイ内で128kバイトのメモリセル群を並列消去し、そこにメモリセルを2kバイト毎に並列でプログラムしていくことによって、10MB/sのプログラム転送速度を実現している。

【0010】

一方近年、フラッシュメモリ以外の高速な不揮発性メモリも提案されている。その代表的な例としては、強誘電体メモリが挙げられる。現在主流となっている強誘電体メモリのセル構造と動作は非特許文献1においてS. Sheffieldらが提案したものである。

30

【0011】

図2は、特許文献1等に記載された強誘電体メモリの構成例を示す回路図である。

【0012】

この強誘電体メモリ10は、メモリセルを一つのアクセストランジスタ11と一つの強誘電体キャパシタ12で構成するものであり、強誘電体キャパシタ12の分極方向に従って2値、すなわち1ビットを記憶する。

また、図2において、BL11, BL12はビット線を、WL11はワード線を、PL11はプレート線を、13はワード線デコーダおよびドライバ、14はプレート線デコーダおよびドライバを、15はセンスアンプをそれぞれ示している。

40

【0013】

たとえば、強誘電体メモリ10において、ワード線WL11を選択し、さらにプレート線PL11にパルスを印加すると、メモリセルの強誘電体キャパシタ12の対向電極に接続されたビット線BL11には読み出し信号が現れる。

【0014】

また、強誘電体メモリには幾つか形態のバリエーションがあり、特許文献2にも他の一例が提案されている。

【0015】

強誘電体メモリの分極反転は、キャパシタ電極間に2～3Vを印加するだけで、数ナノ秒で実現する。したがって、セルレベルで高速書き込みが可能である上、消費電力も小さ

50

い。さらに書き換え可能回数も $1E10$ を超え、フラッシュメモリより数桁多い。

【0016】

さらに、高速の不揮発性メモリとしては、強誘電体メモリ以外にも強磁性体を用いた MRAM (Magnetic Random Access Memory) や、相変化材料を用いた OUM (Ovonic Unified Memory)、RRAM 等が提案されている。

【0017】

MRAM は強磁性膜のスピン方向の違いでデータを記憶する半導体メモリであり、たとえば非特許文献 2 に R. Scheuerlein らが論文を掲載している。

OUM は、たとえばカルコゲナイド膜の相転移でデータを記憶する半導体メモリであり、たとえば非特許文献 3 に、S. Lai らが論文を掲載している。

RRAM は磁気抵抗効果材料の抵抗ヒステリシスでデータを記憶する半導体メモリであり、たとえば非特許文献 4 に、W. W. Zhuang らが論文を掲載している。

それらの不揮発性メモリは、いずれもセルレベルのアクセス速度や書き換え回数において、フラッシュメモリより数桁性能が高い。

【非特許文献 1】ISSCC 2002 予稿集の p106、セッション 6.4

【非特許文献 2】ISSCC 2000 の論文ダイジェストの 128 ページ、R. Scheuerlein ら

【非特許文献 3】IEDM 2001 の論文ダイジェストの 803 ページ、S. Lai ら

【非特許文献 4】IEDM 2002 の論文ダイジェストの 7.5、W. W. Zhuang ら

【特許文献 1】USP 4873664 号

【特許文献 2】特開平 09 - 116107 号公報

【発明の開示】

【発明が解決しようとする課題】

【0018】

近年、ハードディスクの消費電力の大きさや、シーク時間の長さ、耐衝撃性や携帯性等の問題を解消すべく、フラッシュメモリにその代替が期待されている。

しかし上述の如く、フラッシュメモリにはアクセス単位を大きくしないと高速化できないという欠点がある。また、データの上書きができないので、書き換えには必ず消去が必要であり、その際の消去ブロックはさらに大きい。このようにアクセス単位に対して消去単位が数十倍大きいのは、消去時間が長く、かつ書き込み時に非選択セルにディスタープが生じるフラッシュメモリには一般的な仕様である。しかしこれによりその書き込み効率は著しく悪化する。

【0019】

たとえば上記 2kB 単位のページ書き込み、128kB 単位のブロック消去による、転送速度 10MB/s フラッシュメモリを用いて、ハードディスク代替用の記憶装置を構成するとする。

その転送速度を、シリアル ATA 接続の高速ストレージで目標とされる 160MB/s にまで高めようとした場合、マルチバンクやマルチチップの構成を取りながら、たとえば 16 個のメモリアレイを並列動作させる必要がある。

【0020】

図 3 は、そのような記憶装置を構成するフラッシュメモリの概念図を示す図である。

図 3 において、高速転送を実現するため、16 個のアレイ AR0 ~ AR15 を同時動作させる。この場合データ書き込み時は、たとえばページ P0 ~ P1 を同時書き込みし、消去時はブロック B0 ~ B15 を同時消去する。この時一括書き込み単位となる実ページ領域 24 は 32kB、一括消去単位となる実消去ブロック領域 21 は 2MB に達することになる。

【0021】

一方、通常のファイルシステムでは、最小の書き込み単位を成すクラスタサイズは 4k

10

20

30

40

50

B程度であり、この単位でランダムなアクセスがなされる。

その場合、たとえばページP0とP1のみを書き換える要求が発生する。

しかし、上述のような装置でそのようなアクセスを行うと、結局実消去ブロック領域21全体を消去せねばならない。かつその中の非選択領域に有効ファイルがあれば、それを消失から保護する必要がある。その典型的な対処例は次のようになる。

【0022】

1. まずフラッシュメモリから、別途設けられたバッファメモリ23のメモリ領域22に、実消去ブロック領域21全体のデータを読み出す。

2. 次にメモリ領域22内で、ページP0とP1に相当するデータを更新する。

3. 次にフラッシュメモリ上のブロック領域21の消去を実行する。

4. 最後に上記消去済の領域21に、更新後のメモリ領域22のブロックデータを全て書き戻す。

10

【0023】

すなわち、4kバイトの書き込みのために、実際には消去と、2MBのデータの読み出し及び書き込みが必要となる。従って現実の転送性能は著しく低いものになってしまう。このような事情から、フラッシュメモリを用いた現在の記憶装置は、特に書き込み時においては、ハードディスクをはるかに下回る転送性能しか得られていない。

【0024】

なお、上記バリエーションとして、別途フラッシュメモリ内に予備の消去済ブロック領域27を用意して、4の書き戻しをそこに行うことで、3の消去時間を見かけ上見えなくすることもできる。しかし、実消去領域を共有する2MBの非選択データの読み出しと書き込みが必要であることは変わらない。

20

【0025】

一方、強誘電体メモリをはじめ、MRAM、OUM、RRAM等の高速不揮発性メモリは、それぞれ独自の記憶物質や電極用金属を使用するため、フラッシュメモリに対して高価であり、かつ加工上の諸制約から集積度も低い。従ってそれらをそのまま大容量の記憶媒体に用いるのは、コスト面で難しい。

【0026】

また、近年、携帯電話等のモバイルコンピュータ機器には、上記フラッシュメモリの他、多くの半導体メモリが搭載されている。また、特にこのようなバッテリー駆動の機器では、待機時の消費電力削減が重要な課題となっている。

30

【0027】

元来このような用途においては、半導体メモリは不揮発で、ランダムアクセスが可能で、かつ大容量で安価であることが理想である。

しかし、現実にはそのようなメモリは存在しないので、多種の異なるメモリを用途ごとに使い分けざるを得ない。

【0028】

図4は、多種の異なるメモリを用途ごとに使い分けた情報処理システム(コンピュータシステム)の構成例を示すブロック図である。

【0029】

図4のシステム30において、CPU31にはシステムバス32を介してNOR型フラッシュメモリ33と、DRAM34が接続されている。両メモリ33, 34はシステムメモリ中にその領域がマッピングされており、NOR型フラッシュメモリ33にはブートコードやOS、アプリケーションが格納されている。またDRAM34にはアプリケーションの一部がロードされて実行されたり、OSのワークエリアが構築される。

40

【0030】

システムバス32には、さらに外部周辺装置にアクセスするためのインタフェース回路群35が接続されており、そのインタフェース回路群35にはNAND型フラッシュメモリモジュール36や、その他複数の周辺機器37-1~37-3が接続されている。

【0031】

50

ここで、NAND型フラッシュモジュール36は、一つまたは複数のフラッシュメモリと制御回路で構成されており、この制御回路は欠陥ブロックへのアクセスを回避する機能や、ECC回路を用いて符号化エラー訂正を施す機能等を有している。

NAND型フラッシュモジュールは、たとえばハードディスクの接続に使用されるATAインタフェース等に仕様をあわせ、周辺記憶装置としてブロック単位でアクセスされる。その中には画像等のユーザーデータやアプリケーションの一部が格納されている。

【0032】

これらの各種メモリのうち、NOR型フラッシュメモリ33はワード単位のランダムな読み出しが可能でシステムメモリとして扱えるが、高価である。さらに通常はROMとしてのアクセスしかできず、RAMとしては扱えない。書き換えには通常アクセスとは異なる例外的操作が必要で、しかも非常に時間がかかる。

一方、DRAM34はランダムアクセスができるが、揮発性であり、データを保持するだけで電力を消費する。したがって、不使用時でもバッテリーが消耗し、最悪の場合必要なユーザーデータが失われてしまう。

【0033】

これに対して、NAND型フラッシュメモリモジュール36は最もビット単価が安くかつ不揮発だが、ランダムアクセスができない上、書き換えには制約がある。

すなわち、フラッシュメモリの場合、前述したように、書き換えには必ず消去が必要であり、その際の消去ブロックは通常アクセス単位であるページよりさらに大きい。このようにアクセス単位に対して消去単位が数十倍大きいのは、消去時間が長く、かつ書き込み時に非選択セルにディスタ urb が生じるフラッシュメモリには一般的な仕様だが、書き換えが小単位でランダムに行われた場合には極端に処理効率が悪化する。

【0034】

上記問題について図5に関連付けて説明する。

図5は、NAND型フラッシュメモリの書き換え動作を概念的に示す図である。

図5において、P0~P15はページを、B0~B15はブロックを、41は実消去ブロック領域を、42はメモリ領域を、43はバッファメモリを、44は実ページ領域をそれぞれ示している。

【0035】

たとえば2kB単位のページ書き込み、128kB単位のブロック消去による、転送速度10MB/sフラッシュメモリを用いて、転送速度を一般DRAM並の160MB/sにまで高めようとした場合、マルチバンクやマルチチップの構成を取りながら、たとえば16個のメモリアレイを並列動作させる必要がある。ここでは16個のアレイAR0~AR15を同時動作させたとする。

【0036】

この場合、データ書き込み時は、たとえばページP0~P15を同時書き込みし、消去時はブロックB0~B15を同時消去する。

このとき、一括書き込み単位となる実ページ領域44は32kB、一括消去単位となる実消去ブロック領域41は2MBに達することになる。

【0037】

このようなメモリに対して、たとえばページ単位でランダムな書き換えが要求された場合、結局実消去ブロック領域41全体を消去しなければならない。かつその中の非選択領域に有効なデータがあれば、それを消失から保護する必要がある。その典型的な対処例は次のようになる。

【0038】

1. まずフラッシュメモリから、別途設けられたバッファメモリ43のメモリ領域42に、実消去ブロック領域41全体のデータを読み出す。

2. 次にメモリ領域42内で、所望のデータを更新する。

3. 次にフラッシュメモリ上のブロック領域41の消去を実行する。

4. 最後に上記消去済の領域41に、更新後のメモリ領域42のブロックデータを全て書

10

20

30

40

50

き戻す。

【 0 0 3 9 】

すなわち、ごく僅かなデータの書き換えのために、実際には消去と、2MBのデータの読み出しおよび書き込みが必要となる。

具体的には、1ページ分のデータの読み出しおよび書き込みにはそれぞれ200μsを要し、ブロックの消去には2msを要するので、30ms近くを必要とする。

したがって、現実の転送性能は著しく低いものになってしまう。このような事情から、フラッシュメモリを用いた現在の記憶装置は、特に書き込み時においては、一般的なDRAMをはるかに下回る転送性能しか得られていない。

【 0 0 4 0 】

このような問題に対して、たとえば特許文献3（特開平05-216775号公報）、特許文献4（特開平06-349286号公報）等ではキャッシュメモリの使用が提案されている。

この場合、更新しようとするページがキャッシュに格納されているページにヒットすれば、キャッシュ内のページのみが更新されるので、上述のような冗長な動作は直ちには発生しない。

【 0 0 4 1 】

しかしいずれにしても、これらのデータ更新はどこかでフラッシュメモリに反映させる必要があり、そのためにデータを書き戻す際には従来と同様の作業が必要である。

すなわち、図5に示したように、記憶装置内にバッファメモリ43を設け、更新ページに相当する元ページP0～P15を含む実消去ブロック領域41のデータ全てをバッファメモリ43に読み出して、実消去ブロック領域41を消去する。しかる後にキャッシュからの更新ページをバッファ上に上書きして、最後にバッファ内の全データを元のブロック領域41に書き戻す。

仮にキャッシュがミスヒットを続ければ、結局ページ更新するごとに上記動作を行わねばならなくなる。

【 0 0 4 2 】

本発明の目的は、非選択データの冗長な書き込み操作を不要とでき、ページの配列を書き換えに効率の良い状態に最適化することが可能な記憶装置を提供することにある。

【 0 0 4 3 】

また、本発明の目的は、見かけ上ランダムアクセスが可能で、かつ高速、大容量な半導体記憶装置および情報処理システムを提供することにある。

【課題を解決するための手段】

【 0 0 4 4 】

本発明の第1の観点の記憶装置は、第1の不揮発性メモリ部と、上記第1の不揮発性メモリ部よりアクセス速度が高速で記憶容量が小さい第2の不揮発性メモリ部と、記憶装置の仮想アドレスに対応して、データが上記第1の不揮発性メモリ部および上記第2の不揮発性メモリ部のうちのいずれの不揮発性メモリに記憶されるかを管理するためのアドレス変換テーブルと、読み出しまたは書き換えにおいて、互いにアクセス速度の異なる上記第1の不揮発性メモリ部と上記第2の不揮発性メモリ部間で、適時双方向に記憶データを移動させる機能を含み、当該記憶データの移動に応じて上記アドレス変換テーブルのデータの保存先のアドレスを書き換える制御回路と、を有し、上記第1の不揮発性メモリ部は書き換えに事前消去を必要とする半導体メモリであって、消去単位であるブロック領域はアクセス単位であるページ領域を複数含み、上記第2の不揮発性メモリ部は上記第1の不揮発性メモリ部より書き換え速度が速い半導体メモリであって、上記制御回路は、外部から読み出しのために上記第1の不揮発性メモリ部にアクセスされたデータ、または外部から書き換えのために上記第1の不揮発性メモリ部にアクセスされたデータを、アクセス速度が速い側の上記第2の不揮発性メモリ部に移動させるとともに、上記アドレス変換テーブルのデータの保存先のアドレスを書き換え、上記第2の不揮発性メモリ部に保存されたページデータを上記第1の不揮発性メモリ部に書き戻す際、上記ページデータを、上記第1

10

20

30

40

50

の不揮発性メモリ部上の消去済み領域に移動させるとともに、上記アドレス変換テーブルのデータの保存先のアドレスを書き換える。

【0047】

好適には、上記第2の不揮発性メモリ部は強誘電体材料、相変化材料、強磁性材料または磁気抵抗効果材料を記憶素子に用いた不揮発性メモリを含む。

【0048】

好適には、上記第1のメモリ部はハードディスク装置であり、上記第2のメモリ部は半導体メモリであって、上記制御回路は、外部から読み出したり書き換えのためにアクセスされた上記第1のメモリ部上のデータを第2のメモリ部に移動させる。

【0049】

好適には、上記第2のメモリ部は、強誘電体材料、相変化材料、強磁性材料または磁気抵抗効果材料を記憶素子に用いた不揮発性メモリを含む。

【0050】

好適には、装置内には特定のデータグループをページ単位として、外部から入力されるページアドレスと上記第1または第2のメモリ部内のページデータの実所在位置との対照を示す、アドレス変換テーブルが構築され、上記制御回路は、上記ページ単位で上記第1のメモリ部から上記第2のメモリ部へデータを移動させて、上記アドレステーブルを更新し、上記第1のメモリ部上の元のページ領域を無効化する機能、および上記ページ単位で上記第2のメモリ部から上記第1のメモリ部へデータを移動させて、上記アドレステーブルを更新し、上記第2のメモリ部上の元のページ領域を無効化する機能を有する。

【0051】

好適には、上記変換テーブルは、上記第2のメモリ部内に保管されている。

【0052】

本発明の第2の観点の記憶装置は、第1のメモリ部と、第2部のメモリ部と、制御回路と、を有し、上記第1のメモリ部は不揮発性メモリであって、データのアクセス単位であるページ領域と、消去単位であるブロック領域を複数有し、該ブロック領域は複数のページ領域を含み、上記第2のメモリ部は上記第1のメモリ部のキャッシュメモリであり、上記第1のメモリ部内の任意の消去ブロックから互いに独立して読み出された、複数のページ領域のデータを保存し、上記制御回路は、上記第2のメモリ部に保存されたページデータを上記第1のメモリ部に書き戻す際、上記ページデータを、上記第1のメモリ部上の元のページ領域とは異なる消去済のページ領域に、ページ単位で独立に移動させる機能を有する。

【0053】

好適には、上記記憶装置内には、外部から入力されるページアドレスと上記第1または第2のメモリ部内のページデータの所在位置との対照を示す、アドレス変換テーブルが構築されており、上記制御回路は、上記書き戻しの際、書き込み位置に応じて上記変換テーブルを更新する。

【0054】

好適には、上記制御回路は、外部からデータをアクセスがなされた際は、装置内で上記アドレス変換テーブルが参照され、所望のデータがキャッシュである上記第2のメモリ部に保存されているか否かを判定する。

【0055】

好適には、上記第1のメモリ内に保存されたページデータを更新する際には、上記制御回路は上記ページデータを上記第2のメモリ部に移動し、当該移動位置に応じて上記変換テーブルを更新し、上記第1のメモリ部上のページデータの元領域を無効化する。

【0056】

本発明によれば、たとえば、記憶装置では、低性能なメインメモリに付帯する高性能な補助メモリを、従来のキャッシュメモリの如くメインメモリの一時記憶媒体として扱うのではなく、メインメモリと等価な媒体として扱う。

より具体的には本発明の記憶装置は、アクセス特性が異なる二種のメモリを同階層で扱

10

20

30

40

50

い、その特性に応じてデータを両者の間で柔軟に振り分ける。

したがって、高性能な補助メモリ側に保存されるのは、メインメモリのデータの一時記憶としてのコピーではなく、メインメモリから移されたデータの実体である。

このような記憶装置においては、もはや補助メモリに行われたデータ更新を、必ずしもメインメモリに反映させる必要は無い。補助メモリが満杯になった際には、適時メインメモリの適当な消去済領域に記憶データを移動させるだけで良い。その移動場所は、システムの効率を考慮して柔軟に選択することが可能である。

【 0 0 5 7 】

本発明の第3の観点の記憶装置は、第1のメモリ部と、上記第1のメモリ部より高速で小容量な第2のメモリ部と、を含み、アドレス変換テーブルを有し、当該アドレス変換テーブルは外部からのアクセスに伴って入力された論理アドレスを、上記第1のメモリ部または第2のメモリ部上の記憶領域を規定する物理アドレスに変換し、当該アクセスを第1または第2のメモリ部へのアクセスに振り分け、上記第2のメモリ部に格納されるデータは、上記物理アドレスをインデックスとする配列として管理されており、必要に応じて先に格納されたデータから順次破棄されて、上記第1のメモリ部に移動される。

10

【 0 0 5 8 】

好適には、上記第2のメモリ部に構築されるデータ配列には、各インデックスごとに予備フィールドが設けられており、各データに対応する上記論理アドレスが格納されている。

【 0 0 5 9 】

本発明の第4の観点の記憶装置は、第1のメモリ部と、上記第1のメモリ部より高速で小容量な第2のメモリ部と、を含み、アドレス変換テーブルを有し、当該アドレス変換テーブルは外部からのアクセスに伴って入力された論理アドレスを、第1のメモリ部または第2のメモリ部上の記憶領域を規定する物理アドレスに変換し、当該アクセスを第1または第2のメモリ部へのアクセスに振り分け、上記第2のメモリ部に格納されるデータは、上記物理アドレスをインデックスとするリンクリストで管理されており、新規に格納されたデータはリンクの一端に追加され、必要に応じてリンクの反対端のデータが破棄されて、上記第1のメモリ部に移動される。

20

【 0 0 6 0 】

好適には、上記リンクリストの管理テーブルには、各インデックスごとに予備フィールドが設けられており、各データに対応する上記論理アドレスが格納されている。

30

【 0 0 6 1 】

本発明の第5の観点の記憶装置は、第1のメモリと、上記第1のメモリのキャッシュメモリである第2のメモリと、制御回路と、を有し、上記第1のメモリは不揮発性メモリであって、データのアクセス単位であるページ領域と、消去単位であるブロック領域を複数有し、当該ブロック領域は複数のページ領域を含み、上記制御回路は、複数のページ領域のデータを、それぞれ異なるブロック領域から読み出して上記第2のメモリに保存し、保存したデータを上記第1のメモリ内の同一のブロックに再配置して書き込む機能を有する。

【 0 0 6 2 】

好適には、上記第2のメモリは、上記ページ領域かそれ以下の単位で書き換えが可能な不揮発性メモリを含む。

40

好適には、上記第2のメモリは、強誘電体材料、相変化材料、強磁性材料または磁気抵抗効果材料を用いた不揮発性メモリを含む。

【 0 0 6 3 】

好適には、上記制御回路は、上記第1のメモリ上のページデータを更新する際は、当該第1のメモリから読み出されて更新されたページデータは上記第2のメモリ内に保管し、さらに上記第1のメモリ上の元のページ領域は無効化させる。

【 0 0 6 4 】

好適には、上記制御回路は、データアクセスにおけるアドレスの少なくとも一部を構成

50

する各ページごとの論理アドレスと、該ページの上記第1または第2メモリ内における所在位置を示す物理アドレスの対照情報を、内部に保存している。

【0065】

本発明によれば、たとえば、制御回路によって、複数のページ領域のデータが、それぞれ異なるブロック領域から読み出されて第2のメモリに保存される。そして、保存されたデータが第1のメモリ内の同一のブロックに再配置されて書き込まれる。

【0066】

本発明の第6の観点の半導体記憶装置は、第1のメモリと、上記第1のメモリよりアクセス速度が低速な第2のメモリと、論理アドレスに対する物理アドレスを含むアドレス変換テーブルと、制御回路と、を有し、上記制御回路は、外部からアクセスが成されると上記アドレス変換テーブルを参照して、入力論理アドレスに対応する物理アドレスを取得し、取得した上記物理アドレスが第1のメモリ内を指す場合には、第1のメモリをアクセスし、上記物理アドレスが第2のメモリ内を指す場合には、必要に応じて第2のメモリ内のデータを第1のメモリ内に転送する。

10

【0067】

好適には、上記制御回路は、上記物理アドレスが第2のメモリ内を指し、かつ所望のデータのコピーが第1のメモリ内に無い場合は、少なくとも当該データを第2のメモリから第1のメモリ内に転送する。

【0068】

好適には、上記アクセスが読み出しの場合、上記データ転送はデータのコピーを含み、上記アクセスが書き込みの場合、上記データ転送はアドレス変換テーブルの更新を伴うデータの移動を含む。

20

【0069】

好適には、上記制御回路は、上記物理アドレスが第2のメモリ内を指し、かつ所望のデータのコピーが第1のメモリ内に存在し、かつアクセスが書き込みの場合は、上記コピー部を更新し、かつ上記アドレス変換テーブルを更新して、該当データに対応する物理アドレスは該コピー領域を指すように変更する。

【0070】

好適には、状態通知ピンをさらに有し、上記データ転送がなされた場合、通知ピンにビジー状態が通知される。

30

【0071】

好適には、上記第1のメモリはランダムアクセスメモリを含み、上記第2のメモリはフラッシュメモリを含む。

【0072】

好適には、上記第1のメモリは不揮発のランダムアクセスメモリであって、強誘電体材料、相変化材料、強磁性材料または磁気抵抗効果材料を記憶素子に用いた不揮発性半導体メモリを含む。

【0073】

本発明の第7の観点の半導体記憶装置は、第1のメモリ部と、上記第1のメモリ部より記憶容量が大きい第2のメモリ部と、制御回路と、状態通知ピンと、を有し、上記第1のメモリ部は、不揮発のランダムアクセスメモリであって、強誘電体材料、相変化材料、強磁性材料または磁気抵抗効果材料を記憶素子に用いた不揮発性半導体メモリを含み、上記第2のメモリ部はフラッシュメモリを含み、上記制御回路は、外部からメモリアクセスがなされた際、所望のデータまたは当該データのコピーが第1のメモリ部にある場合は第1のメモリ部をアクセスし、無い場合は上記第2のメモリ部から第1のメモリ部に所望データを転送し、上記データ転送が発生した場合には、上記通知ピンにビジー状態が通知される。

40

【0074】

本発明の第8の観点は、半導体記憶装置を有する情報処理システムであって、上記半導体記憶装置は、第1のメモリ部と、上記第1のメモリ部より記憶容量が大きい第2のメモ

50

リ部と、制御回路と、状態通知ピンと、を有し、上記第1のメモリ部は、不揮発のランダムアクセスメモリであって、強誘電体材料、相変化材料、強磁性材料または磁気抵抗効果材料を記憶素子に用いた不揮発性半導体メモリを含み、上記第2のメモリ部はフラッシュメモリを含み、上記制御回路は、外部からメモリアクセスがなされた際、所望のデータまたは当該データのコピーが第1のメモリ部にある場合は第1のメモリ部をアクセスし、無い場合は上記第2のメモリ部から第1のメモリ部に所望データを転送し、上記データ転送が発生した場合には、上記通知ピンにビジー状態が通知され、上記ビジー状態の通知に伴って、システムに割り込みが発生し、システムはメモリアクセスを中断して、上記転送の完了まで待機する。

【0075】

本発明によれば、たとえば記憶装置が、強誘電体メモリ等の高速不揮発性メモリ（以下NVRAMと呼ぶ）と、たとえばNAND型フラッシュメモリに代表される安価な大容量不揮発性メモリを組み合わせ、見かけ上ランダムアクセスが可能で、かつ高速、大容量な不揮発性メモリとして構成される。

両メモリはともにデータの記憶装置として作用し、所望のデータまたはデータのコピーがNVRAMにある場合、外部からは通常のランダムアクセスメモリに対するのと同様にNVRAMにアクセスできる。一方、それらがNVRAMにない場合は、通知ピンによりその旨がシステムに通知され、大容量フラッシュメモリからNVRAMへ所望のデータの転送が行われる。システムはその間、メモリアクセスを停止して待機する。

【0076】

また、本発明では、NVRAMに所望のデータがあるか否かの判定を、アドレス変換テーブルを用いて実施する。これは判定にキャッシュタグを用いる一般的なキャッシュシステムに対して、次のような柔軟性を提供する。

通常のキャッシュシステムでは、キャッシュにはメインメモリに格納されたデータのコピーのみが格納される。したがって、キャッシュ内のデータが外部から更新された場合、必ずメインメモリの元の場所へ書き戻す必要がある、前述したように、メインメモリにフラッシュメモリを用いた場合、この制約は大きなオーバーヘッドを生ずる。

これに対して、本システムにおいては、アドレス変換テーブルを更新することで、NVRAM側にデータの本体を移動させることができる。したがって、たとえばコピーをデータ本体と差し替えて元のデータは無効化することで、もはや書き戻しは不要となり、オーバーヘッドも解消できる。また、NVRAM側に十分な空きが無くなった場合は、それらをフラッシュメモリ内の好適な空き場所に自由に移動させることができる。

【発明の効果】

【0077】

本発明によれば、従来のキャッシュシステムと同等な効果を得つつも、キャッシュメモリの更新をメインメモリに反映させる必要がなくなり、より柔軟で効率的なメモリシステムを構築することが可能になる。

たとえば、低価格大容量のフラッシュメモリをメインメモリとして使用しつつ、高速な転送能力を確保でき、かつ微小領域の更新にも無駄なく対応可能な、柔軟な半導体ストレージを実現できる。

また、ハードディスクシステムにおいても、シーク回数の少ない、高速な記憶装置を実現できる。

一般に領域に依存してアクセス性能を劣化させる制約を持ったメモリをメインメモリとした記憶装置では、本発明の効果は顕著であり、従来のキャッシュシステムに比較してアクセス性能を大幅に改善することが可能である。

【0078】

本発明によれば、見かけ上ランダムアクセスが可能で、かつ高速、大容量な不揮発性メモリを実現することができる。

また、所望のデータがNVRAMにあるか否かの判定にアドレス変換テーブルを用いることで、両メモリ間で必要に応じてデータの移動を可能にし、これによってフラッシュメ

10

20

30

40

50

メモリの書き換えに伴うオーバーヘッドを最小化し、高速な動作を実現することが可能である。

また、本発明によるメモリをバッテリーバックアップのモバイル機器に採用すれば、待機時のデータ保持に電力消費を必要としないので、バッテリー寿命を大幅に延ばすことができる。またシステム構成が単純になる上、殆どのメモリ部は安価なNAND型フラッシュメモリで置き換えることができるので、総合的なメモリコストも低減できる。

【発明を実施するための最良の形態】

【0079】

以下、本発明の実施形態を図面に関連付けて説明する。

【0080】

第1実施形態

図6は、本発明に係る記憶装置の第1の実施形態を示す構成図である。

【0081】

図6の記憶装置50は、メインメモリ51、補助メモリ52、インターフェース回路(I/F)53、転送制御回路54、内部バスBS50を、主構成要素として有している。

【0082】

記憶装置50において、外部との入出力インターフェース回路53には内部バスBS50を介してNAND型フラッシュメモリよりなる大容量のメインメモリ51と、強誘電体メモリよりなる比較的小容量の補助メモリ52が接続されており、さらに転送制御回路54を有している。

メインメモリ51は内部が高並列化されており、32kBのデータ群が単位ページとして同時にアクセスされ、内部バスBS50に入出力転送される。

【0083】

また、装置内部には左記ページを管理単位としたアドレステーブル60が構築されている。これはたとえば、図7に示すように、転送制御回路54に内蔵されたRAMの中に構築される。インターフェース回路53は内部に32kBのページバッファを備え、内部バスBS50から一旦ページ単位でデータを取得し、それを介して512Bのファイルセクター単位でデータを入出力する。

【0084】

外部からアクセスしたい所望のセクターアドレスが指定されると、転送制御回路54はその上位ビットから対応する論理ページアドレスを抽出し、アドレステーブル60を参照する。

アドレステーブル60は、図7に示すように、各論理アドレス61と物理アドレス62の照応から成っており、テーブルを格納したRAM上では、そのメモリアドレスと格納データに対応させることができる。

すなわち、所望の論理アドレスに対応するRAM上のアドレスにアクセスすることで、照応する物理アドレスが取得できる。

物理アドレス領域0000~7FFFはメインメモリ51内のページアドレスを示す。一方、8000以上の領域は補助メモリ52を示しており、たとえば物理アドレス8001は補助メモリ52のアドレス0001に所望のページが存在することを示している。

転送制御回路54はこのテーブルを用いて所望のページの所在を判定し、メインメモリ51または補助メモリ52からそれを読み出してインターフェース回路53のページバッファに転送する。

【0085】

本記憶装置50においては、メインメモリ51から読み出されて更新されたページデータは、補助メモリ52に移動する。

すなわち、転送制御回路54は更新されたページを補助メモリ52に保存し、アドレステーブル60内の対応論理アドレスに照応する物理アドレスを、補助メモリ52の保存先へ書き換える。これによって、メインメモリ51内の読み出し元領域は無効化される。

すなわち、ページデータは補助メモリ52に一時記憶としてコピーされたのではなく、

10

20

30

40

50

実体が移動している。

【0086】

それ以降、同じ論理アドレスがアクセスされると、更新されたアドレステーブルに従って、補助メモリ52がアクセスされる。

FeRAMの書き換えはフラッシュメモリに比較してはるかに高速なので、補助メモリ52へのデータアクセスは極めて高速に実施することができる。この点において、補助メモリ32の役割は通常のキャッシュメモリと同じである。

【0087】

このようにして互いに異なる消去ブロックから読み出されたページ55~57が次々に更新され、補助メモリ52に移動したとする。

こうして補助メモリ52内の空きが無くなってくると、転送制御回路54は、今度はこれらのページをメインメモリ51に再度移動させる必要が生ずる。

この際の移動は従来のキャッシュメモリからの書き戻しと異なり、メインメモリ上の任意の消去済み領域に行くことが可能である。たとえば、消去済の空きブロック59にまとめて移動させればよく、従来のようにそれぞれのページに対して読み出し元のブロック消去やブロック全体のデータ退避、再書き込み等を行う必要が無い。

すなわち、補助メモリ52からページ群58のみをメインメモリ51のブロック59に順次転送し、アドレステーブル60をそれに応じて書き換えるのみで良い。

【0088】

なお、本発明を用いた記憶装置では、補助メモリ52にはメインメモリ51の任意の箇所からランダムにページが移動せしめられ、蓄積されるので、ヒット率の高いフルアソシエーティブのキャッシュメモリと等価な効力を発揮させることができる。しかもデータの探査や移動に用いるアドレステーブル60の照合や更新はいずれも一回のRAMアクセスで良く、たとえばキャッシュTAGをスキャンして入力アドレスと比較する従来のキャッシュシステムのヒットの検出よりはるかに簡便かつ高速である。

【0089】

ところで、本実施形態における補助メモリ52には揮発性メモリを使うことも可能であるが、データの消失は許されない。したがって、たとえばメインメモリ51内に特定の領域を設けて、電源オフ時にそこに内容を退避する必要がある。さらに、電源オン時には退避したデータを復元させねばならず、起動や終了に余分な時間がかかる上、電源瞬断にも脆弱である。したがって、補助メモリ52はフラッシュメモリよりアクセスが高性能な不揮発性メモリであることが望ましく、具体的には強誘電体材料、相変化材料、強磁性材料または磁気抵抗効果材料を用いたメモリであることが望ましい。

【0090】

さらに、アドレステーブル60も消滅は許されない。たとえば各ページの論理アドレスをページ毎の予備領域に保存しておけば再構築は可能だが、全ページのスキャンには長時間を要する。したがって、テーブルデータは不揮発性の補助メモリ52にバックアップ保存されるか、もしくはメモリ52の中に直接構築されることが望ましい。

【0091】

ところで、上記補助メモリ52にメインメモリ51からデータを移動させる際、どのアドレスに格納するかを決定するための仕様が必要である。また、補助メモリ52に空き領域が無くなってきた場合、どのデータからメインメモリ51に移動させるかを決定するための仕様も必要である。

【0092】

このような補助メモリ52の管理手法の具体例を図8に示す。

アドレス変換テーブル60_dには記憶装置50に入力される各論理ページアドレスに応じた物理ページアドレスが記載されており、"0x8000"以上は補助メモリ52_d内のデータ領域を指している。その下位8ビットが、補助メモリ52_d内に構築されたページデータの配列におけるインデックスとなる。

【0093】

10

20

30

40

50

補助メモリ 5 2 d 内にはたとえば 1 1 2 のエントリ領域があり、各ページデータは上記物理アドレスをインデックスとした配列で管理されている。

すなわち、図 8 の状態では、インデックス " 0 x 1 e " を先頭として、" 0 x 0 2 " までの連続した領域にページデータが格納されている。" 0 x 0 3 " ~ " 0 x 1 d " に到る領域 6 6 d には現在データは格納されておらず、空き領域となっている。

【 0 0 9 4 】

ページデータ格納領域における先頭インデックス " 0 x 1 e " 及び末尾インデックス " 0 x 0 2 " は、それぞれキャッシュコントローラ (図 6 の符号 (5 4) に相当) 内のレジスタ 6 7 d および 6 8 d に格納されて管理されている。また補助メモリ 5 2 d 内には各インデックスごとにページデータ用のフィールド 6 4 d に対応した予備フィールド 6 5 d が設けられており、そこには各ページデータの論理アドレスが格納されている。

10

【 0 0 9 5 】

補助メモリ 5 2 d に新しいページデータを格納する場合、以下のような操作が行われる。

まず先頭インデックスレジスタ 6 7 d の値が一つデクリメントされ、" 0 x 1 d " になる。そして補助メモリ 5 2 d 内のインデックス " 0 x 1 d " に相当するページフィールドにページデータが、予備フィールドに対応する論理アドレスが格納される。

【 0 0 9 6 】

一方、補助メモリ 5 2 d の空き領域が無くなるか残り少なくなつて、新規空き領域確保のため既存のページデータを補助メモリから削除してメインメモリに移動する場合、以下のような操作が行われる。

20

まず末尾インデックスレジスタ 6 8 d の値が参照され、インデックス値 " 0 x 0 2 " が取得される。これをもとに補助メモリ 5 2 d 内のインデックス " 0 x 0 2 " に相当するページフィールドに格納されたページデータと予備フィールドに格納された論理アドレス値 " 0 x 0 0 0 5 " が取得される。ページデータはメインメモリ内の適当な物理アドレス、例えば " 0 x 0 0 F F " に転送、格納されるとともに、変換テーブル 6 0 d がアクセスされ、論理アドレス " 0 x 0 0 0 5 " に対応するフィールドが、" 0 x 8 0 0 2 " から " 0 x 0 0 F F " に書き換えられる。さらに末尾インデックスレジスタ 6 8 d の値はデクリメントされ、" 0 x 0 1 " に変わる。

【 0 0 9 7 】

30

すなわち、補助メモリ 5 2 d 内の各ページデータは対応する論理アドレスと対になって配列として管理される。

この論理アドレスを参照することで、補助メモリ 5 2 d からメインメモリにデータを移動する際、変換テーブル 6 0 d の対応箇所に適切かつ迅速にアクセスし、それを書き換えることが可能になる。また上記配列への新規ページデータの格納インデックスや、旧ページデータを移動させる場合の移動元インデックスは、先入れ先出しのアルゴリズムで一意的に決定されることになる。

【 0 0 9 8 】

なお、上記ページデータの配列は、たとえば 1 ワードが 1 6 ビットの 3 2 M b メモリ上においては、以下の如く構築される。左記メモリは 2 M ワードを有しており、各ワードの選択は 2 1 ビットのメモリアドレスを用いて行われる。

40

ここで各ページデータ用フィールド 6 4 d には 1 6 k ワードの連続領域がそれぞれ使用され、それら全体は、

" 0 _ 0 0 0 0 _ 0 0 0 0 _ 0 0 0 0 _ 0 0 0 0 _ 0 0 0 0 "

~

" 1 _ 1 0 1 1 _ 1 1 1 1 _ 1 1 1 1 _ 1 1 1 1 _ 1 1 1 1 "

のメモリアドレス領域内に格納される。

このうち上位 7 ビットがページ選択のためのインデックスに対応し、

" 0 _ 0 0 0 0 _ 0 0 "

~

50

" 1 _ 1 0 1 1 _ 1 1 "

の範囲の値である。その16進数値は" 0 x 0 0 " ~ " 0 x 6 f " に相当する。下位14ビットは同一ページからワード単位でデータを取り出す際のアドレスとなる。

【 0 0 9 9 】

一方各予備フィールド6 5 dにはそれぞれ1ワードずつが使用される。それら全体は

" 1 _ 1 1 0 0 _ 0 0 0 0 _ 0 0 0 0 _ 0 0 0 0 _ 0 0 0 0 "

~

" 1 _ 1 1 0 0 _ 0 0 0 0 _ 0 0 0 0 _ 0 1 1 0 _ 1 1 1 1 "

のメモリアドレス領域内に格納される。

ここでは下位7ビットがそのままページインデックスに対応している。

【 0 1 0 0 】

すなわち、任意のページインデックスが与えられた場合、それをメモリアドレスの上位7ビットにあて、下位14ビットを" 0 0 _ 0 0 0 0 _ 0 0 0 0 _ 0 0 0 0 " ~ " 1 1 _ 1 1 1 1 _ 1 1 1 1 _ 1 1 1 1 " とスキャンすることで所望のページデータ用フィールド6 4 cにアクセスできる。またそれを下位7ビットにあて、上位14ビットに" 1 _ 1 1 0 0 _ 0 0 0 0 _ 0 0 0 0 _ 0 " を付加することで、予備フィールド6 5 dにアクセスできる。

なお、これは一例であって、具体的にメモリ上にページデータの配列を構成する手法としては、さまざまなバリエーションが存在し得る。

【 0 1 0 1 】

補助メモリについて、リンクリストを用いた第2の管理手法の例を図9に示す。

アドレス変換テーブル6 0 dには記憶装置に入力される各論理ページアドレスに対応した物理ページアドレスが記載されており、" 0 x 8 0 0 0 " 以上は補助メモリ5 2 d内のデータ領域を指している。その下位8ビットが、補助メモリ5 2 d内に構築されたページデータのリンクテーブルにおけるインデックスとなる。

【 0 1 0 2 】

補助メモリ5 2 d内には1 1 2のエントリ領域があり、各ページデータは上記物理アドレスをインデックスとしたリンクリストで管理されている。フィールド6 9 dには後方にリンクするノードのインデックス、フィールド7 0 dは前方にリンクするノードのインデックスが格納されている。本図の状態では、インデックス" 0 x 1 e " のノードを先頭として、" 0 x 0 2 " まで連続して順次リンクなされ、ページデータが格納されている。" 0 x 0 3 " ~ " 0 x 1 d " に到る領域6 6 dには現在データは格納されておらず、空き領域となっている。但しリンクは全ノードに対し、一周し、循環するように貼られている。

【 0 1 0 3 】

リンクリストにおけるページデータが格納されたノードの先頭インデックス" 0 x 1 e " および末尾インデックス" 0 x 0 2 " は、それぞれキャッシュコントローラ(図6(54)に相当)内のレジスタ6 7 dおよび6 8 dに格納されて管理されている。

また、キャッシュメモリ5 2 d内には各インデックスごとにページデータ用のフィールド6 4 dに対応した予備フィールド6 5 dが設けられており、そこには各ページデータの論理アドレスが格納されている。

【 0 1 0 4 】

補助メモリ5 2 dに新しいページデータを格納する場合、以下のような操作が行われる。

まず先頭インデックスレジスタ6 7 dに格納されたインデックス値" 0 x 1 e " がアクセスされ、フィールド7 0 dの値から、前方ノードのインデックス" 0 x 1 d " が取得される。そして補助メモリ5 2 d内のインデックス" 0 x 1 d " に相当するページフィールドにページデータが、予備フィールドに対応する論理アドレスが格納される。さらに先頭インデックスレジスタ6 7 dの値は" 0 x 1 d " に書き換えられる。

【 0 1 0 5 】

一方、補助メモリ5 2 dの空き領域が無くなるか残り少なくなると、新規空き領域確保

10

20

30

40

50

のため既存のページデータを補助メモリから削除してメインメモリに移動する場合、以下のような操作が行われる。

まず末尾インデックスレジスタ68dの値が参照され、インデックス値"0x02"が取得される。これをもとに補助メモリ52d内のインデックス値"0x02"がアクセスされ、ページフィールドに格納されたページデータと予備フィールドに格納された論理アドレス値"0x0005"、及び前方リンクのインデックス値"0x01"が取得される。ページデータはメインメモリ内の適当な物理アドレス、たとえば"0x00FF"に転送、格納されるとともに、変換テーブル60dがアクセスされ、論理アドレス"0x0005"に対応するフィールドが、"0x8002"から"0x00FF"に書き換えられる。さらに末尾インデックスレジスタ68dの値は前方のリンクノードのインデックス値"0x01"に変わる。

10

【0106】

すなわち、補助メモリ52d内の各ページデータは対応する論理アドレスと対になって配列として管理される。この論理アドレスを参照することで、補助メモリ52dからメインメモリにデータを移動する際、変換テーブル60dの対応箇所に適切かつ迅速にアクセスし、それを書き換えることが可能になる。また、上記配列への新規ページデータの格納インデックスや、旧ページデータを移動させる場合の移動元インデックスは、リンクの先頭ノードからデータを入力し、リンクの末尾ノードからデータを破棄するアルゴリズムによって一意的に決定されることになる。

【0107】

20

なお、このようなリンクリスト管理では必ずしも連続したインデックスにリンクしていく必要は無い。またフィールド69d, 70dを書き換えることで、リンクを動的に付け替え、破棄するノードの順番を変えることが可能である。

【0108】

具体的には、既に補助メモリ52d内に既に格納されているデータが再度アクセスされた場合に、それをリンクの先頭につけかえるようにすれば、アクセス頻度の多いデータはいつまでも高速な補助メモリ内に留まることになり、所謂補助メモリへのヒット率が向上する。

【0109】

図10に、図9の状態からインデックス"0x01"のノードを先頭に付け替えた例を示す。ハッチングされたフィールドを書き換えることで、リンクの順番が変わり、"0x01"のみが従来の位置から外れ、これまでの先頭ノード"0x1e"の前方に付け替えられている。それに伴って先頭インデックスレジスタ(67d)の値も"0x01"に書き換えられている。

30

【0110】

第2実施形態

図11は、本発明に係る記憶装置の第2の実施形態を示す構成図である。

第2の実施形態の記憶装置80は、ハードディスク(HDD)をメインメモリとする記憶装置である。

【0111】

40

図11の記憶装置80は、メインメモリ81、補助メモリ82、インターフェース回路(I/F)83、転送制御回路84、内部バスBS80を、主構成要素として有している。

【0112】

外部との入出力インターフェース回路83には内部バスBS80を介してハードディスクドライブ装置よりなる大容量のメインメモリ81と、強誘電体メモリよりなる比較的小容量の補助メモリ82が接続されており、さらに転送制御回路84を有している。

転送制御回路84からの制御信号に従って、メインメモリ81と補助メモリ82の間では、たとえば32kB単位のデータグループ(以降これをページと呼ぶ)で双方向のデータ転送が行われる。

50

また、インターフェース回路 8 3 と補助メモリ 8 2 との間ではファイルセクターに相当する 5 1 2 B 単位でのデータ転送が行われる。

【 0 1 1 3 】

図 1 1 の記憶装置 8 0 において、外部からアクセスしたい所望のセクターアドレスが指定されると、転送制御回路 8 4 はその上位ビットから対応する論理ページアドレスを抽出し、図 1 2 に示すように、内蔵 R A M 内に構築されたアドレステーブル 9 0 を参照する。

アドレステーブル 9 0 は各論理アドレス 9 1 と物理アドレス 9 2 の照応から成っている。図 1 2 の物理アドレス領域 0 0 0 0 ~ 7 F F F はメインメモリ 8 1 内のページアドレスを示す。

一方、8 0 0 0 以上の領域は補助メモリ 8 2 を示しており、たとえば物理アドレス 8 0 0 0 1 は補助メモリ 8 2 のアドレス 0 0 0 1 に所望のページが存在することを示している。

10

【 0 1 1 4 】

転送制御回路 8 4 は、このテーブルを用いて所望のページの所在を判定する。補助メモリ 8 2 にデータがある場合は、インターフェース回路 8 3 に補助メモリ 8 2 内の対応アドレスを渡し、アクセスを許可する。

一方、メインメモリ 8 1 にデータがある場合は、一旦メインメモリの該当ページを補助メモリに移動する。

すなわち、転送制御回路 8 4 はメインメモリ 8 1 から補助メモリ 8 2 の空き領域に該当ページを転送し、アドレステーブル 9 0 内の対応論理アドレスに照応する物理アドレスを、補助メモリ 8 2 の保存先に書き換える。これによって、メインメモリ 8 1 内の読み出し元領域は無効化される。

20

すなわち、ページデータは補助メモリ 8 2 に一時記憶としてコピーされたのではなく、実体が移動している。しかる後にインターフェース回路 8 3 に補助メモリ 8 2 内の対応アドレスを渡し、アクセスを許可する。

【 0 1 1 5 】

それ以降、同じ論理アドレスがアクセスされると、更新されたアドレステーブルに従って、補助メモリ 8 2 がアクセスされる。F e R A M の読み出しや書き込みは、ヘッドのシークを必要とするハードディスクドライブに比較してはるかに高速なので、補助メモリ 8 2 へのデータアクセスは極めて高速に実施することができる。

【 0 1 1 6 】

30

このようにしてメインメモリ 8 1 の互いに異なるトラックから読み出されたページ 8 5 ~ 8 7 が次々に補助メモリ 8 2 に移動したとする。こうして補助メモリ内の空きが無くなってくると、転送制御回路 8 4 は、今度はこれらのページをメインメモリ 8 1 に再度移動させる必要が生ずる。この際の移動は従来のキャッシュメモリからの書き戻しと異なり、メインメモリ上の任意のトラックまたは任意の互いに近接したトラック群の空き領域にまとめて行うことができる。

たとえば、ページ群 8 8 は同一のトラック 8 9 に移動する。したがって、その際のヘッドのシークは最小限に抑えられ、高速にデータを移動させることができる。

【 0 1 1 7 】

ところで、補助メモリ 8 2 に保存されるのは、通常互いに関連の深いページデータ群である。たとえば、F A T 等のファイルシステムでは、メインメモリ 8 1 に保存されていた断片化されたファイルにアクセスすると、複数のファイル断片が、互いに異なるトラックから補助メモリ 8 2 に移動してくる。それらは再度メインメモリ 8 1 に移動した際には同一または近接したトラックに書き込まれる。したがって、次にこれらをアクセスするときはヘッドのシークは最小限で良い。

40

【 0 1 1 8 】

すなわち、本発明を採用すれば、従来パソコン等でユーザーが長時間をかけて行なう必要があったデフラグ操作と同等の効果が、メモリアクセス中に自動的に得られることになる。しかも単に断片化されたファイルのみでなく、同一のアプリケーションに関連づけられた複数ファイルも近接したトラック内に移動し、次回はヘッドシークの少ない高速なア

50

クセスが可能になる。

【0119】

なお、本第2の実施形態においても、第1の実施形態と同様な理由で、補助メモリ82はアクセスが高性能な不揮発性メモリであることが望ましく、具体的には強誘電体材料、相変化材料、強磁性材料または磁気抵抗効果材料を用いたメモリであることが望ましい。

【0120】

さらに、アドレステーブル90についても、データは不揮発性の補助メモリ82にバックアップ保存されるか、もしくは補助メモリ82の中に直接構築されるのが望ましい。

【0121】

尚、ハードディスク等、メインメモリ81の容量が巨大になると、保存されるページ数も多くなり、テーブル90の構築に必要とされるメモリ容量も巨大になってくる。これに対しては論理ページアドレスの上位ビットに対応してテーブルを複数に分割する方法が有効であることが知られている。まず上位ビットから該当テーブルを選択し、下位ビットに従って該当するテーブルをアクセスすることで、対応する物理ページアドレスを得る。このようにアドレス変換テーブルの形態にもバリエーションが存在するが、本発明はいずれの場合にも適用することが可能である。

【0122】

第3実施形態

ところで、本発明の概念の一部を既存のキャッシュメモリシステムに適用しても、類似した効果を得ることは可能である。図6の実施形態と同様なシステムについて、補助メモリをキャッシュメモリとして管理した記憶装置の構成を第3の実施形態として説明する。

【0123】

図13は、本発明に係る記憶装置の第3の実施形態を示す構成図である。

【0124】

図13の記憶装置50Bは、メインメモリ51b、補助メモリ52b、インターフェース回路(I/F)53b、転送制御回路54b、内部バスBS50bを、主構成要素として有している。

【0125】

このようなメモリシステムでは、ページテーブル60bはメインメモリ51bの管理にのみ使用し、物理アドレスはメインメモリ51b側の領域のみを対象とする。

一方、補助メモリ側の内容は、図13および図14に示すように、別途キャッシュのエントリテーブル63bを設けて、それで管理する。すなわち、補助メモリ52bはキャッシュメモリとして位置付けられる。

【0126】

本記憶装置50Bにおいては、メインメモリ51bから読み出されて更新されたページデータは、キャッシュメモリ52bに一時的にコピーされる。

すなわち、本例ではアドレステーブル60bは更新されず、別途テーブル63bにキャッシュへのエントリが追加される。

たとえば、テーブル60bは、論理アドレス0x0002、0x0003に相当するページデータが、メインメモリ61bの0x00F2、0x00F3のアドレス位置に格納されていることを示している。

一方、テーブル63bにはキャッシュ内にコピーされているページの論理アドレス64bと、そのキャッシュ内物理アドレス65bのセットが、エントリとして記載されている。すなわち、上述の論理アドレス0x0002、0x0003に相当するページデータのコピーが、キャッシュメモリ52bの0x00、0x01に格納されていることが解る。

【0127】

それ以降、同じ論理アドレスがアクセスされると、テーブル63bのエントリのスキャンによってキャッシュのヒットが検出され、キャッシュメモリ52bがアクセスされる。

【0128】

このようにして互いに異なる消去ブロックから読み出されたページ55b~57bが次

10

20

30

40

50

々に更新され、キャッシュメモリ52bにそのコピーが一時保存されたとする。こうしてキャッシュメモリ内の空きが無くなってくると、今度はこれらのページ更新をメインメモリ51bに反映させた上で、キャッシュ上のデータを破棄する必要がある。

転送制御回路54bはこの時点で、該当するページデータのメインメモリ内の物理位置を、たとえば消去済の空きブロック59bにまとめて移動させる。

すなわち、キャッシュメモリ52bからページ群58bをメインメモリ51bのブロック59bに順次転送し、アドレステーブル60bをそれに応じて書き換える。また対応するエントリを、テーブル63bから削除する。

【0129】

本第3の実施形態では第1の実施形態と管理手法は異なるものの、ページデータの転送手順は同じである。したがって、第1の実施形態と類似した効果を得ることができる。

しかしこの場合、キャッシュTAGテーブル63bとページテーブル60bの二重管理は冗長、かつ煩雑である。またTAGをスキャンしてのヒット判定にも余分な時間がかかる。

したがって、このようなシステムは、最終的には第1実施形態に到るまでの、過渡的な中途段階と解釈することができる。

【0130】

第4実施形態

ここまで本発明の内容を、一通り概念的に説明してきた。

さらに以下には本発明による超高速なシリコンディスクの実現性を具体的に明らかにすべく、第1の実施形態におけるメモリ構成をさらに発展させた第4の実施形態について、機能構成と動作仕様を詳細に説明する。

【0131】

図15は、本発明に係る記憶装置の第4の実施形態を示す構成図である。

【0132】

図15の記憶装置50Cは、メインメモリ51c、補助メモリ52c、インターフェース回路(I/F)53c、転送制御回路54c、内部バスBS50cを、主構成要素として有している。

【0133】

本記憶装置50Cのメインメモリ51cはフラッシュメモリモジュール51cであり、並列動作が可能な4個の256MBフラッシュメモリ51c_0~51c_3、フラッシュメモリコントローラ67c、ページバッファ66cを含んで構成されている。

【0134】

各フラッシュメモリ51c_0~51c_3は4つの64MBメモリアレイ、たとえばバンクBK0~BK3を有しており、それぞれ独立したバンクとして並列動作が可能である。各々のバンクBK0~BK3のページサイズは2kBであり、消去ブロックサイズは64ページをまとめた128kBである。

すなわち、各バンクBK0~BK3は512個の消去ブロックを有している。さらに各バンクはそれぞれページ格納用のラッチを有している。各バンクの書き込み転送速度は10MB/s程度である。

各バンクBK0~BK3にデータを書き込む際は、まずバンク毎のラッチ内に上記ページサイズに相当する2kBずつのデータが転送され、その後所望のページアドレスに一括書き込みされる。

各バンクBK0~BK3は、各々独立にアクセスするページアドレスを指定でき、片側のバンクが書き込まれている間に反対のバンクのラッチにもデータを転送でき、さらに書き込みを開始できる。すなわち、4つのバンクは並列に動作が可能である。

【0135】

さらに4個のフラッシュメモリも各々並列動作が可能であり、フラッシュメモリモジュール全体では16バンクを並列にアクセスできる。

たとえば、一つのファイルを16バンクに分割して並列に書き込めば、実質的には最大

10

20

30

40

50

16倍の速度で書き込みが可能である。それらは一体化して、ページサイズ(2kB×16=)32kB、消去ブロックサイズ(128kB×16=)2MB、書き込み転送速度(10MB×16=)160MB/sのフラッシュメモリとみなすことが可能である。

【0136】

フラッシュメモリコントローラ67cはECC符号化によるエラー訂正回路を備えるとともに、内蔵RAM内には消去ブロック(ここでは16バンク分を一体化した2MBブロック)単位のアドレス変換テーブル68cが構築されている。

【0137】

本アドレス変換テーブル68cは、後述する無効ページの回復処理や、最適な書き込み領域の探查、ブロックごとの書き換え回数の平均化処理等を行う際に活用する。

10

【0138】

さらに、フラッシュメモリモジュール51cには32kBのページバッファ66cが設置されており、これを介して内部バスB550cとデータの授受を行う。

データ読み出し時は内部の高並列化されたフラッシュメモリから32kB分のページデータがページバッファに出力される。

また、書き込み時はページバッファのデータがフラッシュメモリの各バンクに分割して書き込まれる。

【0139】

本記憶装置50Cの全体は、外部との入出力インターフェース回路53cに内部バス50cを介して上記大容量フラッシュメモリモジュール51cと、強誘電体メモリよりなる比較的小容量の補助メモリ52cが接続された構成となっている。

20

さらに、転送制御回路54cを有しており、その内蔵RAMには32kBのページを管理単位としたアドレステーブル60cが構築されている。

【0140】

外部からアクセスしたい所望のセクターアドレスが指定されると、制御回路54cはその上位ビットから対応する論理ページアドレスを抽出し、アドレステーブル60cを参照する。

アドレステーブル60cは、図16に示すように、各論理アドレス61cと物理アドレス62cの照応から成っており、テーブルを格納したRAM上では、そのメモリアドレスと格納データに対応させることができる。

30

すなわち、所望の論理アドレスに対応するRAM上のアドレスにアクセスすることで、照応する物理アドレスが取得できる。物理アドレス領域0000~7FFFはメインメモリ51c内のページアドレスを示す。

一方、8000以上の領域は補助メモリ52cを示しており、たとえば物理アドレス8001は補助メモリ52cのアドレス0001に所望のページが存在することを示している。転送制御回路54cはこのテーブルを用いて所望のページの所在を判定する。また下位ビットはそのページ内のセクターの位置を決定する。

【0141】

データ読み出しにおいて、所望のページがメインメモリ51c上にある場合は、IF回路53cはページバッファ66cに出力された32kBのデータから任意のファイルセクター(容量は512B)を選択して、装置外部に出力する。

40

また、所望のページが補助メモリ52c上にある場合は、変換されたアドレスを用いて補助メモリが直接アクセスされ、IF回路53cを介して所望のファイルセクターのデータが出力される。

【0142】

一方、データ書き込みにおいては、所望のページがメインメモリ51c上にある場合は、転送制御回路54cはまず該当するページを補助メモリ54c上に移動する。

すなわち、ページデータはページバッファ66cを介して補助メモリ52cに転送され、さらにアドレステーブル60c内の対応論理アドレスに照応する物理アドレスが、補助メモリ52cの保存先に書き換えられる。これによって、メインメモリ51c内の読み

50

出し元領域は無効化される。

すなわち、ページデータは補助メモリ52cに一時記憶としてコピーされたのではなく、実体が移動している。

【0143】

次に、補助メモリ52c上で、ファイルセクター単位のデータ更新が行われる。所望のページが補助メモリ52c上にある場合は、変換されたアドレスを用いて補助メモリが直接アクセスされ、書き込みが実行される。

【0144】

このようにして多くのページが更新に伴って補助メモリ52cに移動したとする。こうして補助メモリ内の空きが無くなってくると、転送制御回路54cは、今度はこれらのページをメインメモリ51cに再度移動させる必要が生ずる。この際の移動は従来のキャッシュメモリからの書き戻しと異なり、メインメモリ上の任意の消去済み領域に行くことが可能である。

【0145】

本第4の実施形態では、転送制御回路54cは、移動に先立って、メインメモリ51cに最適転送先の問い合わせコマンドを送り、そこで取得したページアドレスにページデータを順次移動させる。

すなわち、補助メモリ52cからページデータをメインメモリ51cに順次転送し、アドレステーブル60cをそれに応じて書き換える。

【0146】

ところで、メモリモジュール51cは、通常のフラッシュメモリモジュールとしての機能の他に、本発明に関連して以下のような二つの機能を持っている。

1. ページ移動先となってページ書き込みが行われるに先立ち、最適な空き領域を検索する。
2. ページ移動元となって多くの無効領域が発生した際、それを新たな空き領域に回復させる。

【0147】

これらの作業のために、前述したブロックアドレステーブル68cが活用される。以下にその詳細について説明する。テーブル68cはメモリモジュール51cレベルでの各消去ブロックの論理アドレス69cに対応して、ブロックごとの状態をテーブル化したものである。

【0148】

たとえば記憶装置50cからデータを読み出す際、転送制御回路54cは外部からの入力アドレスをページアドレステーブル60cと照応させて、対応するページの物理アドレスを取得する。

所望のページがメモリモジュール51c上にある場合、それはメモリモジュール51cに入力されるページアドレスとなる。ここでメモリモジュール51cはその上位ビットからブロックアドレスを取得するが、そのアドレスはメモリモジュールレベルでは論理アドレスとなる。

【0149】

すなわち、上記ブロックアドレスは、再度ブロックアドレステーブル68cで変換されて、照応する物理ブロックアドレス69c、その中の各ページの状態フラグ70c、さらにブロック書き換え回数71cが取得される。物理ブロックアドレス69cはメモリモジュール51cの内部でブロックを選択するための所在位置を示している。

【0150】

状態フラグ70cは該当ブロック中の全64ページについて、それぞれが(0)消去済状態、(1)有効データが記憶されている状態、(2)無効化された状態、のいずれであるかを、各2ビットのフラグで記載している。

状態は(0) (1) (2)の順に推移する。(0) (1)の推移はメモリモジュールに書き込みが成された際に該当ページについて更新される。(1) (2)の推移は

10

20

30

40

50

ページが補助メモリ52cに移動した際に発生するが、これは転送制御回路54cから通常の読み出しと区別した移動コマンドが入力されるか、指定ページの無効化コマンドが入力されることに応じて更新される。状態(2)からは状態(0)への復帰は、後述のメモリモジュール内部での回復処理によって行われる。

【0151】

また、ブロック書き換え回数71cには該当ブロックの通算書き換え回数が記録されている。フラッシュメモリの場合、ブロックの書き換え耐性は10万回～100万回なので、18ビット程度の数値で示される。

【0152】

上記メモリモジュールの付加機能の内、最適な空き領域検索は、たとえば以下のように実施される。

転送制御回路54cは補助メモリ52cからのページの移動に先立って、最適ページの検索コマンドをメモリモジュール51cに入力する。それを受けたメモリモジュールの制御回路67cはブロックアドレステーブル68cを先頭からスキャンしていき、消去済のページ数が最も多く、無効ページ数が少ないブロックを最適ブロックとして選択する。そしてその先頭の消去済ページ領域の論理アドレスが、移動先の最適アドレスとして制御回路54cに通知される。

【0153】

また、このように一旦対象ブロックを選択したら、それ以降の領域選択においては、そのブロックの消去済ページが全て有効ページとなるまで同じブロック内の消去済ページが順次選択され続ける。

【0154】

このようなアルゴリズムに沿って選択したページ領域に、補助メモリ52cからのデータを順次書き込んで行けば、互いに関連の深いページが同一のブロックに集中するようになる。それらは再度更新される際にも一緒に補助メモリ52cに移動する可能性が高く、その結果同一ブロックには無効ページも集中することになる。

それによって、次に述べる回復処理も効率良く実施でき、それらは再度消去済ページが集中したブロックを発生させる。

【0155】

次に、無効ページの回復について説明する。

【0156】

メモリモジュール51c上のページが更新され、それに伴って補助メモリ52cにそれらが移動して、元の領域が無効化されるに従って、メモリモジュール51c内に無効領域が増加してくる。その領域には新たにデータを上書きできないので、ある時点でそこにデータ保存が可能になるように、回復処理を行う必要がある。

【0157】

図17は、無効領域の回復処理の実行例を説明するための図である。

図17においては、図15のメモリアレイ群を、簡略のため一つのフラッシュメモリ101と表現している。さらにメモリモジュール内には、図15と同様に、内部にブロックアドレステーブル104が構築されたフラッシュ制御回路103およびページバッファ102が設置されている。

【0158】

フラッシュメモリ101内の消去ブロック105では、二つの有効ページ107、108および一つの消去済ページ109を除いた全てのページが無効化されている。

一方、106は全てのページが消去された予備ブロックを示している。すなわち、メモリ101内にはブロックアドレステーブル104上のどの論理アドレスに照応しておらず、外部からアクセスできない予備ブロックが常に用意されている。

【0159】

ここで制御回路103は、有効ページ107、108をページバッファ102を介して、予備ブロック106の同じページ位置にコピーする。さらに内部のブロックアドレス

10

20

30

40

50

テーブル104を更新し、ブロック105にマッピングされていた論理アドレスの照応先をブロック106に変更する。これによって無効ページは全て消去済ページに回復し、新たなデータ書き込みが可能になる。

一方、ブロック105は消去された後予備ブロックとなる。

【0160】

このような処理は、無効化されたページが最も多く、かつ有効ページが少ないブロックを検索し、そのブロックに対して施すのが効率が良い。従ってメモリ内の空き領域が少なくなってきたら、移動先ページの検索時と同様にブロックアドレステーブルをスキャンし、最適ブロックを検出してそこに回復処理を施せば良い。

【0161】

なお、不揮発性の記憶装置の場合、ブロックアドレステーブル104の内容も保存される必要がある。これについては、たとえば各々のページデータに予備領域を設け、所属ブロックの論理アドレス、ページの状態、所属ブロックの消去回数をそこに記録しておく。これにより電源投入時に全ページをスキャンして、テーブルを再構築することが可能になる。さらに起動時間を短縮するには、フラッシュメモリ101内に特定の領域を設け、電源のオフ時にテーブル内容のバックアップを保存しておくのが望ましい。その場合は通常の起動時にはバックアップからテーブルを再構築し、電源瞬断等でバックアップがない場合や、途中で何らかの不整合が発生した場合には全ページをスキャンして、再度テーブルを構築しなおす。

【0162】

以上データの移動先のページ領域を効率良く選択する方法、および無効ページを効率良く回復させる方法について一例を示した。移動先ページや回復ブロックの選択については、たとえば書き換え回数も考慮し、これを平均化する方向で行う等、様々なアルゴリズムのバリエーションが考えられる。いずれにしてもこのような最適化を可能にする柔軟性は、本発明によって得られる大きな効果の一つである。

【0163】

また、図15、図17において示されたように、第4の実施形態における記憶装置内部では、

(1) ページアドレステーブル60cを用いた、制御回路54cによる記憶装置レベルでの転送制御、

(2) ブロックアドレステーブル68cを用いた、制御回路67cによるメモリモジュール51cレベルでの各種制御、

の二者が、互いに通信し合いながら各々独立に実行されている。

このような構成は各種制御のアルゴリズムを単純化するので、本発明の効果を引き出すのに好適である。また、システムの動作自体の効率化にも寄与する。たとえばメモリモジュール51c内で無効ページの回復処理が行われている間でも、補助メモリ52c上のデータであれば、外部から自由にアクセスすることが可能である。

【0164】

なお、機能レベルでは上述のような区分がなされるが、実際にこのような装置を実現する場合には、チップ構成は強誘電体メモリチップ、フラッシュメモリチップ、コントローラチップの三者で構成され、コントローラチップ上にはインターフェース回路53c、転送制御回路54c、ページバッファ66c、制御回路67cが複合的に搭載されるであろう。その場合上記(1)、(2)の制御用に各々異なるCPUを用いるか、もしくは一つのCPUをマルチスレッドで使用して、それぞれのスレッドを(1)、(2)の制御に充てれば制御が容易である。

【0165】

また、実際のコンピュータや家電機器上で本発明の記憶装置を導入する場合には、さまざまな構成上のバリエーションが考えられる。たとえばハードディスク、フラッシュメモリ、強誘電体メモリの三者を用いて本発明を階層的に適用することもでき、その場合、以下のような複数の形態が生じ得る。

10

20

30

40

50

・フラッシュメモリ（メイン）と強誘電体メモリ（補助）で構築された本発明の記憶装置がハードディスクのキャッシュメモリとして用いられる。

・フラッシュメモリ（メイン）と強誘電体メモリ（補助）で構築された本発明の記憶装置とハードディスクとでさらに相互にページデータを移動しあう「入れ子」型の記憶装置が構成されている。

・一つの記憶装置内に強誘電体メモリ、フラッシュメモリ、ハードディスクの三者を含み、強誘電体メモリとフラッシュメモリ間ではページ単位でデータを移動しあい、フラッシュメモリとハードディスク間では消去ブロック単位でデータを移動しあう。

このようにメモリの階層化に伴って多くのパリエーションが生じ得るが、いずれの場合にも本発明は適用される。

10

【0166】

第5実施形態

図18は、本第5の実施形態に係る記憶装置を概念的に説明するための図である。

【0167】

本第5の実施形態では、記憶装置内に不揮発性のキャッシュメモリ111を用意し、フラッシュメモリ112から読み出され、更新されたデータは、そこに移動させて保存する。

その際元の消去ブロックにあったデータは無効化され、それ以外の非選択データはそのまま残される。キャッシュメモリ111内に既に移動したデータが再度アクセスを要求された場合は、フラッシュメモリ112ではなく、キャッシュメモリ111がアクセスされる。

20

【0168】

このようにして、記憶装置にページ単位でランダムなアクセスがなされると、互いに異なる複数の消去ブロック113、114、115から、ページデータ116、117、118が順次読み出され、更新されて、メモリ111内に蓄積されていく。

それらのページデータ群119は特定の基準に達した時点で、フラッシュメモリ112内の消去済の空きブロック120にまとめて書き戻される。

すなわち、元々異なる消去ブロックに存在していたページデータ116、117、118は、キャッシュメモリ111への移動を経て、同一の消去ブロック120内に再配置される。

30

【0169】

従来、各消去ブロック内のページデータを更新する都度に、ブロック内全ての非選択データについても読み出しと再書き込みを行っていたが、本第5の実施形態ではそのような作業は、見かけ上一切不要である。

フラッシュメモリ112にデータが書き込まれるのは、キャッシュメモリ111が満杯にならぬように、フラッシュメモリの消去済予備ブロックに、まとめて書き戻しを行う時のみである。全体としては1ページ分の更新に対して1ページ以下の書き戻しで済むことになる。

【0170】

ところで、フラッシュメモリ内の消去済ブロックが全てページデータで埋め尽くされてしまった場合、たとえば図19のような対処を行うと良い。ここではページデータ群119bに蓄積されたページデータ群をフラッシュメモリ52bに書き戻そうとしたが、消去済の空きブロックが無かったものとする。

40

【0171】

まず、多くのデータが更新、移動、無効化され、有効データの少ないブロックを選択する。たとえばそのようにしてブロック122bを選択した場合、ブロック122b内の有効なページデータ123bを全てキャッシュメモリ111b内の空き領域121bに移動する。

その後、ブロック122bを消去することで、ブロック122bが新たな消去済ブロックとなる。

50

これにより、データ群 1 1 9 b をブロック 1 2 2 b に移動することが可能になる。

【 0 1 7 2 】

なお、このような作業を必要に応じて適時行うには、キャッシュメモリ 1 1 1 b 上には常に 1 ブロック分の空き領域があるのが望ましい。

すなわち、データ蓄積領域（データ群の蓄積領域 1 1 9 b）と空き領域 1 2 1 b とを併せて、キャッシュメモリ 1 1 1 b は、少なくとも 2 ブロック分のデータ格納が可能な容量を持つことが望ましい。

【 0 1 7 3 】

ところで、通常フラッシュメモリへの書き込みで最も効率が悪化するの、ページデータが完全に分散配置されて、各ブロックに対して均一に 1 ページずつの書き替えが行われる場合である。

10

この際、従来は前述の如く、ブロック内の全データをバッファに移動し、フラッシュメモリ内に再度書き込みを行うしかなかった。

【 0 1 7 4 】

これに対して、本実施形態では、消去済の空きブロックが存在する限り、余分な書き込みは必要無い。

しかし、一旦空きブロックが無くなってしまうと、1 ページずつ無効領域を持ったブロックから空きブロックを生成する必要が生じる。

したがって、従来同様多くのデータを余分に読み出して、フラッシュメモリに再書き込みすることになる。

20

【 0 1 7 5 】

このようなケースでも、本第 5 の実施形態を採用すれば、従来より以下の点で有利である。

すなわち、当初異なるブロックに分散配置されていたページデータは、キャッシュメモリを介して同一ブロックに再配置されることで、効率の良い集中配置に移行する。

それによって互いに関連の深いページデータが同一ブロックに再配置されるので、それらが再度アクセスされたときには、同一ブロックから多くのページデータがキャッシュメモリに移動することになる。

その結果、そのブロックは無効領域を集中的に有した状態となり、そこから効率良く新規空きブロックを生成することができる。

30

【 0 1 7 6 】

すなわち、本実施形態の記憶装置においては、互いに関連の深いページは、アクセスを経るに従って分散状態から集中状態に変わる。

したがって、アクセス効率の良いページ配置に変化する。従ってどのようなケースにおいても、従来よりはるかに効率のよいデータ書き込みが成されるようになる。

【 0 1 7 7 】

図 2 0 は、図 3 の従来例に対応させて、本第 5 の実施形態をマルチバンク型のフラッシュメモリに適用した例を説明するための図である。

【 0 1 7 8 】

図 2 0 に示すように、フラッシュメモリ部は 1 6 個のアレイ A R 0 ~ A R 1 5 より構成されており、高速転送を実現するため、それらを同時動作させる。

40

この場合、データ書き込み時は、たとえばページ群 2 4 b は実ページ領域として同時書き込みがなされる。

さらに、消去時はブロック群 2 1 b は実消去ブロックとして同時消去される。

【 0 1 7 9 】

ここで本実施形態においては、フラッシュメモリ上の実ページ領域 2 4 b の一部が更新される場合、ページ群 2 4 b のみを読み出され、所望箇所が更新されて、キャッシュメモリ 2 3 b に格納される。

すなわち、実消去ブロック（ブロック群）2 1 b 全体のデータが読み出される訳ではなく、またすぐにフラッシュ側に書き戻される訳でもない。

50

再度、ページ群 2 4 b の一部領域が更新される場合は、キャッシュ領域 2 2 b が更新される。

しかし、別の実ページ領域 2 5 b に更新指示があると、ページ群 2 5 b のみが読み出され、所望箇所が更新されて、キャッシュメモリ 2 3 b に格納される。

【 0 1 8 0 】

このようにしてキャッシュメモリ 2 3 b 内には、ランダムに選択され、更新された、互いに異なる実ページ領域のデータが順次蓄積されていく。

そしてたとえば、規定量を超えた実ページデータが格納されると、それらはまとめて、既に消去済の実消去ブロック 2 7 b に書き戻される。

すなわち、キャッシュメモリ 2 3 b を介して、実ページ領域の配置換えがなされ、異なる消去ブロックから読み出された複数のページ 2 4 b、2 5 b のデータが同一の消去ブロック 2 7 b に再配置される。

【 0 1 8 1 】

なお、この際、外から見たアドレスとデータの不整合が生じぬよう、内部でアドレス変換テーブルを用いた実ページ領域レベルでのアドレス変換が行われる。これによって元のページ領域 2 4 b、2 5 b のデータは無効化され、外から同じページアドレスにアクセスしても、消去ブロック 2 7 b 内に再配置されたページがアクセスされるようになる。

【 0 1 8 2 】

図 2 1 は、本発明に係る記憶装置のさらに具体的な構成例を示す図である。

【 0 1 8 3 】

図 3 2 の記憶装置 1 3 0 は、並列動作が可能な 4 個の 2 5 6 M B フラッシュメモリ 1 3 1 ~ 1 3 4、フラッシュメモリコントローラ 1 3 5、強誘電体キャッシュメモリ 1 3 6、入出力用ページレジスタ 1 3 7、インターフェース (I F) 回路 1 3 8、および制御回路 1 3 9 を含んで構成されている。

【 0 1 8 4 】

各フラッシュメモリ 1 3 1 ~ 1 3 4 は、4 つの 6 4 M B メモリアレイ、たとえばバンク B K 0 ~ B K 3 を有しており、それぞれ独立したバンクとして並列動作が可能である。

各々のバンク B K 0 ~ B K 3 のページサイズは 2 k B であり、消去ブロックサイズは 6 4 ページをまとめた 1 2 8 k B である。

すなわち、各バンク B K 0 ~ B K 3 は 5 1 2 個の消去ブロックを有している。さらに各バンク B K 0 ~ B K 3 はそれぞれページ格納用のラッチを有している。各バンク B K 0 ~ B K 3 の書き込み転送速度は 1 0 M B / s 程度である。

【 0 1 8 5 】

各バンク B K 0 ~ B K 3 にデータを書き込む際は、まずラッチ内に上記ページサイズに相当する 2 k B ずつのデータが転送され、その後所望のページアドレスに一括書き込みされる。

各バンク B K 0 ~ B K 3 は、各々独立にアクセスするページアドレスを指定でき、片側のバンクが書き込まれている間に反対のバンクのラッチにもデータを転送でき、さらに書き込みを開始できる。すなわち、4 つのバンク B K 0 ~ B K 3 は並列に動作が可能である。

さらに 4 個のフラッシュメモリ 1 3 1 ~ 1 3 4 も各々並列動作が可能であり、記憶装置全体では 1 6 バンクを並列にアクセスできる。

たとえば一つのファイルを 1 6 バンクに分割して並列に書き込めば、実質的には最大 1 6 倍の速度で書き込みが可能である。

【 0 1 8 6 】

フラッシュメモリコントローラ 1 3 5 は E C C 符号化によるエラー訂正回路を備えるとともに、不良ブロックへのアクセスを回避するよう 4 個のフラッシュメモリ 1 3 1 ~ 1 3 4 内の 1 6 個のバンクに対して、独立してブロック単位のアドレス論物変換を行う。

すなわち、フラッシュメモリコントローラ 1 3 5 は、各バンク毎にアクセスするアドレスを変換するためのテーブルを持っており、外部から指定されたアドレス (論理アドレス

10

20

30

40

50

)を不良ブロックを避ける形で内部アドレス(物理アドレス)に変換し、良品のブロックのみにアクセスさせる。

【0187】

上記16バンクを構成する4個のフラッシュメモリ131~134、およびフラッシュメモリコントローラ135は、それらを一体化して、不良ブロックの無い、ページサイズ(2kB×16=)32kB、消去ブロックサイズ(128kB×16=)2MB、書き込み転送速度(10MB×16=)160MB/sのフラッシュメモリ140とみなすことが可能である。記憶容量は(256MB×4=)1GBから、不良ブロックと後発不良対応用の予備ブロック等を除いた値である。

【0188】

記憶装置130内部は、上記32kBの実ページ単位でデータが各メモリ136、140、およびページレジスタ137間を転送される。

制御回路139はそれらの転送を管理する。

【0189】

記憶装置130外部とデータのやり取りをする場合には、所望のページデータがページレジスタ137に一旦転送され、IF回路138はそれを介して外部とのデータ通信を行う。

通常ファイルは512Bのセクター単位で通信されるので、本記憶装置外部からみた場合、各セクターアドレスの上位ビットは上記ページデータの論理アドレスであり、下位ビットはページ内32kB中の所望セクターの位置を示すアドレスである。

【0190】

ページデータの転送制御回路139の内部には、図22に示すように、ページ管理用のテーブル141が構築されている。

このテーブル141は、装置の論理ページアドレスに対応して、各ページデータがフラッシュメモリ140または強誘電体キャッシュメモリ136のどの場所に格納されているかを管理している。記憶容量が1GBの場合、32kBのページは約32k枚格納される。したがって、16ビットのアドレス空間で所在を管理でき、テーブル141のメモリ容量は512kbit程度である。

【0191】

なお、本例では消去済の空きブロックを潤沢かつ適切に供給するために、予備のブロックを設けている。

すなわち、内部記憶容量の八分の一を隠蔽し、ページの論理アドレスを6FFFまでとしている。この場合、記憶装置の容量は約750MBである。物理アドレスについては0000~7FFFの空間をフラッシュメモリ140に、8000~FFFFの空間を強誘電体キャッシュメモリ136に割り振っている(無論割り振られたアドレスの全てが使われる訳ではない)。

【0192】

このようなテーブルを設ければ、ページデータをフラッシュメモリ140または強誘電体キャッシュメモリ136のどのような位置に移動させても、テーブルを更新するのみで、ユーザーは所望のデータに的確にアクセスすることができる。

すなわち、ユーザーが所望のセクターアドレスを指定すれば、その上位ビットに相当する論理ページアドレスがテーブル上でアクセスされ、対応ページの所在位置が特定される。該当ページはページレジスタ137に転送され、セクターアドレスの下位ビットを元に、レジスタ中の所望のビットがアクセスされる。

【0193】

また、本記憶装置130においては、仕様上のメモリ容量(750MB)より、実際の内部記憶容量は大きい。この間にはアドレステーブルが介在し、冗長な記憶領域は、消去済空きブロックの潤沢かつ適切な供給等、アクセスの効率化、高速化のために使用されている。

【0194】

10

20

30

40

50

なお、転送制御回路 139 とフラッシュメモリコントローラ 135 は同一チップ上に搭載し、一つの CPU で両者を制御することも可能である。この場合さらに I/F 部 138 およびページレジスタ 137 も同一チップ上に搭載されるのが望ましく、これによって記憶装置は左記複合制御チップと F e R A M チップおよび 4 個のフラッシュメモリチップの計 6 チップで構成されることになる。

【 0 1 9 5 】

以下に、記憶装置 130 へのアクセス時の内部転送制御の例を説明する。

【 0 1 9 6 】

A . クラスターの読み出し ;

1 . ユーザーが 4 k B のクラスターを読み出すため、その先頭セクターのアドレスとコマンドを入力したとする。750MB のストレージでは、512B 単位のセクターのアドレスは 21 ビットで指定できる。その際上位 15 ビットがページアドレスとなり、下位 6 ビットがページ中のセクターアドレスとなる。

10

【 0 1 9 7 】

2 . まずページアドレスからテーブル 141 がアクセス参照される。その結果、ページの所在が確定され、フラッシュメモリ 140 または強誘電体キャッシュメモリ 136 のいずれかより該当するページデータがページレジスタ 137 に転送される。

【 0 1 9 8 】

3 . 次に下位 6 ビットのアドレスをもとに、ページレジスタ 137 内の該当するセクターデータが選択され、出力される。

20

【 0 1 9 9 】

4 . なお、クラスターを構成する後続の連続セクターは、全てページレジスタ 137 内に存在するので、以降そこから読み出しが行われる。

【 0 2 0 0 】

B . クラスターの書き込み ;

1 . ユーザーが 4 k B のクラスターを書き込むため、その先頭セクターのアドレスとコマンドを入力したとする。読み出し時と同様に、そのアドレス 21 ビット中上位 15 ビットがページアドレスとなり、下位 6 ビットがページ中のセクターアドレスとなる。

【 0 2 0 1 】

2 . まずページアドレスからテーブル 141 がアクセス参照される。その結果、ページの所在が確定され、フラッシュメモリ 140 または強誘電体キャッシュメモリ 136 のいずれかより該当するページデータがページレジスタ 137 に転送される。

30

【 0 2 0 2 】

3 . 次に下位 6 ビットのアドレスをもとに、ページレジスタ 137 内の該当するセクターデータが選択され、更新される。

【 0 2 0 3 】

4 . なお、クラスターを構成する後続の連続セクターは、全てページレジスタ 140 内に存在するので、引き続きページレジスタ 137 のデータが更新される。

【 0 2 0 4 】

5 . 更新されたページデータは、それが強誘電体キャッシュメモリ 136 に存在していたものであれば、元の場所に上書きされる。

40

一方、フラッシュメモリ 140 に存在していたものであれば、強誘電体キャッシュメモリ 136 の空き領域に書き込まれ、テーブル 141 が更新される。

すなわち、更新済ページデータはフラッシュメモリ 140 から強誘電体キャッシュメモリ 136 に移動し、フラッシュメモリ 140 内の元のページ領域は無効となる。

【 0 2 0 5 】

6 . その後他のクラスタ書き込みのため、1 ~ 5 の動作が繰り返される。これによって強誘電体キャッシュメモリ 136 内には更新済ページデータが蓄積されていく。

【 0 2 0 6 】

7 . 強誘電体キャッシュメモリ 136 内に 64 ページ、すなわち 1 ブロック分のデータが

50

蓄積された時点で、それらのページデータは順次フラッシュメモリ140内の消去済の空きブロックに書き込まれる。同時にテーブル141が更新され、それによってページデータは強誘電体キャッシュメモリ136からフラッシュメモリ140に移動する。

【0207】

なお、誘電体キャッシュメモリ136からフラッシュメモリ140にページデータを書き戻す手順には多くのバリエーションが生じ得る。それらは1ブロック分一気に連続して行っても良いが、その間記憶装置はアクセス禁止になってしまう。

したがって、記憶装置130へのアクセスと内部の書き戻しを時分割でスケジューリングし、たとえば外部から1ページ分のアクセスがなされるごとに1ページずつ書き戻しても良い。

10

【0208】

また、強誘電体キャッシュメモリ136にページデータを書き込む際に、各ページごとに予備領域を設け、タイムスタンプ等ページの更新順序を示す記録を残しておく、さらにアクセスの効率を向上させることができる。

この場合、フラッシュメモリ140への書き戻し時には更新の古いものから書き込んで行けば良い。これによって書き込み時のキャッシュへのヒット率が上昇し、フラッシュメモリへの実際の書き込み回数を減らすことができる。

【0209】

ところで、本実施形態では、キャッシュメモリ136に強誘電体メモリを使用した。この部分に不揮発性メモリを使用せず、たとえばSRAMやDRAMを使用しても、同様の処理でページデータを一時保存することは可能である。しかし以下の理由によって不揮発にした方が望ましい。

20

【0210】

ここが揮発性メモリの場合、それはあくまで一時的記憶にしか過ぎない。したがって、そこにページデータを移動させ、以前のフラッシュメモリ上のデータを無効化しても、それを全く復帰不可能な状態にするのは危険である。従ってテーブルには元のアドレスもバックアップとして残しておく必要があり、その管理は非常に複雑になる。

【0211】

電源を切ると揮発性メモリ内のページデータは消滅するので、その前に内部の有効データは必ずフラッシュメモリ内に書き戻さねばならない。したがって、実際の電源オフまでに時間がかかり、処理も煩雑である。またこれによって、消去したものの一部しか書き込まれない半端なブロックが生じやすくなる。

30

【0212】

モバイル機器の電池切れや、据え置き機器の落雷停電等、予想外の要因で電源が瞬断した場合、更新データが失われるのみならず、データ間に不整合が発生する危険がある。

【0213】

また、アドレステーブル141も、電源オフ時に保存される必要がある。これについてはたとえば以下のような手法が有効である。

【0214】

ページデータを各種メモリに保存する際に予備領域を設けて、各ページごとにその論理アドレスを共に保存する。これによってメモリ内の各ページをスキャンすることで、いつでもテーブルを再構築できる。

40

強誘電体メモリ140の中にテーブルそのものを構築したり、または電源オフ時に強誘電体メモリ内にテーブルを保存する。

【0215】

なお、不揮発性のキャッシュメモリとしては、強誘電体メモリ以外にも前述のような強磁性材料や相転移材料、または磁気抵抗効果材料を用いたメモリ等を使用することができる。

また、主媒体についてはフラッシュメモリが現時点で代表的であるが、それ以外にも書き換えに消去が必要で、かつ消去単位が通常のアクセス単位より大きい不揮発性メモリで

50

あれば、本発明を適用することができる。

【0216】

第6実施形態

図23は、本第6の実施形態に係る情報処理システム（コンピュータシステム）の一実施形態を示すブロック図である。

【0217】

本実施形態の情報処理システム150は、ホスト装置（CPU）151、半導体記憶装置152、強誘電体メモリ（FeRAM）153、インターフェース回路群（I/O IF）154、周辺機器155-1、155-2、155-3、およびシステムバス156を、主構成要素として有している。

10

【0218】

図23のシステム150において、CPU151にはシステムバス156を介して本発明に係る半導体記憶装置152が接続されている。

半導体記憶装置152は、状態通知ピン152aの付加された通常のランダムアクセスメモリとして実装されている。NOR型フラッシュとピン互換にし、通常のボードにそのまま装着することも可能である。

【0219】

本実施形態の半導体記憶装置152は、たとえば高速な第1のメモリとしての32Mbの強誘電体メモリ1521、低速な第2のメモリとしての1GBのNAND型フラッシュメモリモジュール1522、および制御回路（CTL）1523を同一パッケージ内に含んで構成されている。

20

【0220】

フラッシュメモリモジュール1522は、内部のメモリが16バンクに分割されており、それらを並列動作させることで、ブロックデータの高速な転送が可能である。その他モジュール内部には、内部フラッシュメモリのブロック単位の論理アドレスを物理アドレスに変換し、エラーブロックのアクセスを禁止する機能回路や、ECC回路で読み出したデータに符号化エラー訂正を施す機能回路が含まれている。

【0221】

制御回路1523は後述するように、半導体記憶装置152の内部における強誘電体メモリ1521とNAND型フラッシュメモリモジュール1522間のデータ転送を実行、制御する。

30

【0222】

半導体記憶装置152は、たとえば図4におけるNOR型フラッシュ33、DRAM34、およびNAND型フラッシュモジュール36の三者の機能を統合したものとなっており、OSカーネル、アプリケーションプログラム、ワークエリア、ユーザーデータの殆どはこの中に格納される。そのアドレスはシステムメモリ上にマッピングされ、不揮発な大容量ランダムアクセスメモリとして扱われる。

【0223】

さらに、本システム150においては、システムバス156には比較的小容量の強誘電体メモリ153が接続されており、またインターフェース回路群154を介して各種周辺機器155-1～155-3が接続されている。

40

【0224】

本システム150におけるホスト装置151のメモリアクセス手順は以下の通りである。

【0225】

ホスト装置151が半導体記憶装置152にアクセスした場合、半導体記憶装置152内の制御回路1523は強誘電体メモリ1521内に所望のデータかそのコピーがあれば、そこにアクセスする。したがって、外部からは通常のランダムアクセスメモリとして使用できる。

もし、所望のデータかそのコピーが無ければ、制御回路1523は通知ピン152aに

50

ビジー信号を送り、必要なデータをフラッシュメモリモジュール 1522 から強誘電体メモリ 1521 に転送する。

【0226】

ホスト装置 151 は、ビジー信号を受けると割り込みを発生させ、別途設けられた強誘電体メモリ 153 に記載された割り込みハンドラのコードを実行する。

これによって上記メモリアクセスは中断され、ホスト装置 151 は通知ピン 152a の状態を監視しつつ待機状態に入る。半導体記憶装置 152 内の転送処理が終了すると、通知ピン 152a はレディー状態となり、メモリアクセスが再開される。

【0227】

すなわち、半導体記憶装置 152 は、通常はランダムアクセスメモリとして問題なく使用できるが、所望のデータが強誘電体メモリ 1521 内になければ割り込みと待機を要求する。その処理のために最低限必要となる割り込みベクター、スタック、割り込みハンドラ - 等のためのメモリ領域が、別途設けられた小容量の強誘電体メモリ 153 内に格納されている。

これらの総容量は通常数十 k B であり、ここでは小容量の強誘電体メモリに格納したが、コード格納にはマスク ROM や EPROM を、スタックには SRAM 等を用いてもよく、それらはホスト装置 (CPU) 151 やインターフェース回路群 154 の IF 回路チップの中に内蔵しても良い。

【0228】

または、小容量の強誘電体メモリ 153 は半導体記憶装置 152 と同一パッケージ内に一体化させることも可能である。

図 24 は、小容量の強誘電体メモリ 153 は半導体記憶装置 152 と同一パッケージ内に一体化させた構成例を示す図である。

図 24 において、記憶装置 160 は、大容量記憶部 161、小容量誘電体メモリ 162、スイッチ 163、164、強誘電体メモリ 165、制御回路 166、NAND 型フラッシュメモリ 167、外部端子 168、169、共用アドレス線 170、共用バス (BUS) 171 を有する。

【0229】

図 24 において、記憶装置 160 は図 23 の 151 に相当する大容量記憶部 161 を含み、この記憶部 161 は強誘電体メモリ 165、制御回路 166、NAND 型フラッシュモジュール 167 を含んで構成されている。さらに、記憶装置 160 は割り込みハンドラやスタックを格納するための小容量強誘電体メモリ 162 を含んで構成されている。

記憶装置 160 においては、アドレス 0 から上位 256 kb (32 kB) 分のアドレス領域は小容量強誘電体メモリ 162 にマッピングされ、それ以降は大容量記憶部 161 にマッピングされる。すなわち、記憶装置 160 が 1 GB の容量を持つとすれば、アドレス A14 - A28 の全てが 0 の場合は強誘電体メモリ 162 がアクセスされ、それ以外は記憶部 161 がアクセスされる。

ここで記憶部 161 のアドレス端子と I/O 端子は、外部端子 168、169、および小容量強誘電体メモリ 162 に接続された共用アドレス線 170、並びに共用 BUS 171 から、スイッチ 163 および 164 によって適時切断されるようになっている。すなわち、記憶部 161 内において強誘電体メモリ 165 と NAND 型フラッシュモジュール 167 との間でデータ転送が行われ、ビジー信号が送出されている間、記憶部 161 内のバスやアドレス線は内部転送回路 166 の制御のもとで内部転送に使用されているので、共用のアドレス線やバスから切断される。これによって記憶部 161 内で所望の転送を実行しつつ、外部からは小容量強誘電体メモリ 162 内の割り込みベクターに問題なくアクセスできる。

【0230】

このような構成を採用すれば、ユーザーは記憶装置 160 のみで全てのメモリを代替することができる。またこの場合、小容量強誘電体メモリ 162 は記憶部 161 の強誘電体メモリ 165 と同一のチップに同一プロセスで作り込むことができるので、殆どコストア

10

20

30

40

50

ップなしに搭載することが可能である。

【0231】

図25は、本第6の実施形態の半導体記憶装置の内部構成例をより具体的に示す図である。

図26(A)、(B)は、図25の転送制御回路におけるアドレス変換テーブルおよびキャッシュテーブルの一例を示す図である。

図25において、180は内部バス、181はメインメモリ、182は補助メモリ、183は入出力インターフェース回路、184は転送制御回路、185~187はページ、188はページ群、189は消去済みの空きブロック、190はアドレス変換テーブル、191はキャッシュテーブルをそれぞれ示している。

10

まず、図26(A)において、1901は論理アドレスを、1902は物理アドレスをそれぞれ示し、図26(B)において、1911はエントリを、1912はページアドレスをそれぞれ示している。

【0232】

以下、図25および図26(A)、(B)に関連付けて、強誘電体メモリ内のデータ有無の判定手法と、フラッシュメモリモジュールと強誘電体メモリ間のデータ移動手順を説明する。

【0233】

外部との入出力インターフェース回路183には内部バス180を介してNAND型フラッシュメモリモジュールよりなる大容量のメインメモリ181と、強誘電体メモリよりなる補助メモリ182が接続されており、さらに転送制御回路184が設置されている。

20

メインメモリ181は内部が16バンクに高並列化されており、32kBのデータ群が単位ページとして同時にアクセスされ、内部バス180にシリアルに入出力転送される。

また、装置内部には左記ページを管理単位としたアドレス変換テーブル190が構築されている。これはたとえば転送制御回路184に内蔵されたSRAMの中に構築される。

さらに、転送制御回路184にはキャッシュテーブル191が構築されており、これはたとえば内蔵された連想メモリの中に格納されている。

【0234】

転送制御回路184は外部から入力された論理アドレスを、アドレス変換テーブル190およびキャッシュテーブル191に照合し、その結果に従って、補助メモリ182のデータをランダムアクセスし、または必要に応じてメインメモリ181と補助メモリ182の間でページ単位の双方向データ転送を行う。

30

【0235】

外部からアクセスしたい所望のデータのアドレスが指定されると、転送制御回路184はその上位ビットから対応する論理ページアドレスを抽出し、アドレス変換テーブル190を参照する。

【0236】

アドレス変換テーブル190は各論理アドレス1901と物理アドレス1902の照応から構成されており、テーブルを格納したRAM上では、所望の論理アドレスに対応するRAM上のアドレスにアクセスすることで、照応する物理アドレスが取得できる。

40

物理アドレス空間においては、領域0x0000~0x7FFFはメインメモリ181内のページアドレスを示す。

一方、0x8000以上の領域は補助メモリ182を示しており、たとえば物理アドレス0x8001は補助メモリ182のアドレス0x0001に所望のページが存在することを示している。

【0237】

転送制御回路184は、アドレス変換テーブル190を用いて所望のページの所在を判定し、まず補助メモリ182にデータが格納されているか否かを判定する。

もし、データが格納されていない場合は、今度はキャッシュテーブル191を参照し、今度は補助メモリ182内に所望データのコピーが格納されているか否かを判定する。

50

【 0 2 3 8 】

キャッシュテーブル 191 には、論理アドレスを TAG として、そのエントリ 1911 に対応する補助メモリ 182 上のページアドレス 1912 の照応が格納されている。

たとえば図の例では、論理ページアドレス 0×0001 へのアクセス要求があった場合、アドレス変換テーブル 190 において対応する物理アドレスは $0 \times 00F1$ であり、データ本体はメインメモリ 181 内にあることが解る。

この場合、今度はキャッシュテーブル 191 において、論理アドレス 0×0001 に一致する TAG のエントリが検索される。ここにおいて強誘電体補助メモリ 182 のアドレス 0×0002 に所望のデータを含むページのコピーが格納されていることが判明する。

【 0 2 3 9 】

これらの判定は、外部から半導体記憶装置 152 を見たときに、そのアクセス速度を極力阻害せぬよう高速に行われるのが望ましい。

したがって、たとえばアドレス変換テーブル 190 には SRAM を、キャッシュテーブル 191 には連想メモリを使用する。

必要があればアドレス変換テーブル 190 とキャッシュテーブル 191 の参照は同時並行して実施しても良い。これによって、補助メモリ 182 にデータかそのコピーがある限りは、本記憶装置は通常のランダムアクセスメモリと全く同様に扱える。

【 0 2 4 0 】

上述の如き半導体記憶装置における顕著な特徴は、高速メモリである強誘電体補助メモリ 182 内に、メインメモリ 181 におけるデータのコピーのみならず、データの実体が存在していることである。その管理はアドレス変換テーブル 190 によって行われている。

【 0 2 4 1 】

たとえば、上記論理アドレス 0×0001 のデータについて、アドレス変換テーブル 190 を更新し、対応する物理アドレスを強誘電体補助メモリ 182 上のそのコピーの格納箇所に相当する 0×8002 に書き換え、キャッシュテーブル 191 上のエントリを削除したとする。

これによって、コピー元であるメインメモリ 181 上の $0 \times 00F1$ のページデータは無効化され、以降はコピーデータの側がアクセスされるようになる。すなわち、データの実体となる。すなわちメインメモリ 181 から補助メモリ 182 にデータの実体が移動したことになる。

【 0 2 4 2 】

一旦補助メモリ 182 に実体の移動したデータは、その値を更新しても、もはやその結果をメインメモリ 181 側に反映させる必要は無い。

したがって、特に書き込みアクセスの場合には、データを移動することで従来のキャッシュに必須だった書き戻しが不要になり、それに伴うオーバーヘッドを大幅に削減できる。

【 0 2 4 3 】

また、このようにして互いに異なる消去ブロックから読み出されたページ 185 ~ 187 が次々に更新され、補助メモリ 182 に移動したとする。こうして補助メモリ内の空きが無くなってくると、転送制御回路 184 は、今度はこれらのページをメインメモリ 181 に再度移動させる必要が生ずる。この際の移動は、通常のキャッシュメモリからの書き戻しと異なり、メインメモリ上の任意の消去済み領域に行うことが可能である。

たとえば、消去済の空きブロック 189 にまとめて移動させればよく、通常のようにそれぞれのページに対して読み出し元のブロック消去やブロック全体のデータ退避、再書き込み等を行う必要が無い。すなわち、補助メモリ 182 からページ群 188 のみをメインメモリ 181 のブロック 189 に順次転送し、アドレス変換テーブル 190 をそれに応じて書き換えるのみで良い。

【 0 2 4 4 】

ところで、本実施形態における補助メモリ 182 には揮発性メモリを使うことも可能で

10

20

30

40

50

あるが、データの消失は許されない。

したがって、たとえばメインメモリ181内に特定の領域を設けて、電源オフ時にそこに内容を退避する必要がある。さらに電源オン時には退避したデータを復元させなければならず、起動や終了に余分な時間がかかる上、電源瞬断にも脆弱である。

したがって、補助メモリ182はフラッシュメモリよりアクセスが高性能な不揮発性メモリであることが望ましく、具体的には強誘電体材料、相変化材料、強磁性材料または磁気抵抗効果材料を用いたメモリであることが望ましい。

【0245】

さらに、アドレス変換テーブル190も消滅は許されない。たとえば、各ページの論理アドレスをページ毎の予備領域に保存しておけば再構築は可能だが、記憶装置内の全ページのスキャンには長時間を要する。したがって、アドレス変換テーブル190のデータは不揮発性の補助メモリ182にバックアップ保存されるのが望ましい。

【0246】

また、補助メモリ182に移動したデータは、その後補助メモリ側の空きがなくなると、上述したように、再度メインメモリ181側に移動させる必要が生ずる。

一方、補助メモリ182にコピーされたデータは、それが更新されていなければ破棄するのみで良い。したがって、ボトルネックとなるメインメモリ(特にフラッシュメモリ)への書き込みを最小限に抑えるためには以下のように移動とコピーを使い分けるのが望ましい。

【0247】

すなわち、読み出しにおいてデータ転送の必要が生じた場合は、通常のキャッシュと同様にメインメモリから補助メモリにコピーを転送し、元のデータは残しておく。

一方、書き込みにおいてデータ転送の必要が生じた場合は、データの実体を移動する。

また、読み出し用に転送されたコピーでも、それが後に書き換えられれば書き戻しが必要になる。この場合は実体を移動させて書き戻しを不要にする。この操作は前述したように、アドレス変換テーブルの書き換えとキャッシュエントリの削除のみで実施することができる。

【0248】

次に、本実施形態の読み出しおよび書き込みアクセスの場合における半導体記憶装置内でのデータ操作手順について説明する。

【0249】

まず、読み出しアクセスの場合を説明する。

図27は、読み出しアクセスの場合における半導体記憶装置内でのデータ操作を説明するためのフローチャートである。

【0250】

(R1): 外部からアクセスコマンドとアドレスが入力されると、そのページアドレスに相当する上位ビットをもとにアドレス変換テーブル190が参照される。

(R2): 補助メモリ182内にデータがあるか否かが判別される。

(R3): 変換されたアドレスが補助メモリ182上を指していれば、この変換後アドレスと下位ビットから補助メモリ182がアクセスされる。

(R4): 変換されたアドレスがメインメモリ181上を指していれば、今度はキャッシュテーブルが参照され、TAGの検索が行われる。

(R5): 補助メモリ182内にコピーがあるか否かが判別される。

(R3): キャッシュがヒットし、補助メモリ182上のコピーページのアドレスが取得されれば、このアドレスと下位ビットから補助メモリ182がアクセスされる。

(R6) キャッシュがミスヒットした場合は、通知ピンがビジー状態となり、外部アクセスを禁止して、メインメモリ181から補助メモリ182へのページデータ転送が行われる。もし補助メモリ182に十分な空き領域がなければ、補助メモリ182内の既存のコピーページが破棄されるか、もしくは補助メモリ182内の既存データがメインメモリ181内に移動転送される。

10

20

30

40

50

(R 7) : データ転送が完了したか否かが判別される。

(R 8) : データ転送が完了すれば、キャッシュテーブル 1 9 1 が更新されて、新たな T A G エントリが追加される。その後補助メモリ 1 8 2 がアクセスされ、通知ピンがレディー状態に変わる。

【 0 2 5 1 】

次に、書き込みアクセスの場合を説明する。

図 2 8 は、書き込みアクセスの場合における半導体記憶装置内でのデータ操作を説明するためのフローチャートである。

【 0 2 5 2 】

(W 1) : 外部からアクセスコマンドとアドレスが入力されると、そのページアドレスに相当する上位ビットをもとにアドレス変換テーブル 1 9 0 が参照される。

(W 2) : 補助メモリ 1 8 2 内にデータがあるか否かが判別される。

(W 3) : 変換されたアドレスが補助メモリ 1 8 2 上を指していれば、この変換後アドレスと下位ビットから補助メモリ 1 8 2 がアクセスされ、所望のデータが更新される。

(W 4) 変換されたアドレスがメインメモリ 1 8 1 上を指していれば、今度はキャッシュテーブル 1 9 1 が参照され、T A G の検索が行われる。

(W 5) : 補助メモリ 1 8 2 内にコピーがあるか否かが判別される。

(W 6) : キャッシュがヒットし、補助メモリ 1 8 2 上のコピーページのアドレスが取得されれば、アドレス変換テーブル 1 9 0 が更新され、所定の論理ページアドレスに対する物理アドレスが上記補助メモリ上のアドレスに変更される。さらにキャッシュのエントリが削除される。これによってデータの移動が行われ、補助メモリ上のコピーページが実体になる。

(W 3) : さらに上記アドレスと下位ビットから補助メモリがアクセスされて、所望のデータが更新される。

(W 7) : キャッシュがミスヒットした場合は、通知ピンがビジー状態となり、外部アクセスを禁止して、メインメモリ 1 8 1 から補助メモリ 1 8 2 へページデータの転送が行われる。もし補助メモリ 1 8 2 に十分な空き領域がなければ、補助メモリ 1 8 2 内の既存のコピーページが破棄されるか、もしくは補助メモリ 1 8 2 内の既存データがメインメモリ 1 8 1 内に移動転送される。

(W 8) : データ転送が完了したか否かが判別される。

(W 9) データ転送が完了すれば、アドレス変換テーブル 1 9 0 が更新され、所定の論理ページアドレスに対する物理アドレスが上記補助メモリ上の転送先アドレスに変更される。これによってデータの移動が行われ、その後補助メモリ 1 8 2 がアクセスされ所望のデータが更新される。その後通知ピンがレディー状態に変わる。

【 0 2 5 3 】

以上説明したように、本実施形態によれば、たとえば強誘電体メモリに代表される N V R A M と、N A N D 型フラッシュメモリに代表される安価な大容量不揮発性メモリを組み合わせ、見かけ上ランダムアクセスが可能で、かつ高速、大容量な不揮発性メモリを実現することができる。

また、所望のデータが N V R A M にあるか否かの判定にアドレス変換テーブルを用いることで、両メモリ間で必要に応じてデータの移動を可能にし、これによってフラッシュメモリの書き換えに伴うオーバーヘッドを最小化し、高速な動作を実現することが可能である。

また、本発明によるメモリをバッテリーバックアップのモバイル機器に採用すれば、待機時のデータ保持に電力消費を必要としないので、バッテリー寿命を大幅に延ばすことができる。またシステム構成が単純になる上、殆どのメモリ部は安価な N A N D 型フラッシュメモリで置き換えることができるので、総合的なメモリコストも低減できる。

【 0 2 5 4 】

なお、本実施形態においては、第 1 のメモリたる N V R A M には強誘電体メモリを、第 2 のメモリたるメインメモリには N A N D 型フラッシュメモリを例に説明するが、本発明

はそれに限定されるものではない。

たとえば第1のメモリにはその他のNVRAMの他、さらには揮発性メモリも使用できる。また、第2のメモリにはNAND型以外の各種フラッシュメモリも使用できる。

さらには上記不揮発性メモリ以外でも、一般に領域に依存してアクセス性能を劣化させる制約を持った安価な半導体メモリをメインメモリとした記憶装置であれば、本発明を採用することにより、コストと性能の両立において大きな効果を発揮する。

【図面の簡単な説明】

【0255】

【図1】NAND型フラッシュメモリの内部構成例を示す図である。

【図2】強誘電体メモリの構成例を示す回路図である。

10

【図3】記憶装置を構成するフラッシュメモリの概念図を示す図である。

【図4】多種の異なるメモリを用途ごとに使い分けた情報処理システム(コンピュータシステム)の構成例を示すブロック図である。

【図5】NAND型フラッシュメモリの書き換え動作を概念的に示す図である。

【図6】本発明に係る記憶装置の第1の実施形態を示す構成図である。

【図7】図6のページデータの転送制御回路の内部構成例を示す図である。

【図8】補助メモリの管理手法の具体例を示す図である。

【図9】補助メモリの第2の管理手法の具体例を示す図である。

【図10】図9の状態からインデックス"0x01"のノードを先頭に付け替えた例を示す図である。

20

【図11】本発明に係る記憶装置を第2の実施形態を示す構成図である。

【図12】図11のページデータの転送制御回路の内部構成例を示す図である。

【図13】本発明に係る記憶装置を第3の実施形態を示す構成図である。

【図14】図13のページデータの転送制御回路の内部構成例を示す図である。

【図15】本発明に係る記憶装置を第4の実施形態を示す構成図である。

【図16】図15のページデータの転送制御回路の内部構成例を示す図である。

【図17】第4の実施形態における無効領域の回復処理の実行例を説明するための図である。

【図18】第5の実施形態に係る記憶装置を概念的に説明するための図である。

【図19】本第5の実施形態に係る予備簿ロックの生成例を説明するための図である。

30

【図20】マルチバンク・フラッシュメモリへの応用例を説明するための図である。

【図21】本第5の実施形態に係る記憶装置のさらに具体的な構成例を示す図である。

【図22】図21のページデータの転送制御回路の内部構成例を示す図である。

【図23】第6の実施形態に係る情報処理システム(コンピュータシステム)の一実施形態を示すブロック図である。

【図24】小容量の強誘電体メモリと半導体装置とを同一パッケージ内に一体化させた構成例を示す図である。

【図25】本実施形態の半導体記憶装置の内部構成例をより具体的に示す図である。

【図26】図25の転送制御回路におけるアドレス変換テーブルおよびキャッシュテーブルの一例を示す図である。

40

【図27】読み出しアクセスの場合における半導体記憶装置内でのデータ操作を説明するためのフローチャートである。

【図28】書き込みアクセスの場合における半導体記憶装置内でのデータ操作を説明するためのフローチャートである。

【符号の説明】

【0256】

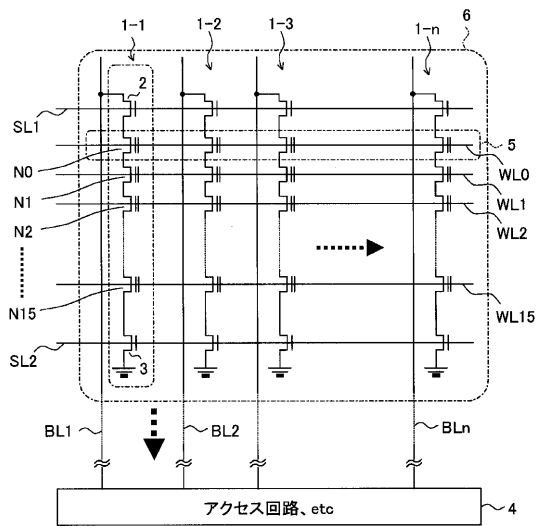
50, 50B, 50C, 80...記憶装置、51, 51b, 51c, 81...メインメモリ、52, 52b, 52c, 82...補助メモリ、53, 53b, 53c, 83...インターフェース回路(I/F)、54, 54b, 54c, 84...転送制御回路、BS50, BS50b, BS50c, BS80...内部バス、130...記憶装置、131~134...フラッシュ

50

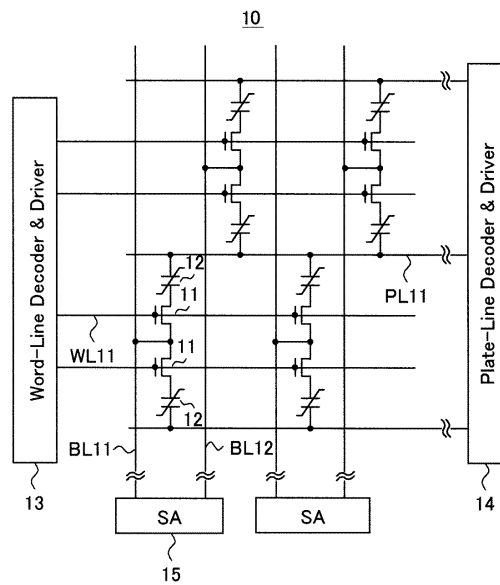
メモリ、135...フラッシュメモリコントローラ、136...強誘電体キャッシュメモリ、137...入出力用ページレジスタ、138...インターフェース(IF)回路、139...制御回路、150...情報処理システム、151...ホスト装置(CPU)、152...半導体記憶装置、1521...強誘電体メモリ(第1のメモリ)、1522...NAND型フラッシュメモリモジュール(第2のメモリ)、1523...制御回路、152a...通知ピン、153...制御回路、154...インタフェース回路群、155-1~155-3...周辺機器、156...システムバス、181...メインメモリ、182...補助メモリ、183...入出力インタフェース回路、184...転送制御回路、190...アドレス変換テーブル、1901...論理アドレス、1902...物理アドレス、191...キャッシュテーブル、160...記憶装置、161...大容量記憶部、162...小容量誘電体メモリ、163, 164...スイッチ、165...強誘電体メモリ、166...制御回路、167...NAND型フラッシュメモリ、168, 169...外部端子、170...共用アドレス線、171...共用バス(BUS)。

10

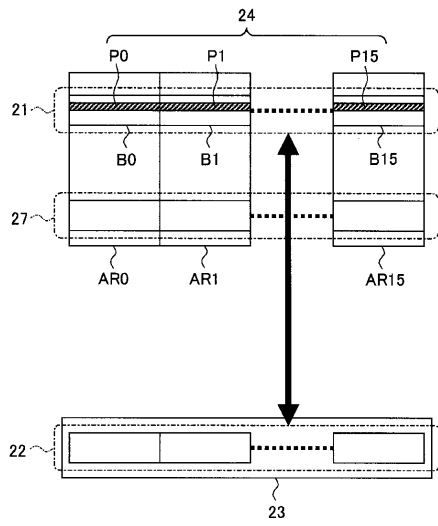
【図1】



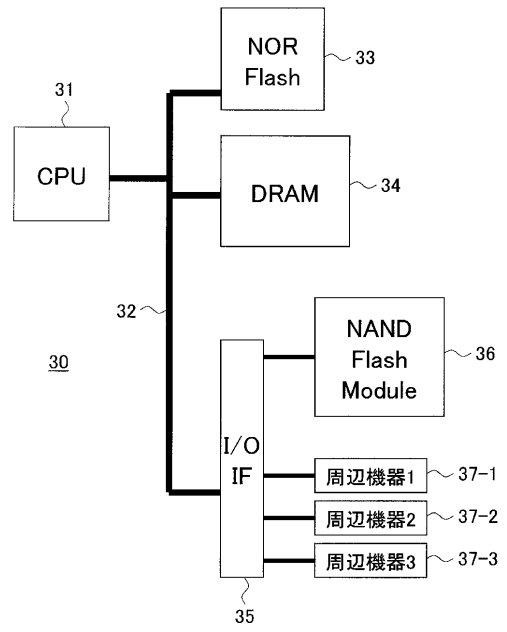
【図2】



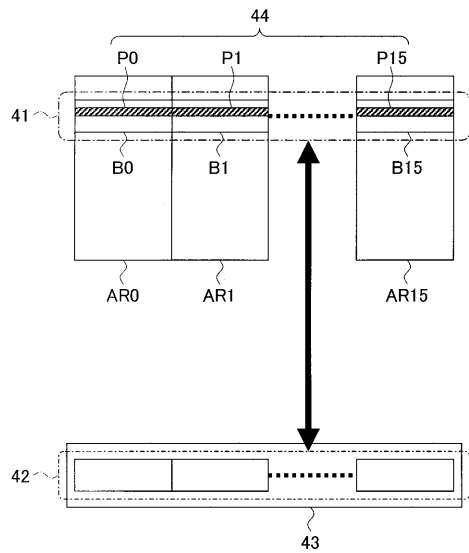
【図3】



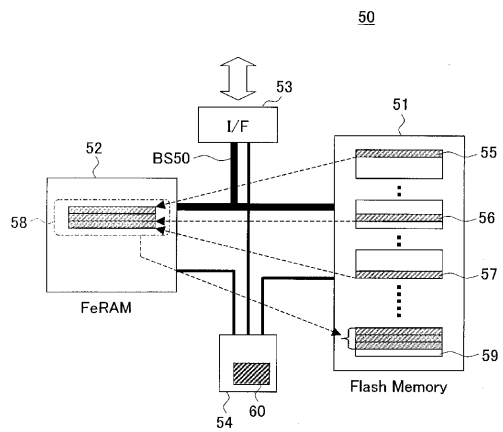
【図4】



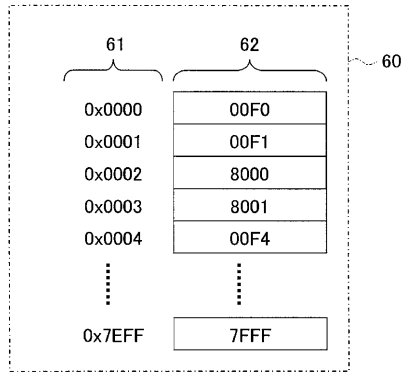
【図5】



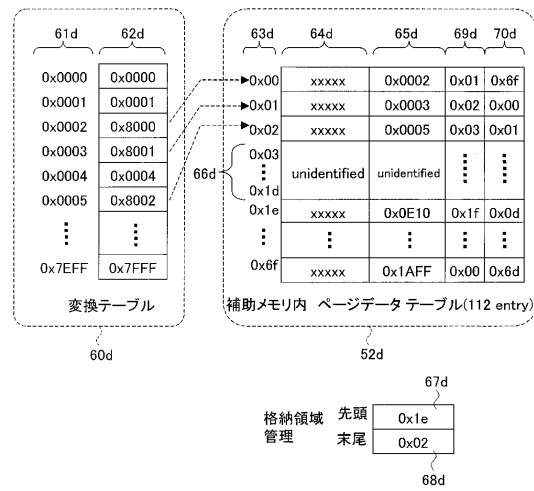
【図6】



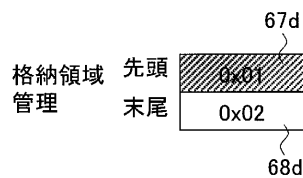
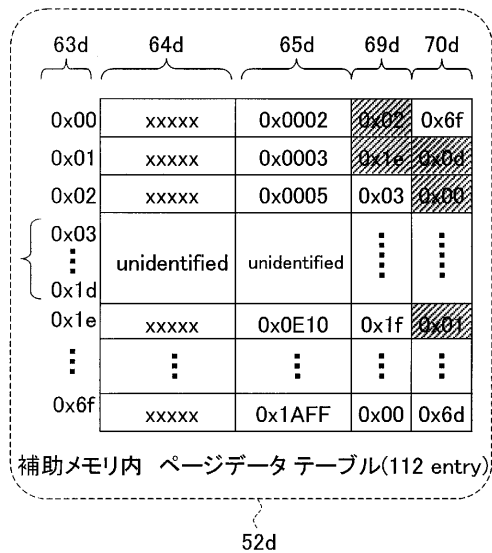
【図7】



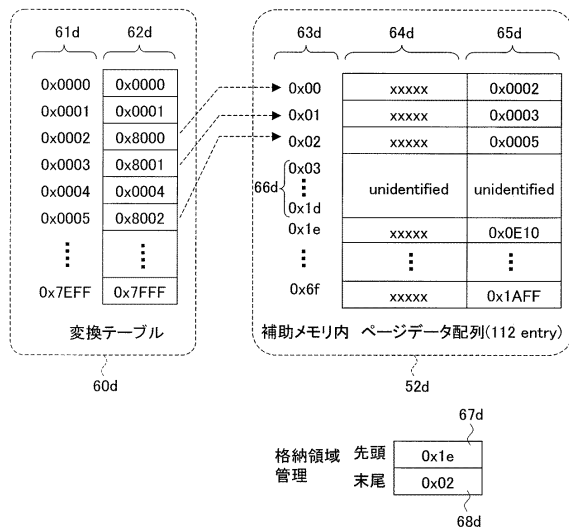
【図8】



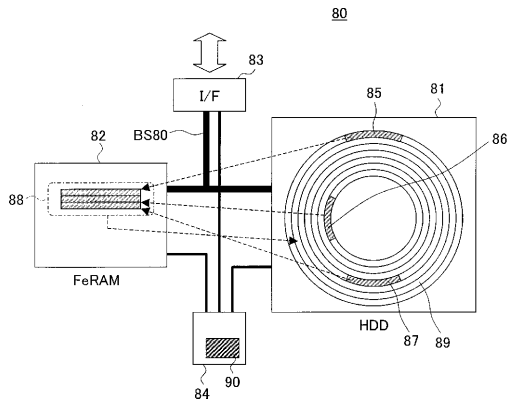
【図9】



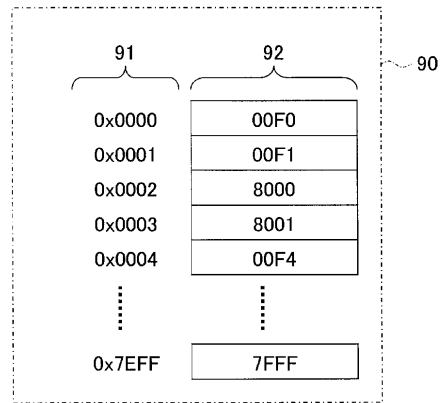
【図10】



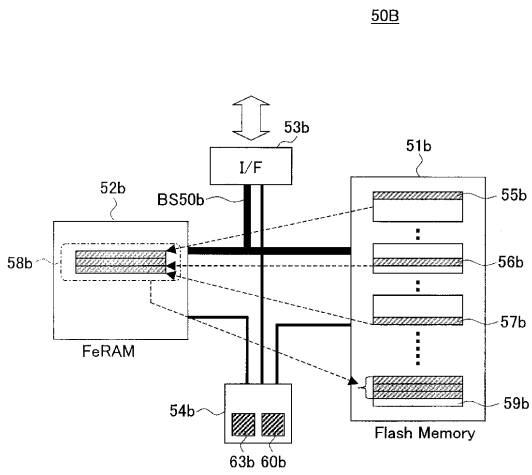
【図 1 1】



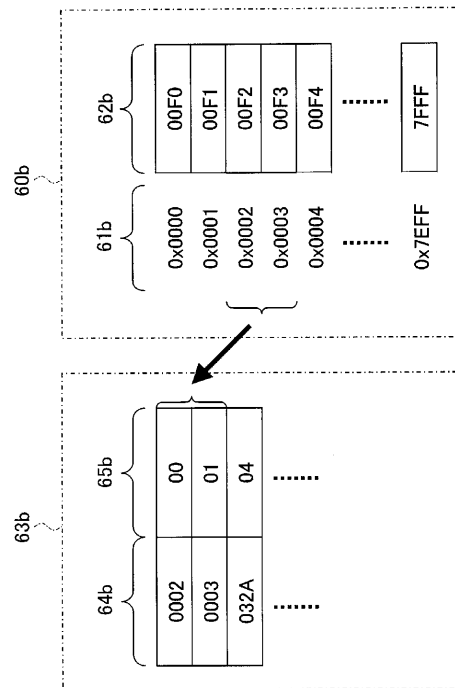
【図 1 2】



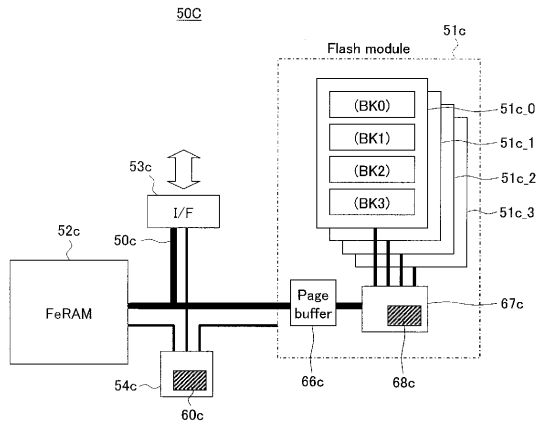
【図 1 3】



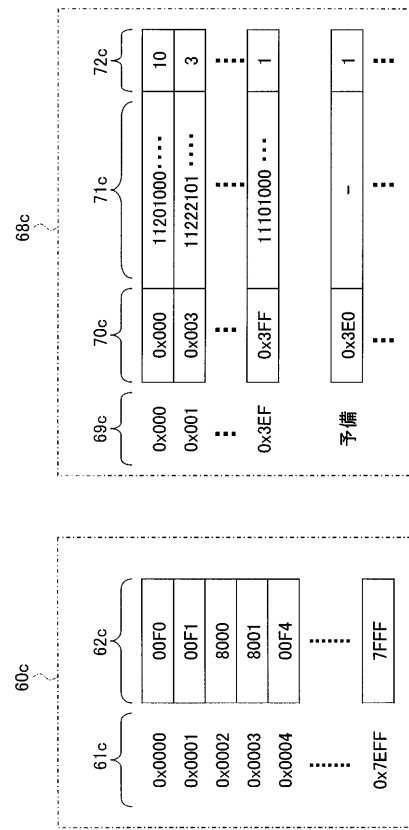
【図 1 4】



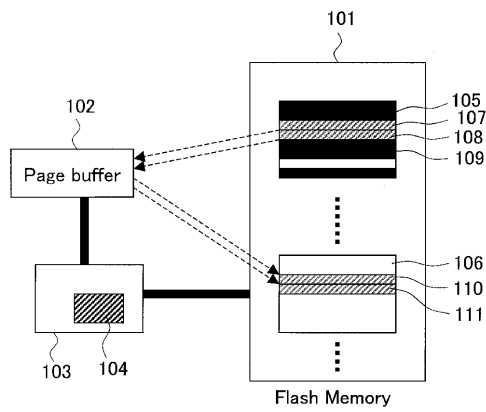
【 図 15 】



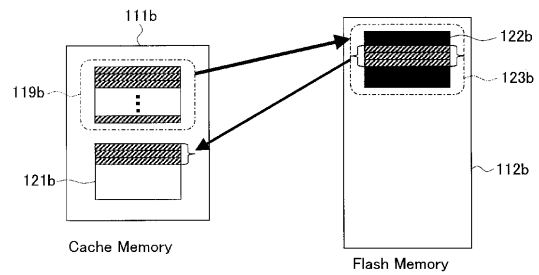
【 図 16 】



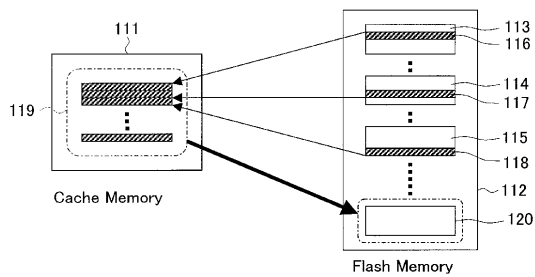
【 図 17 】



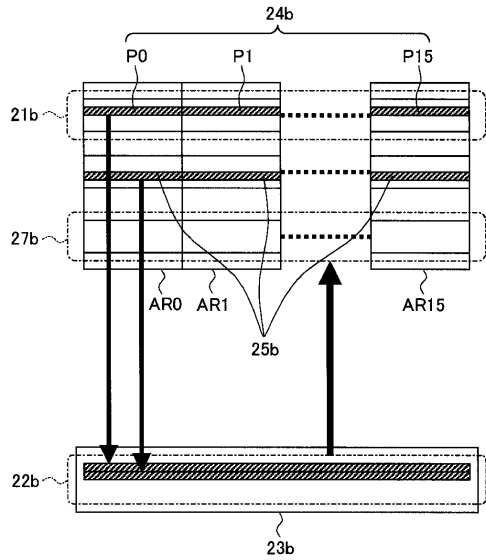
【 図 19 】



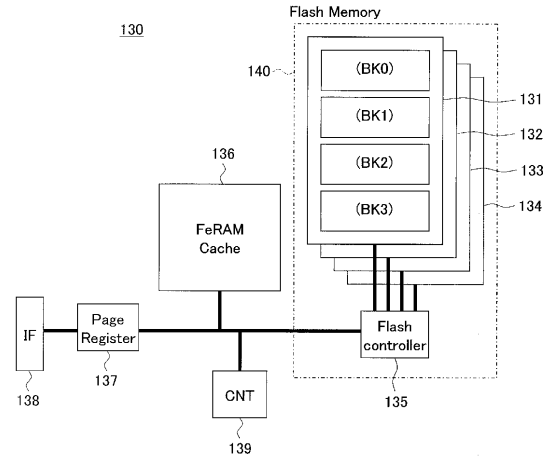
【 図 18 】



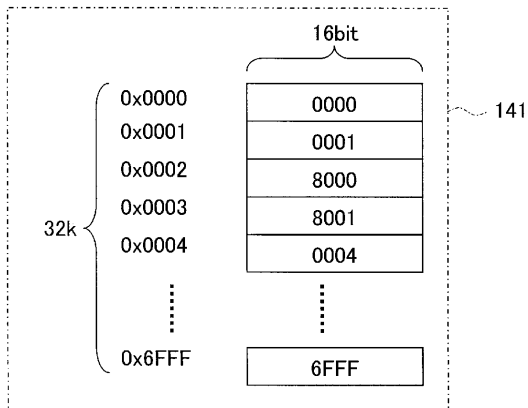
【図20】



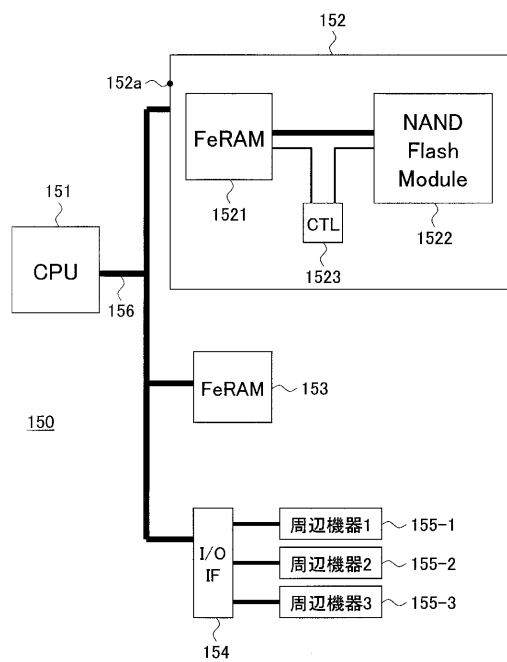
【図21】



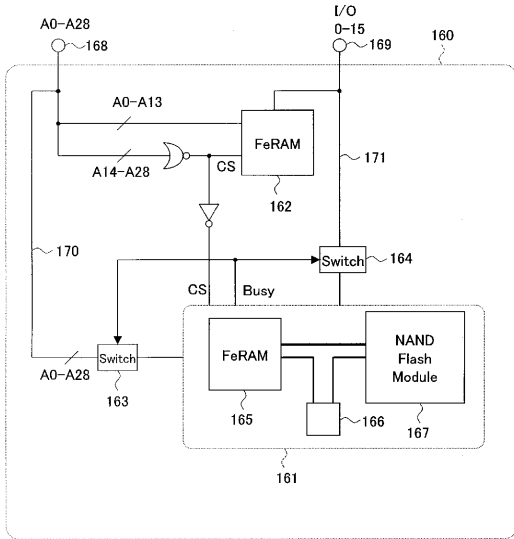
【図22】



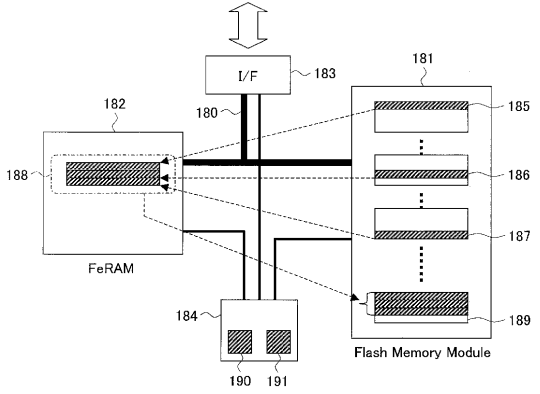
【図23】



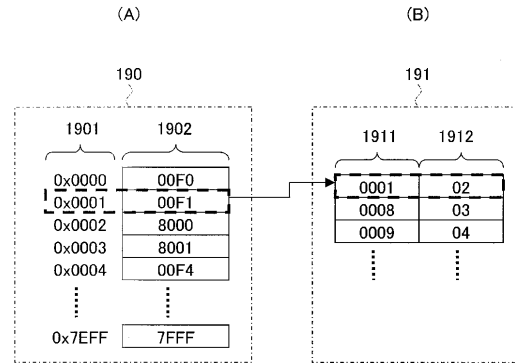
【図 24】



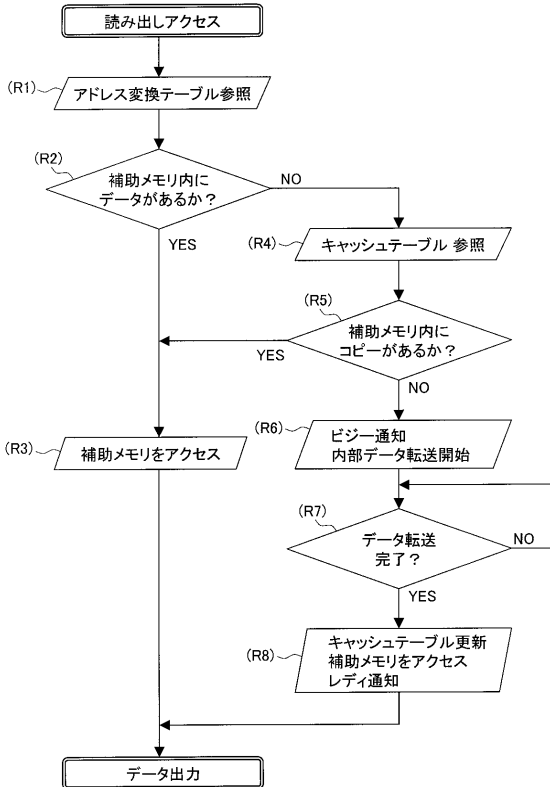
【図 25】



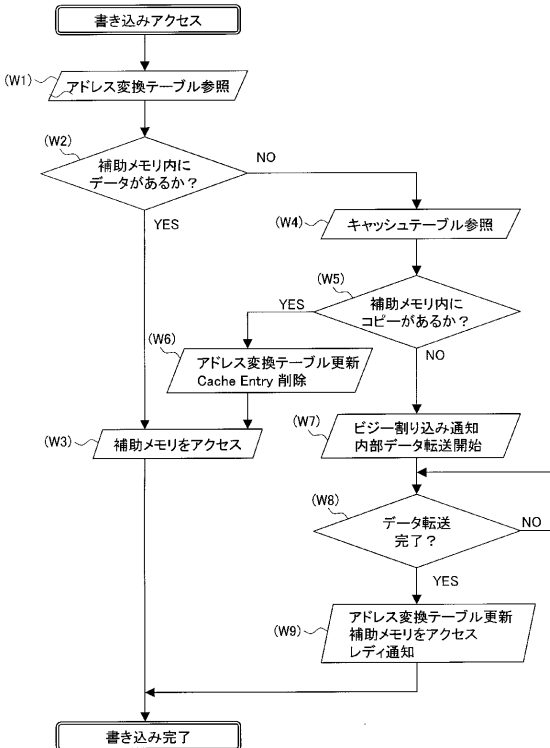
【図 26】



【図 27】



【図 28】



フロントページの続き

(51)Int.Cl.

F I

G 0 6 F	12/08	5 5 7
G 0 6 F	12/00	5 9 7 U
G 0 6 F	12/02	5 7 0 A
G 0 6 F	12/06	5 2 2 B

(56)参考文献 特開平 1 1 - 2 5 9 3 6 1 (J P , A)
国際公開第 0 3 / 0 4 2 8 3 7 (W O , A 1)
特開 2 0 0 0 - 2 7 6 3 6 3 (J P , A)
特開 2 0 0 5 - 3 0 1 5 9 1 (J P , A)
特開 2 0 0 3 - 0 9 1 4 6 3 (J P , A)
特開 2 0 0 4 - 0 7 8 9 0 2 (J P , A)

(58)調査した分野(Int.Cl. , D B名)

G 0 6 F 1 2 / 0 8
G 0 6 F 1 2 / 0 0 - 1 2 / 0 6