

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年10月6日(06.10.2022)



(10) 国際公開番号

WO 2022/209394 A1

- (51) 国際特許分類:
H01L 27/146 (2006.01) *G02B 5/30* (2006.01)
G02B 5/20 (2006.01)
- (21) 国際出願番号: PCT/JP2022/006433
- (22) 国際出願日: 2022年2月17日(17.02.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-061235 2021年3月31日(31.03.2021) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

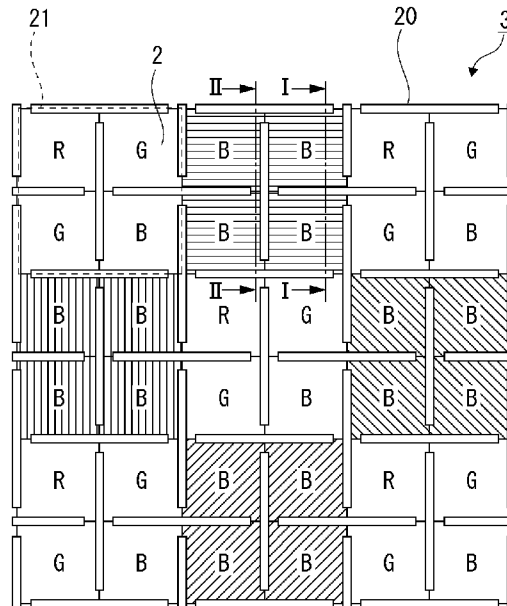
(72) 発明者: 栗原 慎一郎(KURIHARA, Shinichiro); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 岩田 雅信, 外(IWATA, Masanobu et al.); 〒1010032 東京都千代田区岩本町1丁目3番9号 ハクセイビル8階 テクノピア国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,

(54) Title: SOLID-STATE IMAGING ELEMENT AND IMAGING DEVICE

(54) 発明の名称: 固体撮像素子、撮像装置



(57) Abstract: This solid-state imaging element is provided with a pixel array unit in which a plurality of pixels having a photoelectric conversion unit are arranged in a row direction and a column direction. The pixel array unit is provided with an inter-pixel separation section for separating adjacent pixels. The pixel is provided with a filter having prescribed light transmission characteristics. The inter-pixel separation sections are formed without intersecting. Filters having the same light transmission characteristics are arranged between a plurality of adjacent pixels.



EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 固体撮像素子は、光電変換部を有する画素が行方向及び列方向にそれぞれ複数配列された画素アレイ部を備え、画素アレイ部は、隣接する画素間を分離する画素間分離部を備え、画素は、所定の光透過特性を有するフィルタを備え、画素間分離部は、交差することなく形成されており、隣接する複数の画素間において、同一の光透過特性のフィルタが配置される。

明 細 書

発明の名称： 固体撮像素子、撮像装置

技術分野

[0001] 本技術は、固体撮像素子、撮像装置に関するものであり、特に、異なる光透過特性を有するフィルタが画素に配置された固体撮像素子、及びそのような固体撮像素子を備えた撮像装置の技術分野に関する。

背景技術

[0002] 固体撮像素子としては、異なる偏光方向（偏光軸）の偏光フィルタを画素ごとに配置したものが提案されている（例えば、特許文献1）。このような固体撮像素子を用いることで、被写体の偏光情報を取得することが可能となる。

先行技術文献

特許文献

[0003] 特許文献1：特開2017-38011号公報

発明の概要

発明が解決しようとする課題

[0004] ところで、固体撮像素子においては、画素間のクロストークを低減するために、トレンチなどの画素間分離部が画素間に形成される。トレンチは、例えば、半導体基板の裏面から所定深さに切削することにより形成される。

[0005] しかしながら、トレンチを形成する際に交差する部分があると、交差する部分が他の部分よりも深く切削されてしまうため、例えばウェハ反りが発生しやすいなど、製造時のプロセス負荷が高くなってしまう。

[0006] 本技術は上記事情に鑑み為されたものであり、プロセス負荷を低減しつつ、画素信号の劣化を抑制することを目的とする。

課題を解決するための手段

[0007] 本技術に係る固体撮像素子は、光電変換部を有する画素が行方向及び列方向にそれぞれ複数配列された画素アレイ部を備え、前記画素アレイ部は、隣

接する前記画素間を分離する画素間分離部を備え、前記画素は、所定の光透過特性を有するフィルタを備え、前記画素間分離部は、交差することなく形成されており、隣接する複数の前記画素間において、同一の光透過特性の前記フィルタが配置されるものである。

これにより、同一の光透過特性のフィルタが配置された画素間において、画素間分離部が設けられていない部分でクロストークが発生しても、同一の光透過特性のフィルタを透過した光に基づく電荷が移動することになる。

図面の簡単な説明

[0008] [図1]本技術に係る第一実施形態としての固体撮像素子の内部構成例を示したブロック図である。

[図2]画素の等価回路図である。

[図3]画素アレイ部の概略構造を説明するための断面図である。

[図4]第一実施形態としての画素アレイ部の平面図である。

[図5]画素アレイ部の概略構造を説明するための断面図である。

[図6]第二実施形態としての画素アレイ部の平面図である。

[図7]第三実施形態としての画素アレイ部の平面図である。

[図8]第四実施形態としての画素アレイ部の平面図である。

[図9]実施形態としての固体撮像素子を適用した撮像装置の構成例を示したブロック図である。

発明を実施するための形態

[0009] 以下、実施の形態を次の順序で説明する。

< 1. 第一実施形態 >

[1-1. 固体撮像素子の全体構成]

[1-2. 画素の回路構成]

[1-3. 画素アレイ部の構造]

[1-4. 第一実施形態としての画素間分離部の構造及びフィルタの配置]

< 2. 第二実施形態 >

< 3. 第三実施形態 >

<4. 第四実施形態>

<5. 撮像装置>

<6. 変形例>

<7. 実施形態のまとめ>

<8. 本技術>

[0010] <1. 第一実施形態>

[1-1. 固体撮像素子の全体構成]

図1は、本技術に係る第一実施形態としての固体撮像素子1の内部構成例を示したブロック図である。

本実施形態の固体撮像素子1は、複数の画素2が形成された画素アレイ部3と、垂直駆動回路4と、カラム信号処理回路5と、水平駆動回路6と、出力回路7と、制御回路8等を有して構成される。

[0011] 画素2は、光電変換部と、複数の画素トランジスタとを有して構成されている。なお、画素2の回路構成については後に改めて説明する。

[0012] 画素アレイ部3は、行方向及び列方向にそれぞれ複数配列された画素2を有して構成される。以下では、行方向を「X方向」、列方向を「Y方向」と表記することもある。

画素アレイ部3には、実際に光を受光し光電変換により生成した信号電荷を増幅しカラム信号処理回路5に読み出す有効画素領域と、黒レベルの基準になる光学的黒を出力するための黒基準画素領域（図示せず）とを有して構成される。黒基準画素領域は、通常は、有効画素領域の外周部に形成されるものである。

[0013] 制御回路8は、垂直同期信号、水平同期信号及びマスタクロックに基づいて、垂直駆動回路4、カラム信号処理回路5、水平駆動回路6の動作クロックや制御信号等を生成し、これら垂直駆動回路4、カラム信号処理回路5、水平駆動回路6に出力する。

[0014] 垂直駆動回路4は、例えばシフトレジスタにより構成され、画素アレイ部3の各画素2を行単位で順次垂直方向に選択走査する。そして、各画素2に

において受光量に応じて得られる信号電荷に基づく画素信号を、垂直信号線 9 を通してカラム信号処理回路 5 に出力させる。

[0015] カラム信号処理回路 5 は、例えば、画素 2 の列ごとに配置されており、1 行分の画素 2 から出力される信号について、画素列ごとに黒基準画素領域からの信号に基づきノイズ除去や信号増幅等の信号処理を行う。カラム信号処理回路 5 の出力段には、水平選択スイッチ（図示せず）が水平信号線 10 との間に設けられている。

[0016] 水平駆動回路 6 は、例えばシフトレジスタにより構成され、水平走査パルスを順次出力することによってカラム信号処理回路 5 の各々を順番に選択し、カラム信号処理回路 5 の各々から画素信号を水平信号線 10 に出力させる。

[0017] 出力回路 7 は、カラム信号処理回路 5 の各々から水平信号線 10 を通して順次に供給される信号に対し信号処理を行い画像信号として出力する。

[0018] [1-2. 画素の回路構成]

図 2 は、画素 2 の等価回路図である。

図 2 のように、画素 2 は、光電変換部としてのフォトダイオード PD を備えると共に、転送トランジスタ Q_t 、フローティングディフュージョン（浮遊拡散領域）FD、リセットトランジスタ Q_r 、増幅トランジスタ Q_a 、及び選択トランジスタ Q_s を備えている。

ここで、本例において、画素 2 が備える各種のトランジスタは、例えば MOSFET (metal-oxide-semiconductor field-effect transistor) で構成されている。

[0019] 転送トランジスタ Q_t は、ゲートが転送駆動信号 TG の供給ラインに接続されており、転送駆動信号 TG が ON されると導通状態となり、フォトダイオード PD に蓄積されている信号電荷をフローティングディフュージョン FD に転送する。

フローティングディフュージョン FD は、フォトダイオード PD から転送された電荷を一時保持する電荷保持部である。

[0020] リセットトランジスタ Q_r は、ゲートがリセット信号 RST の供給ラインに接続されており、リセット信号 RST が ON とされると導通状態となり、フローティングディフュージョン FD の電位を基準電位 VDD にリセットする。

[0021] 増幅トランジスタ Q_a は、ソースが選択トランジスタ Q_s を介して垂直信号線9に接続され、ドレインが基準電位 VDD （定電流源）に接続されて、ソースフォロワ回路を構成する。

選択トランジスタ Q_s は、増幅トランジスタ Q_a のソースと垂直信号線9との間に接続されると共に、ゲートが選択信号 SLC の供給ラインと接続されている。選択トランジスタ Q_s は、選択信号 SLC が ON とされると導通状態となり、フローティングディフュージョン FD に保持された電荷を、増幅トランジスタ Q_a を介して垂直信号線9に出力する。

[0022] ここで、転送駆動信号 TG 、リセット信号 RST 、及び選択信号 SLC は、図1に示した垂直駆動回路4が出力する。

[0023] 上記構成による画素2の動作について簡単に説明すると、先ず、受光を開始する前に、画素2の電荷をリセットする電荷リセット動作（電子シャッタ動作）が行われる。すなわち、リセットトランジスタ Q_r 、及び転送トランジスタ Q_t が ON （導通状態）とされ、フォトダイオード PD とフローティングディフュージョン FD の蓄積電荷がリセットされる。

蓄積電荷のリセット後、リセットトランジスタ Q_r 、及び転送トランジスタ Q_t を OFF として、フォトダイオード PD の電荷蓄積を開始させる。その後、フォトダイオード PD に蓄積された電荷信号を読み出す際には、転送トランジスタ Q_t を ON とし、また選択トランジスタ Q_s を ON とする。これにより、電荷信号がフォトダイオード PD からフローティングディフュージョン FD に転送されると共に、フローティングディフュージョン FD に保持された電荷信号が増幅トランジスタ Q_a を介して垂直信号線9に出力される。

[0024] [1-3. 画素アレイ部の構造]

図3は、画素アレイ部3の概略構造を説明するための断面図である。なお、図3は、図4におけるI-I断面図でもある。

本実施形態の固体撮像素子1は、裏面照射型のCMOS (Complementary Metal Oxide Semiconductor) イメージセンサである。この場合の「裏面」とは、画素アレイ部3が有する半導体基板11の表面S_s、裏面S_bを基準としたものである。

[0025] 図3に示すように、画素アレイ部3は、半導体基板11と、半導体基板11の表面S_s側に形成された配線層12とを備えている。半導体基板11の裏面S_bには、平坦化膜13、カラーフィルタ14、偏光フィルタ15及びマイクロレンズ（オンチップレンズ）16がこの順序で積層されている。

[0026] なお、各画素2には、前述した画素トランジスタ（転送トランジスタQ_t、リセットトランジスタQ_r、増幅トランジスタQ_a、選択トランジスタQ_s）も形成されるが、図3ではそれら画素トランジスタについての図示は省略している。ここで、画素トランジスタの電極（ゲート、ドレイン、ソースの各電極）として機能する導電体は、配線層12における半導体基板11の表面S_s近傍に形成される。

[0027] 半導体基板11は、例えばシリコン（Si）で構成され、例えば1 μmから6 μm程度の厚みを有して形成されている。半導体基板11内において、各画素2の領域には、光電変換部としてのフォトダイオードPDが形成されている。

[0028] 平坦化膜13は、半導体基板11上に形成され、これにより半導体基板11の裏面S_b側の面が平坦とされる。平坦化膜13の材料としては、例えば、樹脂などの有機材料を用いることができる。

[0029] カラーフィルタ14は、平坦化膜13上に形成されており、画素2ごとに所定の波長帯の入射光を透過するフィルタである。ここでのフィルタとしては、例えばR（赤色）光、G（緑色）光、又はB（青色）光を透過するフィルタや、赤外光を透過するフィルタ等を挙げることができる。

[0030] 偏光フィルタ15は、カラーフィルタ14上に形成されており、画素2ご

とに所定の偏光方向の光を透過する、すなわち、所定の偏光透過軸を有するフィルタである。偏光フィルタ 15 は、例えば、ワイヤグリッドにより構成される。このワイヤグリッドは、複数の帯状の導体が所定のピッチに配列されて構成されたものである。

なお、カラーフィルタ 14 及び偏光フィルタ 15 の配置について、詳しくは後述する。

[0031] マイクロレンズ 16 は、偏光フィルタ 15 上において画素 2 ごとに形成されている。マイクロレンズ 16 では入射光が集光され、集光された光が偏光フィルタ 15 およびカラーフィルタ 14 を介してフォトダイオード PD に効率良く入射する。

[0032] 配線層 12 は、半導体基板 11 の表面 S_s 側に形成されており、層間絶縁膜 12b を介して複数層に積層された配線 12a を有して構成されている。配線層 12 に形成される配線 12a を介して、画素トランジスタが駆動される。

[0033] また、本実施形態の画素アレイ部 3 においては、隣接する画素 2 間を分離する画素間分離部 20 が形成されている。画素間分離部 20 は、図 4 の平面図に例示するように、各画素 2 を分離するように形成されている。

[0034] 画素間分離部 20 は、隣接する画素 2 間においてクロストークを低減することができる。ここでクロストークとは、電氣的なクロストークと、光学的なクロストークとが存在する。

電氣的なクロストークは、隣接する画素 2 間において電荷が移動することを指す。光学的なクロストークは、隣接する画素 2 間において入射光が漏洩することを指す。

[0035] ここで、画素間分離部 20 は、RTI（リバーシドトレンチアイソレーション）として形成されている。RTI は、半導体基板 11 に対する裏面 S_b 側からの切削によって表面 S_s に向かって延びる溝を形成することで生成されるトレンチアイソレーションである。

ここで、本例では半導体基板 11 内の分離用の溝のことを「トレンチ」と

表記する。

本例において、画素間分離部 20 は、RDTI (Reversed Deep Trench Isolation: リバースドディープトレンチアイソレーション) で形成される。RDTI は、RTI のうち、半導体基板 11 を厚み方向に貫通しない溝を形成することで生成されるトレンチであり、裏面 Sb から、表面 Ss まで到達しない所定深さに形成される。

なお、半導体基板 11 に対しトレンチを形成する場合、トレンチの幅は、切削の進行方向側にいくほど徐々に狭まる傾向となる。このため、RDTI のように裏面 Sb 側からトレンチを形成する場合、画素間分離部 20 は、裏面 Sb 側よりも表面 Ss 側の方が幅が狭くなるという特徴を有する。

[0036] [1-4. 第一実施形態としての画素間分離部の構造及びフィルタの配置]

図 4 は、第一実施形態としての画素アレイ部 3 の平面図である。なお、図 4 において、各画素 2 に記載された文字「R」、「G」および「B」は、画素 2 に配置されるカラーフィルタ 14 の種類を表す。具体的には、「R」、「G」および「B」が記載された画素 2 は、それぞれ赤色光、緑色光および青色光を透過するカラーフィルタ 14 が配置される画素 2 を表す。

[0037] また、図 4 において、各画素 2 に記載されたハッチングは、その画素 2 に配置される偏光フィルタ 15 の種類を表す。具体的には、図中左右に平行なハッチングが記載された画素 2 は、偏光方向が 0° の光を透過する偏光フィルタ 15 が配置される画素を表す。また、図中左上から右下に延びるハッチングが記載された画素 2 は、偏光方向が 45° の光を透過する偏光フィルタ 15 が配置される画素を表す。また、図中に上下に平行なハッチングが記載された画素 2 は、偏光方向が 90° の光を透過する偏光フィルタ 15 が配置される画素を表す。また、図中右上から左下に延びるハッチングが記載された画素 2 は、偏光方向が 135° の光を透過する偏光フィルタ 15 が配置される画素を表す。

したがって、偏光フィルタ 15 は、偏光透過軸（偏光軸）が 45° ずつ異なる 4 種類が設けられている。

[0038] 画素アレイ部3では、2行2列の4つの画素2が1組の画素ユニット21として構成されており、画素ユニット21ごとに、カラーフィルタ14及び偏光フィルタ15が所定のパターンで配置されている。

[0039] 例えば、図4中、左上段の画素ユニット21は、「R」、「G」、「B」のカラーフィルタ14がベイヤー配列された画素2によって構成されている。また、この画素ユニット21の画素2には、偏光フィルタ15が配置されていない。

[0040] そして、カラーフィルタ14がベイヤー配列された画素2で構成される画素ユニット21は、対角に隣接するように千鳥配置されている。

[0041] また、中央上段の画素ユニット21は、「B」のカラーフィルタ14、及び、偏光方向が 0° の光を透過する偏光フィルタ15が配置された4つの画素2によって構成されている。

また、中央上段の画素ユニット21に対して、右下方向に対角に配置されている画素ユニット21、すなわち、右中段の画素ユニット21は、「B」のカラーフィルタ14、及び、偏光方向が 45° の光を透過する偏光フィルタ15が配置された4つの画素2によって構成されている。

また、中央上段の画素ユニット21に対して、左下方向に対角に配置されている画素ユニット21、すなわち、左中段の画素ユニット21は、「B」のカラーフィルタ14、及び、偏光方向が 90° の光を透過する偏光フィルタ15が配置された4つの画素2によって構成されている。

また、中央上段の画素ユニット21に対して、下方向に1ユニット離隔して配置されている画素ユニット21、すなわち、中央下段の画素ユニット21は、「B」のカラーフィルタ14、及び、偏光方向が 135° の光を透過する偏光フィルタ15が配置された4つの画素2によって構成されている

[0042] このように、例えば偏光フィルタ15が配置された画素ユニット21（隣接する画素2）は、それぞれ、同一の光透過特性のフィルタ（カラーフィルタ14及び偏光フィルタ15）の画素2が4つ並べて配置されている。なお、光透過特性とは、透過する光の波長帯、又は、偏光方向など、透過する光

の特性を決めるものである。

[0043] 画素間分離部20は、画素2間において行方向及び列方向に沿って形成されている。また、画素間分離部20は、画素間分離部20同士が交差することなく形成されている。

[0044] 例えば、図4において、中央上段の画素ユニット21では、上段の2つの画素2の上に、2つの画素2を跨って延び、かつ、それぞれの隅までは到達していない画素間分離部20が形成されている。また、この画素ユニット21では、下段の2つの画素2の下に、2つの画素2を跨って延び、かつ、それぞれの隅までは到達していない画素間分離部20が形成されている。

[0045] さらに、この画素ユニット21では、中央で列方向に延び、かつ、上下の画素間分離部20に接しないように画素間分離部20が形成されている。さらに、画素ユニット21では、中央で行方向に延び、かつ、中央の画素間分離部20に接しないように画素間分離部20が形成されている。

[0046] このように、画素間分離部20は、4つの画素2が接するクロス部において、行方向又は列方向の一方向に延びる画素間分離部20のみが形成されており、他方向に延びる画素間分離部20が形成されていない。すなわち、画素間分離部20は、互いに交差しないように形成されている。これにより、画素アレイ部3では、画素間分離部20が交差することによるトレンチの深さのばらつきを低減することができ、プロセス負荷を低減することが可能となる。

[0047] 図5は、画素アレイ部3の概略構造を説明するための断面図である。なお、図5は、図4における11-11断面図でもある。

[0048] 図4で示したように、画素間分離部20は、4つの画素2が接するクロス部において、画素間分離部20が交差しないように形成されているため、隣接する画素2間において画素間分離部20が形成されていない部分が発生する。

[0049] 図4における11-11断面図である図5に示すように、隣接する画素2間において画素間分離部20が形成されていない部分では、隣接する画素2

のフォトダイオードPDが接することになる。

[0050] そのため、画素間分離部20が形成されていない箇所において、電荷が移動してしまうため、電氣的なクロストークが発生することもある。そして、このような電氣的なクロストークは、偏光フィルタ15を備えた固体撮像素子1において重要な特性である消光比を悪化させてしまうことになりかねない。なお、消光比は、対象となる偏光方向とは異なる偏光方向の光を除去する比率である。

[0051] そこで、第一実施形態の画素アレイ部3では、隣接する画素2間、すなわち、画素ユニット21ごとに、偏光方向が同一の偏光フィルタ15が配置されている。これにより、画素間分離部20が形成されていない部分において、電荷が移動しても（電氣的なクロストークが発生しても）、同一の偏光方向の入射光に基づく電荷であるため、消光比を悪化させることを低減することが可能である。

[0052] また、偏光フィルタ15が配置されている画素2には「B」のカラーフィルタ14が配置されている。「B」のカラーフィルタ14が配置された画素では、青色光がカラーフィルタ14を透過するため、半導体基板11における裏面Sbの近傍で光電変換が行われる。そのため、光電変換により生成された電荷は、隣接する画素2に移動する可能性が高い。

しかしながら、第一実施形態の画素アレイ部3では、「B」のカラーフィルタ14が配置された画素2間であっても、偏光透過軸が同一の偏光フィルタ15が配置されているため、消光比を悪化させることを低減することが可能である。

[0053] また、画素アレイ部3では、偏光フィルタ15が配置された画素ユニット21と行方向又は列方向に隣接する画素ユニット21には、偏光フィルタ15が配置されないようになされている。そのため、異なる偏光透過軸の偏光フィルタ15が配置された画素ユニット21が行方向又は列方向に隣接して配置されていない。これにより、画素アレイ部3では、消光比を悪化させることをさらに低減することが可能となる。

[0054] さらに、対角に隣接する画素ユニット 21 間では、異なる偏光透過軸の偏光フィルタ 15 が配置されることになる。しかしながら、異なる偏光透過軸の偏光フィルタ 15 が配置される対角に隣接する画素 2 間には、行方向又は列方向に画素間分離部 20 が配置されることになる。したがって、画素アレイ部 3 では、このような対角に隣接する画素 2 間においても消光比を悪化させることをさらに低減することが可能となる。

[0055] <2. 第二実施形態>

続いて、第二実施形態について図 6 を参照して説明する。

なお以下の説明において、既に説明した部分と同様となる部分については同一符号を付して説明を省略する。

[0056] 図 6 は、第二実施形態としての画素アレイ部 3A の平面図である。第二実施形態の画素アレイ部 3A は、画素アレイ部 3 と比較して、画素間分離部 20 の形成される場所が異なり、カラーフィルタ 14 及び偏光フィルタ 15 の配置は同一である。したがって、カラーフィルタ 14 及び偏光フィルタ 15 の配置についての説明は省略する。

[0057] 第二実施形態の画素間分離部 20 は、クロス部を除いて、それぞれの画素 2 の上下左右にそれぞれ形成されている。換言すると、画素間分離部 20 は、行方向及び列方向にそれぞれクロス部を除いて形成される。

[0058] したがって、画素アレイ部 3 と比較して、行方向又は列方向に隣接する画素 2 間において、画素間分離部 20 が形成されていない部分が発生するとともに、対角に配置される画素 2 間においても画素間分離部 20 が形成されていない箇所が発生することとなる。

[0059] しかしながら、対角に配置された画素 2 間においては、電荷の移動が、行方向又は列方向に隣接して配置された画素 2 間に比べて少ない。また、画素ユニット 21 においては、対角に配置された画素 2 間においても同一の偏光方向の偏光フィルタ 15 が配置されている。そのため、画素アレイ部 3A は、消光比を悪化させることを低減することが可能となる。

[0060] <3. 第三実施形態>

第三実施形態は、カラーフィルタ 14 の配置のバリエーションに係るものである。

なお以下の説明において、既に説明した部分と同様となる部分については同一符号を付して説明を省略する。また、第三実施形態では、第二実施形態の画素間分離部 20 の配置を例に挙げて説明するが、第一実施形態の画素間分離部 20 の配置であってもよい。

[0061] 図 7 は、第三実施形態としての画素アレイ部 3 B の平面図である。第三実施形態の画素アレイ部 3 A は、画素アレイ部 3 と比較して、カラーフィルタ 14 の配置が異なり、偏光フィルタ 15 の配置は同一である。

[0062] 第 3 実施形態において、左上段の画素ユニット 21 は、「G」のカラーフィルタ 14 が配置された画素 2 によって構成される。中央上段の画素ユニット 21 は、「B」のカラーフィルタ 14 が配置された画素 2 によって構成される。右上段の画素ユニット 21 は、「G」のカラーフィルタ 14 が配置された画素 2 によって構成される。

また、左中段の画素ユニット 21 は、「R」のカラーフィルタ 14 が配置された画素 2 によって構成される。中央中段の画素ユニット 21 は、「G」のカラーフィルタ 14 が配置された画素 2 によって構成される。右中段の画素ユニット 21 は、「R」のカラーフィルタ 14 が配置された画素 2 によって構成される。

また、左下段の画素ユニット 21 は、「G」のカラーフィルタ 14 が配置された画素 2 によって構成される。中央下段の画素ユニット 21 は、「B」のカラーフィルタ 14 が配置された画素 2 によって構成される。右下段の画素ユニット 21 は、「G」のカラーフィルタ 14 が配置された画素 2 によって構成される。

[0063] このように、第三実施形態の画素アレイ部 3 B では、画素ユニット 21 単位でカラーフィルタ 14 がベイヤー配列で配置されている。

[0064] また、第一実施形態と同様に、上段中央の画素ユニット 21 は、偏光方向が 0° の光を透過する偏光フィルタ 15 が配置された画素 2 で構成される。

また、右中段の画素ユニット 21 は、偏光方向が 45° の光を透過する偏光フィルタ 15 が配置された画素 2 で構成される。左中段の画素ユニット 21 は、偏光方向が 90° の光を透過する偏光フィルタ 15 が配置された画素 2 で構成される。中央下段の画素ユニット 21 は、偏光方向が 135° の光を透過する偏光フィルタ 15 が配置された画素 2 で構成される。

[0065] このように、第三実施形態では、画素ユニット 21 単位でカラーフィルタ 14 がベイヤー配列で配置されるとともに、異なる偏光方向の偏光フィルタ 15 が画素ユニット 21 単位で千鳥配列されている。

[0066] このような第三実施形態の画素アレイ部 3B では、第一実施形態と同様に、隣接する画素 2 間、すなわち、画素ユニット 21 ごとに、偏光方向が同一の偏光フィルタ 15 が配置されている。これにより、画素間分離部 20 が形成されていない部分において、電荷が移動しても（電氣的なクロストークが発生しても）、同一の偏光方向の入射光に基づく電荷であるため、消光比を悪化させることを低減することが可能となる

[0067] <4. 第四実施形態>

第四実施形態は、カラーフィルタ 14 及び偏光フィルタ 15 の配置のバリエーションに係るものである。

なお以下の説明において、既に説明した部分と同様となる部分については同一符号を付して説明を省略する。また、第三実施形態では、第二実施形態の画素間分離部 20 の配置を例に挙げて説明するが、第一実施形態の画素間分離部 20 の配置であってもよい。

[0068] 図 8 は、第四実施形態としての画素アレイ部 3C の平面図である。第四実施形態の画素アレイ部 3C は、画素アレイ部 3 と比較して、カラーフィルタ 14 及び偏光フィルタ 15 の配置は同一である。

[0069] 第四実施形態の画素アレイ部 3C では、第三実施形態の画素アレイ部 3B と同様に、画素ユニット 21 単位でカラーフィルタ 14 がベイヤー配列で配置される。

[0070] また、左上端、中央上段、左中段、中央中段の画素ユニット 21 は、偏光

方向が 90° の光を透過する偏光フィルタ15が配置された画素2によって構成されている。また、右上段、右中段の画素ユニット21は、偏光方向が 135° の光を透過する偏光フィルタ15が配置された画素2によって構成されている。右下段の画素ユニット21は、偏光方向が 45° の光を透過する偏光フィルタ15が配置された画素2によって構成されている。中央下段、左下段の画素ユニット21は、偏光方向が 0° の光を透過する偏光フィルタ15が配置された画素2によって構成されている。

[0071] このように、画素アレイ部3Cでは、2行2列の画素ユニット21を1つの単位として、同じ偏光方向の偏光フィルタ15を配置するとともに、画素ユニット21をベイヤー配列で配置する。

[0072] このように配置することで、画素アレイ部3Cでは、2行2列の画素ユニット21、すなわち、4行4列の画素2が同一の偏光方向の偏光フィルタ15が配置されることになる。これにより、これらの画素2間において、電荷が移動しても（電氣的なクロストークが発生しても）、同一の偏光方向の入射光に基づく電荷であるため、消光比を悪化させることを低減することができる。

[0073] <5. 撮像装置>

図9は、実施形態としての固体撮像素子1を適用した撮像装置100の構成例を示したブロック図である。

[0074] 図9に示すように、撮像装置100は、固体撮像素子1、レンズ部101、制御部102、レンズ駆動部103、画像処理部104、操作入力部105、フレームメモリ106、表示部107、記録部108を備える。

[0075] レンズ部101は、例えばカバーレンズ、フォーカスレンズ等のレンズやシャッタ、絞り機構等を有し、被写体からの光（入射光）を固体撮像素子1の受光面に導くように構成されている。

[0076] 制御部102は、例えばCPU（Central Processing Unit）、ROM（Read Only Memory）、及びRAM（Random Access Memory）を備えたマイクロコンピュータを有して構成される。

制御部１０２のＲＯＭには、ＣＰＵが各部を制御するためのＯＳ（Operating System）や、各種動作のためのアプリケーションプログラム、ファームウェア等が記憶される。制御部１０２のＲＡＭは、ＣＰＵの各種データ処理の際の作業領域として、データやプログラム等の一時的な格納に用いられる。

[0077] 制御部１０２は、ＣＰＵがＲＯＭ等に記憶されたプログラムを実行することで、撮像装置１００の全体制御を行う。

例えば、制御部１０２は、固体撮像素子１のシャッタスピードの制御や、画像処理部１０４における各種信号処理の指示を行う。また、制御部１０２は、操作入力部１０５に対するユーザの操作に応じた撮像動作や記録動作、記録した画像ファイルの再生動作、ユーザインタフェース動作等について、必要各部の動作を制御する。さらに、制御部１０２は、レンズ部１０１におけるフォーカス、絞り調整等に関する制御も行う。

[0078] レンズ駆動部１０３は、制御部１０２の制御に基づいて、レンズ部１０１を駆動するものである。このレンズ駆動部１０３は、内蔵するモータを使用してレンズ部１０１の位置を変更することによりレンズ部１０１を駆動することができる。

[0079] 画像処理部１０４は、固体撮像素子１により生成された画像信号を処理するものである。この処理には、例えば、画素毎の赤色、緑色および青色に対応する画像信号のうち不足する色の画像信号を生成するデモザイク、画像信号のノイズを除去するノイズリダクションおよび画像信号の符号化等が該当する。画像処理部１０４は、例えば、ＤＳＰにより構成することができる。

また、画像処理部１０４は、偏光フィルタ１５が設けられた画素２により生成された画像信号に基づいて、デプスマップを生成するデプスマップ生成処理、法線マップを生成する法線マップ生成処理を実行する。なお、これらの処理は公知の処理であるため、詳しい説明は省略する。

[0080] 操作入力部１０５は、撮像装置１００の使用者からの操作入力を受け付けるものである。この操作入力部１０５には、例えば、押しボタンやタッチパネルを使用することができる。操作入力部１０５により受け付けられた操作

入力は、制御部 102 や画像処理部 104 に伝達される。その後、操作入力に応じた処理、例えば、被写体の撮像等の処理が起動される。

[0081] フレームメモリ 106 は、1 画面分の画像信号であるフレームを記憶するメモリである。このフレームメモリ 106 は、画像処理部 104 により制御され、画像処理の過程におけるフレームの保持を行う。

[0082] 表示部 107 は、画像処理部 104 により処理された画像を表示するものである。この表示部 107 には、例えば、液晶パネルを使用することができる。

[0083] 記録部 108 は、画像処理部 104 により処理された画像を記録するものである。この記録部 108 には、例えば、メモリカードやハードディスクを使用することができる。

[0084] <6. 変形例>

なお、実施形態としては上記により説明した具体例に限定されるものではなく、多様な変形例としての構成を採り得るものである。

例えば、上記の第一実施形態から第4実施形態におけるカラーフィルタ 14 及び偏光フィルタ 15 の配置は一例であり、少なくとも、隣接する複数の画素 2 間において、同一の光透過特性のフィルタが配置されていればよい。

[0085] また、上記の第一実施形態から第4実施形態における画素間分離部 20 の形成は一例であり、少なくとも、画素間分離部 20 は、交差することなく形成されていればよい。

[0086] <7. 実施形態のまとめ>

上記のように実施形態の固体撮像素子 1 は、光電変換部（フォトダイオード PD）を有する画素 2 が行方向及び列方向にそれぞれ複数配列された画素アレイ部 3 を備え、画素アレイ部は、隣接する画素間を分離する画素間分離部 20 を備え、画素は、所定の光透過特性を有するフィルタ（カラーフィルタ 14、偏光フィルタ 15）を備え、画素間分離部は、交差することなく形成されており、隣接する複数の画素間において、同一の光透過特性のフィル

タが配置される。

これにより、同一の光透過特性のフィルタが配置された画素間において、画素間分離部が設けられていない部分でクロストークが発生しても、同一の光透過特性のフィルタを透過した光に基づく電荷が移動することになる。

また、画素間分離部が交差することなく形成されることにより、交差する部分の深さを考慮する必要がなく、ウェハ反りも発生しづらく、製造時のプロセス負荷を低減することが可能となる。

したがって、プロセス負荷を低減しつつ、画素信号の劣化を抑制することができる。

[0087] 上記した実施形態の固体撮像素子において、フィルタは、特定の偏光方向の入射光を透過させて光電変換部に入射させる偏光フィルタ15を備え、隣接する複数の画素間において、偏光透過軸の向きが同一の偏光フィルタが配置される事が考えられる。

これにより、画素間分離部が設けられていない部分で電氣的なクロストークが発生しても、同一の偏光方向の光に基づく電荷であるため、消光比を悪化させることを低減することが可能となる。

したがって、消光比の悪化の低減により、画素信号の劣化を抑制することができる。

[0088] 上記した実施形態の固体撮像素子において、フィルタは、特定の波長帯の入射光を透過させて光電変換部に入射させるカラーフィルタ14を備え、隣接する複数の画素間において、透過させる波長帯が同一のカラーフィルタが配置されることが考えられる。

これにより、画素間分離部が設けられていない部分で電氣的なクロストークが発生しても、同一の波長帯に基づく電荷であるため、混色を低下することが可能となる。

したがって、混色を低下により、画素信号の劣化を抑制することができる。

[0089] 上記した実施形態の固体撮像素子において、フィルタは、特定の偏光方向

の入射光を透過させて光電変換部に入射させる偏光フィルタと、特定の波長帯の入射光を透過させて前記光電変換部に入射させるカラーフィルタと、を備え、隣接する複数の画素間において、偏光透過軸の向きが同一の偏光フィルタ、及び、透過させる波長帯が同一のカラーフィルタが配置されることが考えられる。

これにより、画素間分離部が設けられていない部分で電氣的なクロストークが発生しても、同一の偏光方向、及び、同一の波長帯の光に基づく電荷であるため、消光比の悪化及び混色を低下することが可能となる。

したがって、消光比の悪化及び混色を低下することにより、画素信号の劣化を抑制することができる。

[0090] 上記した実施形態の固体撮像素子において、画素間分離部は、光電変換部が形成される半導体基板 11 を貫通させない程度の深さに形成されるトレンチアイソレーションであることが考えられる。

これにより、画素間分離部が交差して深く切削されてしまうことがなくなるため、これらの影響を考慮しなくて済み、トレンチアイソレーションを形成する際のプロセス負荷を低減することができる。

[0091] 上記した実施形態の固体撮像素子において、画素間分離部は、半導体基板の裏面から形成されるトレンチアイソレーションであることが考えられる。

ここで、画素間分離部には絶縁膜が半導体基板の裏面とともに形成されることがある。このような場合に、トレンチアイソレーションが半導体基板の裏面から形成されることで、トレンチアイソレーションを形成する際のプロセス負荷を低減することができる。

[0092] 上記した実施形態の固体撮像素子において、画素間分離部は、行方向及び列方向に隣接する画素のクロス部において、行方向又は列方向の一方向に形成されることが考えられる。

これにより、対角に隣接する画素間のクロストークを低下させることが可能となる。

したがって、対角に隣接する画素間における画素信号の劣化を抑制するこ

とができる。

[0093] 上記した実施形態の固体撮像素子において、画素間分離部は、行方向及び列方向に隣接する画素のクロス部に形成されないことが考えられる。

これにより、全てのクロス部に画素間分離部が形成されないため、画素間分離部を形成する際のプロセス負荷を低減することができる。

[0094] 上記した実施形態の固体撮像素子において、行方向及び列方向に隣接する複数の画素でなる画素ブロックを複数有し、行方向又は列方向に隣接する画素ブロック間において一方に偏光フィルタが配置されることが考えられる。

これにより、隣接する画素ブロック間において、異なる偏光方向の光に基づく電荷がクロストークすることがなく、画素信号の劣化を抑制することができる。

[0095] 上記した実施形態の固体撮像素子において、行方向及び列方向に隣接する複数の前記画素でなる画素ブロックを複数有し、行方向又は列方向に隣接する画素ブロック間において同一の偏光透過軸の向き前記偏光フィルタが配置されることが考えられる。

これにより、画素ブロック間において画素間分離部が設けられていない部分で電氣的なクロストークが発生しても、同一の偏光方向の光に基づく電荷であるため、消光比を悪化させることを低減することが可能となる。

しがたって、消光比の悪化の低減により、画素信号の劣化を抑制することができる。

[0096] 上記のように実施形態の撮像装置 100 は、光電変換部を有する画素が行方向及び列方向にそれぞれ複数配列された画素アレイ部を備えた固体撮像素子と、固体撮像素子により生成された画像信号を処理する画像処理部と、を備え、画素アレイ部は、隣接する画素間を分離する画素間分離部を備え、画素は、所定の光透過特性を有するフィルタを備え、画素間分離部は、交差することなく形成されており、隣接する複数の画素間において、同一の光透過特性のフィルタが配置されるものである。

この撮像装置においても、固体撮像素子と同様の作用及び効果を発揮する

ことができる。

[0097] なお、本明細書に記載された効果はあくまでも例示であって限定されるものではなく、また他の効果があってもよい。

[0098] < 8. 本技術 >

なお本技術は以下のような構成も採ることができる。

(1)

光電変換部を有する画素が行方向及び列方向にそれぞれ複数配列された画素アレイ部を備え、

前記画素アレイ部は、隣接する前記画素間を分離する画素間分離部を備え、

前記画素は、所定の光透過特性を有するフィルタを備え、

前記画素間分離部は、交差することなく形成されており、

隣接する複数の前記画素間において、同一の光透過特性の前記フィルタが配置される

固体撮像素子。

(2)

前記フィルタは、

特定の偏光方向の入射光を透過させて前記光電変換部に入射させる偏光フィルタを備え、

隣接する複数の前記画素間において、偏光透過軸の向きが同一の前記偏光フィルタが配置される

(1) に記載の固体撮像素子。

(3)

前記フィルタは、

特定の波長帯の入射光を透過させて前記光電変換部に入射させるカラーフィルタを備え、

隣接する複数の前記画素間において、透過させる波長帯が同一の前記カラーフィルタが配置される

(1) 又は (2) に記載の固体撮像素子。

(4)

前記フィルタは、

特定の偏光方向の入射光を透過させて前記光電変換部に入射させる偏光フィルタと、

特定の波長帯の入射光を透過させて前記光電変換部に入射させるカラーフィルタと、

を備え、

隣接する複数の前記画素間において、偏光透過軸の向きが同一の前記偏光フィルタ、及び、透過させる波長帯が同一の前記カラーフィルタが配置される

(1) から (3) のいずれかに記載の固体撮像素子。

(5)

前記画素間分離部は、

前記光電変換部が形成される半導体基板を貫通しない深さに形成されるトレンチアイソレーションである

(1) から (4) のいずれかに記載の固体撮像素子。

(6)

前記画素間分離部は、

前記半導体基板の裏面から形成されるトレンチアイソレーションである

(5) に記載の固体撮像素子。

(7)

前記画素間分離部は、

行方向及び列方向に隣接する前記画素のクロス部において、行方向又は列方向の一方向に形成される

(1) から (6) のいずれかに記載の固体撮像素子。

(8)

前記画素間分離部は、

行方向及び列方向に隣接する前記画素のクロス部に形成されない

(1) から (6) のいずれかに請求項 1 に記載の固体撮像素子。

(9)

行方向及び列方向に隣接する複数の前記画素でなる画素ブロックを複数有し、

行方向又は列方向に隣接する前記画素ブロック間において一方に前記偏光フィルタが配置される

(2) に記載の固体撮像素子。

(10)

行方向及び列方向に隣接する複数の前記画素でなる画素ブロックを複数有し、

行方向又は列方向に隣接する前記画素ブロック間において同一の偏光透過軸の向き前記偏光フィルタが配置される

請求項 (2) 又は (4) に記載の固体撮像素子。

(11)

光電変換部を有する画素が行方向及び列方向にそれぞれ複数配列された画素アレイ部を備えた固体撮像素子と、

前記固体撮像素子により生成された画像信号を処理する画像処理部と、を備え、

前記画素アレイ部は、隣接する前記画素間を分離する画素間分離部を備え、

前記画素は、所定の光透過特性を有するフィルタを備え、

前記画素間分離部は、交差することなく形成されており、

隣接する複数の前記画素間において、同一の光透過特性の前記フィルタが配置される

撮像装置。

符号の説明

[0099] 1 固体撮像素子

2 画素

3、3 A、3 B、3 C 画素アレイ部

1 1 半導体基板

1 4 カラーフィルタ

1 5 偏光フィルタ

2 0 画素間分離部

2 1 画素ユニット

1 0 0 撮像装置

1 0 4 画像処理部

請求の範囲

- [請求項1] 光電変換部を有する画素が行方向及び列方向にそれぞれ複数配列された画素アレイ部を備え、
前記画素アレイ部は、隣接する前記画素間を分離する画素間分離部を備え、
前記画素は、所定の光透過特性を有するフィルタを備え、
前記画素間分離部は、交差することなく形成されており、
隣接する複数の前記画素間において、同一の光透過特性の前記フィルタが配置される
固体撮像素子。
- [請求項2] 前記フィルタは、
特定の偏光方向の入射光を透過させて前記光電変換部に入射させる偏光フィルタを備え、
隣接する複数の前記画素間において、偏光透過軸の向きが同一の前記偏光フィルタが配置される
請求項1に記載の固体撮像素子。
- [請求項3] 前記フィルタは、
特定の波長帯の入射光を透過させて前記光電変換部に入射させるカラーフィルタを備え、
隣接する複数の前記画素間において、透過させる波長帯が同一の前記カラーフィルタが配置される
請求項1に記載の固体撮像素子。
- [請求項4] 前記フィルタは、
特定の偏光方向の入射光を透過させて前記光電変換部に入射させる偏光フィルタと、
特定の波長帯の入射光を透過させて前記光電変換部に入射させるカラーフィルタと、
を備え、

隣接する複数の前記画素間において、偏光透過軸の向きが同一の前記偏光フィルタ、及び、透過させる波長帯が同一の前記カラーフィルタが配置される

請求項 1 に記載の固体撮像素子。

[請求項5]

前記画素間分離部は、

前記光電変換部が形成される半導体基板を貫通しない深さに形成されるトレンチアイソレーションである

請求項 1 に記載の固体撮像素子。

[請求項6]

前記画素間分離部は、

前記半導体基板の裏面から形成されるトレンチアイソレーションである

請求項 5 に記載の固体撮像素子。

[請求項7]

前記画素間分離部は、

行方向及び列方向に隣接する前記画素のクロス部において、行方向又は列方向の一方向に形成される

請求項 1 に記載の固体撮像素子。

[請求項8]

前記画素間分離部は、

行方向及び列方向に隣接する前記画素のクロス部に形成されない

請求項 1 に記載の固体撮像素子。

[請求項9]

行方向及び列方向に隣接する複数の前記画素でなる画素ブロックを複数有し、

行方向又は列方向に隣接する前記画素ブロック間において一方に前記偏光フィルタが配置される

請求項 2 に記載の固体撮像素子。

[請求項10]

行方向及び列方向に隣接する複数の前記画素でなる画素ブロックを複数有し、

行方向又は列方向に隣接する前記画素ブロック間において同一の偏光透過軸の向き前記偏光フィルタが配置される

請求項 2 に記載の固体撮像素子。

[請求項11]

光電変換部を有する画素が行方向及び列方向にそれぞれ複数配列された画素アレイ部を備えた固体撮像素子と、

前記固体撮像素子により生成された画像信号を処理する画像処理部と、

を備え、

前記画素アレイ部は、隣接する前記画素間を分離する画素間分離部を備え、

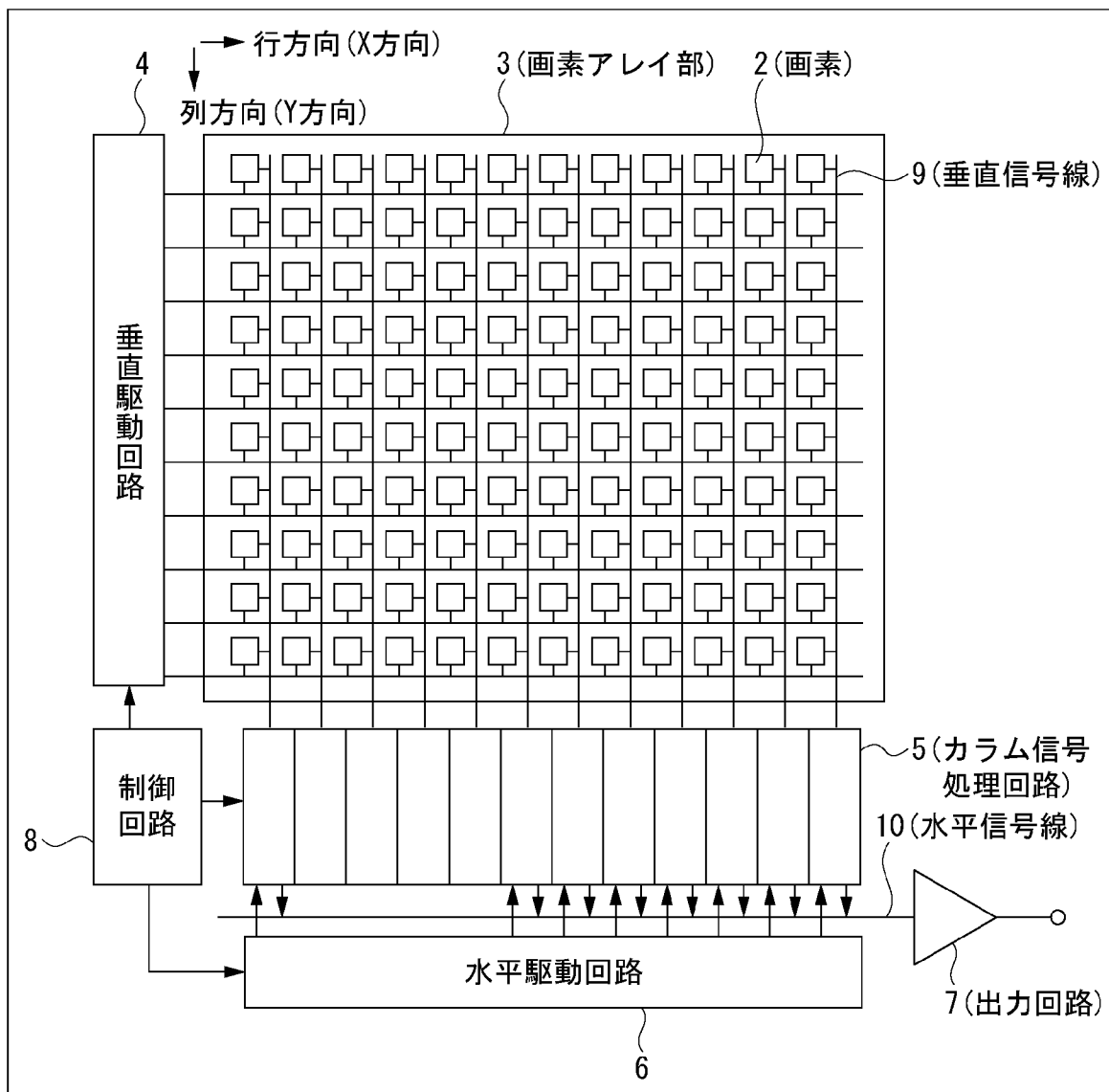
前記画素は、所定の光透過特性を有するフィルタを備え、

前記画素間分離部は、交差することなく形成されており、

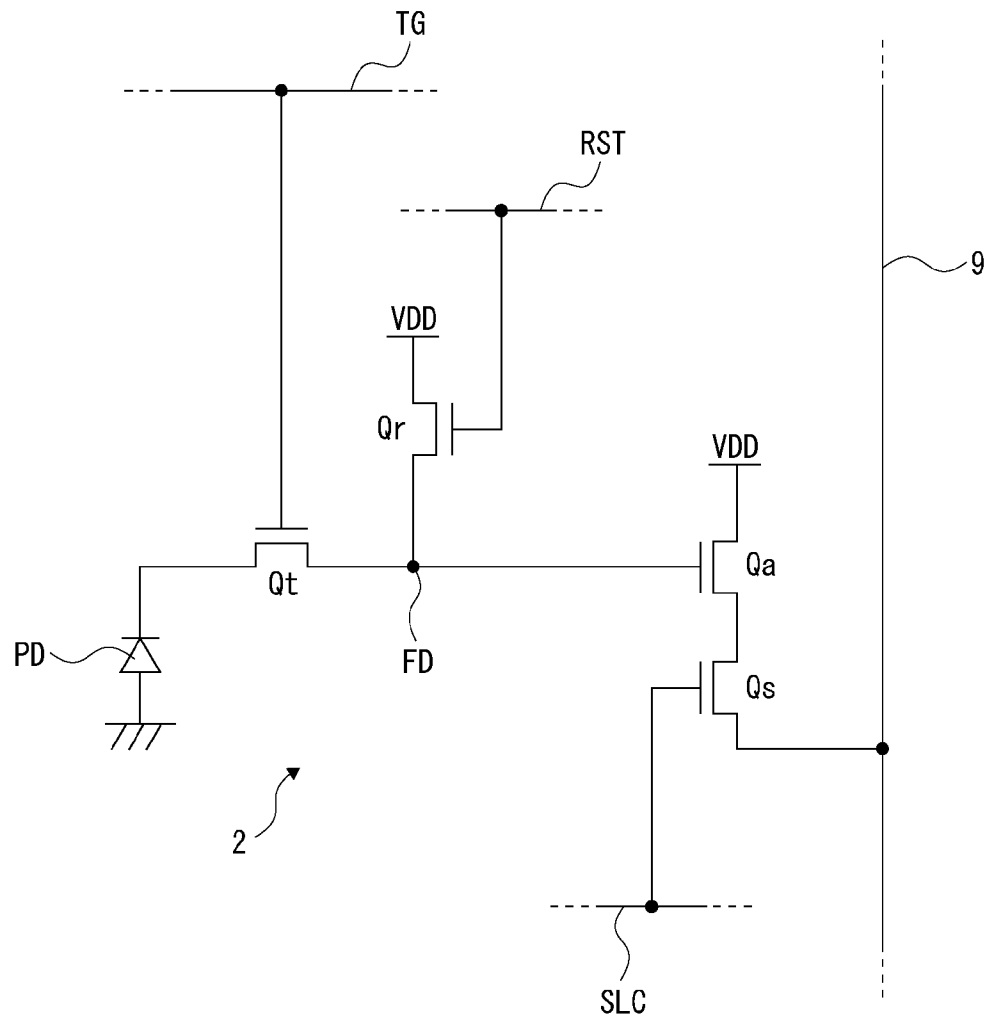
隣接する複数の前記画素間において、同一の光透過特性の前記フィルタが配置される

撮像装置。

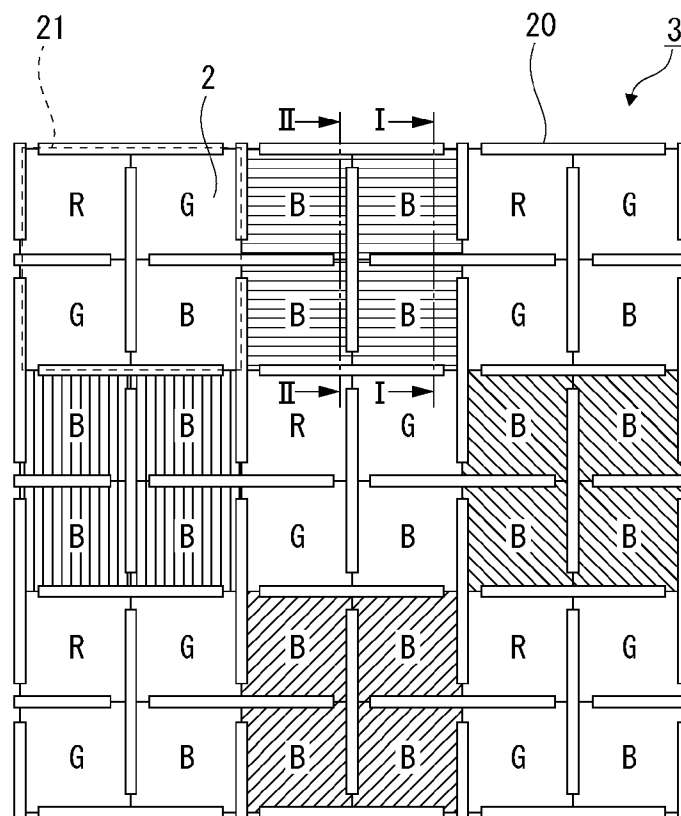
[図1]



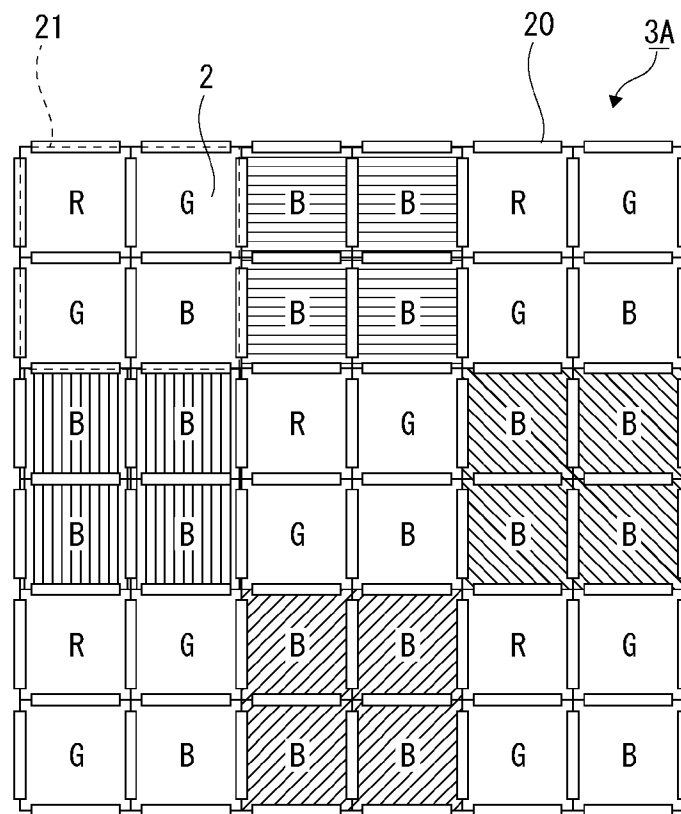
[図2]



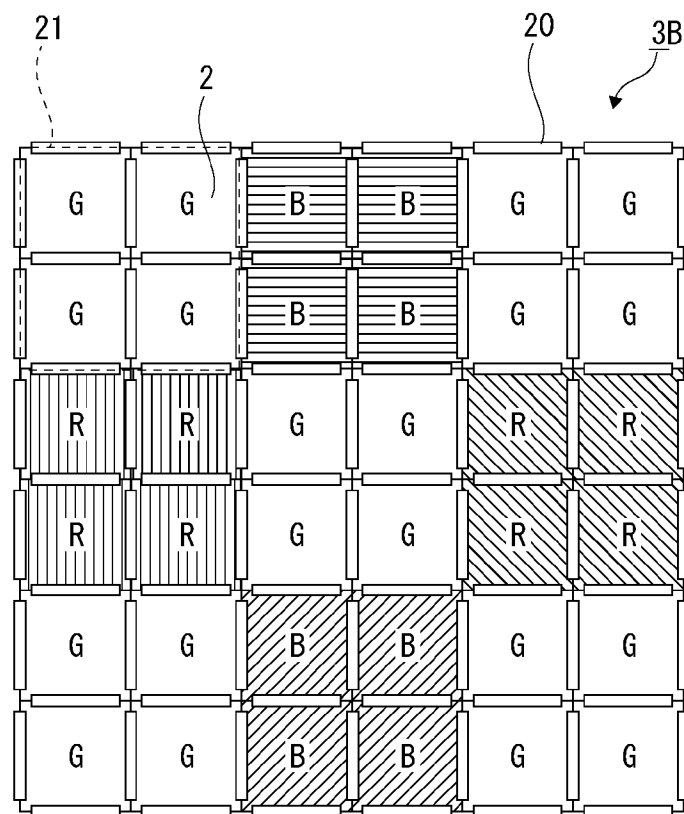
[図4]



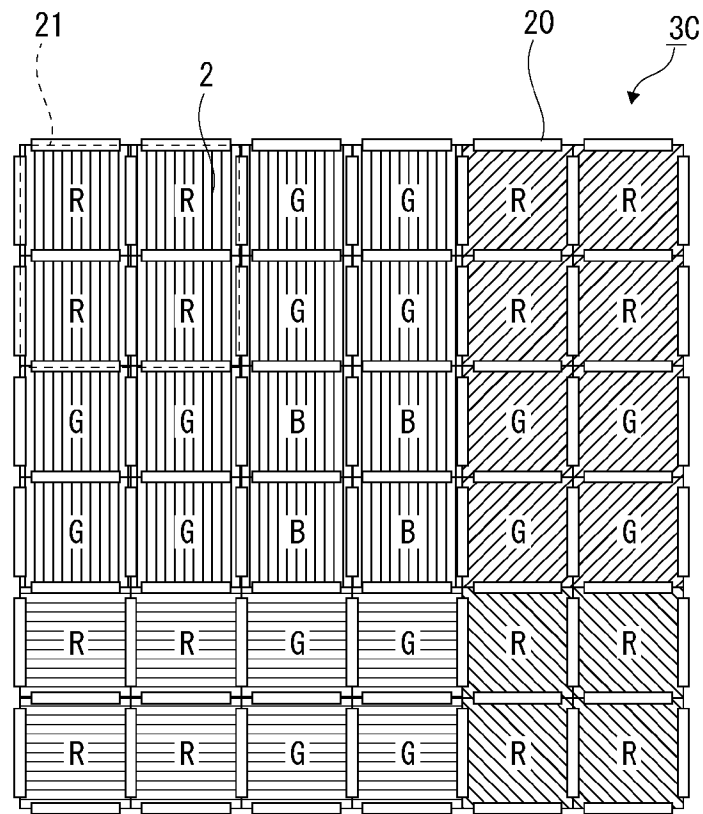
[図6]



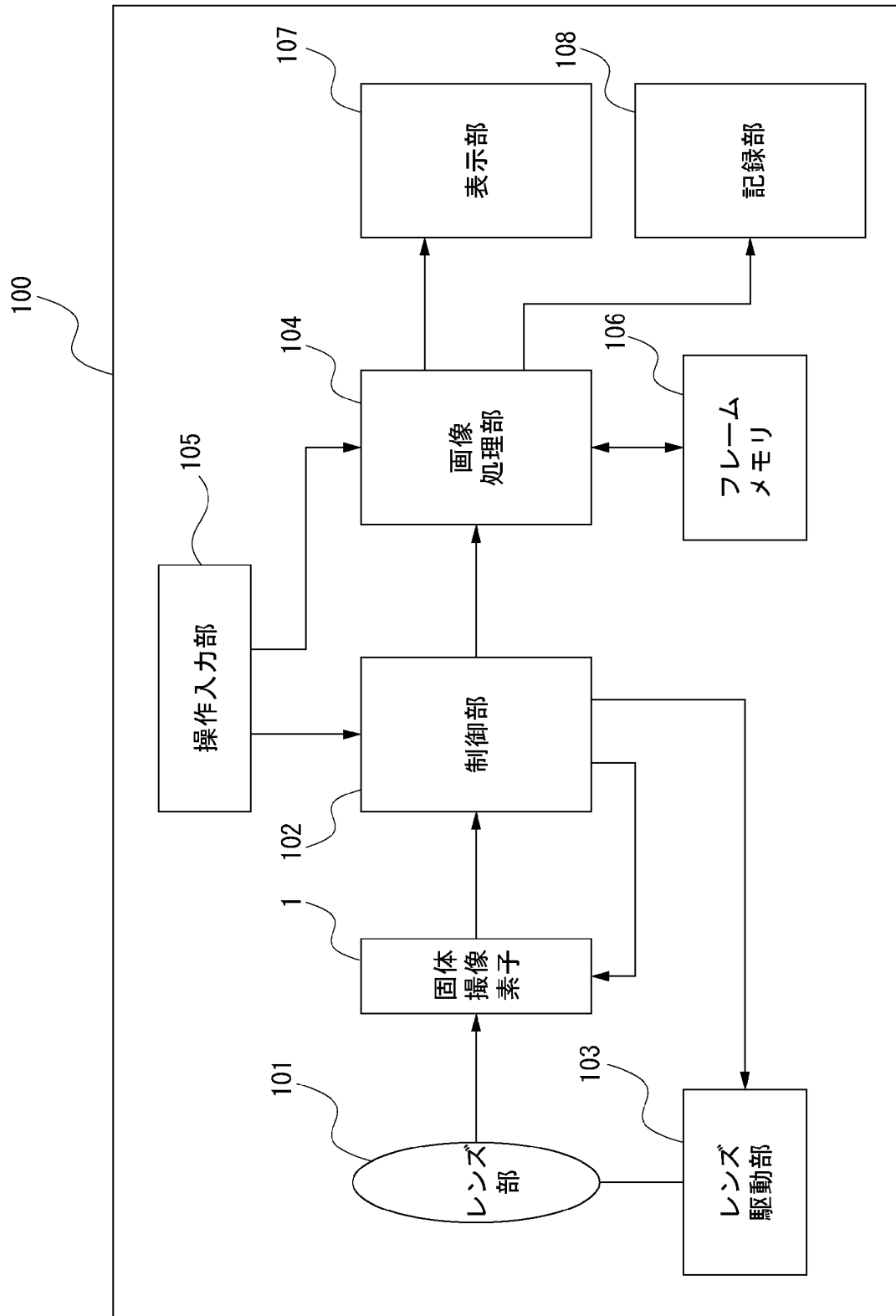
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/006433

A. CLASSIFICATION OF SUBJECT MATTER**H01L 27/146**(2006.01)i; **G02B 5/20**(2006.01)i; **G02B 5/30**(2006.01)i

FI: H01L27/146 D; G02B5/20 101; G02B5/30

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146; G02B5/20; G02B5/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2022

Registered utility model specifications of Japan 1996-2022

Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2017/026385 A1 (SONY INTERACTIVE ENTERTAINMENT INC.) 16 February 2017 (2017-02-16)	1-7, 9-11
A	paragraphs [0069]-[0128], fig. 14, 15, 20, 21, 31	8
Y	JP 2021-034598 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 01 March 2021 (2021-03-01)	1-7, 9-11
	paragraphs [0016]-[0087], fig. 1, 15, 16	
Y	WO 2015/025676 A1 (OLYMPUS CORP.) 26 February 2015 (2015-02-26)	9
	paragraph [0051], fig. 9	
A	JP 2016-171368 A (TOSHIBA CORP.) 23 September 2016 (2016-09-23)	1-11
	paragraphs [0022]-[0034], fig. 4, 5	

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

06 May 2022

Date of mailing of the international search report

17 May 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/006433

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2017/026385	A1	16 February 2017	US 2018/0204882 A1 paragraphs [0098]-[0157], fig. 14, 15, 20, 21, 31 TW 201711176 A	
JP	2021-034598	A	01 March 2021	WO 2021/039455 A1 paragraphs [0017]-[0089], fig. 1, 15, 16	
WO	2015/025676	A1	26 February 2015	US 2016/0163752 A1 paragraph [0047], fig. 9	
JP	2016-171368	A	23 September 2016	US 2016/0269694 A1 paragraphs [0035]-[0047], fig. 4, 5	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/146(2006.01)i; G02B 5/20(2006.01)i; G02B 5/30(2006.01)i FI: H01L27/146 D; G02B5/20 101; G02B5/30		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L27/146; G02B5/20; G02B5/30		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2017/026385 A1（株式会社ソニー・インタラクティブエンタテインメント） 16.02.2017（2017-02-16） [0069]-[0128], 図14, 15, 20, 21, 31	1-7, 9-11
A		8
Y	JP 2021-034598 A（ソニーセミコンダクタソリューションズ株式会社）01.03.2021 （2021-03-01） [0016]-[0087], 図1, 15, 16	1-7, 9-11
Y	WO 2015/025676 A1（オリンパス株式会社）26.02.2015（2015-02-26） [0051], 図9	9
A	JP 2016-171368 A（株式会社東芝）23.09.2016（2016-09-23） [0022]-[0034], 図4, 5	1-11
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 06.05.2022		国際調査報告の発送日 17.05.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 加藤 俊哉 5F 9554 電話番号 03-3581-1101 内線 3516

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/006433

引用文献			公表日	パテントファミリー文献	公表日
WO	2017/026385	A1	16.02.2017	US 2018/0204882 A1 [0098]-[0157], FIGS. 14, 15, 20, 21, 31 TW 201711176 A	
JP	2021-034598	A	01.03.2021	WO 2021/039455 A1 [0017]-[0089], FIGS. 1, 15, 16	
WO	2015/025676	A1	26.02.2015	US 2016/0163752 A1 [0047], FIG. 9	
JP	2016-171368	A	23.09.2016	US 2016/0269694 A1 [0035]-[0047], FIGS. 4, 5	