

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4801986号
(P4801986)

(45) 発行日 平成23年10月26日 (2011.10.26)

(24) 登録日 平成23年8月12日 (2011.8.12)

(51) Int.Cl.	F I
HO 1 L 21/8247 (2006.01)	HO 1 L 27/10 4 3 4
HO 1 L 27/115 (2006.01)	HO 1 L 27/10 4 8 1
HO 1 L 27/10 (2006.01)	HO 1 L 29/78 3 7 1
HO 1 L 29/788 (2006.01)	
HO 1 L 29/792 (2006.01)	

請求項の数 5 (全 19 頁)

(21) 出願番号	特願2005-356796 (P2005-356796)	(73) 特許権者	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成17年12月9日 (2005.12.9)	(74) 代理人	110000408 特許業務法人高橋・林アンドパートナーズ
(65) 公開番号	特開2006-245539 (P2006-245539A)	(72) 発明者	二山 拓也 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内
(43) 公開日	平成18年9月14日 (2006.9.14)	(72) 発明者	小谷 敏也 神奈川県横浜市磯子区新杉田8番地 株式会社東芝 横浜事業所内
審査請求日	平成20年8月5日 (2008.8.5)	(72) 発明者	間下 浩充 神奈川県横浜市磯子区新杉田8番地 株式会社東芝 横浜事業所内
(31) 優先権主張番号	特願2005-27718 (P2005-27718)		最終頁に続く
(32) 優先日	平成17年2月3日 (2005.2.3)		
(33) 優先権主張国	日本国(JP)		

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

複数のメモリセルが配置されたメモリセルアレイと、ゲート配線よりも上層に、順に、少なくとも第1及び第2の配線層を有し、前記メモリセルへ電氣的にデータを書き込むことができる半導体記憶装置であって、

前記メモリセルは、ワード線及びビット線を有し、

前記メモリセルに接続された前記ワード線は、前記ゲート配線によって形成され、

転送トランジスタを含み、前記ワード線に電圧を転送するロウデコーダを有し、

前記ワード線は、前記転送トランジスタのソース又はドレインに接続される際に、前記ゲート配線、前記第1の配線層及び前記第2の配線層の三層配線を用いて接続され、

該接続領域において、前記ゲート配線同士間の最大電位差は、書き込み電圧以下であり、前記第1の配線層同士間の最大電位差は、書き込み電圧以下、又は前記書き込み電圧を前記第1のトランジスタにより転送するための第1の電圧以下であり、

前記第2の配線層同士間の最大電位差は、前記書き込み電圧以下又は消去電圧以下であることを特徴とする半導体記憶装置。

【請求項2】

複数のメモリセルが配置されたメモリセルアレイと、ゲート配線よりも上層に、順に、少なくとも第1及び第2の配線層を有し、前記メモリセルへ電氣的にデータを書き込むことができる半導体記憶装置であって、

前記メモリセルは、ワード線及びビット線を有し、

前記メモリセルに接続された前記ワード線は、前記ゲート配線によって形成され、
前記第2の配線層は、ビット線に適用され、
複数の前記ビット線とセンスアンプとを接続するビット線選択回路が形成された高電圧トランジスタ領域、及び前記センスアンプが配置されたセンスアンプ領域を含むセンスアンプ部を有し、

前記第2の配線層で、前記ビット線として用いられるパターン全ては、前記メモリセルアレイの領域から前記センスアンプ部の領域まで概略直線状のパターンで形成されていることを特徴とする半導体記憶装置。

【請求項3】

前記ワード線によって前記ゲート配線の配線に接続される第1の配線層同士の間隔は、前記ワード線に接続される前記第2の配線層同士の間隔以下であることを特徴とする請求項1に記載の半導体記憶装置。

10

【請求項4】

前記第2の配線層で、前記ビット線として用いられるパターンの長さは、一のメモリセルアレイ領域において、全て長さが同じであることを特徴とする請求項2に記載の半導体記憶装置。

【請求項5】

前記ビット線は、前記高電圧トランジスタ領域に配置された高電圧トランジスタを介して前記センスアンプに接続されており、前記高電圧トランジスタ領域には前記ビット線が配置され、前記高電圧トランジスタの基板又はPウェルに電圧を供給する配線には、前記高電圧トランジスタ領域においては前記第1の配線のみが用いられていることを特徴とする請求項2又は4に記載の半導体記憶装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は電氣的に書き換え可能な半導体記憶装置に関する。半導体記憶装置の中でも、特に、不揮発性半導体記憶装置における配線のレイアウト配置技術に関する。

【背景技術】

【0002】

近年、小型で大容量な不揮発性半導体記憶装置の需要が急増し、中でも従来のNOR型フラッシュメモリと比較して、高集積化、大容量化が期待できるNAND型フラッシュメモリが目目されてきている。

30

【0003】

NAND型フラッシュメモリ等の不揮発性半導体記憶装置における配線の幅及び間隔（ライン・アンド・スペース）は、フォトリソグラフィの微細加工技術が進歩するにつれて、スケールアップされていく。一般的に、より大容量のNAND型フラッシュメモリを実現するために、NANDストリングのサイズは、加工世代が進むと共に小さくなっていく。NANDストリングのサイズが小さくなっていくと、それに伴い転送トランジスタのサイズを小さくする必要はあるが、転送トランジスタのサイズを小さくしてしまうと、ワード線WLをNANDストリングのメモリセルまで引き出すゲート配線GC及び第1の配線層MOのライン・アンド・スペースを十分に確保することが出来なくなる。その結果、各ワード線WLの配線間の耐圧も低下してしまい、絶縁破壊によるワード線同士のショート等の不良を回避し、NAND型フラッシュメモリの信頼性を維持するのが困難になってくる。

40

【特許文献1】特開2004-79857号公報

【特許文献2】特開2004-55617号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

そこで、本発明は、耐圧が要求される配線層に対しては、その配線の配線幅及び間隔（ライン・アンド・スペース）を緩和し、また配線間の電位差が小さくなるように配線レイア

50

ウトを工夫し、高信頼性で且つ高集積化が可能なNAND型フラッシュメモリ等の半導体記憶装置を実現するものである。

【課題を解決するための手段】

【0005】

本発明の一実施態様によれば、

複数のメモリセルが配置されたメモリセルアレイと、ゲート配線よりも上層に、順に、少なくとも第1及び第2の配線層を有し、前記メモリセルへ電氣的にデータを書き込むことができる半導体記憶装置であって、

前記メモリセルは、ワード線及びビット線を有し、

前記メモリセルに接続された前記ワード線は、前記ゲート配線によって形成され、

転送トランジスタを含み、前記ワード線に電圧を転送するロウデコードを有し、

前記ワード線は、前記転送トランジスタのソース又はドレインに接続される際に、前記ゲート配線、前記第1の配線層及び前記第2の配線層の三層配線を用いて接続され、

該接続領域において、前記ゲート配線同士間の最大電位差は、書き込み電圧以下であり、

前記第1の配線同士間の最大電位差は、書き込み電圧以下、又は前記書き込み電圧を前記第1のトランジスタにより転送するための第1の電圧以下であり、

前記第2の配線層同士間の最大電位差は、前記書き込み電圧以下又は消去電圧以下であることを特徴とする半導体記憶装置が提供される。

【発明の効果】

【0006】

本発明の半導体記憶装置によると、耐圧が要求される配線層に対しては、その配線幅及び配線間隔が緩和され、加工が容易になり、高集積化を可能としながら、高歩留まりを実現することができる。また、本発明の半導体記憶装置によると、配線間の電位差を小さくすることができ、高信頼性の半導体記憶装置を実現することができる。

【発明を実施するための最良の形態】

【0007】

一般に、NAND型フラッシュメモリ等の不揮発性半導体記憶装置には、大容量であることだけでなく、高い信頼性が要求されている。NAND型フラッシュメモリ等の不揮発性メモリの高信頼性を実現するためには、トンネル酸化膜の高耐圧化が必要となり、トンネル酸化膜を薄膜化することが容易ではない。一方、不揮発性メモリの特性上、書き込み電圧を低くすることも容易ではない。NAND型フラッシュメモリの大容量化を実現するために、高集積化のためのチップシュリンクを進める必要があるにも拘わらず、このような事情から、書き込み電圧など高電圧を印加する高耐圧トランジスタのスケーリングが困難になってきている。しかしながら、配線の幅及び間隔は、微細加工技術が進歩するにつれてスケーリングされる。その結果、加工世代が進むにつれて、狭い(又は薄い)配線層間の絶縁膜に、より高電圧が印加されることになる。

【0008】

一方、一般に、不揮発性半導体記憶装置のプロセスの側面からは、トランジスタのゲート配線加工後の熱工程では、温度の低い加工プロセスが望まれる。これは、高温の熱工程を行うことによるトランジスタのジャンクション部及びチャネル部の不純物プロファイルの悪化を防止するためである。

【0009】

また、通常のプロセスでは、上層の配線ほど融点の低い金属が用いられるので、基本的には、上層配線ほど配線層間の絶縁膜は低温で形成されることになり、その耐圧は悪くなる。

【0010】

一般に、不揮発性半導体記憶装置においては、メモリセルのワード線及びビット線がメモリセルアレイとコンタクトをとり、周辺回路部へ引き出される領域において、上述のような問題が顕著に現れる。なぜなら、メモリセルにおいては、ワード線及びビット線は、ほぼプロセスの最小寸法で加工されることになるが、ワード線及びビット線が引き出される

10

20

30

40

50

領域では、配線幅及びスペースが緩和されて引き出されるため、上層配線あるいは下層配線と組み合わせ、配線されることになる。ここで、最小寸法とは、フォトリソグラフィ加工技術により決まる最小幅と、配線間に電位差が生じた時に、絶縁破壊による配線間ショートが発生しない最小のスペースのことをいう。

【0011】

また、メモリセルに隣接するロウデコーダ及びセンスアンプに関しては、セルアレイ内よりも緩和された寸法にて加工されるが、周辺回路の加工寸法よりも微細な加工寸法の配線が用いられる。したがって、メモリセルを駆動するロウデコーダ、センスアンプの領域では、特に上述のような問題が顕著になる。また、微細加工技術の進歩は、近年、露光装置開発スピードできまるようになってきている。したがって、最小加工寸法に近い配線ほど、露光が容易なレイアウトパターンが望まれている。

10

【0012】

本発明の一実施形態に係る半導体記憶装置においては、最小加工寸法に近い配線ほど、配線が曲がらないように（直線パターン、長方形パターンになるように）配線する。また、配線幅及び配線間隔を緩和すべく、多層配線構造を用い、且つ上層配線ほど配線幅及び間隔が緩和される、又は配線間の電位差が小さくなるようにレイアウトするものである。

【0013】

ここでは、本実施形態に係る本発明の半導体記憶装置として、NAND型フラッシュメモリを例にとり説明する。なお、本発明は、NAND型フラッシュメモリに限定されるわけではなく、他の半導体メモリにも用いることができる。

20

【0014】

図1を参照する。図1には、本実施形態に係るNAND型フラッシュメモリ1の概略構成図が示されている。本実施形態に係るNAND型フラッシュメモリ1は、メモリセル2がマトリクス状に配置されたセルアレイ3、ブロックデコーダ4（ロウデコーダ）、センスアンプ部5、センスアンプ部にあるHv-Tr領域6及びセンスアンプ領域7、周辺回路8、並びにパッド部9を有している。

【0015】

図2を参照する。図2には、本実施形態に係るNAND型フラッシュメモリのブロックデコーダ4の回路構成の概略図が示されている。図2において、4aはk番目のブロックデコーダであり、アドレスデコード回路4c、レベルシフタ4d、ワード線WL0<0>~WL31<0>及び選択ゲート線SG1に電圧を転送する転送回路4e、選択ゲート線SG2<0>にSGDSの電圧を転送する回路4f並びに選択ゲート線SG1にSGDSの電圧を転送する回路4kを有している。また、4bは(k+1)番目のブロックデコーダであり、アドレスデコード回路4g、レベルシフタ4h、ワード線WL0<1>~WL31<1>及び選択ゲート線SG1に電圧を転送する転送回路4i、選択ゲート線SG2<1>にSGDSの電圧を転送する回路4j並びに選択ゲート線SG1にSGDSの電圧を転送する回路4kを有している。なお、図2に示すとおり、本実施形態においては、回路4kはk番目のブロックデコーダ4aと(k+1)番目のブロックデコーダ4bとで共有する構成を採用している。

30

【0016】

k番目のブロックデコーダ4a及び(k+1)番目のブロックデコーダ4bには、それぞれ、各々のブロックアドレスが入力される。入力されたブロックアドレスは、それぞれ、アドレスデコード回路4c及び4gに入力され、デコードされる。デコードされたブロックアドレスは、レベルシフタ回路4d及び4hでその電圧レベルが変換され、XFERG0及びXFERG1を経由して転送回路4e及び4iを構成する転送トランジスタのゲート電極に送信される。転送回路4eの転送トランジスタは、k番目のブロックが選択ブロックである場合に、このXFERGに印加される電圧によりオンし、SGD、SGS、CG0~CG31へ入力される電圧を、それぞれ、SG1、SG2、WL0<0>~WL31<0>へ転送する。転送回路4iについても同様である。

40

【0017】

次に、図3を参照する。図3には、本実施形態のNAND型フラッシュメモリのブロックデコ

50

ーダ4における転送回路4eのレイアウトの概略図が示されている。図3においては、“AA”は活性領域(AA0、AA1、AA2、・・・、AA29、AA30、AA31)、“GC”はゲート配線(GC0、GC1、GC2、・・・、GC29、GC30、GC31)、“M0”は第1の配線層による配線(以下、便宜上、「第1の配線層」という。)、“M1”は第2の配線層による配線(以下、便宜上、「第2の配線層」という。)を示している。本実施形態においては、“AA”、“GC”、“M0”及び“M1”が、この順番で順次積層されている。なお、図3においては、説明の便宜上、活性領域AA、ゲート配線GC、第1の配線層M0及び第2の配線層M1のサイズ比は、概略で図示してある。

【0018】

図3において、CDは、活性領域(基板又はPウェル上の拡散領域)と第1の配線層M0とを接続するコンタクト(CD1、CD2)であり、CGは、ゲート配線GCと第1の配線層M0とを接続するコンタクト(CG0、CG1、CG2、CG3、CG4、CG4、CG5、CG6、CG7、CG8、CG9)であり、V1は、第1の配線層M0と第2の配線層M1とを接続するコンタクト(V1(1)、V1(2))である。

【0019】

図3に示す本実施形態の転送回路のレイアウト配置においては、WL0<0>~WL31<31>を、ゲート配線GC、第1の配線層M0及び第2の配線層M1の三層を用いることによってNANDストリングのメモリセルまで引き出している。NANDストリングのメモリセルにおいて、図3に示すとおり、NANDストリングのメモリセルのゲート配線が、それぞれ、ワード線WL0<0>~WL31<31>の一部として機能している。40はゲート配線(GC0、GC1、GC2、・・・、GC29、GC30、GC31)を相互に接続する第1の配線層M0による配線である。ワード線WL0<0>~WL31<0>及び配線40は、転送トランジスタ上では可能な限り概略真っ直ぐ(概略直線状)になるようなパターンによって形成されている。ワード線WL0<0>~WL31<31>を加工する際には、通常の半導体プロセスで用いるフォトリソグラフィ技術が用いられるので、ワード線WL0<0>~WL31<31>及び配線40を転送トランジスタ上では概略真っ直ぐ(概略直線状)になるように加工することによって、加工が容易で高歩留まりを実現するワード線を形成できることになる。

【0020】

また、本実施形態のレイアウトにおいては、ゲート配線層、第1の配線層及び第2の配線層といった三層配線構造を用いているので、配線ピッチを緩和することができ、また、配線間耐圧も緩和することができる。配線層を加工する温度は上層配線層ほど低くなり、それに伴い、同じ配線層間又は上下配線層間の層間絶縁膜を形成する温度も上層配線層ほど低くなる。層間絶縁膜は、高温で形成するほど絶縁耐性がよくなる一方、上層に形成される層間絶縁膜は、低温で形成されることになる。よって、上層の配線ほど、即ちゲート配線GCよりも第1の配線層M0の方が、第1の配線層M0よりも第2の配線層M1の方が、配線間耐圧が弱いので、ゲート配線GCの配線幅を W_{GC} 、第1の配線層の配線幅を W_{M0} 、第2の配線層の配線幅を W_{M1} とすると、 $W_{GC} > W_{M0} > W_{M1}$ であるのが好ましい。また、同様の理由から、ゲート配線GC同士間のスペースを S_{GC} 、第1の配線層同士間のスペースを S_{M0} 、第2の配線層同士間のスペースを S_{M1} とすると、 $S_{GC} > S_{M0} > S_{M1}$ であるのが好ましい。

【0021】

本実施形態のNAND型フラッシュメモリにおいては、メモリセルへのデータの書き込み時には、転送トランジスタによって書き込み電圧 V_{pgm} をワード線WL0<0>~WL31<0>に転送する必要がある。よって、転送トランジスタのゲート電極に接続されたXFERGには、書き込み電圧 V_{pgm} を転送トランジスタにより転送するための電圧 $V_{pgmh} = V_{pgm} + V_{th}$ (V_{th} は転送トランジスタのしきい値)がレベルシフト4から印加される。また、データの書き込み時には、ワード線WL0<0>~WL31<0>に0Vが印加される場合がある。よって、第1の配線層M0同士間の最大電位差は、 V_{pgmh} となる。即ち、第1の配線層M0同士間の電位差は、 V_{pgmh} 以下となる。また、別のレイアウト方法として、ゲート配線40(GC0、GC1、GC2、・・・、GC29、GC30、GC31)を一本のゲート配線で短絡することもできる。この場合、第1の配線層M0同士間の最大電位差は、ワード線WL<0>~WL<31>間の最大電位差になるため、 V_{pgm}

10

20

30

40

50

となる（第1の配線層M0同士間の最大電位差 V_{pgm} ）。ただし、その場合は活性領域（AA0、AA1、AA2、・・・、AA29、AA30、AA31）間の素子分離上を、ゲート配線40（GC0、GC1、GC2、・・・、GC29、GC30、GC31）が完全に通過するので、図3に示すレイアウト方法よりもフィールド反転リークをより抑制するように素子設計をする必要がある。したがって、第1の配線層M0同士間の最大電位差 V_{pgm} 、又は第1の配線層M0同士間の最大電位差 V_{pgmh} となる。

【0022】

また、本発明の一実施形態によると、第2の配線層M1に関しては、第1の配線層M0から第2の配線層M1にコンタクトする際に、ワード線WL0<0>～WL31<0>を並べる順序を自由に変更することができるので、0Vが印加されるワード線WLと書き込み電圧 V_{pgm} 又は消去電圧 V_{era} が印加されるワード線WLとが隣接して対向しないようにワード線WLを配列させることができる。したがって、本発明によると、第2の配線層M1同士間の最大電位差を書き込み電圧 V_{pgm} 又は消去電圧 V_{era} とすることができる。よって、第2の配線層M1同士間の最大電位差は、 V_{pgm} 又は V_{era} 以下である（第2の配線層M1同士間の最大電位差 V_{pgm} 又は第2の配線層M1同士間の最大電位差 V_{era} ）。

【0023】

また、ゲート配線GCに関しては、書き込み電圧 V_{pgm} を印加するワード線WLと、0Vを印加するワード線WLが隣接して対向する場合がある。したがって、ゲート配線GC同士間の最大電位差を V_{pgm} とすることができる。よって、ゲート配線GC同士間の電位差は、 V_{pgm} 以下である。

【0024】

このように、本発明の一実施形態によると、配線幅及び配線間隔が緩和され、且つ配線間の電位差を小さくすることができ、高信頼性の半導体記憶装置を実現することができる。

【実施例1】

【0025】

本実施例においては、本発明の半導体記憶装置として、図1に示したNAND型フラッシュメモリを例にとり説明する。本実施例においては、特に、NAND型フラッシュメモリのセンスアンプ部5のレイアウト配置の例について説明する。

【0026】

図4を参照する。図4には、図1に示すNAND型フラッシュメモリにおけるセンスアンプ部5にあるHv-Tr領域6のレイアウトの概略図が示されている。なお、図4においては、説明の便宜上、活性領域AA及びゲート配線GCのみが図示されており、第1の配線層M0及び第2の配線層M1は省略してある。

【0027】

Hv-Tr（High Voltage-Transistor：高電圧トランジスタ）領域6には、ビット線とセンスアンプ領域7に配置されるセンスアンプとを接続するための複数のビット線選択回路13が形成されている。3はセルアレイであり、マトリクス状に配置されたメモリセル2を有している。図4では、セルアレイの中で、L個のカラム12のみを示している。一つのカラム12には、ビット線16本分のメモリセル2が配置されている。従って、図4においては、L個のカラム（16L本のビット線）に対応するビット線選択回路13のレイアウト配置が示されていることになる。また、図4においては、K本の活性領域及び2N本のゲート配線GCによって、複数のビット線選択回路が形成されている。なお、説明の便宜上、Hv-Tr領域6とセルアレイ3（カラム12）との接続配線は、省略してある。

【0028】

本実施例においては、次のとおり、各パラメータを設定した。即ち、活性領域AAのピッチ（AAの幅とスペースの和）に対応するビット線の本数をN（ $N=2 \times M \times L$ 、M：自然数、L：K本の活性領域に対応するカラム数）とする。また、L個のカラムに対応するビット線は、16L本であるので、 $16L=K \times L=2 \times M \times K \times L$ である。従って、L個のカラムに対応する活性領域の本数 $= 16L / N = (2 \times M \times K \times L) / (2 \times M \times L) = K$ となる。

【0029】

10

20

30

40

50

次に、図5を参照する。図5(a)には、ビット線選択回路13の拡大図が示されている。また、図5(b)には、ビット線選択回路13の等価回路図が示されている。図5(a)及び(b)に示すとおり、ビット線選択回路13には、BIASE、BIAS0、BLSE、BLS0、BLE、BLo、BLCRL及びSABLが接続されている。なお、説明の便宜上、図4及び図5(a)においては、BLE、BLo、BLCRL及びSABLのコンタクト及び配線層は省略している。

【0030】

次に、図6を参照する。図6には、本実施例に係るNANDフラッシュメモリのセンスアンプ部5の8本のビット線に対応した第2の配線層M1(20~27)のレイアウトが示されている。即ち、図4におけるL個のカラムからなる領域には、16L本のビット線が含まれているので、図4におけるL個のカラムからなる領域には、図6に示す8本のビット線のレイアウトが2L個存在することになる。また、図6において、第1の配線層M0と、第2の配線層M1とを接続するコンタクトをV1(3)、V1(4)、V1(5)、V1(6)、V1(7)及びV1(8)として示した。

10

【0031】

従来では、センスアンプ部における第2の配線層M1からなるビット線は、配線が曲がったり、途切れたりしていたが、図6に示すとおり、本発明では、概略真っ直ぐ(概略直線状)のパターンのみで第2の配線層M1からなるビット線を形成する。これにより、レイアウト上、最も細くなり得る第2の配線層M1をフォトリソグラフィ技術によって形成するのが容易で、高歩留まりを実現するレイアウトパターンになる。

【0032】

本実施例においては、Hv-Tr領域6では、図6の“X”及び“Y”で示す部分において、部分的にビット線が途切れるようにしている。途切れた後のビット線は、浮遊状態にしておく。なお、本実施例においては、部分的にビット線が途切れた例を示したが、ビット線が途切れないようにし、全てビット線の長さを同じにしてビット線の配線容量を等しくしておくようにしてもよい。

20

【0033】

図6のようなレイアウトを採用することにより、Hv-Tr領域6において、ビット線の幅及び間隔(ライン・アンド・スペース(L/S))は、一定値を保ち続けることができる。

【0034】

50は、第2の配線層によるダミーパターンである。第2の配線層M1(20~27)のような微細パターンは、露光時のフォーカス変動の影響又は露光装置のレンズの収差の影響により寸法が細くなることがわかった。また、ライン先端部のように下地膜との接触面積が小さいパターン部は、寸法細りによるレジスト消失目に下地膜からの“はがれ”が発生することがある。そこで、第2の配線層M1(20~27)に対して一定の距離dだけ離してダミーパターン50を設けることにより、このような“寸法細り”や“はがれ”を防止することができる。なお、第2の配線層M1(20~27)に対向するパターンであれば、ダミーパターンに限定されるわけではない。

30

【0035】

一例として、本実施例においては、ビット線の幅及び間隔(L/S)は、55nm/55nmと一定の値を保ち続けるようにした。なお、ビット線の幅及び間隔(L/S)は、本実施例の値に限定されるわけではないのは言うまでもなく、ビット線に印加される電圧、絶縁膜の耐圧などを考慮して、70nm、40nm、30nm等、他の値をとるように設計してもよい。

40

【0036】

また、ビット線の引出パターン配線(ビット線の最上部の配線)(M1)20~27の長さをa、幅をbとすると、アスペクト比(a/b)は、以下の関係があることが好ましい。つまり、これらビット線の引出パターン配線のリソグラフィ時に、例えば、ArF(フッ化アルゴン)エキシマレーザ(波長198nm)を用い、ハーフトーンマスクを用いる場合、99nm~100nmまでの線幅(b)を光の干渉による影響がなく形成することができる。よって、ビット線の引出パターン配線(M1)20~27は、a=1mm以上となる場合を考慮して、

$$a/b=1\text{mm}/100\text{nm}=10^4$$

50

従って、ビット線の引出パターン配線のアスペクト比は、 10^4 以上であることが好ましい。

【0037】

次に、図7を参照する。図7には、Hv-Tr領域6における第2の配線層M1(20~27)のレイアウトと、センスアンプ領域7における第2の配線層M1(30~35)のレイアウトが示されている。図7に示すとおり、Hv-Tr領域6における第2の配線層M1(20~27)の幅よりもセンスアンプ領域7における第2の配線層M1(30~35)の幅の方が大きい。本発明は、配線層の幅が異なる配線同士間において接続する場合に有効に用いることができる。

【0038】

図7に示す例は、図5(a)に示すSABLを接続した場合である。図7においては、第1の配線層及び第3の配線層M2は省略している。本実施例においては、図7に示すとおり、Hv-Tr領域6のビット線の引出部分の8本の第2の配線層M1(20~27(8個のビット線選択回路13のSABLノード))は、それらの終端部が揃っている。これら8本の第2の配線層M1(20~27)は、図5(a),(b)に示すビット線選択回路の活性領域BLE、BLoに、一度第1の配線層M0(図示せず)とコンタクトV1を介して接続し、活性領域SABLから、第1の配線層M0(図示せず)とコンタクトV1を介してセンスアンプ領域7の4本の第2の配線層M1(31~34)に引き上げるようなレイアウトを採用している。このようなレイアウトとすることにより、全ての第2の配線層M1(20~27及び30~35)が概略真っ直ぐな(概略直線状の)パターンのみで構成される。

【0039】

言い換えると、本実施例においては、8本のビット線ピッチに対して、コンタクトV1(第1の配線層M0上のコンタクト)を配置する第2の配線層4.5本(31~34及び30の半分)、並びにV1及びV2(第2の配線層M1上のコンタクト)を配置する第2の配線層0.5本(35の半分)が対応していることになる。図7に示すとおり、本実施例のセンスアンプ領域7の第2の配線層M1(31~34)は、概略真っ直ぐな(概略直線状の)且つ途切れないパターンのみで構成することができる。また、本実施例のセンスアンプ領域7の第2の配線層M1(31~34)は、一部途切れるが、概略真っ直ぐな(概略直線状の)パターンで構成することができる。

【0040】

このように、Hv-Tr領域6からセンスアンプ領域7へSABLを引き出すとき、本発明によると、第2の配線層を概略真っ直ぐなパターンで構成することができ、加工が容易で高歩留まりを実現する第2の配線層を形成することができる。

【実施例2】

【0041】

本実施例においては、実施例1で説明した本発明の半導体記憶装置のHv-Tr領域6において、4本のビット線がビット線選択回路13を形成する1本の活性領域AAに対応する場合のレイアウトについて説明する

【0042】

図8(a)には、第2の配線層M1及びコンタクトV1(第1の配線層M0と第2の配線層M1とを接続するコンタクト)が示されており、図8(b)には、第1の配線層M0、コンタクトV1、コンタクトCG(ゲート配線GCと第1の配線層M0とを接続するコンタクト)及びコンタクトCD(活性領域(基板又はPウエル上の拡散領域)と第1の配線層M0とを接続するコンタクト)が示されており、また、図8(c)には、活性領域AA、ゲート配線GC、コンタクトCD及びコンタクトCGが示されている。図8(c)に明確に示されるとおり、2つ分のビット線選択回路13のレイアウトパターンが示されている。なお、説明の便宜上、第2の配線層M1及び第1の配線層M0は、線によって図示されているが、実際には特定の幅を持った配線層である。

【0043】

本実施例においては、図8(b)に示すとおり、第1の配線層M0は、コの字状又は階段状に折れ曲がってレイアウトされているが、図8(a)に示すとおり、4本のビット線から

10

20

30

40

50

延びた4本の第2の配線層M1の全てが概略真っ直ぐ(概略直線状)なパターンのみで形成されていることが分かる。

【0044】

このように、ビット線BLeあるいはBLoを、Hv-Tr領域6からセンスアンプ領域7へビット線選択回路13を介してSABLに引き出すとき、本発明によると、第2の配線層を概略真っ直ぐなパターンのみで構成することができ、加工が容易で高歩留まりを実現する第2の配線層を形成できることができる。

【実施例3】

【0045】

ここで、ゲート配線のパターンの別の例について説明する。本実施例のGC配線パターンのレイアウトは、上述の実施形態及び実施例で説明した例に用いることができる。

10

【0046】

図9は、本実施例のGC配線パターンレイアウトを示す平面図である。選択ゲート(select gate)60及び61、並びに32本のGC配線ゲートパターンP(P1-P7、P1'-P25')を含む配線パターン群は、半導体基板(ウェハ)32の上方に配置されている。

【0047】

32本のGC配線ゲートパターンPは、選択ゲート60及び61の間に、一定のピッチで配置されている。ピッチは必ずしも一定である必要ない。32本のGC配線ゲートパターンPの長手方向は同じであり、該長手方向と垂直な方向に32本のGC配線ゲートパターンPは配置されている。図9においては、説明の便宜上、参照符号P1'-P25'のうち、P1'、P2'、P3'、P25'のみが記載されている。

20

【0048】

選択ゲート60下に配置されているGC配線パターンP1-P7は、下側に配置されたもののほど、ゲートパターン部の長手方向の寸法が長くなっている。

【0049】

GC配線パターンP2のゲートパターン部の長手方向の寸法は、一定寸法だけ、GC配線パターンP1のゲートパターン部の長手方向の寸法よりも長い。同様に、GC配線パターンP3のゲートパターン部の長手方向の寸法は、一定寸法だけ、GC配線パターンP2のゲートパターン部の長手方向の寸法よりも長い。

30

【0050】

すなわち、GC配線パターンPi(i=2-7)のゲートパターン部の長手方向の寸法は、一定寸法だけ、GC配線パターンPi-1のゲートパターン部の長手方向の寸法よりも長くなっている。

【0051】

GC配線パターンPiのゲートパターン部の長手方向の寸法とGC配線パターンPi-1のゲートパターン部の長手方向の寸法との差(一定寸法)は、各iで必ずしも同じである必要はない。

【0052】

GC配線パターンP1よりも一定寸法だけ長いGC配線パターンP2の部分上には、GC配線パターンP1のゲート引き出し部が配置されている。同様に、GC配線パターンP2よりも一定寸法だけ長いGC配線パターンP3の部分上には、GC配線パターンP2のゲート引き出し部が配置されている。

40

【0053】

すなわち、GC配線パターンPi-1よりも一定寸法だけ長いGC配線パターンPiの部分上(オープン・スペース内)には、GC配線パターンPiのゲート引き出し部が配置されている。したがって、GC配線パターンPi-1のゲート引き出し部とGC配線パターンPiのゲート引き出し部とが、GC配線パターンPの配列方向に関して、オーバーラップしないように、GC配線パターンP1-P7は配置されることになる。

【0054】

50

一方、選択ゲート31上に配置されているGC配線パターンP1' - P25'は、上側に配置されたものほど、ゲートパターン部の長手方向の寸法が長くなっている。

【0055】

GC配線パターンP2'のゲートパターン部の長手方向の寸法は、一定寸法だけ、GC配線パターンP1'のゲートパターン部の長手方向の寸法よりも長い。同様に、GC配線パターンP3'のゲートパターン部の長手方向の寸法は、一定寸法だけ、GC配線パターンP2'のゲートパターン部の長手方向の寸法よりも長い。

【0056】

すなわち、GC配線パターンPj' (j = 2 - 25)のゲートパターン部の長手方向の寸法は、一定寸法だけ、GC配線パターンPj-1'のゲートパターン部の長手方向の寸法よりも長くなっている。

10

【0057】

CG配線パターンPj'のゲートパターン部の長手方向の寸法とGC配線パターンPj-1'のゲートパターン部の長手方向の寸法との差(一定寸法)は、各jで必ずしも同じである必要はない。

【0058】

GC配線パターンP1'よりも一定寸法だけ長いCG配線パターンP2'の部分上には、GC配線パターンP1'のゲート引き出し部が配置されている。同様に、GC配線パターンP2'よりも一定寸法だけ長いGC配線パターンP3'の部分上には、GC配線パターンP2'のゲート引き出し部が配置されている。

20

【0059】

すなわち、GC配線パターンPj-1'よりも一定寸法だけ長いGC配線パターンPj'の部分上(オープン・スペース内)には、GC配線パターンPjのゲート引き出し部が配置されている。したがって、GC配線パターンPj-1'のゲート引き出し部とGC配線パターンPj'のゲート引き出し部とが、GC配線パターンPの配列方向に関して、オーバーラップしないように、GC配線パターンP1' - P25'は配置されることになる。

【実施例4】

【0060】

ここで、上述の実施形態で説明したビット線引出部分のパターン(M1)等に対向して設けるダミーパターン50について、詳細に説明する。

30

【0061】

図10は、ライン先端部のリソグラフィ後のウェハ上でのレジスト仕上がり形状を示しており、図10の71は露光後のデバイスパターン、72は露光後のダミーパターンである。図10の実線がOPC(Optical Proximity Correction)処理後のマスクパターン平面形状であり、点線が設計パターンである。即ち、OPC後のマスクパターンから算出されたウェハ上でのレジスト仕上がり平面形状が示されている。

【0062】

図10(a)はライン端から0.8μm程度離れた位置に別のパターンが存在する場合、図10(b)はライン端から0.4μm程度離れた位置に別のパターンが存在する場合である。なお、ライン端に対向する別のパターンは、必ずしもダミーパターンに限らず、デバイスパターンであっても良い。

40

【0063】

図10の(a)と(b)では、ライン先端部の形状が異なることが分かる。(a)の方が先端部と下地との接触面積が十分に確保できているが、(b)では先端部が尖ってしまっていて下地との接触面積が十分に確保できていない。その結果、(b)ではライン端部のレジスト倒れが発生する可能性が高く、リソグラフィの観点からは(a)の方が望ましい。

【0064】

一方、図11は図10のレジスト形状を用いてレジスト下地をエッチング加工した後の仕上がり形状を示しており、図中の81はエッチング後のデバイスパターン、82はエッチ

50

ング後のダミーパターンである。これも図10と同様に、点線でOPC後のマスクパターン平面形状を、実線で設計パターンを示している。

【0065】

図11(a)ではデバイスパターン81のライン端部とライン端部に対向するダミーパターン82との距離が離れているため、エッチングされる面積が多くなり、その時に生じる反応生成物がライン端部に側壁堆積物として付着しやすくなる。このため、ウェハ上でライン端部が接触し、電氣的にショートしてしまう可能性がある。また、図11(b)ではライン端部と別パターンとの距離が近く、エッチングされる面積が(a)よりも少なく、反応生成物の側壁堆積物付着が少なくて済む。つまり、エッチングの観点から見ると、(b)の方がレジスト形状を忠実に再現できるために望ましい。

10

【0066】

本実施形態では、これらの観点より、ライン端部から別パターンまでの距離に応じて、エッチング後にライン端部に付着する側壁堆積物の量を見積もり、その結果、ライン端部のレジスト寸法、ライン先端部でのショートニング量(後退量)がどの程度変化するかを見積もった。このときのフローチャートを、図12に示す。

【0067】

まず、設計データの中からデバイスパターンを成すラインの端部を抽出する(ステップS1)。次いで、抽出した端部と該端部に対向するダミーパターンとの距離Sと、レジストをマスクとしたエッチングの側壁堆積物付着によるライン端部のエッチング寸法変換差との関係を測定する(ステップS2)。続いて、リソグラフィによるライン端部のレジスト仕上がり寸法と距離Sとの関係を測定する(ステップS3)。次いで、レジスト仕上がり寸法にエッチング寸法変換差を考慮したライン端部の最終寸法が所定寸法以内に入るように距離Sの値を決定する(ステップS4)。ここで、ライン端部のレジスト寸法とは図16に示す箇所の寸法を指す。

20

【0068】

図13(a)は、横軸にライン先端部から対向するパターンまでの距離S、縦軸にエッチングにより生成された側壁堆積物の付着によるライン端部の寸法変化量(エッチング変換差:エッチング後の寸法とレジスト寸法との差)を示す。図13(b)は、横軸にライン先端部から対向するパターンまでの距離S、縦軸にエッチングにより生成された側壁堆積物の付着によるライン先端部の寸法変化量を示す。距離Sが大きくなるにつれ、エッチングによるライン端部の寸法変化量、及びライン先端部の寸法変化量は共にプラスの方向に大きくなること分かる。

30

【0069】

さらに、リソグラフィのシミュレーションを行い、距離Sと、ライン端部のレジスト寸法、及びライン先端部のショートニング量を見積もった。図14(a)がライン端部でのレジスト寸法、図14(b)がライン先端部でのショートニング量である。このグラフは特定の露光条件下での結果であり、露光装置の露光波長、レンズ開口数、照明形状、パターン線幅、OPC条件(jogの長さ)などによって変化する。

【0070】

図13、図14より、レジスト寸法とエッチング変換差とを考慮した最終加工後の仕上がり寸法を図15に示す。ライン端部での最終仕上がり寸法は、図13(a)、図14(a)より、Sの増大に伴ってレジスト寸法、加工変換差が共に太くなる傾向があるため、図15(a)に示すようになる。このとき、ライン端部の最終仕上がり寸法が所望寸法になるときのSは0.2 μ mであると見積もられた。

40

【0071】

一方で、ライン先端部でのショートニング量は図14(b)より、レジスト段階ではSの増大に伴ってショートニング量が大きくなること分かる。これとは逆に図13(b)より、エッチングによりショートニング量は小さくなる傾向があり、エッチングによるショートニング減少量の方が小さくなること分かる。これは、図14(b)よりも図13(b)の方が、Sに対する縦軸の傾きが大きいためである。その結果、最終加工後のショ-

50

トニング量は図15(b)に示すようになり、 $S = 0.8 \mu\text{m}$ でショートニング量が0になることが分かる。

【0072】

このような場合には、このパターンの許容ショートニング量と、ライン端部の許容寸法とから S の値を決める必要がある。ショートニングが許容できる量か否かは、この層とは異なる別の層との寸法関係が重要になる。

【0073】

例えば、ライン先端部からどの位置にコンタクトホールが配置されているか、若しくはパターンがゲートであれば、ショートニングにより拡散層上にパターンが乗り上げてしまう可能性はないか、などがショートニング許容量を決定する要因となる。一方で、ライン端部の許容寸法は、例えば十分なマージン(リソグラフィ、エッチングなどの加工プロセスマージン)を持ってライン端同士を解像できるのか、若しくはライン端パターン間のスペース部に埋め込みが可能であるのか、などがライン端部の許容寸法を決定する要因となる。

10

【0074】

これらの観点より、 $S = 0.2 \mu\text{m}$ (ライン端パターン寸法が所望になる条件)と $S = 0.8 \mu\text{m}$ (ショートニング量が0になる条件)との間で S の値を決めるのが一般的である。仮に、この間でスペックを満足する S が存在しないと判断された場合には、露光条件を含むプロセス条件の見直し、OPC条件の見直し、さらにはデザインルールや設計パターンレイアウトの見直しが行われる必要がある。しかし、これは非常に多大なワーク量となるため、スペック未達と判断されても、これらのパターンを工場でのルーチン的な寸法管理ポイントとすることにより、ショートニング許容量、ライン端部寸法許容量を達成するようにプロセスのチューニングを行うことも可能である。

20

【0075】

上記の手法でライン端部の寸法、ショートニング量が許容できる距離 S を算出し、その位置に別パターンを配置し、必要であればそれらの箇所を工場でのルーチン的な寸法管理、さらにはプロセス条件、レイアウト、デザインルール、OPC条件の調整を行うことにより、ライン端部の形状を安定的にウェハ上に形成できることが確認できた。

【0076】

本実施形態では、パターン群のライン端部とライン端部と対向するパターンの距離 S を決定するために、リソグラフィ工程のレジスト寸法(レジスト幅)とショートニング量、及びエッチング変換差を用いたが、この他にデバイス特性、具体的には電気的特性やタイミング解析などを加えることによって決定することも考えられる。

30

【0077】

このように本実施例によれば、設計データの中からデバイスパターンを成すラインの端部を抽出し、抽出した端部と対向するパターンとの距離 S を最適に設定することにより、ライン端部のパターン倒壊若しくはパターン自体がディフェクトとなることを防止することができる。従って、リソグラフィのプロセスマージンの向上及びデバイスの製造歩留まりの向上をはかることができる。

【0078】

なお、上述の実施形態及び実施例では、ダミーパターン又はデバイスパターンを形成するラインの端部を抽出したが、この代わりにスペースの端部を抽出し、このスペース端部を基に共有パターンの配置やレジスト寸法、エッチング寸法変換差の測定を行うようにしても良い。

40

【0079】

また、上述の実施例では、マスクパターンの作成方法について述べたが、これを用いてマスク基板上にマスクパターンを形成することによりフォトマスクを製造することが可能となる。さらに、このフォトマスクを用いて、半導体基板上のレジストに半導体層のパターンを形成することにより半導体装置を製造することが可能となる。

【0080】

50

なお、本発明の一実施態様によると、ゲート配線よりも上層に、順に、少なくとも第1及び第2の配線層を有し、メモリセルへ電氣的にデータを書き込むことができる半導体記憶装置であって、前記メモリセルのしきい値を検知するセンスアンプが設けられた領域において、前記メモリセルに接続されるビット線は、トランジスタを介して第1の配線層のノードに接続され、前記第2の配線層のパターン全ては、概略直線状のパターンで形成されていることを特徴とする半導体記憶装置が提供される。

【0081】

また、本発明の一実施態様によると、前記第2の配線層は、ビット線として用いるようにしてもよい。

10

【0082】

また、本発明の一実施態様によると、前記ビット線は、第1領域に配置された前記トランジスタを介してセンスアンプに接続されており、前記第1領域には前記ビット線が配置され、前記トランジスタの基板又はPウェルに電圧を供給する配線には、前記第1領域においては前記第1の配線のみが用いられているようにしてもよい。

【0083】

また、本発明の一実施態様によると、前記半導体記憶装置は、NAND型フラッシュメモリであるようにしてもよい。

【0084】

本発明の一実施形態によると、第2の配線層を概略真っ直ぐなパターンで構成することができ、加工が容易で高歩留まりを実現する第2の配線層を形成できることができ、上層配線ほど配線幅及び間隔が緩和される、又は配線間の電位差が小さくなるようなレイアウトを実現することができる。よって、本発明によると、小型、大容量、且つ高信頼性且つ高歩留まりの半導体記憶装置が実現できる。本発明の半導体記憶装置は、コンピュータを始めとし、デジタルスチルカメラ、携帯電話、家電製品等の電子機器の記憶装置として用いることができる。

20

【図面の簡単な説明】

【0085】

【図1】本発明の一実施形態に係るNAND型フラッシュメモリの概略構成図である。

【図2】本発明の一実施形態に係るNAND型フラッシュメモリのブロックデコーダの一部の回路構成の概略図である。

30

【図3】本発明の一実施形態のNAND型フラッシュメモリのブロックデコーダにおける転送回路のレイアウトの概略図である。

【図4】本発明の一実施例のNAND型フラッシュメモリにおけるセンスアンプ部5のレイアウトの概略図である。

【図5】(a)本発明の一実施例におけるビット線選択回路13の拡大図及びビット線選択回路13の等価回路図である。

【図6】本発明の一実施例に係るNANDフラッシュメモリのセンスアンプ部5のレイアウトが示されている。

【図7】本発明の一実施例に係るNANDフラッシュメモリのHv-Tr領域6におけるレイアウト及びセンスアンプ領域7におけるレイアウトを示す図である。

40

【図8】本発明の一実施例に係るNANDフラッシュメモリのHv=Tr領域6におけるレイアウトを示す図である。

【図9】本発明の一実施例に係るNANDフラッシュメモリのGC配線パターンのレイアウトを示す平面図である。

【図10】本発明の一実施例に係るNANDフラッシュメモリのライン端先端部のリソグラフィ後のウェハ上での仕上がり形状を示す図である。

【図11】図10のレジスト形状をエッチング加工した後の仕上がり形状を示す図である。

【図12】本発明の一実施例に係るNANDフラッシュメモリの設計データから補正データを作成するための手順を示すフローチャートである。

50

【図 1 3】本発明の一実施例におけるライン先端部から対向するパターンまでの距離 S とライン端部・先端部のエッチング変換差との関係を示す図である。

【図 1 4】本発明の一実施例におけるライン先端部から対向するパターンまでの距離 S とライン端部・先端部のレジスト寸法及びショートニング量との関係を示す図である。

【図 1 5】本発明の一実施例におけるライン先端部から対向するパターンまでの距離 S とライン端部・先端部のレジスト寸法及びショートニング量との関係を示す図である。

【図 1 6】本発明の一実施例におけるライン端部のレジスト寸法を定義するための図である。

【符号の説明】

【 0 0 8 6 】

1 NAND型フラッシュメモリ

2 メモリセル

3 セルアレイ

4 ブロックデコーダ

5 センスアンプ部

6 Hv-Tr領域

7 センスアンプ領域

8 周辺回路

9 パッド部

4 a k 番目のブロックデコーダ

4 b (k + 1) 番目のブロックデコーダ

4 c、4 g アドレスデコード回路

4 d、4 h レベルシフタ

4 e、4 i 転送回路

4 f、4 j 転送回路

4 j 転送回路

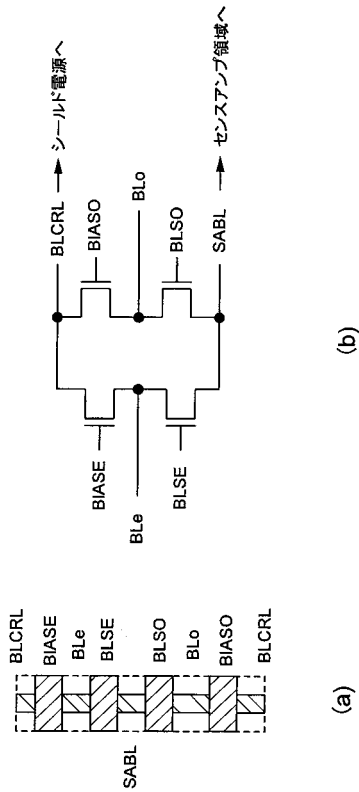
WL0<0> ~ WL31<0>、WL0<1> ~ WL31<1> ワード線

SG1、SG2<0>、SG1<1>、SG2<1> 選択ゲート線

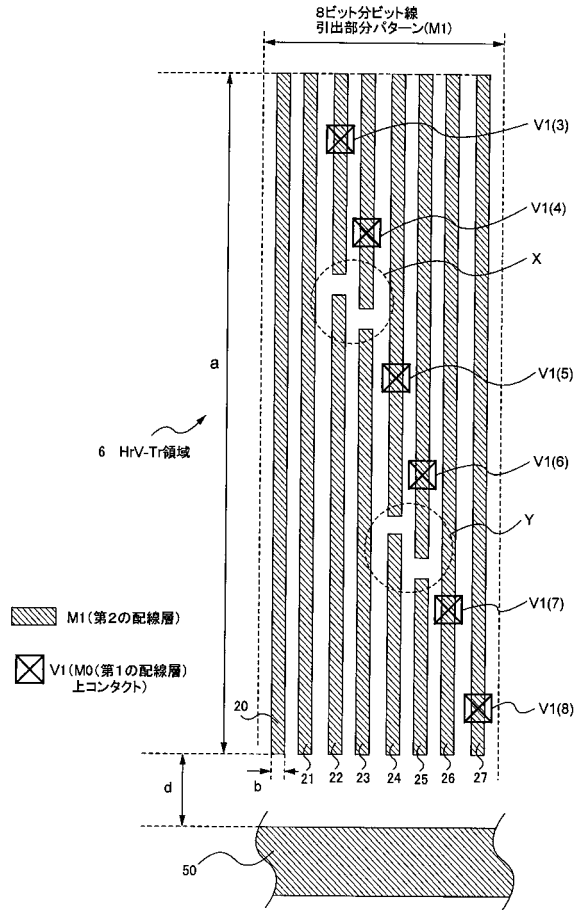
10

20

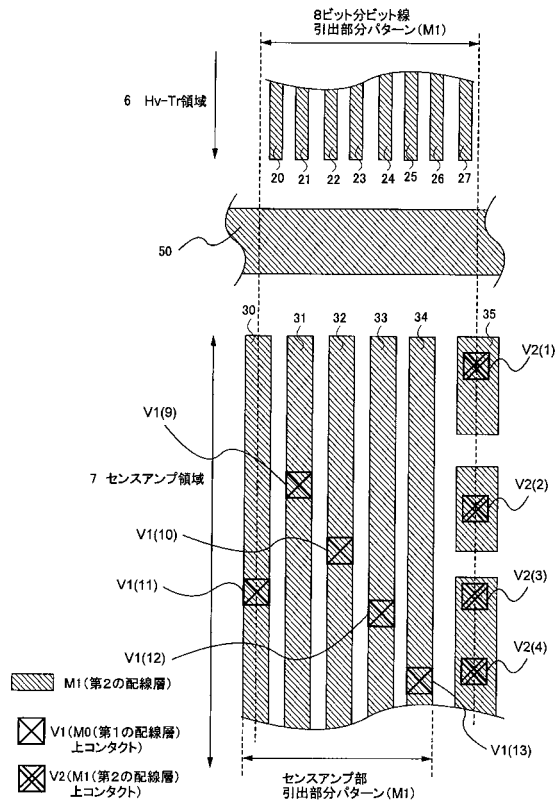
【図5】



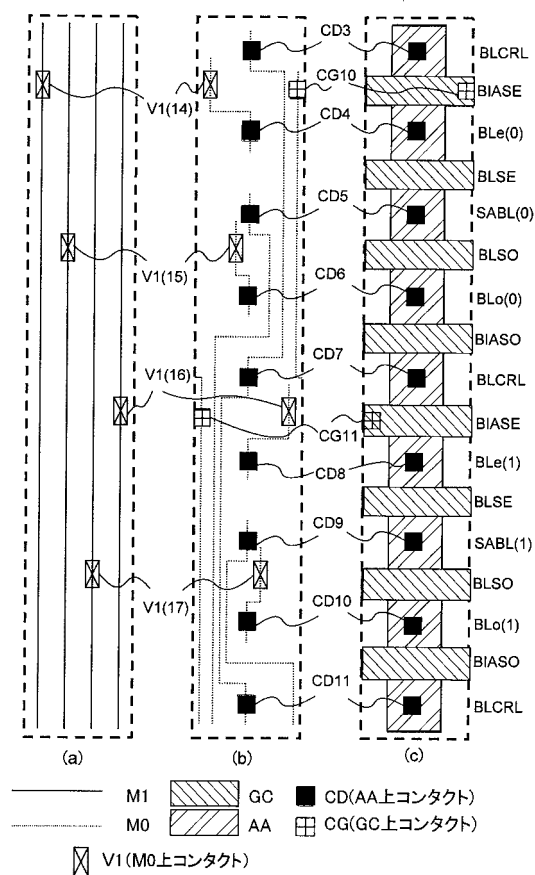
【図6】



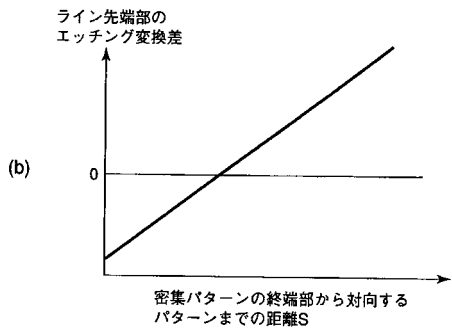
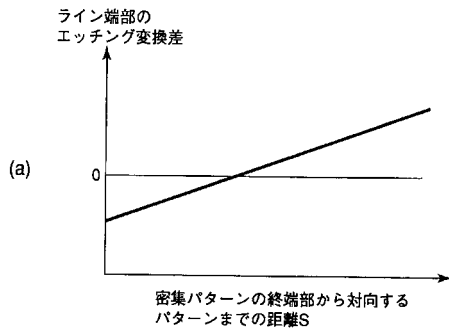
【図7】



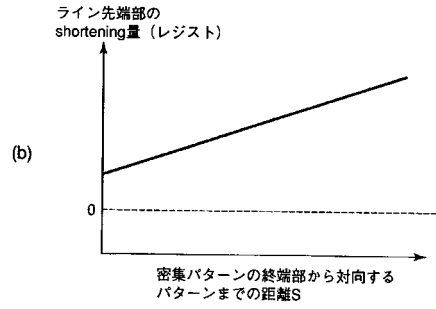
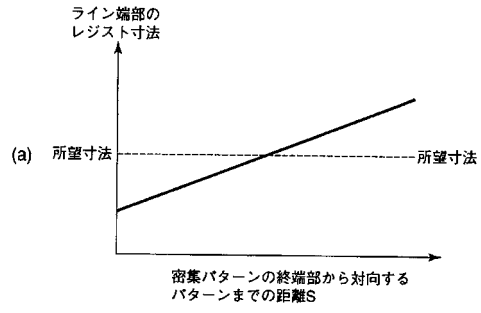
【図8】



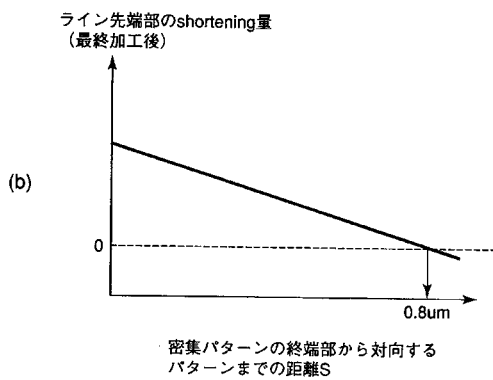
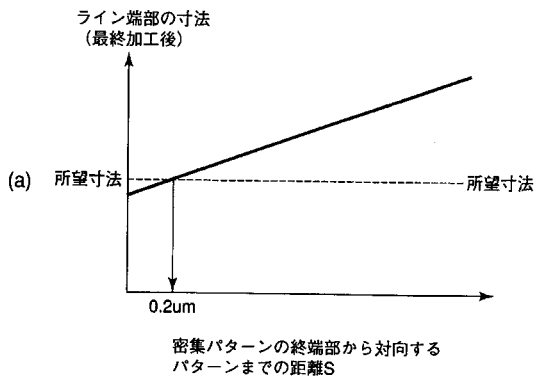
【図13】



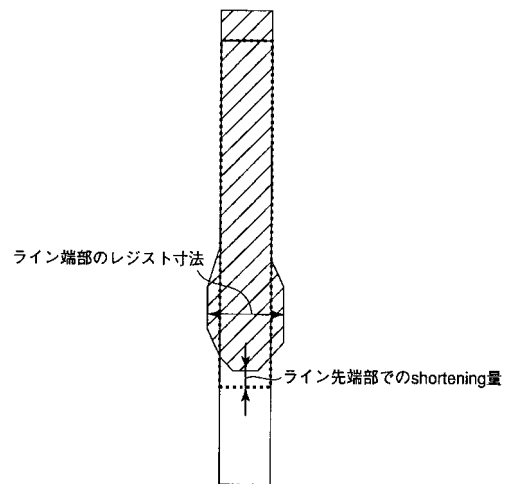
【図14】



【図15】



【図16】



フロントページの続き

(72)発明者 前園 淳

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝 生産技術センター内

(72)発明者 中野 亜矢子

神奈川県横浜市磯子区新杉田8番地 株式会社東芝 横浜事業所内

(72)発明者 藤澤 忠仁

三重県四日市市山之一色町800番地 株式会社東 四日市工場内

審査官 正山 旭

(56)参考文献 特開2002-151601(JP,A)

特開2004-015056(JP,A)

特開2002-368141(JP,A)

特開2004-055617(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8247

H01L 27/10

H01L 27/115

H01L 29/788

H01L 29/792