

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2006년03월03일
<i>H01L 21/3205</i> (2006.01)	(11) 등록번호	10-0556641
	(24) 등록일자	2006년02월23일

(21) 출원번호	10-2003-0022925	(65) 공개번호	10-2003-0081161
(22) 출원일자	2003년04월11일	(43) 공개일자	2003년10월17일

(30) 우선권주장 JP-P-2002-00109901 2002년04월12일 일본(JP)

(73) 특허권자 가부시킴가이샤 히타치세이사쿠쇼
일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 6고

(72) 발명자 다나까준
일본도쿄도지요다꾸마루노우찌1쵸메5-1신마루빌딩가부시킴가이샤히
타치세이사쿠쇼지적재산권본부내

오따니미하루
일본도쿄도지요다꾸마루노우찌1쵸메5-1신마루빌딩가부시킴가이샤히
타치세이사쿠쇼지적재산권본부내

오가따기요시
일본도쿄도지요다꾸마루노우찌1쵸메5-1신마루빌딩가부시킴가이샤히
타치세이사쿠쇼지적재산권본부내

스즈끼야스미찌
일본도쿄도지요다꾸마루노우찌1쵸메5-1신마루빌딩가부시킴가이샤히
타치세이사쿠쇼지적재산권본부내

호쯔따가쯔히꼬
일본도쿄도지요다꾸마루노우찌1쵸메5-1신마루빌딩가부시킴가이샤히
타치세이사쿠쇼지적재산권본부내

(74) 대리인 주성민
구영창

심사관 : 김희주

(54) 반도체 장치

요약

적층 구조의 배선층을 구성하는 절연막에 이용되는 에칭 스톱퍼막이나 확산 배리어막으로서 실리콘 질화막보다 작은 비유전률의 막을 이용하고, 그리고 적층 구조의 상층부보다도 하층부에서의 절연막의 비유전률을 작게 하고, 또한 그 절연막이

SiO₂막으로서, 그 절연막 내부에 주요 구성으로서 0.05nm 이상 4nm 이하가 되는 직경의 미소 보이드를 함유시킨다. 이에 의해, 배선층 자신의 기계적 강도를 유지한 채, 실효적인 비유전률을 비약적으로 저감시키는 것이 가능해져, 배선을 전파하는 신호의 지연을 저감시킨 고신뢰·고성능의 반도체 장치를 실현할 수 있다.

대표도

도 1

색인어

미소 보이드, 절연막, 배선층, 실리콘 산화막

명세서

도면의 간단한 설명

도 1은 제1 실시예인 적층 구조의 반도체 장치의 단면도.

도 2는 제1 실시예인 반도체 장치를 설명하기 위한 공정도.

도 3은 절연막 내에 존재하는 보이드의 직경 분포를 설명하기 위한 도면.

도 4는 절연막 내에 존재하는 보이드의 직경 분포를 설명하기 위한 도면.

도 5는 다른 실시예인 적층 구조의 반도체 장치를 설명하기 위한 공정도.

도 6은 반도체 로직 장치를 설명하기 위한 단면도.

도 7은 수지 밀봉형 반도체 장치를 설명하기 위한 단면도.

도 8은 웨이퍼 레벨 칩 사이즈 패키지 구조 반도체 장치를 설명하기 위한 단면도.

도 9는 가드 링 구조의 반도체 장치를 설명하기 위한 단면도와 평면도.

<도면의 주요 부분에 대한 부호의 설명>

101 : 반도체 기판

102, 104 : 실리콘 탄화 질화막

103, 105 : 실리콘 산화막

106, 107, 108, 109, 110, 111, 112, 113 : 절연층

115 : 실리콘 질화막

117, 118 : 개구

119 : 배선홀

120 : 배리어 메탈막

121 : Cu

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 저유전율 특성을 갖는 절연막을 층간 절연막에 이용함으로써, 신호 배선 지연을 저감하고, 이에 따라 소자 성능의 향상을 도모한 반도체 장치에 관한 것이다.

반도체 소자의 고집적화와 칩 사이즈의 축소에 따라 배선의 미세화, 협피치화 및 다층화가 진행되고 있다. 이에 따라, 신호가 배선을 전파할 때의 지연 시간, 즉 배선 지연이 증가하는 경향에 있으며, 반도체 소자를 이용한 전자 기기를 사용함에 있어서 큰 문제로 되어있다.

일반적으로, 배선을 전파하는 신호의 속도는 배선 저항(R)과 배선간 용량(C)의 곱(RC)에 의해 결정되기 때문에, 배선 저항을 감소시키는 것, 또는 배선간 용량을 작게 하는 것, 즉 층간 절연막의 저유전율화를 행하는 것이 배선 지연을 저감하기 위해 필요하다.

배선 저항을 감소시키는 것에 대하여 고성능인 반도체 소자에서는 배선 재료를 알루미늄에서 구리로 바꾸는 것이 진행되고 있고, 특히 구리 배선을 층간 절연막층에 매립하는 다마신 구조의 프로세스 적용이 활발하게 행해지고 있다.

또한, 층간 절연막의 저유전율화에 대해서는 종래 반도체 장치의 층간 절연막에는 CVD(Chemical Vapor Deposition)법을 이용하여 성막된 SiO_2 막(비유전율 4.0 정도)이나 SiN 막(비유전율 7.0 정도) 등의 무기계 재료가 사용되고 있었다. 그리고, 종래의 프로세스를 답습할 수 있는 저유전율 재료로서 최근에는 SiOF 막(비유전율 3.6 정도)의 채용이 이어지고 있다.

그러나, SiOF 막의 유전율은 비교적 높고, 이것을 층간 절연막으로서 사용한 경우에는 층간 용량을 저감하는 효과가 충분하지 않기 때문에, 배선 프로세스 90nm 노드 세대 이후의 반도체 장치에서는 더 낮은 유전율을 갖는 재료가 필요로 되어 있다.

비유전율이 3.5를 밑도는 특성을 갖는 층간 절연막 재료로서, 여러 재료가 제안되고 있으며, 크게 구분하면, 기판에 도포한 후에 가열에 의해 막을 형성하는 소위 스핀 온 글라스 재료나 마찬가지로 성막 형성하는 유기계 재료와, CVD법을 이용하여 성막 형성하는 방법이 검토되고 있다.

스핀 온 글라스 재료로서는, Hydrogen Silsesquioxane 화합물, 혹은 Methyl Silsesquioxane 화합물을 주성분으로 하는 재료를 예로 들 수 있다.

Hydrogen Silsesquioxane 화합물을 주성분으로 하는 도포 용액은, 일반식 $(\text{HSiO}_3/2)_n$ 으로 표시되는 화합물을 메틸이소부틸케톤 등의 용매로 용해시킨 것이다. 이 용액을 기판에 도포하고, 100~250℃ 정도의 온도로 중간 가열한 후, 질소 분위기 내 등의 불활성 분위기 내에서 350~450℃의 온도로 가열함으로써, Si-O-Si의 결합이 래더 구조적으로 형성되고, 최종적으로 SiO 를 주성분으로 하는 절연막이 형성된다.

Methyl Silsesquioxane 화합물을 주성분으로 하는 도포 용액은 일반식 $(\text{CH}_3\text{SiO}_3/2)_n$ 으로 표시되는 화합물을 메틸이소부틸케톤 등의 용매로 용해시킨 것이다. 이 용액을 기판에 도포하고, 100~250℃ 정도의 온도로 중간 가열한 후, 질소 분위기 속 등의 불활성 분위기 내에서 350~450℃의 온도로 가열함으로써, Si-O-Si의 결합이 래더 구조적으로 형성되며, 최종적으로 SiO 를 주성분으로 하는 절연막이 형성된다.

유기 절연막 재료로서는 탄화 수소계 수지인 폴리이미드, 폴리팔라듐크실렌, 폴리알릴렌에테르, 폴리알릴렌, 벤즈시클로부텐, 폴리나프탈렌 등의 고분자 재료가 알려져 있다. 이들의 재료는, 탄소 원자를 함유함으로써 막의 밀도를 저감시켜, 또한 분자(모노머) 자신의 분극율을 작게 함으로써 저유전율을 달성하고 있다.

상술한 바와 같은 스핀 온 글라스막, 유기막, CVD막 등과 같은 층간 절연막의 비유전율을 더 저감하는 방법으로서, 막 내에 미소 보이드를 형성하여 다공질막으로 하는 것이 알려져 있다.

상기한 재료나 프로세스에 관하여, International Technology Roadmap for Semiconductors 1999 Editon, p.p.163-186, 특개 2000-340569호 공보, 특개 2001-274239호 공보에 개시되어 있다.

발명이 이루고자 하는 기술적 과제

그러나, 상술한 종래 기술에 있어서, 비유전율이 3.5를 밑도는 특성을 갖는 층간 절연막에서는, CVD 성막의 SiO_2 막(비유전율 4.0 정도)이나 SiN막(비유전율 7.0 정도)에 비하여, 절연막의 경도나 탄성율과 같은 기계적 강도가 본질적으로 낮다고 하는 문제점을 안고 있다.

이러한 절연막에 있어서, 또한 비유전율을 저감하기 위해 막 내에 미소 보이드를 형성하여 다공질화하는 것은 기계적인 강도를 더 열화시키므로 현실적이지 못하다.

그래서, 본원 발명은 상기한 기술적 배경에 입각하여, 상기와 같이 유전율이 낮은 막과 유전율이 높은 막과의 적층 구조로 하고, 또한 각각의 재료의 조합이나 구조의 최적화를 도모함으로써 절연막 자신의 전기적인 특성과 기계적인 특성과의 양립을 실현하는 방법을 제안하는 것이다.

특히, 배선 저항을 감소시킨 구리 배선을 층간 절연막층에 매립하는 다마신 구조를 적용한 적층 구조의 반도체 장치에서 층간 절연막의 기계적 강도의 저하를 억제하면서, 배선을 전파하는 신호의 지연을 극력 저감시킨 고신뢰이며 고성능인 특성을 갖는 반도체 장치를 가능하게 하였다.

절연막의 비유전율을 감소시키는 수단으로서, 폴리이미드 등의 절연성 유기폴리머를 이용하는 경우가 있다. 유기 폴리머는 그 비유전율이 4 미만이기 때문에 안정마춤이지만, 무기막에 비하여 물리적으로 기계적 강도가 낮고 또한 흡습성이나 투습성이 높다는 결점이 있다.

또한, 층간 절연막으로서 이용하는 경우, 소자 구조의 기계적 강도의 저하 및 흡습 수분에 의한 배선의 부식 등, 소자의 신뢰성에 문제가 있었다.

발명의 구성 및 작용

그래서, 특히 배선 저항을 저감시킨 구리 배선을 층간 절연막층에 매립하는 다마신 구조를 적용한 다층 배선 반도체 소자에 있어서는 소자 구조의 기계적 강도의 저하를 억제하면서 층간 절연막 전체의 유전율을 감소시키는 방법을 검토하였다.

그 결과, 본 발명의 반도체 장치는 트랜지스터 소자나 반도체 회로부가 형성된 기판 상에 제1 절연층과, 제2 절연층과, 제3 절연층과, 그 3층을 관통하도록 형성된 도체 배선을 구비한 배선층을 복수층 적층하여 형성된 반도체 장치이다. 이 때, 각 배선층을 구성하는 제1과 제3 절연층이 실리콘 탄화 질화막, 실리콘 탄화물, 혹은 실리콘 산화물로 이루어지고 또한 배선층 중, 하층부에 위치하는 배선층의 제2 절연층이 실리콘 산화물을 포함하고, 상층부에 위치하는 배선층의 제2 절연층이 불소 첨가 실리콘 산화물 또는 탄소 첨가 실리콘 산화물을 포함하여 이루어지도록 하였다.

이 때, 도체 배선으로서 구리 배선을 구성 요소로 한 경우, 제1 절연막은 구리 배선을 매립하기 위해 절연막을 개구할 때의 에칭 스톱퍼막이 된다. 또한, 제3 절연층은 구리 배선의 확산 배리어막이 된다.

종래, 에칭 스톱퍼막이나 확산 배리어막은 실리콘 질화막이 이용되고 있고, 본 발명에서는 실리콘 질화막(비유전율 7 정도)보다 비유전율이 낮은 실리콘 탄화 질화막(비유전율 4.6 정도), 실리콘 탄화물(비유전율 4.4 정도), 혹은 실리콘 산화물(비유전율 4.0 정도)로 이루어지는 막을 이용하기 때문에, 다층 적층 구조로 한 배선층 전체에 있어서도, 그 비유전율을 저감할 수 있다.

배선층 중, 상층부에 위치하는 배선층인 제2 절연층이 실리콘 산화막보다 비유전율이 작은 불소 첨가 실리콘 산화막(비유전율 3.6), 혹은 탄소 첨가 실리콘 산화막(비유전율 3.3 내지 3.0 정도)으로 함으로써, 배선층을 구성하는 모든 제2 절연층이 실리콘 산화물로 한 경우에 비하여 배선층 전체의 비유전율을 저감할 수 있다.

또한, 본 발명의 반도체 장치는 하층부에 위치하는 배선층의 제2 절연층이 비유전률 3.0 미만인 절연막 재료로 이루어지고, 상층부에 위치하는 배선층의 제2 절연층이 불소 첨가 실리콘 산화막 또는 탄소 첨가 실리콘 산화막으로 이루어지도록 하였다. 즉, 제2 절연막의 구성 성분이 상층부에 위치하는 배선층과 하층부에 위치하는 배선층이 서로 다르게 하여, 전자에 비하여 후자의 절연막의 비유전률이 작아지도록 하였다.

또한, 본 발명의 반도체 장치는 하층부에 위치하는 배선층인 제2 절연층이 비유전률 3.0 미만인 특성을 갖고 SiO를 함유하는 절연막으로써, 또한 절연막 내에 존재하는 미소 보이드가 0.05nm 이상 4nm 이하의 직경인 보이드를 주로 포함하도록 하였다. 본 발명에서는 막 내에 미소 보이드를 갖는 것으로, 막의 밀도를 저감하고, 단막으로서의 비유전률 3.0 미만으로 작게 한 SiO를 함유하는 절연막을 이용함으로써, 다층 적층 구조의 배선층 전체에서는 비유전률을 더 저감할 수 있다.

이 때, 절연막 내에 미소인 보이드를 형성하여 밀도를 저하시키고, 진공의 비유전률에 가깝게 한다는 방법을 이용함으로써 절연막의 비유전률을 실리콘 산화막의 비유전률보다 저하시키고, 특히 이 미소 보이드의 치수나 밀도를 제어함으로써 임의의 비유전률을 갖는 절연막을 형성할 수 있다.

그러나, 미소 보이드의 직경이 커지면 절연막 자신의 구조체로서의 기계적 강도가 저하하거나 혹은 절연막을 흐르는 누설 전류가 커져서 절연막으로서의 특징인 절연 내압이 저하하는 등의 문제도 새롭게 생기게 되며 절연막 내에 함유시키는 보이드의 크기에는 세심한 주의가 필요하다.

그래서, 본 발명에서는 보이드 직경의 범위를 제어함으로써 절연막의 기계적 강도나 절연 내압의 저하를 억제하도록 하였다. 이 때, 미소 보이드가 0.05nm 이상 4nm 이하의 직경인 보이드를 주로 포함하는 경우에, 절연막의 막 강도를 저하시키지 않고 신뢰성이 높은 반도체 장치가 가능해진다.

상기한 미소 보이드를 갖는 절연막은 Hydrogen Silsesquioxane 화합물, 혹은 Methyl Silsesquioxane 화합물을 주성분으로 하는 도포막을 가열하여 얻어지는 SiO를 주성분으로 하는 절연막으로 형성된다.

Hydrogen Silsesquioxane 화합물을 주성분으로 하는 도포 용액은 일반식($\text{HSiO}_3/2$) $_n$ 으로 표시되는 화합물을 메틸이소부틸케톤 등의 용매에 용해시킨 것이다. 또한, Methyl Silsesquioxane 화합물을 주성분으로 하는 도포 용액은 일반식($\text{CH}_3\text{SiO}_3/2$) $_n$ 으로 표시되는 화합물을 메틸이소부틸케톤 등의 용매로 용해시킨 것이다.

이들 용액을 기판에 도포하고, 100~250℃ 정도의 온도로 중간 가열한 후, 질소 분위기 내 등의 불활성 분위기 내에서 350~450℃의 온도로 가열함으로써, Si-O-Si의 결합이 래더 구조적으로 형성되며, 최종적으로 SiO를 주성분으로 하는 절연막이 형성된다.

Hydrogen Silsesquioxane 화합물, 혹은 Methyl Silsesquioxane 화합물을 주성분으로 하는 도포막을 가열하여 얻어지는 SiO를 주성분으로 하는 절연막에 있어서, 절연막 내에 존재하는 보이드의 직경을 제어하는 방법으로서, 예를 들면 Silsesquioxane 화합물 용액에 메틸이소부틸케톤 등의 용매 이외의 성분을 함유시키고, 막 내에서 본 성분이 분해한 흔적이 보이드로서 형성하고, 성막 온도에 의해 분해 거동을 변화시키는 것으로, 보이드 형성을 제어하고, 보이드 직경 범위를 선택적인 범위 내로 하는 것을 가능하게 하는 방법을 예로 들 수 있다.

상기한 절연막 형성용 용액을 도포하는 방법으로서서는 회전 도포나 슬릿 도포, 혹은 인쇄 방식을 예로 들 수 있다. 그리고, 절연막은 이 도포막을 가열하여 형성되기 때문에, 고밀도로 미세한 배선을 형성한 경우에도 CVD법에 의한 절연막과 비교하여, 단차의 피복성이 양호하며 표면 단차를 해소할 수 있다는 점에서 우위가 된다.

또한, Si 웨이퍼의 대구경화에 대하여 CVD법을 이용하여 절연막을 형성하는 경우에는 대형의 성막 장치를 필요로 하고, 설비 비용이 소자 비용에 큰 영향을 미친다. 이에 대하여, 본 발명에서는 도포·가열 방식으로 절연막을 형성하기 위해, 설비 비용의 대폭적인 저감이 가능하며, 제조 라인의 투자 비용, 또한 소자 비용을 억제한다는 큰 효과를 기대할 수 있다.

CVD법으로 절연막을 형성하는 경우에는 알킬 실란 화합물, 알콕시 실란 화합물을 주성분으로 하여 소스 가스로 이용하여, ECR(Electron Cyclotron Resonance) 플라즈마 CVD(Chemical Vapor Deposition)법 등으로 최종적으로 SiO를 주성분으로 하는 절연막을 형성한다.

이 경우에도, 절연막 내에 존재하는 보이드의 직경을 제어하는 방법으로서, 예를 들면 소스 가스로서 열 분해 온도가 높은 성분을 함유시키고, 성막 시에 350℃, 450℃의 가열에 의해 막 내에서 본 성분이 분해한 흔적이 보이드로서 형성되는 방법을 예로 들 수 있다.

이러한 방법에서는, 열 분해 온도가 높은 성분을 여러가지 선택함으로써, 성막 온도에 의해 분해 거동이 변화시키는 것이 가능하며, 이에 따라 보이드 형성을 제어함으로써 보이드 직경 범위를 선택적인 범위 내로 하는 것을 가능하게 한다.

또한, 본 발명의 반도체 장치에서는 반도체 장치 주변부로부터의 흡습, 투습을 방지할 목적으로 소자 장치 주변을 둘러싸도록 도체 배선을 형성하는 재료로 구성된 격벽층(본 발명에서는 가드 링으로 칭함)을 소자 장치 주변에 가짐으로써, 소자 주변이나 기판과 층간 절연막의 계면으로부터 층간 절연막 내를 투과하는 수분을 차폐하고 소자 자체의 내습 신뢰성을 향상시킨다.

본 발명의 상술한 특징, 목적 및 이점은 첨부하는 도면과 연계한 다음의 상세한 설명으로부터 보다 더 명백하게 될 것이다.

<본 발명의 실시 형태>

이하, 본 발명의 실시 형태에 대하여 도면을 참조하여 설명한다.

(제1 실시예)

제1 실시예는 Cu 배선 듀얼 다마신 구조의 6층 배선 반도체 소자에 적용한 예로서, 도 1의 단면도와 도 2의 프로세스도를 이용하여 설명한다.

일반적으로 잘 알려진 방법을 이용하여 MOS 트랜지스터 등의 구성 소자(도시 생략)를 형성한 반도체 기판(101) 상에, 제1 배선층의 제1 절연층으로 되는 실리콘 탄화 질화막(102)을 40nm 두께로 CVD법을 이용하여 형성하였다. 이 제1 절연층은 배선 패턴을 형성하는 개구 시에 에칭 스톱퍼막으로 된다.

다음에, 제1 배선층의 제2 절연층이 되는 실리콘 산화막(103)을 400nm 두께로 CVD법을 이용하여 형성하였다.

다음에, 제1 배선층의 제3 절연층이 되는 실리콘 탄화 질화막(104)을 40nm 두께로 CVD법을 이용하여 형성하였다. 이 막은 제2 배선층의 제1 절연층으로서 배선 패턴을 형성하는 개구 시에 에칭 스톱퍼막이나 Cu 확산 배리어막으로서의 역할도 행한다.

다음에, 실리콘 탄화 질화막(104)에 개구(117)를 형성하였다. 개구는 포토레지스트를 이용하여, 주지의 기술로 레지스트 패턴을 형성하고, 실리콘 탄화 질화막을 제거할 수 있는 에칭 가스를 이용하여 레지스트를 마스크로 하여 드라이 에칭 방식을 이용하여 형성한다(도 2.1). 이 때, 개구는 제1 배선층의 배선 치수로 되어 있다.

다음에, 제1 배선층 형성과 마찬가지로 방법을 이용하여, 제2 배선층의 제2 절연층으로 되는 실리콘 산화막(105)을 400nm 두께로, 제3 절연층으로 되는 실리콘 탄화 질화막(106)을 40nm 두께로 형성하였다.

다음에, 실리콘 탄화 질화막에 개구(118)를 형성한다(도 2.2). 개구는 포토레지스트를 이용하여 주지의 기술로 레지스트 패턴을 형성하고, 실리콘 탄화 질화막을 제거할 수 있는 에칭 가스를 이용하여, 레지스트를 마스크로 하여 드라이 에칭 방식을 이용하여 형성하였다.

다음에, 실리콘 탄화 질화막을 마스크로 하여 실리콘 산화막을 제거할 수 있는 CF계 가스를 이용하여 드라이 에칭 방식으로, 실리콘 산화막(105)에 개구를 형성하고, 그 하부에 실리콘 탄화 질화막(104)의 개구(117)가 노출된다.

계속해서, 실리콘 탄화 질화막(104)의 개구(117)를 마스크로 하여, 실리콘 산화막(103)에 개구를 형성하고, 그 하부에 실리콘 탄화 질화막(102)을 노출시켰다.

계속해서, 실리콘 탄화 질화막을 제거할 수 있는 에칭 가스로 전환하고, 실리콘 산화막(103)의 개구를 마스크로 하여, 실리콘 탄화 질화막(102)을 드라이 에칭 제거하고, 반도체 기판(101)에 관통하는 개구를 형성하였다. 이 때, 실리콘 탄화 질화막(104)도 에칭되어 최상층의 실리콘 탄화 질화막의 개구(118)와 동일한 치수로 넓어진다. 이에 의해, 반도체 기판(101)에 관통하는 배선홈(119)을 형성한다(도 2.3).

다음에, 배선홈(119) 내면에 배리어 메탈막(120)을 형성한 후, 잘 알려진 도금법을 이용하여 Cu(121)의 증전을 행하였다. 배리어 메탈은, 본 실시예에서는 TiN을 이용하였다.

그리고, 최상층인 실리콘 탄화 질화막 상에 존재하는 불필요한 Cu막을 제거하고, 표면을 세정함으로써, 접속용 플러그와 배선을 동시에 형성하였다. Cu막의 제거에는 지립으로서 알루미늄이나 또는 실리카를 이용하여 Cu 착화제, 계면 활성제 등의 첨가제로 이루어지는 연마제를 이용한 화학 기계 연마법(Chemical Mechanical Polishing)을 이용하는 것이 안정마춤이다.

이 연마 공정에서 최상층에 해당하는 실리콘 탄화 질화막(116)도 연마 제거하였다. 이에 의해, Cu 배선(120, 121을 포함)을 형성한 듀얼 다마신 구조를 제작하였다(도 2.4).

계속해서, 마찬가지로의 공정을 2회 행하고, 6층의 Cu 배선 구조를 형성하였다. 이 때, 절연층(106, 108, 110, 112)은 CVD법을 이용하여 성막한 실리콘 탄화 질화막으로 이루어지며, 절연층(107, 109)은 실리콘 산화막으로 이루어진다. 또한, 절연층(111, 113)은 불소 첨가 실리콘 산화막(SiOF 막)으로 이루어진다.

다음에, 최상층에 실리콘 질화막(115)을 형성하고, 6층의 Cu 배선(116)으로 이루어지는 다층 배선 반도체 소자를 제작하였다(도 1).

이에 의해, 에칭 스톱퍼막이나 확산 배리어막으로서 실리콘 질화막보다 비유전률이 낮은 실리콘 탄화 질화막(비유전률 4.6 정도)을 이용하고, 또한 다층 구조의 상층부에서 실리콘 산화막보다 비유전률이 작은 불소 첨가 실리콘 산화막(비유전률 3.6)을 이용함으로써, 층간 절연막 전체의 유전율을 저감시킨 고성능의 반도체 장치가 얻어졌다.

(제2 실시예)

제1 실시예와 마찬가지로의 방법을 이용하여 본 실시예에서는 절연층(107, 109)에 대해서도 CVD법을 이용하여 불소 첨가 실리콘 산화막(SiOF막)을 성막하였다.

다음에, 최상층에 실리콘 질화막(115)을 형성하고, 6층의 Cu 배선(116)으로 이루어지는 다층 배선 반도체 소자를 제작하였다.

이에 의해, 에칭 스톱퍼막이나 확산 배리어막으로서, 실리콘 질화막보다 비유전률이 낮은 실리콘 탄화 질화막(비유전률 4.6 정도)을 이용하고, 또한 다층 구조의 1/3 이상의 상층부에서, 실리콘 산화막보다 비유전률이 작은 불소 첨가 실리콘 산화막을 이용함으로써, 층간 절연막 전체의 유전율을 저감시킨 고성능의 반도체 장치가 얻어졌다.

(제3 실시예)

제1 실시예와 마찬가지로의 방법을 이용하여, 본 실시예에서는 절연층(102, 104, 106, 108, 110, 112)에 대하여 CVD법을 이용하여 실리콘 탄화막(SiC막)을 성막하였다.

다음에, 최상층에 실리콘 질화막(115)을 형성하고, 6층의 Cu 배선(116)으로 이루어지는 다층 배선 반도체 소자를 제작하였다.

이에 의해, 에칭 스톱퍼막이나 확산 배리어막으로서, 실리콘 질화막보다 비유전률이 낮은 실리콘 탄화막(비유전률 4.4 정도)을 이용함으로써, 층간 절연막 전체의 유전율을 저감시킨 고성능의 반도체 장치가 얻어졌다.

(제4 실시예)

제2 실시예와 마찬가지로의 방법을 이용하여, 본 실시예에서는 절연층(102, 104, 106, 108, 110, 112)에 대하여, CVD법을 이용하여 실리콘 탄화막(SiC막)을 성막하였다.

다음에, 최상층에 실리콘 질화막(115)을 형성하고, 6층의 Cu 배선(116)으로 이루어지는 다층 배선 반도체 소자를 제작하였다.

이에 의해, 에칭 스톱퍼막이나 확산 배리어막으로서 실리콘 질화막보다 비유전률이 낮은 실리콘 탄화막(비유전률 4.4 정도)을 이용함으로써, 층간 절연막 전체의 유전율을 저감시킨 고성능의 반도체 장치가 얻어졌다.

(제5 실시예)

제1 실시예와 마찬가지로의 방법을 이용하여, 본 실시예에서는 절연층(111, 113)에 대하여, CVD법을 이용하여 탄소 첨가 실리콘 산화막(비유전률 3.0 미만)을 성막하고, 6층의 Cu 배선(116)으로 이루어지는 다층 배선 반도체 소자를 제작하였다.

이에 의해, 다층 구조의 상층부에서 실리콘 산화막보다 비유전률이 작은 탄소 첨가 실리콘 산화막을 이용함으로써, 층간 절연막 전체의 유전율을 저감시킨 고성능의 반도체 장치가 얻어졌다.

(제6 실시예)

제2 실시예와 마찬가지로의 방법을 이용하여, 본 실시예에서는 절연층(107, 109, 111, 113)에 대하여, CVD법을 이용하여 탄소 첨가 실리콘 산화막(비유전률 3.0 미만)을 성막하고, 6층의 Cu 배선(116)으로 이루어지는 다층 배선 반도체 소자를 제작하였다.

또한, 다층 구조의 1/3 이상의 상층부에서 실리콘 산화막보다 비유전률이 작은 탄소 첨가 실리콘 산화막을 이용함으로써, 층간 절연막 전체의 유전율을 저감시킨 고성능의 반도체 장치가 얻어졌다.

(제7 실시예)

제5 실시예와 마찬가지로의 방법을 이용하여, 본 실시예에서는 절연층(102, 104, 106, 108, 110, 112)에 대하여 CVD법을 이용하여 실리콘 탄화막(SiC막)을 성막하였다.

다음에, 최상층에 실리콘 질화막(115)을 형성하고, 6층의 Cu 배선(116)으로 이루어지는 다층 배선 반도체 소자를 제작하였다.

이에 의해, 에칭 스톱퍼막이나 확산 배리어막으로서, 실리콘 질화막보다 비유전률이 낮은 실리콘 탄화막을 이용함으로써, 층간 절연막 전체의 유전율을 저감시킨 고성능의 반도체 장치가 얻어졌다.

(제8 실시예)

제6 실시예와 마찬가지로의 방법을 이용하여, 본 실시예에서는 절연층(102, 104, 106, 108, 110, 112)에 대하여, CVD법을 이용하여 실리콘 탄화막(SiC막)을 성막하였다.

다음에, 최상층에 실리콘 질화막(115)을 형성하고, 6층의 Cu 배선(116)으로 이루어지는 다층 배선 반도체 소자를 제작하였다.

이에 의해, 에칭 스톱퍼막이나 확산 배리어막으로서, 실리콘 질화막보다 비유전률이 낮은 실리콘 탄화막을 이용함으로써, 층간 절연막 전체의 유전율을 저감시킨 고성능의 반도체 장치가 얻어졌다.

(제9 실시예)

제1 실시예와 마찬가지로의 방법을 이용하여, 본 실시예에서는 절연층(103, 105, 107, 109)에 대하여, CVD법을 이용하여 탄소 첨가 실리콘 산화막을 성막하고, 6층의 Cu 배선(116)으로 이루어지는 다층 배선 반도체 소자를 제작하였다.

이에 의해, 다층 구조의 하층부에서 비유전률이 3.0 미만인 탄소 첨가 실리콘 산화막을 절연막에 이용하고, 또한 다층 구조의 상층부에서 실리콘 산화막보다 비유전률이 작은 불소 첨가 실리콘 산화막을 이용함으로써, 층간 절연막 전체의 유전율을 저감시킨 고성능의 반도체 장치가 얻어졌다.

(제10 실시예)

제2 실시예와 마찬가지로의 방법을 이용하여, 본 실시예에서는 절연층(103, 105)에 대하여, CVD법을 이용하여 탄소 첨가 실리콘 산화막을 성막하여, 6층의 Cu 배선(116)으로 이루어지는 다층 배선 반도체 소자를 제작하였다.

이에 의해, 다층 구조의 하층부에서 비유전률이 3.0 미만인 탄소 첨가 실리콘 산화막을 절연막에 이용하고, 또한 다층 구조의 1/3 이상의 상층부에서, 실리콘 산화막보다 비유전률이 작은 불소 첨가 실리콘 산화막을 이용함으로써, 층간 절연막 전체의 유전율을 저감시킨 고성능의 반도체 장치가 얻어졌다.

(제11 실시예)

제3 실시예와 마찬가지로의 방법을 이용하여, 본 실시예에서는 절연층(103, 105, 107, 109)에 대하여 CVD법을 이용하여 탄소 첨가 실리콘 산화막을 성막 6층의 Cu 배선(116)으로 이루어지는 다층 배선 반도체 소자를 제작하였다.

이에 의해, 다층 구조의 하층부에서 비유전률이 3.0 미만인 탄소 첨가 실리콘 산화막을 절연막에 이용하여, 또한 다층 구조의 상층부에서 실리콘 산화막보다 비유전률이 작은 불소 첨가 실리콘 산화막을 이용하여, 에칭 스톱퍼막이나 확산 배리어막으로서, 실리콘 질화막보다 비유전률이 낮은 실리콘 탄화막을 이용함으로써, 층간 절연막 전체의 유전율을 저감시킨 고성능의 반도체 장치가 얻어졌다.

(제12 실시예)

제4 실시예와 마찬가지로의 방법을 이용하여, 본 실시예에서는 절연층(103, 105)에 대하여, CVD법을 이용하여 탄소 첨가 실리콘 산화막을 성막하고, 6층의 Cu 배선(116)으로 이루어지는 다층 배선 반도체 소자를 제작하였다.

이에 의해, 다층 구조의 하층부에서 비유전률이 3.0 미만인 탄소 첨가 실리콘 산화막을 절연막으로 이용하고, 또한 다층 구조의 1/3 이상의 상층부에서 실리콘 산화막보다 비유전률이 작은 불소 첨가 실리콘 산화막을 이용하여 에칭 스톱퍼막이나 확산 배리어막으로서 실리콘 질화막보다 비유전률이 낮은 실리콘 탄화막을 이용함으로써, 층간 절연막 전체의 유전율을 저감시킨 고성능의 반도체 장치가 얻어졌다.

(제13 실시예)

제1 실시예와 마찬가지로의 방법을 이용하여, 본 실시예에서는 절연층(103, 105, 107, 109)에 대하여, Hydrogen Silsesquioxane 화합물을 주성분으로 하는 메틸이소부틸케톤 용액을 도포 방법을 이용하여 기판 위에 형성한 후, 질소 분위기 내에서, 핫 플레이트를 이용하여 100℃에서 10분간, 계속해서 150℃에서 10분간, 230℃에서 10분간의 가열을 행하였다.

그리고 또한, 질소 분위기 중에서 로(爐)를 이용하여 350℃에서 30분간 가열함으로써, Si-O-Si 결합을 래더 구조적으로 형성하고, 최종적으로는 SiO를 주성분으로 하여, 보이드 형성을 제어한 미소 보이드를 막 내에 갖는 절연막을 형성하고, 6층의 Cu 배선(116)으로 이루어지는 다층 배선 반도체 소자를 제작하였다. 개구 형성은 SiO를 에칭할 수 있는 CF계 가스를 이용하여 드라이 에칭 방식으로 행하였다.

본 실시예의 경우에는 도 3에 도시한 바와 같이, 0.05nm 이상 4nm 이하의 직경인 보이드를 주로 포함하는 분포 특성을 갖는 미소 보이드가 존재하는 절연막으로, 비유전률은 2.3 정도이다.

직경 분포는 이학 전기(주)제 X선 박막 구조 해석 장치(형식: ATX.G)를 이용하여 얻어지는 X선 반사 측정 데이터와 산란 산란 X선 측정 데이터를 기초로, 구형 산란체를 상정한 산란 함수에 기초하는 이론 산란 강도와 비교하여 산란체의 직경 분포를 산출함으로써 구하였다.

또한, 상술한 미소 보이드를 막 내에 갖는 절연막은 영율 12Ga의 특성을 갖는다. 이들 특성은 미국 MTS Systems Corporation제 NanoindenterXP를 사용한 indentation 측정법을 이용하고, Si 웨이퍼 상에 형성한 막 두께 250nm의 동일 막에 대하여 총 막 두께의 1/5의 표층점에서의 경도로써 상술한 막 경도를 구하였다.

또한, 영율도 총 막 두께의 1/5의 표층점에서의 값으로, 용융 석영의 포아슨비 0.17을 기초로 환산한 값이다. 마찬가지로의 방법으로 구한 동일한 정도의 막 두께의 p.TEOS막은 영율 70Ga의 특성을 갖는다.

여기에서, 상술한 미소 보이드를 막 내에 갖는 절연막은 p.TEOS막의 약 17%의 영율을 갖는 막으로, 특개 2000-340569 호에 기재되어 있는 저유전율막에 비하여, 기계적 특성이 우수한 저유전율 절연막이 얻어졌다.

이에 의해, 다층 구조의 하층부에서 비유전률이 2.5 미만으로 막 강도가 우수한 절연막을 이용하고, 또한 다층 구조의 상층부에서 실리콘 산화막보다 비유전률이 작은 불소 첨가 실리콘 산화막을 이용함으로써, 층간 절연막 전체의 유전율을 저감시켜, 소자 구조의 기계적 강도의 저하를 억제하여 고성능의 반도체 장치가 얻어졌다.

(제14 실시예)

제13 실시예와 마찬가지로의 방법을 이용하여, 본 실시예에서는 절연층(102, 104, 106, 108, 110, 112)에 대하여 CVD법을 이용하여 실리콘 탄화막(SiC막)을 성막하였다.

다음에, 최상층에 실리콘 질화막(115)을 형성하고, 6층의 Cu 배선(116)으로 이루어지는 다층 배선 반도체 소자를 제작하였다.

이에 의해, 에칭 스톱퍼막이나 확산 배리어막으로서, 실리콘 질화막보다 비유전률이 낮은 실리콘 탄화막을 이용하고, 또한 미소 보이드를 막 내에 갖는 절연막을 이용하여 보이드 직경을 규정함으로써 기계적 특성이 우수한 저유전율 절연막이 얻어진다.

그리고, 또 다층 적층 구조의 하층부에서 제2 절연막으로서 비유전률이 2.5 미만으로 막 강도가 우수한 절연막을 이용하고, 또한 다층 구조의 상층부에서 제2 절연막에 실리콘 산화막보다 비유전률이 작은 불소 첨가 실리콘 산화막을 이용함으로써, 층간 절연막 전체의 유전율을 저감시켜, 소자 구조의 기계적 강도의 저하를 억제하여 고성능의 반도체 장치가 얻어졌다.

(제15 실시예)

제13 실시예와 마찬가지로의 방법을 이용하여, 본 실시예에서는 절연층(103, 105, 107, 109)에 대하여, Hydrogen Silsesquioxane 화합물을 주성분으로 하는 메틸이소부틸케톤 용액을, 도포 방법을 이용하여 기판 위에 형성한 후, 질소 분위기 내에서, 핫 플레이트를 이용하여 100℃에서 10분간, 계속해서 150℃에서 10분간, 230℃에서 10분간의 가열을 행하였다.

그리고 또한, 질소 분위기 중에서 로를 이용하여 350℃에서 30분간 가열함으로써, Si-O-Si 결합을 래더 구조적으로 형성하고, 최종적으로는 SiO를 주성분으로 하여, 보이드 형성을 제어한 미소 보이드를 막 내에 갖는 절연막을 형성하고, 6층의 Cu 배선(116)으로 이루어지는 다층 배선 반도체 소자를 제작하였다. 개구 형성은 SiO를 에칭하는 가스를 이용하여 드라이 에칭 방식으로 행하였다.

본 실시예인 경우에는, 도 4에 도시한 바와 같이 0.05nm 이상 1nm 이하의 직경인 보이드를 주로 포함하는 분포 특성을 갖는 미소 보이드가 존재하는 절연막으로, 비유전률은 2.7 정도이다.

직경 분포는 이학 전기(주)제 X선 박막 구조 해석 장치(형식: ATX.G)를 이용하여 얻어지는 X선 반사 측정 데이터와 산란 산란 X선 측정 데이터를 기초로, 구형 산란체를 상정한 산란 함수에 기초하는 이론 산란 강도와 비교하여 산란체의 직경 분포를 산출함으로써 구하였다.

또한, 상술한 미소 보이드를 막 내에 갖는 절연막은 영율 11Ga의 특성을 갖는다. 이들 특성은 미국 MTS Systems Corporation제 Nanoindenter XP를 사용한 indentation 측정법을 이용하여, Si 웨이퍼 상에 형성한 막 두께 250nm의 동일 막에 대하여, 총 막 두께의 1/5의 표층점에서의 경도로써 상술한 막 경도를 구하였다.

또한, 영율도 총 막 두께의 1/5의 표층점에서의 값으로, 용융 석영의 포아슨비 0.17을 기초로 환산한 값이다. 마찬가지로 구한 동일한 정도의 막 두께의 p-TEOS막은 영율 70Ga의 특성을 갖는다.

여기에서, 상술한 미소 보이드를 막 내에 갖는 절연막은 p-TEOS막의 약 16%의 영율을 갖는 막으로, 특개 2000-340569 호에 기재되어 있는 저유전율막에 비하여 기계적 특성이 우수한 저유전율 절연막이 얻어졌다.

이상에 의해, 다층 적층 구조의 하층부에서 제2 절연막으로서 비유전율이 3.0 미만으로 막 강도가 우수한 절연막을 이용하고, 또한 다층 적층 구조의 상층부에서 제2 절연막에 실리콘 산화막보다 비유전율이 작은 불소 첨가 실리콘 산화막을 이용함으로써, 층간 절연막 전체의 유전율을 저감시켜, 소자 구조의 기계적 강도의 저하를 억제하여 고성능의 반도체 장치가 얻어졌다.

(제16 실시예)

제15 실시예와 마찬가지로의 방법을 이용하여, 본 실시예에서는 절연층(102, 104, 106, 108, 110, 112)에 대하여, CVD법을 이용하여 실리콘 탄화막(SiC막)을 성막하였다.

다음에, 최상층에 실리콘 질화막(115)을 형성하고, 6층의 Cu 배선(116)으로 이루어지는 다층 배선 반도체 소자를 제작하였다.

이에 의해, 에칭 스톱퍼막이나 확산 배리어막으로서 실리콘 질화막보다 비유전율이 낮은 실리콘 탄화막을 이용하고, 또한 미소 보이드를 막 내에 갖는 절연막을 이용하여 보이드 직경을 규정함으로써 기계적 특성이 우수한 저유전율 절연막이 얻어졌다. 그리고, 다층 적층 구조의 하층부에서 제2 절연막으로서 비유전율이 3.0 미만으로 막 강도가 우수한 절연막을 이용하고, 또한 다층 구조의 상층부에서 제2 절연막에 실리콘 산화막보다 비유전율이 작은 불소 첨가 실리콘 산화막을 이용함으로써, 층간 절연막 전체의 유전율을 저감시켜, 소자 구조의 기계적 강도의 저하를 억제하여 고성능의 반도체 장치가 얻어졌다.

(제17 실시예)

제17 실시예는 Cu 배선 듀얼 다마신 구조의 형성에 적용한 예로서, 도 5의 공정도를 이용하여 설명한다.

일반적으로 잘 알려진 방법을 이용하여 MOS 트랜지스터 등의 구성 소자(도시 생략)를 형성한 반도체 기판(501) 상에 제1 배선층의 제1 절연층이 되는 실리콘 탄화 질화막(502)을 40nm 두께로 CVD법을 이용하여 형성하였다. 이 제1 절연층은 배선 패턴을 형성하는 개구 시에 에칭 스톱퍼막이 된다.

다음에, Hydrogen Silsesquioxane 화합물을 주성분으로 하는 메틸이소부틸케톤 용액을, 도포 방법을 이용하여 기판 위에 형성한 후, 질소 분위기 내에서 핫 플레이트를 이용하여 100℃에서 10분간, 계속해서 150℃에서 10분간, 230℃에서 10분간의 가열을 행하였다. 그리고 더욱, 질소 분위기 중에서 로를 이용하여 350℃에서 30분간 가열함으로써, Si-O-Si 결합을 래더 구조적으로 형성하고, 최종적으로는 SiO를 주성분으로 하여, 도 3에 도시한 바와 같이 0.05nm 이상 4nm 이하의 직경인 보이드를 주로 포함하는 분포 특성을 갖는 미소 보이드가 존재하는 비유전율 2.3 정도의 절연막을 형성하고, 제1 배선층의 제2 절연층(503)으로 하였다.

다음에, 제1 배선층의 제3 절연층이 되는 실리콘 탄화 질화막(504)을 40nm 두께로 CVD법을 이용하여 형성하였다. 이 막은 제2 배선층의 제1 절연층으로서 배선 패턴을 형성하는 개구 시에 에칭 스톱퍼막이나 Cu 확산 배리어막으로서의 역할도 행한다.

다음에, 실리콘 탄화 질화막(504)에 개구(517)를 형성하였다. 개구는 포토레지스트를 이용하여 주지한 기술로 레지스트 패턴을 형성하고, 실리콘 탄화 질화막을 제거할 수 있는 에칭 가스를 이용하여 레지스트를 마스크로 하여 드라이 에칭 방식을 이용하여 형성한다(도 5.1). 이 때, 개구는 제1 배선층의 배선 치수로 되어 있다.

다음에, 제1 배선층의 제2 절연층(503) 형성과 마찬가지로의 방법을 이용하여 제2 배선층의 제2 절연층이 되는 도 3에 도시한 바와 같이 0.05nm 이상 4nm 이하의 직경인 보이드를 주로 포함하는 분포 특성을 갖는 미소 보이드가 존재하는 비유전율 2.3의 절연층(505)을 400nm 두께로, 제3 절연층이 되는 실리콘 탄화 질화막(506)을 40nm 두께로 형성하였다.

다음에, 실리콘 탄화 질화막에 개구(518)를 형성한다(도 5.2). 개구는 포토레지스트를 이용하여 주지의 기술로 레지스트 패턴을 형성하고, 실리콘 탄화 질화막을 제거할 수 있는 에칭 가스를 이용하여 레지스트를 마스크로 하여 드라이 에칭 방식을 이용하여 형성하였다.

다음에, 실리콘 탄화 질화막을 마스크로 하여 미소 보이드를 갖는 SiO막을 제거할 수 있는 가스를 이용하여 드라이 에칭 방식으로, 절연층(505)에 개구를 형성하고, 그 하부에서 실리콘 탄화 질화막(504)의 개구(517)가 노출한다.

계속해서, 실리콘 탄화 질화막(504)의 개구(517)를 마스크로 하여, 절연층(503)에 개구를 형성하고, 그 하부에서 실리콘 탄화 질화막(502)을 노출시켰다. 계속해서, 실리콘 탄화 질화막을 제거할 수 있는 에칭 가스로 전환하여, 절연층(503)의 개구를 마스크로 하여, 실리콘 탄화 질화막(502)을 드라이 에칭 제거하고, 반도체 기판(501)에 관통하는 개구를 형성하였다.

이 때, 실리콘 탄화 질화막(504)도 에칭되어, 최상층의 실리콘 탄화 질화막의 개구(518)와 동일한 치수로 넓어진다. 이에 의해, 반도체 기판(501)에 관통하는 배선홀(519)을 형성하였다(도 5.3).

다음에, 배선홀(119) 내면에 배리어 메탈막(120)을 형성한 후, 잘 알려진 도금법을 이용하여 Cu(121)의 충전을 행하였다. 배리어 메탈은 본 실시예에서는 TiN을 이용하였다.

그리고, 최상층인 실리콘 탄화 질화막 상에 존재하는 불필요한 Cu막을 화학 기계 연마법을 이용하여 제거하고, 표면을 세정함으로써, 접속용 플러그와 배선을 동시에 형성하였다. 이 연마 공정에서, 최상층에 해당하는 실리콘 탄화 질화막(506)은 연마 제거하지 않고 남겼다. 이에 의해, Cu 배선(520, 521을 포함함)을 형성한 듀얼 다마신 구조를 제작한다(도 5.4).

상기한 바와 같이, 층간 절연막층의 주요한 구성층인 제2 절연층(503)에 비유전률이 낮은 막을 이용함으로써, 층간 절연막 전체의 유전율을 저감시킨 고성능의 반도체 장치가 얻어진다.

본 실시예의 구성으로서는 배선층을 2층 적층한 구조이지만, 배선층을 2회 이상 반복하여 적층함으로써 다층 배선 구조를 갖는 반도체 장치가 얻어진다.

(제18 실시예)

제17 실시예와 마찬가지로 하여, 본 실시예에서는 제2 절연층(503)에 대하여 도 4에 도시한 바와 같이, 0.05nm 이상 1nm 이하의 직경인 보이드를 주로 포함하는 분포 특성을 갖는 미소 보이드가 존재하는 비유전률은 2.7 정도의 SiO 절연막을 형성하고, Cu 배선을 형성한 듀얼 다마신 구조를 제작하였다.

이에 의해, 층간 절연막층의 주요한 구성층인 503에 관하여, 비유전률이 낮은 막을 이용함으로써, 층간 절연막 전체의 유전율을 저감시킨 고성능의 반도체 장치가 얻어진다.

또한, 배선층을 2회 이상 반복하여 적층함으로써 다층 배선 구조를 갖는 고성능의 반도체 장치가 용이하게 얻어진다.

(제19 실시예)

도 6은 제19 실시예인 반도체 로직 소자의 단면도이다. 반도체 기판(601) 상에 기지인 STI(Shallow Trench Isolation)를 이용하여 소자 분리막 영역(602)을 형성하고, 이 소자 분리막 영역(602) 내부에 MOS 트랜지스터(603)를 형성한다. 그리고, 기지인 CVD법을 이용하여 50nm 정도의 실리콘 산화막(604)과 500nm 정도의 BPSG(붕소 인 실리케이트 유리)막(605)을 MOS 트랜지스터(603)를 포함하고, 반도체 기판(601)의 표면에 순차 형성한 후, 예를 들면 800, 900°C의 질소 분위기에서 리플로우 어닐링한다.

다음에, 실리콘 지립을 이용한 화학 기계 연마법(CMP법)을 이용하여 BPSG막(605)의 표면을 평탄화 연마한 후, 콘택트홀을 형성하고, 이 콘택트홀 내에 CVD법에 의해 텅스텐의 매립을 행하고, 도전 플러그(606)를 형성한다. 이 때, BPSG막(605)의 표면 상에 존재하는 불필요한 텅스텐은 기지의 에치백법에 의해 제거되고 있다.

다음에, 제17 실시예와 마찬가지로 하여, 제1 배선층의 제1 절연층이 되는 실리콘 탄화 질화막(607)을 40nm 두께로 CVD법을 이용하여 형성하였다. 이 제1 절연층은 배선 패턴을 형성하는 개구 시에 에칭 스톱퍼막이 된다.

다음에, Hydrogen Silsesquioxane 화합물을 주성분으로 하는 메틸이소부틸케톤 용액을 도포 방법을 이용하여 기판 위에 형성한 후, 질소 분위기 내에서 핫 플레이트를 이용하여 100℃에서 10분간, 계속해서 150℃에서 10분간, 230℃에서 10분간의 가열을 행하였다. 그리고, 또한 질소 분위기 중에서 로를 이용하여 350℃에서 30분간 가열함으로써, Si-O-Si 결합을 래더 구조적으로 형성하고, 최종적으로는 SiO를 주성분으로 하여, 도 3에 도시한 바와 같이, 0.05nm 이상 4nm 이하의 직경인 보이드를 주로 포함하는 분포 특성을 갖는 미소 보이드가 존재하는 비유전률 2.3 정도의 절연막을 형성하고, 제1 배선층의 제2 절연층(608)으로 하였다.

다음에, 제1 배선층의 제3 절연층이 되는 실리콘 탄화 질화막(609)을 40nm 두께로 CVD법을 이용하여 형성하였다. 이 막은 제2 배선층의 제1 절연층으로서 배선 패턴을 형성하는 개구 시에 에칭 스톱퍼막이나 Cu 확산 배리어막으로서의 역할도 행한다.

다음에, 실리콘 탄화 질화막(609)에 개구를 형성하였다. 개구는 포토레지스트를 이용하여 주지의 기술로 레지스트 패턴을 형성하고, 실리콘 탄화 질화막을 제거할 수 있는 에칭 가스를 이용하여, 레지스트를 마스크로 하여 드라이 에칭 방식을 이용하여 형성하였다. 이 때, 개구는 제1 배선층의 배선 치수로 되어 있다.

다음에, 제1 배선층의 제2 절연층(608) 형성과 마찬가지로의 방법을 이용하여, 제2 배선층의 제2 절연층(610)을 400nm 두께로, 제3 절연층이 되는 실리콘 탄화 질화막(611)을 40nm 두께로 형성하였다.

다음에, 실리콘 탄화 질화막에 개구를 형성하였다. 그리고, 이 실리콘 탄화 질화막을 마스크로 하여 미소 보이드를 갖는 SiO막을 제거할 수 있는 가스를 이용하여 드라이 에칭 방식으로, 절연층(610)에 개구를 형성하고 그 하부에서 실리콘 탄화 질화막(609)이 노출된다.

계속해서, 실리콘 탄화 질화막(609)의 개구를 마스크로 하여, 절연층(608)에 개구를 형성하고, 그 하부에서 실리콘 탄화 질화막(607)을 노출시켰다. 그리고, 실리콘 탄화막을 제거할 수 있는 에칭 가스로 전환하고, 절연층(608)의 개구를 마스크로 하여, 실리콘 탄화 질화막(607)을 드라이 에칭 제거하고, 도전 플러그(606)에 관통하는 개구를 형성하였다.

이 때, 실리콘 탄화 질화막(609)도 에칭되어, 최상층의 실리콘 탄화막의 개구와 동일한 치수로 넓어진다. 이에 의해, 도전 플러그(606)에 관통하는 배선홀을 형성하였다.

다음에, 배선홀 내면에 배리어 메탈막을 형성한 후, 잘 알려진 도금법을 이용하여 Cu의 충전을 행하였다. 배리어 메탈은 본 실시예에서는 TiN을 이용하였다. 그리고, 최상층인 실리콘 탄화 질화막 상에 존재하는 불필요한 Cu막을 화학 기계 연마법을 이용하여 제거하고, 표면을 세정함으로써 접속용 플러그와 배선을 동시에 형성하였다. 이 연마 공정에서 최상층에 해당하는 실리콘 탄화막(611)은 연마 제거하지 않고 남겼다. 이에 의해, Cu 배선을 형성한 듀얼 다마신 구조를 제작하였다. 이상의 공정을 반복하여 4층 배선 구조체를 형성하였다.

계속해서, 마찬가지로의 공정을 반복하여 2층의 배선 구조를 더 적층하였다. 이 때, 절연층(617, 619, 621)은 실리콘 탄화 질화막을 이용하여 40nm 두께로 형성하였다. 또한, 절연층(618, 620)은 불소 첨가 실리콘 산화막을 이용하여 600nm 두께로 형성하였다.

다음에, 최상층에 실리콘 질화막(622)을 형성하고, 6층의 Cu 배선(623)으로 이루어지는 다층 배선 반도체 소자를 제작하였다.

이에 의해, 에칭 스톱퍼막이나 확산 배리어막으로서 실리콘 질화막보다 비유전률이 낮은 실리콘 탄화막(비유전률 4.4 정도)를 이용하여, 다층 적층 구조의 하층부에서 제2 절연막으로서 비유전률이 2.5 미만으로 막 강도가 우수한 절연막을 이용하고, 또한 그 상층부에서 제2 절연막에 실리콘 산화막보다 비유전률이 작은 불소 첨가 실리콘 산화막을 이용함으로써, 층간 절연막 전체의 유전율을 저감시킨 고성능의 반도체 장치가 얻어졌다.

(제20 실시예)

도 7에, 제20 실시예인 수지 밀봉된 반도체 로직 장치의 단면도이다.

제19 실시예에서 얻어진 본딩 패드부를 제외하고 폴리이미드 표면 보호막(702)을 형성한 상태의 반도체 로직 장치(701)에, 별도로 형성되어 있는 다이 본딩 공정에서의 리드 프레임에 고정한다. 그 후, 반도체 로직 장치(701)에 형성된 본딩 패드부와 리드 프레임의 외부 단자(705) 사이를 와이어본더를 이용하여 금선(704)을 배선하였다.

다음에, 히타치 화성 공업(주)제의 실리카 함유 비페닐계 에폭시 수지를 이용하여, 반도체 로직 장치(701), 외부 단자(705) 등을 감싸도록 수지 밀봉부(703)를 형성하였다. 밀봉 조건은 성형 온도 180℃, 성형 압력 70kg/cm²이지만, 이에 한정되는 것은 아니다.

마지막으로, 외부 단자(706)를 소정의 형태로 절곡함으로써, 수지 밀봉형 반도체 로직 장치의 완성품이 얻어진다.

수지 밀봉된 반도체 로직 장치의 층간 절연막의 일부에는 비유전율이 작지만 기계적 강도의 저하를 충분히 억제한 절연막이 사용되고 있기 때문에, 수지 밀봉 프로세스에 있어서 반도체 로직 소자에 걸리는 응력에 대하여 소자 내부에 크랙이 발생하지 않고, 수지 밀봉품이 얻어진다.

또한, 반도체 로직 소자의 특성으로서 제19 실시예에서 설명한 마찬가지로의 효과를 발휘하는 것은 물론, 또한 수지 밀봉되어 있기 때문에 외부 환경에 대하여 안정된 특성을 발휘하는 것이 가능하다.

(제21 실시예)

도 8은 제21 실시예를 설명하기 위한 단면도로, 제19 실시예에서 설명한 반도체 로직 소자를 웨이퍼 레벨 칩 사이즈 패키지 구조의 제품의 제조에 이용한 경우이다.

반도체 로직 소자(801)의 최상층 실리콘 질화막(802) 상에 본딩 패드부(803)를 노출시키는 형상으로 폴리이미드 절연막(804)을 형성한다.

다음에, 재배열 배선(805)을 형성한다. 본 실시예에서는 재배열 배선은 TiN, Cu, Ni를 스퍼터법으로 성막한 3층으로 이루어지고, 성막 후에 주지의 포토리소 기술로 배선 패턴을 형성한 것이다.

또한 그 위에 폴리이미드 절연막(806)을 형성하였다. 이 폴리이미드 절연막층(806)을 관통하여 재배열 배선(805)의 일부 영역에서 전기적인 접속을 행하기 위한 언더 범프 메탈층(807)을 형성하였다. 언더 범프 메탈층은 Cr, Ni, Au의 3층 형성하였다. 이 언더 범프 메탈층(807) 위에 땀납 범프(808)가 형성되어 있다.

고속 구동이 가능한 반도체 로직 소자 그 자체는 제19 실시예에서 설명한 방법에 의해 웨이퍼 상에 형성할 수 있기 때문에, 본 실시예에 의해 웨이퍼의 상태에서 땀납 범프를 갖는 반도체 로직 패키지 장치가 실현된다.

유전율이 낮은 층간 절연막층을 적용함으로써, 종래 제품에 비하여 고성능의 반도체 로직 소자는 이미 얻어지고 있다. 그러나, 패키지 반도체 제품을 프린트 기관 등에 실장 탑재하는 경우에, 본 실시예와 같은 패키지 구조를 적용함으로써, 소자와 프린트 기관 간의 신호 전파를 고속으로 행할 수 있는 것이 가능해지며, 반도체 로직 소자의 성능을 더 인출할 수 있는 것이 가능해진다.

(제22 실시예)

도 9는 제22 실시예를 설명하기 위한 소자 단부의 단면도(9.1)와 웨이퍼 평면 개념도(9.2)이다.

실리콘 기관(901)에는 MOS 트랜지스터 등의 반도체 소자(906)나 이들 소자를 포함하는 반도체 회로부(906)가 형성되어 있으며, 이 기관(901) 위에 상기에서 설명한 배선층이 형성되어 있다. 그리고, 이 반도체 소자(906)나 이들 소자를 포함하는 반도체 회로부(906)를 둘러싸도록 배선층을 구성하는 도체 배선으로 이루어지는 재료를 이용하여 가드 링층(905)이 배치되어 있다.

이 가드 링층(905)을 형성하는 목적은 반도체 소자(906)나 이들의 소자를 포함하는 반도체 회로부(906)를 외부로부터의 수분의 침입을 방지하기 위함이고, 도체 배선을 형성하는 공정에서 형성된다.

이에 의해, 특히 저유전율 특성을 도시하는 층간 절연막으로서 보이드를 갖는 절연막을 적용한 경우, 구멍 내부로의 수분의 투과나 흡착의 문제점을 해결하고, 반도체 소자 자체의 내습 신뢰성을 향상시킨 반도체 장치를 제공할 수 있다.

이상, 실시예를 이용하여 상세히 설명하였지만, 본 발명 및 실시예를 달성하기 위한 여러 조건 등은 이들의 실시예에 하등 한정되는 것은 아니다.

상술한 실시예는 모든 점에서 예시이며 제한적인 것은 아니라고 생각되어야 한다. 본 발명의 범위는 상기한 실시예의 설명이 아니라 특허 청구 범위에 의해 정의되며, 또한 특허 청구의 범위와 균등한 의미 및 범위 내에서의 모든 변경을 포함함으로써 의도되어야 한다.

발명의 효과

이상 설명한 바와 같이, 배선 저항을 저감시킨 구리 배선을 층간 절연막층에 매립하는 다마신 구조를 적용한 다층 적층 배선을 갖는 반도체 소자에 있어서, 에칭 스톱퍼막이나 확산 배리어막으로서 실리콘 질화막보다 작은 비유전률의 막을 이용하고, 그리고 다층 적층 구조의 하층부와 상층부에서의 절연막을 다르게 함으로써, 소자 전체의 기계적 강도를 높이고, 또한 층간 절연막 전체의 유전율을 저감시킨 고성능의 반도체 장치를 얻을 수 있다.

(57) 청구의 범위

청구항 1.

기관 상에 복수의 배선층이 적층된 반도체 장치에 있어서,

상기 배선층이 제1 절연층과 제2 절연층과 제3 절연층과 상기 3개의 절연층을 관통하여 형성된 도체 배선을 구비하고, 상기 제1 절연층과 상기 제3 절연층이 적어도 실리콘 탄화 질화막, 실리콘 탄화물, 또는 실리콘 산화물로 이루어지고,

상기 배선층 중 하층부에 위치하는 배선층의 제2 절연층은 그 막 중에 직경이 0.05nm 이상 4nm 이하인 미소 보이드를 갖고, 비유전율 3.0 미만인 산화 실리콘막을 포함하며,

상기 하층부에 위치하는 배선층의 제2 절연층의 비유전률이 상층부에 위치하는 배선층의 제2 절연층의 비유전률보다도 작고,

상층부에 위치하는 배선층의 제2 절연층이 불소 첨가 실리콘 산화물 또는 탄소 첨가 실리콘 산화물을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 2.

기관 상에 복수의 배선층이 적층된 반도체 장치에 있어서,

상기 배선층이 제1 절연층과 제2 절연층과 제3 절연층과 상기 3개의 절연층을 관통하여 형성된 도체 배선을 구비하고, 상기 제1 절연층과 상기 제3 절연층이 적어도 실리콘 탄화 질화막, 실리콘 탄화물, 또는 실리콘 산화물로 이루어지고,

상기 배선층 중 하층부에 위치하는 배선층의 제2 절연층은 그 막 중에 직경이 0.05nm 이상 4nm 이하인 미소 보이드를 갖고,

상기 하층부에 위치하는 배선층의 제2 절연층의 비유전률이 상층부에 위치하는 배선층의 제2 절연층의 비유전률보다도 작은 것을 특징으로 하는 반도체 장치.

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

삭제

청구항 6.

삭제

청구항 7.

삭제

청구항 8.

삭제

청구항 9.

삭제

청구항 10.

제2항에 있어서,

상기 제2 절연층이 비유전률 3.0 미만의 실리콘 산화물인 것을 특징으로 하는 반도체 장치.

청구항 11.

삭제

청구항 12.

삭제

청구항 13.

제1항에 있어서,

상기 하층부에 위치하는 배선층의 제2 절연층이 Hydrogen Silsesquioxane 화합물 또는 Methyl Silsesquioxane 화합물을 주성분으로 하는 도포막을 가열하여 얻어지는 절연막인 것을 특징으로 하는 반도체 장치.

청구항 14.

제2항에 있어서,

상기 하층부에 위치하는 배선층의 제2 절연층이 Hydrogen Silsesquioxane 화합물 또는 Methyl Silsesquioxane 화합물을 주성분으로 하는 도포막을 가열하여 얻어지는 절연막인 것을 특징으로 하는 반도체 장치.

청구항 15.

제1항에 있어서,

상기 하층부에 위치하는 배선층의 제2 절연층이 알킬 실란 화합물 또는 알콕시실란 화합물을 주성분으로 하는 절연막인 것을 특징으로 하는 반도체 장치.

청구항 16.

제2항에 있어서,

상기 하층부에 위치하는 배선층의 제2 절연층이 알킬 실란 화합물 또는 알콕시실란 화합물을 주성분으로 하는 절연막인 것을 특징으로 하는 반도체 장치.

청구항 17.

삭제

청구항 18.

제2항에 있어서,

상기 제2 절연층의 구성 성분이, 하층부에 위치하는 배선층과 상층부에 위치하는 배선층에서 서로 다른 것을 특징으로 하는 반도체 장치.

청구항 19.

제2항에 있어서,

인접하는 상기 배선층 중, 하층에 배치된 배선층의 제3 절연층이 상층에 배치된 배선층의 제1 절연층을 겹치는 것을 특징으로 하는 반도체 장치.

청구항 20.

반도체 소자가 형성된 기판 상에 제1 절연층과 제2 절연층과 제3 절연층과 도체 배선을 구비한 배선층이 형성되고, 또한 상기 배선층 중 하층부에 위치하는 배선층의 제2 절연층이 막 중에 미소 보이드를 갖고, 상기 막의 비유전율이 상층부에 위치하는 배선층의 제2 절연층의 비유전율보다 작으며, 상기 배선층을 구성하는 재료를 이용하여 형성된 가드 링층이 상기 반도체 소자의 주변을 둘러싸도록 배치되는 것을 특징으로 하는 반도체 장치.

청구항 21.

제20항에 있어서,

상기 하층부에 위치하는 배선층의 제2 절연층이 실리콘 산화막이고, 또한 상기 산화막 내에 0.05nm 이상 4nm 이하인 직경의 미소 보이드를 갖는 것을 특징으로 하는 반도체 장치.

청구항 22.

제20항에 있어서,

상기 가드 링층은 상기 반도체 소자 및 상기 반도체 소자를 상호 분리하는 라인 사이에 형성되는 것을 특징으로 하는 반도체 장치.

청구항 23.

제20항에 있어서,

상기 가드 링층은, 반도체 회로를 형성하는 배선층으로부터 나온 회로 신호를 통과시키지 않고 상기 배선층을 구성하는 재료에 의해 형성되는 층으로서 제공되는 것을 특징으로 하는 반도체 장치.

청구항 24.

제20항에 있어서,

상기 가드 링층의 상부층에 패시베이션층이 형성되는 것을 특징으로 하는 반도체 장치.

청구항 25.

제20항에 있어서,

상기 제1 절연층과 상기 제2 절연층은 적어도 실리콘 탄화질화막, 실리콘 탄화물 또는 실리콘 산화물을 포함하고,

상기 배선층 중 하층부에 위치하는 배선층의 제2 절연층은 실리콘 산화물을 포함하고,

상기 배선층 중 상층부에 위치하는 배선층의 제2 절연층은 불소 첨가 실리콘 산화물 또는 탄소 첨가 실리콘 산화물을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 26.

제20항에 있어서,

상기 제1 절연층과 상기 제3 절연층은 적어도 실리콘 탄화질화막, 실리콘 탄화물 또는 실리콘 산화물을 포함하고,

상기 배선층 중 하층부에 위치하는 배선층의 제2 절연층의 비유전률은 상기 배선층 중 상층부에 위치하는 배선층의 제2 절연층의 비유전률보다 작은 것을 특징으로 하는 반도체 장치.

청구항 27.

제20항에 있어서,

상기 제2 절연층은 실리콘 산화물을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 28.

제20항에 있어서,

상기 제2 절연층은 Hydrogen Silsesquioxane 화합물 또는 Methyl Silsesquioxane 화합물을 주성분으로 하는 도포막을 가열하여 얻어지는 절연막을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 29.

제20항에 있어서,

상기 제2 절연층은 알킬실란 화합물 또는 알콕시실란 화합물을 주성분으로 하는 것을 특징으로 하는 반도체 장치.

청구항 30.

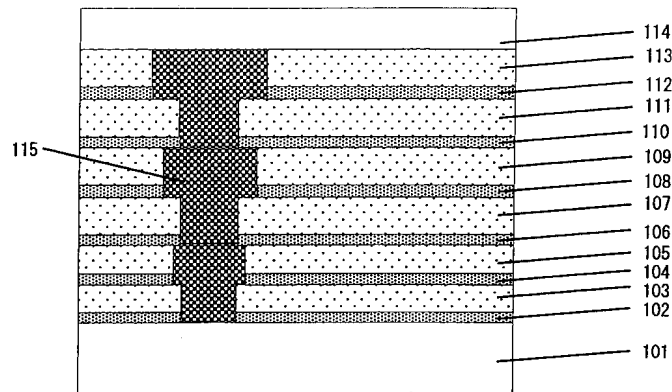
반도체 소자가 형성된 기판 상에 제1 절연층과, 비유전률이 3.0 미만인 절연막 재료로 이루어지는 제2 절연층과, 제3 절연층과, 도체 배선을 구비한 배선층이 형성되고,

상기 배선층을 구성하는 재료를 이용하여 형성된 가드 링층이 상기 반도체 소자의 주변을 둘러싸도록 배치되고,

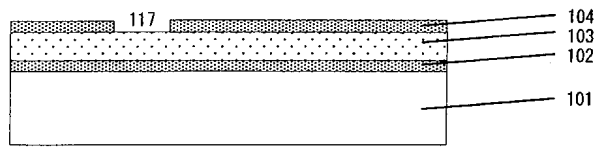
상기 제2 절연층은 실리콘 산화막을 포함하고, 상기 산화막 내에 0.05nm 이상 4nm 이하인 직경의 미소 보이드를 갖는 것을 특징으로 하는 반도체 장치.

도면

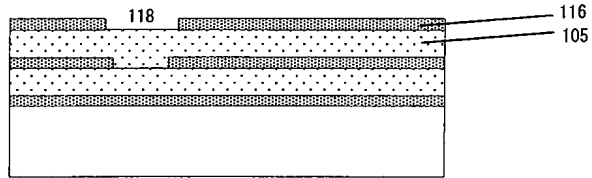
도면1



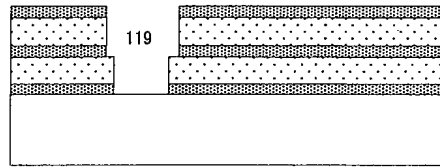
도면2



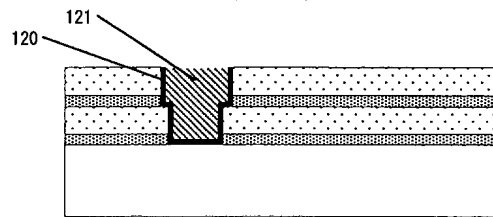
(2-1)



(2-2)

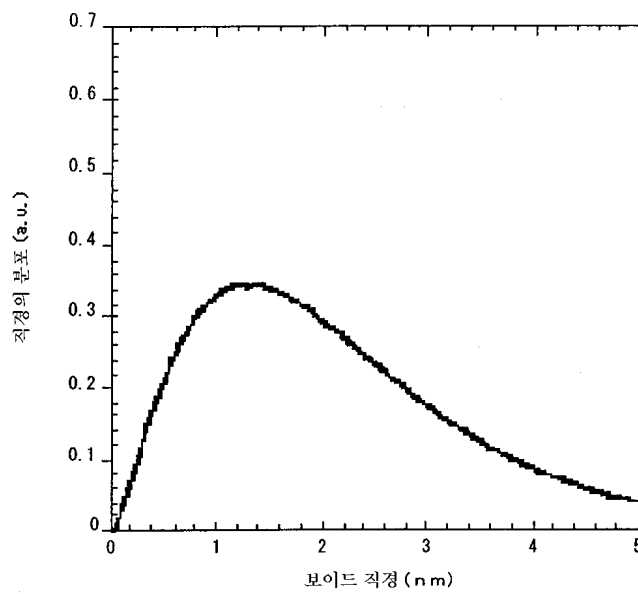


(2-3)

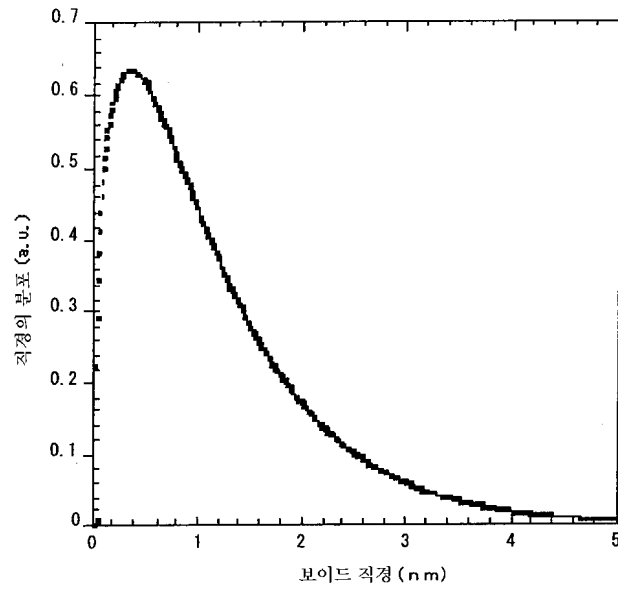


(2-4)

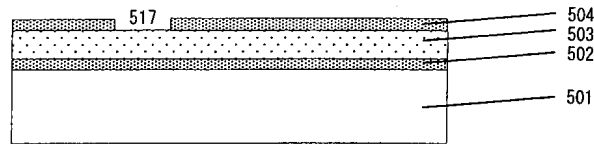
도면3



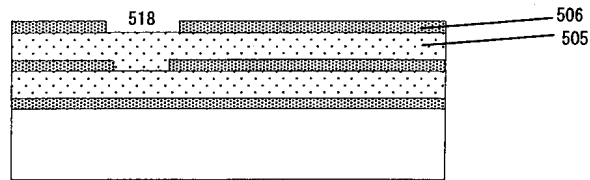
도면4



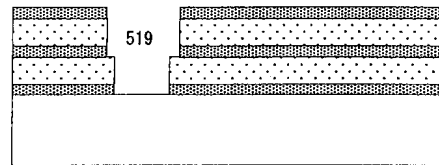
도면5



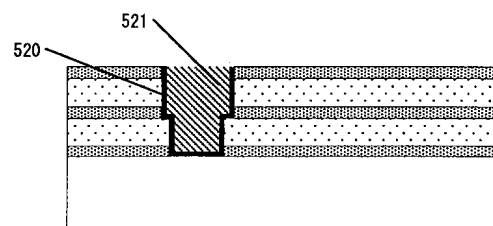
(5-1)



(5-2)

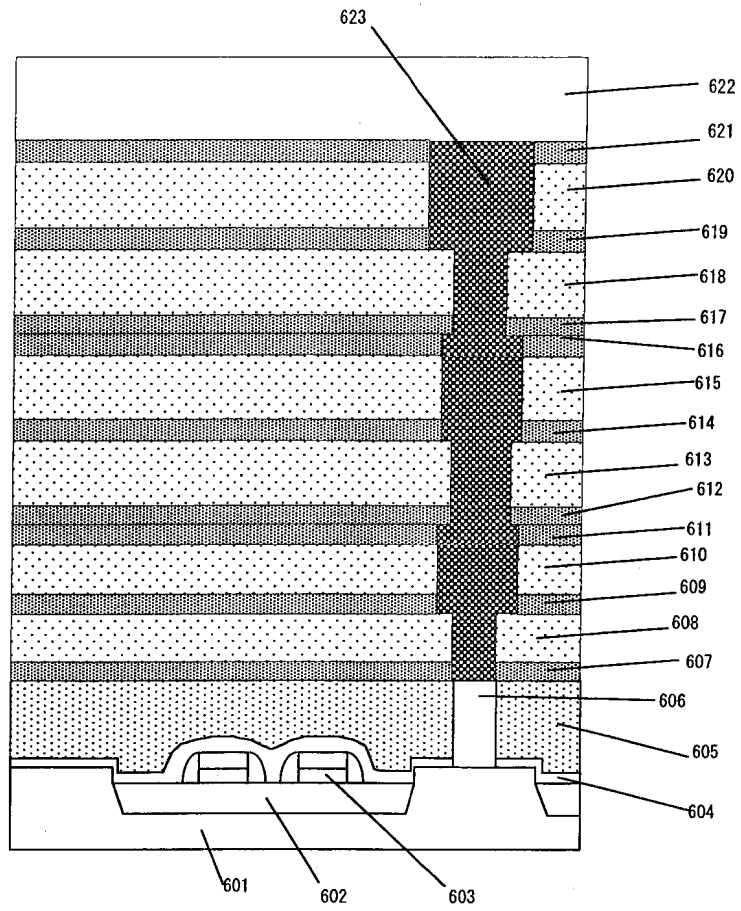


(5-3)

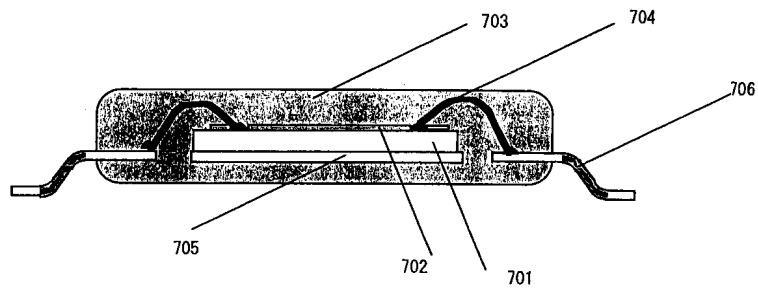


(5-4)

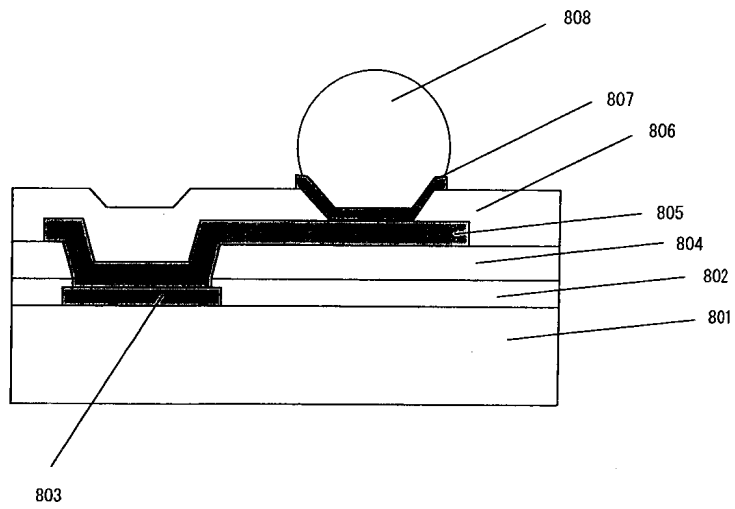
도면6



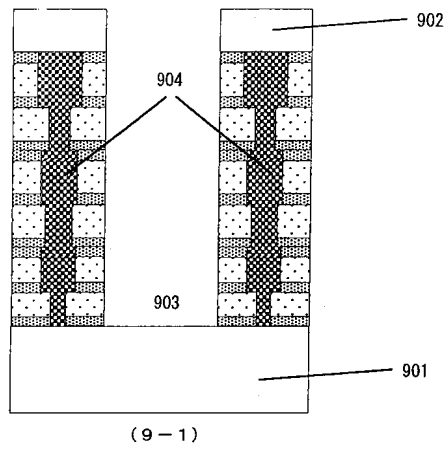
도면7



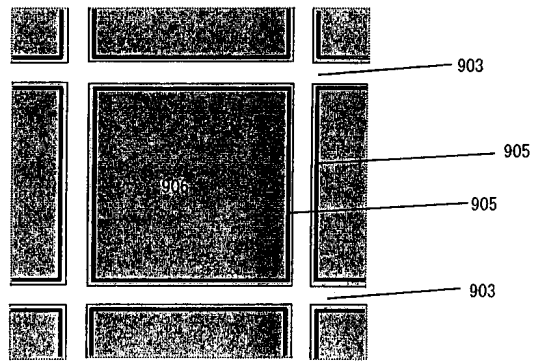
도면8



도면9



(9 - 1)



(9 - 2)