(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G02F 1/136

(45) 공고일자 1999년05월01일
(11) 등록번호 10-0182019
(24) 등록일자 1998년12월10일

(21) 출원번호 10-1995-0026164
(22) 출원일자 1995년08월23일
(65) 공개번호 특1997-0011967
(43) 공개일자 1997년03월29일

(73) 특허권자 삼성전자주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지
(72) 발명자 이정길
경기도 성남시 분당구 정자동 한솔마을 청구아파트 107-103
(74) 대리인 김원호, 최현석

심사관 : 강해성

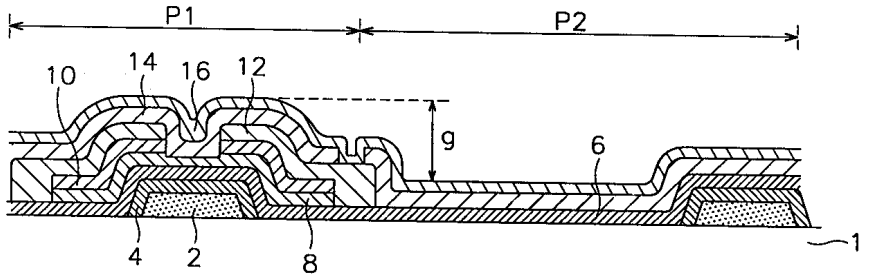
(54) 액정셀 및그 제조 방법

요약

본 발명은 액정셀(Liquid Cristal Cell) 및 그 제조 방법에 관한 것으로서, 특히 액정셀의 박막 트랜지스터 기판 및 공통 전극 기판의 평탄화를 위하여 보호막과 함께 SOG(spin on glass) 도포를 이용하여 단차를 극복한 액정셀에 관한 것이다.

따라서, 외광에 의하여 화질이 저하되는 단점을 극복하여 저반사화를 실현할 수 있으며, 보상막을 광학적 이방성이 음이 되도록 하여 액정의 광학적 이방성이 양이기 때문에 발생하는 상하 시야각이 비대칭으로 나타나는 단점을 극복할 수 있다.

대표도



명세서

[발명의 명칭]

액정셀 및 그 제조 방법

[도면의 간단한 설명]

제1도는 종래의 액정셀의 박막 트랜지스터의 기판을 나타낸 단면도이고,

제2도는 종래의 액정셀의 공통 전극 기판을 나타낸 단면도이고,

제3도는 (a)-(g)는 종래의 다른 액정셀의 박막 트랜지스터 기판의 제조 방법을 공정 순서에 따라 나타낸 단면도이고,

제4도는 본 발명의 제1실시에에 따른 액정셀의 박막 트랜지스터 기판을 나타낸 단면도이고,

제5도는 본 발명의 제2실시예에 따른 액정셀의 박막 트랜지스터 기판을 나타낸 단면도이고,

제6도는 본 발명의 제3실시예에 따른 액정셀의 박막 트랜지스터 기판을 나타낸 단면도이고,

제7도는 (a)-(i)는 본 발명의 제4실시예에 따른 액정셀의 박막 트랜지스터 기판의 제조 방법을 공정 순서에 따라 나타낸 단면도이고,

제8도는 본 발명의 제5실시예에 따른 액정셀의 박막 트랜지스터 기판을 나타낸 단면도이고,

제9도는 본 발명의 제6실시예에 따른 액정셀의 박막 트랜지스터 기판을 나타낸 단면도이고,

제10도는 본 발명의 제7실시예에 따른 액정셀의 박막 트랜지스터 기판을 나타낸 단면도이고,

제11도는 (a)-(e)는 본 발명의 제8실시예에 따른 액정셀의 박막 트랜지스터 기판의 제조 방법을 공정 순서에 따라 나타낸 단면도이고,

제12도는 본 발명의 제9실시예에 따른 액정셀의 박막 트랜지스터 기판을 나타낸 단면도이고,

제13도는 본 발명의 제10실시예에 따른 액정셀의 박막 트랜지스터 기판을 나타낸 단면도이고,

제14도는 본 발명의 제11실시예에 따른 액정셀의 박막 트랜지스터 기판을 나타낸 단면도이고,

제15도는 (a)-(c)는 본 발명의 제12실시예에 따른 액정셀의 공통 전극 기판의 제조 방법을 공정 순서에 따라 나타낸 단면도이고,

제16도는 본 발명의 제13실시예에 따른 액정셀의 공통 전극 기판을 나타낸 단면도이다.

제17도는 본 발명의 제14실시예에 따른 액정셀의 공통 전극 기판을 나타낸 단면도이다.

[발명의 상세한 설명]

본 발명은 액정셀(Liquid Cristal Cell) 및 그 제조 방법에 관한 것으로서, 특히, 액정셀의 박막 트랜지스터 기판 및 공통 전극 기판의 평탄화를 위하여 SOG(spin on glass)도포법을 이용하여 단차를 극복한 액정셀 및 그 제조 방법에 관한 것이다.

일반적으로 액정셀은 다음과 같은 구조로 되어 있다. 기판, 적·녹·청의 3가지 컬러 필터 층, 그리고 공통 전극을 포함하는 공통 전극 기판과, 다수의 화소, 상기 화소에 화상 정보 신호를 전달하는 게이트선, 상기 데이터선과 상기 게이트선의 교차부에 형성되어 있는 스위칭 소자를 포함하는 박막 트랜지스터 기판과, 상기 박막 트랜지스터 기판과 강기 공통 전극 기판 사이에 채워져 있는 액정으로 이루어져 있다.

먼저, 종래의 액정셀의 박막 트랜지스터 기판을 도면을 참고로 하여 설명한다.

제1도는 종래의 액정셀의 박막 트랜지스터 기판을 나타낸 단면도이다. 제1도에 도시한 바와 같이 액정셀의 박막 트랜지스터 기판은, 기판(1)과, 상기 기판(1)위에 형성되어 있는 게이트 전극(2)과, 상기 게이트 전극(2) 위에 형성되어 있는 게이트 산화막(4)과, 상기 게이트 산화막(4)위에 형성되어 있는 절연막(6)과, 상기 절연막(6) 위에 형성되어 있는 반도체막(8)과, 상기 반도체막(8) 위에 형성되어 있는 외인성 반도체막(10)과, 상기 외인성 반도체막(10)위에 형성되어 있는 소스/드레인 전극(12)과, 상기 소스/드레인 전극(12) 위에 형성되어 있는 보호막(14)과, 상기 보호막(14) 위에 형성되어 있는 화소 전극(16)으로 이루어져 있으며, 상기 외인성 반도체막(10)과 상기 소스/드레인 전극(12)은 상기 게이트 전극(2)의 상부에 형성되어 있는 상기 반도체막(8)이 노출되도록 패터닝되어 있어서, 상기 화소 전극(16)이 상기 소스/드레인 전극(12)과 연결되도록 한다.

이때 상기 게이트 전극(2)은 알루미늄(Ａ１)으로 형성할 수 있고, 상기 게이트 산화막(4)은 알루미늄 산화막(Al_2O_3)으로 형성할 수 있으며, 상기 절연막(6)은 실리콘 절연막(ＳiNx)으로 형성할 수 있으며, 상기 반도체막(8)은 아몰퍼스 실리콘(a-Si)으로 형성할 수 있으며, 상기 외인성 반도체막(10)은 n형 아몰퍼스 실리콘(n^+ a-Si)으로 형성할 수 있으며, 상기 화소 전극(16)은 아이 티 오(ITO : indium tinoxide)로 형성할 수 있다.

이러한 액정셀의 박막 트랜지터 기판은 게이트 전극(2)과 소스/드레인 전극(12)이 형성되어 있는 박막 트랜지스터부(ｐ1)와 화소 전극의 대부분을 차지하고 있는 화소 전극부(ｐ2)로 구분할 수 있다.

그런데 이러한 종래의 박막 트렌지스터 기판은 상기 박막 트랜지스터부(ｐ1)와 상기 화소 전극부(ｐ2)의 단차(Topology (g)가 발생하여 단차 발생에 따른 단점이 일어난다.즉, 셀갭(Cell Gap)이 불균일하게 되어 화면 표시의 불량이 발생한다. 또한 고분자 물질인 배향막 표면에서 액정 분자를 한 방향으로 배향시키기 위해서 천 등을 사용해 역학적으로 문질러주는 러빙(Rubbing) 공정시 배향 처리가 잘 되지 않는다. 또한 단차 부위에서 응력 집중이 일어나 크랙(Crack)이 일어나기 쉽다.

따라서, 화면 표시 불량을 발생시킨다. 한편, 종래의 액정셀의 공통 전극 기판을 도면을 참고로 하여 설명한다. 제2도는 종래의 액정셀의 공통 전극 기판을 나타낸 단면도이다. 제2도에 도시한 바와 같이 액정셀의 공통 전극 기판은, 투명한 절연 물질로 이루어진 기판(101) 위에 적색 필터층, 녹색 필터층, 청색 필터층이 각각 반복적으로 배열되어 컬러 표시를 형성하는 컬러 필터층(104)이 형성되어 있다.

이때, 일정 폭(ｇ1)을 가지는 각각의 필터층(104)은 일정한 간격(ｇ2)으로 배열되어 있다. 컬러 필터층(104)위에 보호막(106)이 형성되어 있으며, 보호막(106) 위에 투명한 도전 물질로 이루어진 공통 전극(108)으로 이루어져 있다.

상기한 종래의 액정셀의 공통 전극 기판은 다음과 같은 단점을 갖는다. 종래의 액정셀의 공통 전극 기판은 적(R), 녹(G), 청(B)의 컬러 필터가 일정한 간격을 두고 형성되어 있으므로 컬러 필터가 형성되어 있는 부분과 기판 위의 컬러 필터가 형성되어 있지 않은 부분에서 단차가 발생하여 단차에 따른 단점이 발생한다.

따라서 상기 단차(ｇ)를 극복하기 위하여 상기 킬러 필터가 형성되어 있는 부분과 상기 기판 위의 컬러 필터가 형성되어 있지 않은 부분사이에 열경화성 수지를 이용하여 보호막을 형성한다.

그런데 상기 열경화성 수지는 후속 공정인 화소 전극 형성에 나쁜 영향을 미친다. 즉, 열경화성 수지로부터 가스분출(Outgassing) 현상이 발생하여 화소 전극의 저항을 증가시키고 전류를 감소시켜 화소 전극의 특성을 저하시킨다.

또한, 상기 열경화성 수지는 후속 공정인 화소 전극의 저항 감소를 목적으로 하는 열처리 공정시 나쁜 영향을 미친다. 즉, 상기 열경화성 수지가 열팽창하여 상기 화소 전극 및 상기 보호막에 주름을 발생시켜

투과율 및 색 재현성을 저하시킨다.

따라서, 상기한 종래의 액정셀의 박막 트랜지스터 기판의 단점을 보완하기 위한 종래의 다른 액정셀의 박막 트랜지스터가 대두되었다. 종래의 다른 액정셀의 박막 트랜지스터 기판의 구조 및 제조 방법에 대하여

제3도의 (a)-(g)를 참고로 하여 설명한다. 제3도의 (a)-(g)는 종래의 다른 액정셀의 박막 트랜지스터 기판의 제조 방법을 공정 순서에 따라 나타낸 단면도이다.

제3도(a)에 도시한 바와 같이, 투명한 절연 기판(1) 위에 게이트 배선용 금속막을 증착하고 패터닝하여 게이트 전극(2)을 형성한다.

제3도의 (b)에 도시한 바와 같이, 양극 산화를 실시하여 게이트 전극(2)위에 게이트 산화막(4)을 형성한다.

다음, 제3도의 (c)에 도시한 바와같이 게이트절연막(6)을 증착하고, 게이트 전극(2) 상부의 게이트 절연막(6)위에 반도체막(8) 및 외인성 반도체막(10)을 차례로 증착한다.

제3도의(ｄ)에 도시한 바와같이, 반도체막(8)과 외인성 반도체막(10)을 패터닝하여 반도체 패턴을 형성한다.

제3도의(ｅ) 에 도시한 바와같이, 소스 및 드레인 전극(12)을 상기 외인성 반도체막(12)의 양 가장자리와 중첩되도록 형성하고, 소스 및 드레인 전극(12) 패턴에 따라 외인성 반도체막(12)의 드러난 부분을 제거한다.

제3도의(f)에 도시한 바와같이, 배선들에 의한 단차를 없애주기 위한 SOG(spin on glass)막(20)을 전면에 걸쳐 도포하고, 드레인 전극(12)의 일부가 드러나도록 ＳＯＧ막(20) 일부를 제거한다.

제3도의(ｇ)에 도시한 바와같이, SOG막(20)을 덮는 투명 화소전극(16)을 형성한다.

제3도에 도시한 방법에 의해 형성된 종래의 액정셀의 박막 트랜지스터 기판은 앞서 제1도를 참고로 설명한 구조보다는 단차를 줄이는 데에 유리하지만, 평탄화층으로 SOG막(20)만을 사용하기 때문에 탄소 오염이 발생하기 쉬워 박막 트랜지스터의 특징을 확보하기 어려운 문제점이 있다.

본 발명은 이러한 종래 기술의 문제점을 해결하기 위한 것으로서 후속 공정에 악영향을 미치지 않으며 액정셀의 박막 트랜지스터 기판과 공통 전극 기판의 평탄화를 실현시킬 수 있는 액정셀 및 그 제조 방법을 제공하기 위한 것이다.

이러한 목적을 달성하기 위한 본 발명의 액정셀의 박막 트랜지스터 기판의 구성은, 투명한 절연 물질로 이루어진 기판, 상기 기판위에 금속으로 형성되어 있는 게이트 전극, 상기 게이트 전극위에 형성되어 있는 제1절연막, 상기 제1절연막 위에 형성되어 있는 반도체막, 상기 게이트 전극에 대응하는 위치의 상기 반도체막이 드러나도록 상기 반도체막 위에 형성되어 있는 소스/드레인 전극, 상기 소스/드레인 전극 위에 형성되어 있는 보호막, 상기 보호막 위에 형성되어 있으며 단차를 없애주는 SOG막, 상기 SOG막위에 형성되어 있으며 상기/드레인 전극과 연결되어 있는 화소전극으로 이루어져 있다.

한편, 이러한 목적을 달성하기 위한 본 발명의 액정셀의 박막 트랜지스터 기판의 다른 구성은, 투명한 물질로 이루어진 기판, 상기 기판위에 금속으로 형성되어 있는 게이트 전극, 상기 게이트 전극 위에 형성되어 있는 제1절연막, 상기 제1절연막 위에 형성되어 있는 반도체막, 상기 반도체막 위에 상기 게이트 전극에 대응하는 부분에 형성되어 있는 에치 스토퍼 절연막, 상기 게이트 전극에 대응하는 부분의 상기 에치 스토퍼 절연막이 드러나도록 상기 반도체막 위에 형성되어 있는 금속층인 소스/드레인 전극, 상기 소스/드레인 전극 위에 형성되어 있는 단차를 없애주는 SOG막, 상기 SOG막 위에 형성되어 있으며 상기 소스/드레인 전극과 연결되어 있는 화소전극으로 이루어져 있다.

또한, 이러한 목적을 달성하기 위한 본 발명의 액정셀의 공통 전극 기판의 구성은, 투명한 절연 물질로 이루어진 기판, 상기 기판위에 형성되어 있는 컬러 필터층,상기 컬러 필터층 위에 형성되어 있는 상기 기판위의 다층 배선된 막의 두께가 균일하도록 하는 SOG막, 상기 SOG막 위에 형성되어 있는 화소전극으로 이루어진 것을 특징으로 하는 액정셀의 공통 전극 기관으로 이루어져 있다. 그리고 이러한 목적을 달성하기 위한 본 발명의 액정셀의 박막 트렌지스터 기판의 제조 방법의 구성은, 투명한 절연 물질로 이루어진 기판위에 금속으로 게이트 전극(2)을 형성하는 제1공정, 상기 게이트 전극의 상부를 산화시켜 절연막을 형성하는 제2공정, 상기 게이트 산화막 위에 제1절연막, 반도체막, 외인성 반도체막을 연속하여 차례로 형성하는 제3공정, 상기 게이트 전극에 대응하는 위치의 상기 반도체막이 드러나도록 소스/드레인 전극을 형성하는 제4공정, 상기 소스/드레인 전극 위에 보호막을 형성하는 제5공정, 상기 보호막 위에 단차를 없애주는 SOG막을 스핀 방법으로 도포한 후 상기 소스/드레인 전극의 일부가 드러나도록 상기 보호막과 함께 패터닝하는 제6공정/ 상기 SOG막 위에 투명 도전 물질로 상기 소스/드레인 전극과 연결되도록 화소전극을 형성하는 제7공정으로 이루어진다.

또한 이러한 목적을 달성하기 위한 본 발명의 액정셀의 박막 트렌지스터 기판의 제조방법의 구성은, 투명한 절연 물질로 이루어진 기판 위에 금속으로 게이트 전극을 형성하는 제1공정, 상기 게이트 전극 위에 제1절연막, 반도체막, 에치 스토퍼 절연막을 연속하여 차례로 형성하는 제2공정, 상기 에치 스토퍼 절연막을 패터닝하는 제3공정, 상기 에치 스토퍼 절연막 위에 금속층인 소스/드레인 전극을 연속하여 차례로 형성하는 제4공정, 상기/드레인 전극을 상기 에치 스토퍼 절연막의 일부가 드러나도록 상기 소스/드레인 전극을 패터닝하는 제5공정, 상기 소스/드레인 전극 위에 단차를 없애주는 SOG막을 스핀 방법으로 도포한 후 상기 소스/드레인 전극의 일부가 드러나도록 패터닝하는 제6공정, 상기 SOG막 위에 투명 도전 물질로 상기 소스/드레인 전극과 연결되도록 화소전극을 형성하는 제7공정으로 이루어져 있다.

또한 이러한 목적을 달성하기 위한 본 발명의 액정셀의 박막 트랜지스터 기판의 제조방법의 다른 구성은, 투명한 절연 물질로 이루어진 기판위에 금속으로 게이트 전극을 형성하는 제1공정, 상기 게이트 전극의 상부를 산화시켜 절연막을 형성하는 제2공정, 상기 게이트 산화막 위에 제1절연막, 반도체막, 에치 스토퍼 절연막을 연속하여 차례로 형성하는 제3공정, 상기 에치 스토퍼 절연막을 패터닝하는 제4공정, 상기

에치 스토퍼 절연막으로 가려진 부분을 제외한 상기 반도체층에 불순물을 이온 주입하여 외인성 반도체층을 형성하는 제5공정, 상기 외인성 반도체층의 일부가 드러나도록 상기 외인성 반도체층 위에 소스/드레인 전극을 형성하는 제6공정, 상기/드레인 전극 위에 보호막을 형성하는 제7공정, 상기 보호막 위에 단차를 없애주는 SOG막을 스핀 방법으로 도포한 후 상기 소스/드레인 전극의 일부가 드러나도록 패터닝하는 제8공정, 상기 SOG막 위에 투명 도전 물질로 상기 소스/드레인 전극과 연결되도록 화소전극을 형성하는 제9공정으로 이루어져 있다.

한편 이러한 목적을 달성하기 위한 본 발명의 액정셀의 공통 전극 기판의 제조방법의 구성은, 투명한 절연 물질로 이루어진 기판 위에 컬러 필터를 형성하는 제1공정, 상기 컬러 필터위에 상기 기판 위의 다층 배선된 막의 두께가 균일하도록 SOG막을 스핀 방법으로 도포하는 제2공정, 상기 SOG막 위에 투명 전도 물질로 화소전극을 형성하는 제3공정으로 이루어져 있다.

그러면, 첨부한 도면을 참고로 하여, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 발명의 실시예를 상세하게 설명한다.

먼저, 제4도는 본 발명의 제1실시예에 따른 액정셀의 박막 트랜지스터 기판의 단면도로서, 보호막이 소스 및 드레인 전극과 평탄화막 사이에 형성되어 있는 구조를 보여준다.

제4도에 도시한 바와같이, 기판(1)위에 게이트 전극(2)이 형성되어 있고, 게이트 전극(2)의 바깥면에 게이트 산화막(4)이 형성되어 있다.

그 위에 게이트 절연막(6)이 전면에 걸쳐 덮여 있고, 게이트 전극(2) 상부의 게이트 절연막(6) 위에는 반도체막(8)이 형성되어 있으며, 반도체막(8)의 가장자리와 중첩되도록 소스/드레인 전극(12)이 형성되어 있다. 소스/드레인 전극(12)과 반도체막(8) 사이에는 금속 물질과 반도체 물질 사이의 전기적 접촉 특성을 향상시키기 위한 외인성 반도체막(10)이 형성되어 있다.

소스/드레인 전극(12)이 형성되어 있는 게이트 절연막(6)을 보호막(14)이 덮고 있으며, 보호막(14)위에는 게이트 전극(2), 소스/드레인 전극(12)등이 형성되어 있는 단차가 큰 부분을 다른 부분과 평탄하게 만들어주기 위해 평탄화막인 SOG막(20)이 덮여있다.

SOG막(20) 및 게이트 절연막(6)에는 드레인 전극(12)을 드러내는 접촉구가 형성되어 있으며, 이 접촉구를 통해 드레인 전극(12)과 접촉되는 화소전극(16)이 SOG막(20)위에 형성되어 있다.

이러한 제4도의 구조를 가지는 박막 트랜지스터 기판은 다음과 같이 제조한다. 투명한 절연 물질로 이루어진 기판(1)위에 금속(예를들면, 알루미늄)으로 게이트 전극(2)를 형성한 다음, 게이트 전극(2)의 상부를 산화시켜 절연막(예를들면, Al_2O_3)으로 게이트 산화막(4)을 형성한다.

다음, 게이트 산화막(4)위에 제1절연막(6)으로 SiNx, 반도체막(8)으로 a-Si(amorphous silicon)막, 외인성 반도체막(12)으로 n^+ a-Si을 연속하여 차례로 증착하고 패터닝하여 반도체 패턴을 형성한 다음, 외인성 반도체막(10) 위에 게이트 전극(2)에 대응하는 위치의 외인성 반도체막(10)과 반도체막(8)이 드러나도록 소스/드레인 전극(12)을 형성한다.

다음, 소스/드레인 전극(12) 바같으로 드러난 외인성 반도체막(10)을 제거한 다음, 소스/드레인 전극(12)을 덮는 보호막(14)을 형성한다.

다음, 기판(1) 위의 다층 배선된 막의 두께가 균일하도록 SOG(20)막을 스핀 방법으로 0.8㎛ 정도 균일하게 도포한 후, 베이크 오븐(Bake oven) 또는 핫 플레이트(Hotplate를 이용하여 200℃ 온도에서 60분 정도 열처리 한다.

다음, SOG(20)막 위에 투명 전도 물질로 화소전극(16)을 형성한다. 이처럼, 제1실시예에서는 SOG막(20)만을 형성하기 이전에 보호막(14)을 더 형성하므로, SOG막(20)만을 형성하는 경우에 발생하기 쉬운 탄소 오염을 방지할 수 있어 트랜지스터의 특성을 확보할 수 있다.

또한, SOG막(20) 형성 후 F계 반응 가스를 이용한 드라이 에치 백공정을 더 실시하여, SOG막의 두께를 줄이는 것이 가능하다.

제5도 및 제6도에는 이러한 공정에 의해 비교적 얇은 두께의 SOG막을 가짐으로써, SOG막에 의해 유지 용량 값이 감소하는 것을 방지하는 제2 및 제3실시예의 구조가 도시되어 있다.

제5도는 본 발명의 제2실시예에 따른 액정셀의 박막 트랜지스터 기판을 나타낸 단면도로서, 기본적인 구조는 제4도에서 설명된 제1실시예와 유사하다. 다만, 제1실시예에서의 SOG막(20)보다 두께가 0.2㎛정도 더 얇게 형성되어 있으며, 화소전극(16) 부근에서의 SOG막(20) 두께는 0.5㎛ 정도 또는 그 이하가 된다.

제6도는 본 발명의 제3실시예에 따른 액정셀의 박막 트랜지스터 기판을 나타낸 단면도로서, 보호막(14)은 존재하지 않으며, 앞선 제2실시예에서와 마찬가지로 화소전극(16) 부분의 SOG(20) 두께는 0.5㎛ 정도이다.

다음, 앞서 설명한 평탄화막 구조 및 평탄화 방법이 에치 스토퍼(etch-stopper) 방식의 박막 트랜지스터 기판에 적용된 실시예들을 다음에서 설명한다. 제7도의 (a)-(i)는 본 발명의 제4실시예에 따른 액정셀의 박막 트랜지스터 기판의 제조방법을 공정 순서에 따라 나타낸 단면도이다.

먼저, 제7도의 (a)에 도시한 바와같이 투명한 절연 물질로 이루어진 기판(1)위에 금속 (예를들면, 알루미늄)으로 게이트 전극(2)을 형성한다.

다음, 제7도의 (b)에 도시한 바와같이, 상기 게이트 전극(2)의 상부를 산화시켜 절연막으로 게이트 산화막(4)을 형성한다.

다음, 제7도의 (c)에 도시한 바와같이, 상기 게이트 산화막(4) 위에 SiNx을 증착하여 제1절연막(6)을

형성하고 a-Si막, 에치 스토퍼 형성을 위한 제2절연막(22)을 연속하여 차례로 증착한다.

다음, 제7도의 (d)에 도시한 바와같이, a-Si막을 패터닝하여 반도체막(8)을 형성하고, 제2절연막(22)을 패터닝하여 에치 스토퍼 절연막(22)을 형성한다. 다음, 제7도의(e)에 도시한 바와같이, 에치 스토퍼 절연막(22)위에 외인성 반도체막 형성을 위한 n^+ a Si막(10) 및 소스/드레인 전극을 형성하기 위한 금속층(12)을 연속하여 증착한다.

다음, 제7도의(f)에 도시한 바와같이, 소스/드레인 전극 형성을 위한 금속층(12)을 에치 스토퍼 절연막(22)의 일부가 드러나도록 패터닝하여 소스/드레인 전극(12)을 형성한다.

다음, 제7도의 (g)에 도시한 바와같이, 에치 스토퍼 절연막(22)의 일부가 드러나도록 외인성 반도체막(12)을 제거한다.

다음 제7도의 (h)에 도시한 바와같이, 소스/드레인 전극(12)위에 기판(1) 위의 다층 배선된 막의 두께가 균일하도록 SOG(20)막을 스핀 방법으로 도포한다.

이때, 에치 스토퍼 절연막(22) 형성으로 인한 단차 증가분 만큼 SOG(20)막 두께를 증가시킨다. 다음, 제7도의 (ⅰ)에 도시한 바와같이, 상기 SOG(20)막 위에 투명 전도 물질로 화소전극(16)을 형성한다.

제8도는 본 발명의 제5실시예에 따른 액정셀의 박막 트랜지스터 기판을 나타낸 단면도이다.

제8도에 도시한 바와같이 소스/드레인 전극(12)과 SOG(20)막 사이에 보호막(14)을 형성하여 탄소 오염을 줄임으로써, 박막 트랜지스터의 특성을 확보한다.

제9도는 본 발명의 제6실시예에 따른 액정셀의 박막 트랜지스터 기판을 나타낸 단면도이고, 10도는 본 발명의 제7실시예에 따른 액정셀의 박막 드랜지스터 기판을 나타낸 단면도이다.

제9도 및 제10도에 도시한 제6 및 제7실시예는 각각 제7 및 제8도에서 언급한 제4 및 제5실시예의 구조 및 제조 방법과 거의 유사하다. 다만, 제6 및 제7 실기예에서는 SOG(20)막 형성 후 상기 SOG(20)의 두께를 줄이기 위한 드라이 에치 백 공정을 더 포함한다.

다음에서는 외인성 반도체막을 이온 도핑 방법으로 반도체막 표면에 형성하는 것을 특징으로 하는 본 발명의 제8내지 제11실시예를 설명한다.

제11도의 (a)-(h)는 본 발명의 제8실시예에 따른 액정셀의 박막 트랜지스터 기판을 제조하는 방법을 공정 순서에 따라 나타낸 단면도이다.

먼저, 제11도의 (ａ)에 도시한 바와같이, 투명한 절연 물질로 이루어진 기판(1)위에 금속으로 게이트 전극(2)을 형성한다.

다음, 제11도의 (ｂ)에 도시한 바와같이, 상기 게이트 전극(2)의 상부를 산화시켜 게이트 산화막(4)을 형성한다.

다음, 제11도의 (ｃ)에 도시한 바와같이, 상기 게이트 산화막(4)위에 제1절연막(6), 반도체막(8), 에치 스토퍼 절연막(22)을 연속하여 차례로 형성한다.

이후, 에치 스토퍼 절연막(22)을 자기 정합 방식으로 은백(bake)노광한다.

다음, 제11도의 (ｄ)에 도시한 바와같이, 에치 스토퍼 절연막(22)을 패터닝한다.

다음, 제11도의 (ｅ)에 도시한 바와같이, 에치 스토퍼 절연막(22)으로 가려진 부분을 제외한 상기 반도체층에 P형 불순물을 이온 주입하여 외인성 반도체층(11)을 형성한다.

다음, 제11도의 (f)에 도시한 바와 같이, 외인성 반도체층(11) 위에 외인성 반도체층(11)의 일부가 드러나도록 소스/드레인 전극(12)을 형성한다.

다음, 제11도의 (ｇ)에 도시한 바와같이, 소스/드레인 전극(12)위에 기판(1) 위의 다층 배선된 막의 두께가 균일해지도록 SOG(20)막을 스핀 방법으로 도포한다.

다음, 제11도의 (ｈ)에 도시한 바와같이, SOG(20)막 위에 투명 전도 물질로 드레인 전극(12)과 전기적으로 연결되는 화소전극(16)을 형성한다.

제12도는 본 발명의 제9실시예에 따른 액정셀의 박막 트랜지스터 기판을 나타낸 단면도로서, 제8실시예와 유사한 구조를 가진다.

단, 제12도에 도시한 바와같이, SOG막(20)을 형성하기 이전에, 소스/드레인 전극(12) 및 에치 스토퍼 절연막(22) 위에 보호막(14)을 형성하는 공정을 더 포함함으로써, 탄소 오염을 막을 수 있다.

제13도는 본 발명의 제10실시예에 따른 액정셀의 박막 트랜지스터 기판을 나타낸 단면도이고, 제14도는 본 발명의 제11실시예에 따른 액정셀의 박막 트랜지스터 기판을 나타낸 단면도이다.

제13도 및 제14도에 도시한 바와같이 구조 및 그 제조 방법은 SOG막(20)의 구조 및 그 제조 방법을 제외하고는 동일하다.

제13도 및 제14도에서와 같이, SOG막(20)의 두께를 줄이기 위한 에치 공정을 더 포함할 수 있다.

평탄화 처리된 공통 전극 기판의 구조 및 제조방법을 다음에서 설명한다.

제15도의 (a)-(c)는 본 발명의 제12실시예에 따른 액정셀의 공통 전극 기판의 제조방법을 공정 순서에 따라 나타낸 단면도이다.

먼저, 제15도의 (ａ)에 도시한 바와같이, 투명한 절연 물질로 이루어진 기판(101)위에 컬러 필터(104)를

형성한다.

다음, 제15도의 (ｂ)에 도시한 바와 같이, 컬러 필터(104)위에 기판(101)위의 다층 배선된 막의 두께가 균일하게 되도록 SPG막(120)을 스핀 방법으로 도포한다.

다음, 제15도의 (ｃ)에 도시한 바와 같이, SOG(20)막 위에 투명 전도물질로 화소전극(108)을 형성한다.

제16도는 본 발명의 제13실시예에 따른 액정셀의 공통 전극 기판을 나타낸 단면도이다.

제16도에서와 같이, 기판(101) 위의 컬러 필터(104)층의 필터 사이에 블랙 매트릭스(102)를 형성할 공간을 더 포함할 수 있다.

제17도는 본 발명의 제14실시예에에 따른 액정셀의 공통 전극 기판을 나타낸 단면도이다.

제17도에 도시한 바와같이, 컬러 필터(104)층의 필터 사이에 대응하는 화소전극(108)의 상부에 블랙 매트릭스(102)를 형성하는 공정을 더 포함할 수 있다.

제12실시에 내지 제14실시예에 따른 공통 전극 기판은 단차 발생을 해결한다.

(57) 청구의 범위

청구항 1

투명한 절연 물질로 이루어진 기판, 상기 기판위에 금속으로 형성되어 있는 게이트 전극, 상기 게이트 전극 위에 형성되어 있는 제1절연막, 상기 제1절연막 위에 형성되어 있는 반도체막, 상기 게이트 전극에 대응하는 위치의 상기 반도체막이 드러나도록 상기 반도체막 위에 형성되어 있는 소스/드레인 전극, 상기 소스/드레인 전극 위에 형성되어 있는 보호막, 상기 보호막 위에 형성되어 있으며 단차를 없애주는 SOG막, 상기 SOG막 위에 형성되어 있으며 상기 소스/드레인 전극과 연결되어 있는 화소전극으로 이루어진 것을 특징으로 하는 액정셀의 박막 트랜지스터 기판.

청구항 2

제1항에서, 상기 게이트 전극 위에 형성되어 잇는 게이트 산화막을 더 포함하는 것을 특징으로 하는 액정셀의 박막 트랜지스터 기판.

청구항 3

제1항에서, 상기 게이트 전극에 대응하는 위치의 상기 반도체막이 드러나도록 상기 반도체막 위에 형성되어 있는 외인성 반도체막을 더 포함하는 것을 특징으로 하는 액정셀의 박막 트랜지스터 기판.

청구항 4

투명한 절연 물질로 이루어진 기판, 상기 기판위에 금속으로 형성되어 있는 게이트 전극, 상기 게이트 전극 위에 형성되어 있는 제1절연막, 상기 제1절연막 위에 형성되어 있는 반도체막, 상기 반도체막 위에 상기 게이트 전극에 대응하는 부분에 형성되어 있는 에치 스토퍼 절연막, 상기 게이트 전극에 대응하는 부분의 상기 에치 스토퍼 절연막이 드러나도록 상기 반도체막 위에 형성되어 있는 금속층인 소스/드레인 전극, 상기 소스/드레인 전극 위에 형성되어 있는 단차를 없애주는 SOG막, 상기 SOG막 위에 형성되어 있으며 상기 소스/드레인 전극과 연결되어 있는 화소전극으로 이루어진 것을 특징으로 하는 액정셀의 박막 트랜지스터 기판.

청구항 5

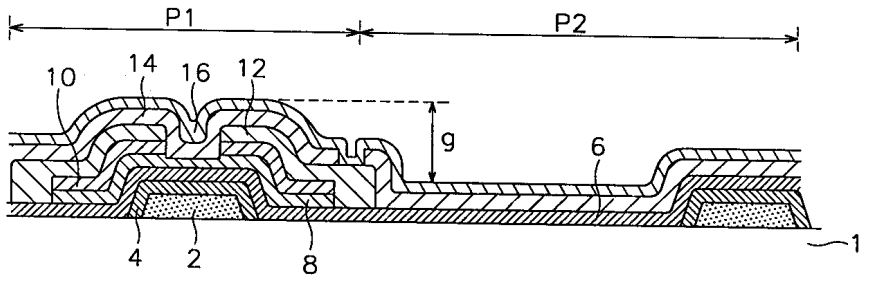
제4항에서, 상기 게이트 전극 위에 형성되어 있는 상기 게이트 전극이 산화되어 형성된 게이트 산화막을 더 포함하는 것을 특징으로 하는 액정셀의 박막 트랜지스터 기판.

청구항 6

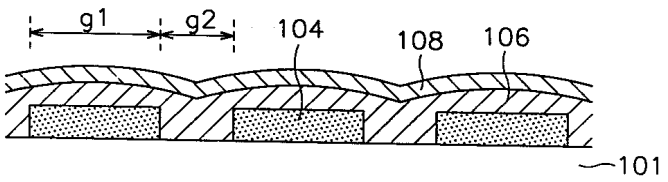
제5항에서, 상기 에치 스토퍼 절연막 위의 일부분을 덮고, 상기 게이트 전극에 대응하는 부분의 상기 에치 스토퍼 절연막이 드러나도록 형성되어 있는 외인성 반도체막을 더 포함하는 것을 특징으로 하는 액정셀의 박막 트랜지스터 기판.

도면

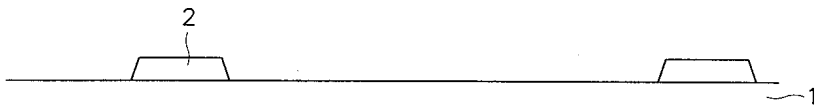
도면1



도면2



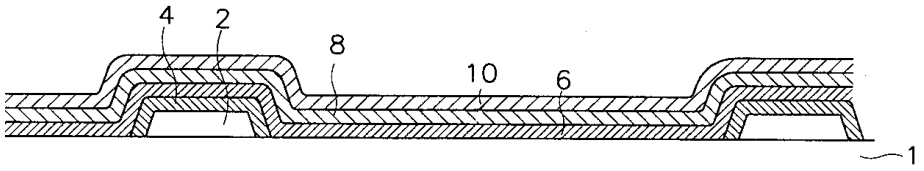
도면3a



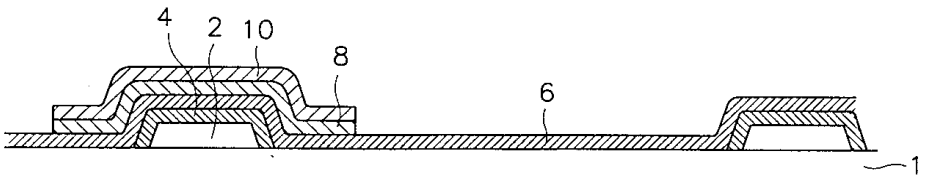
도면3b



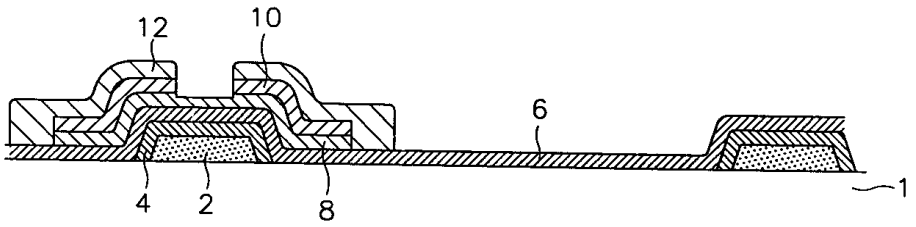
도면3c



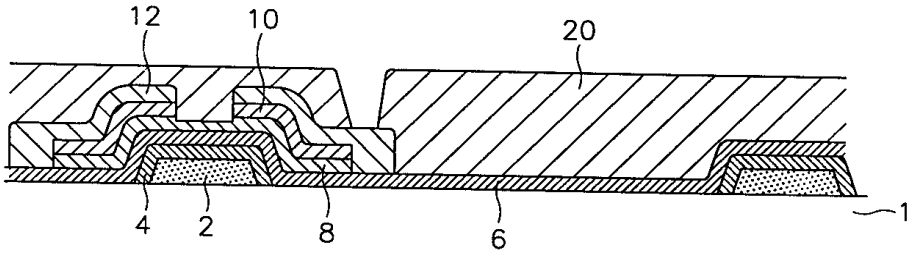
도면3d



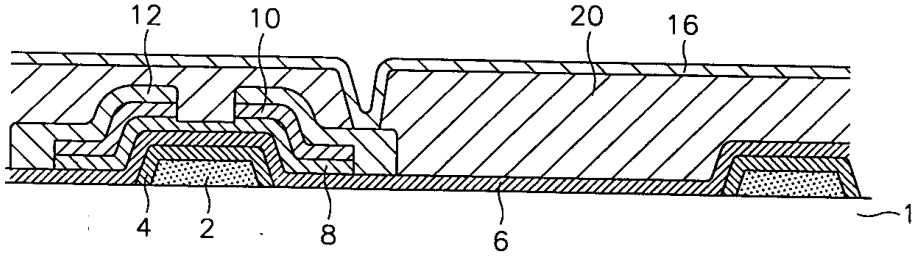
도면3e



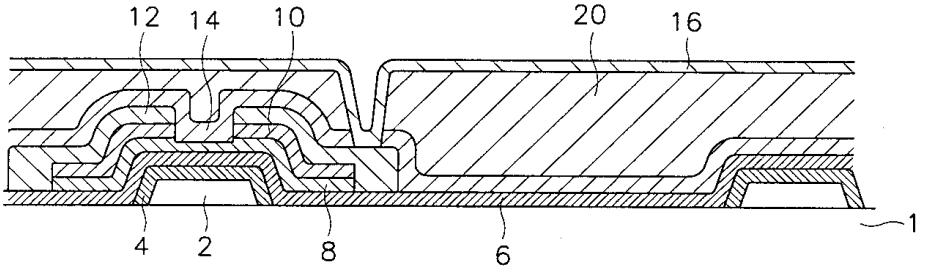
도면3f



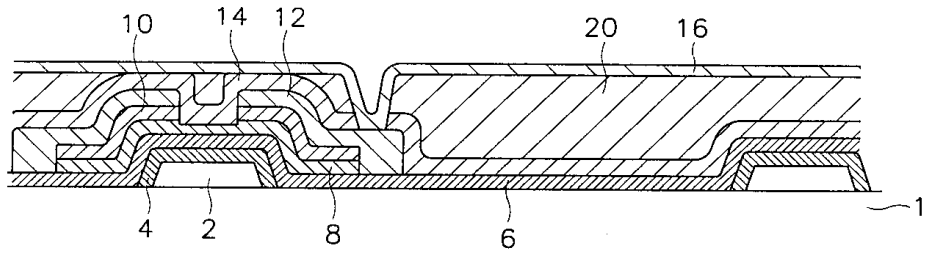
도면3g



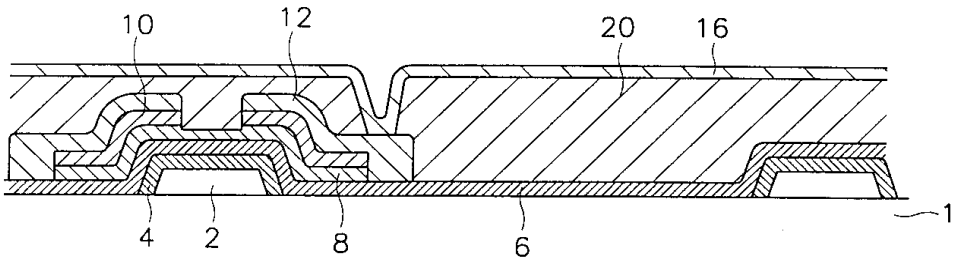
도면4



도면5



도면6



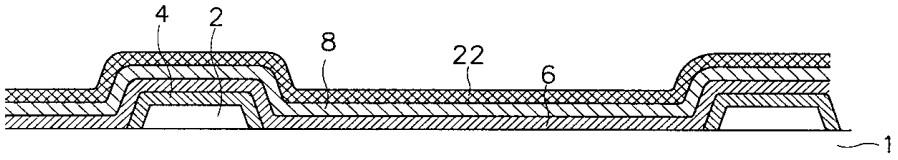
도면7a



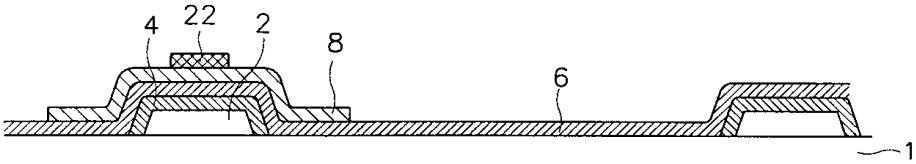
도면7b



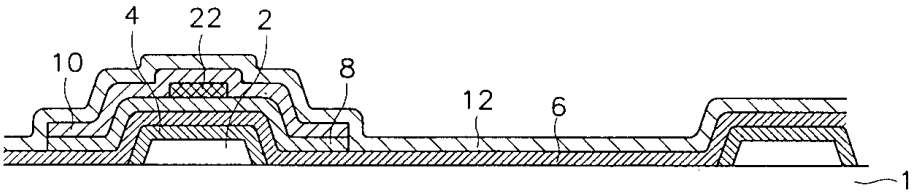
도면7c



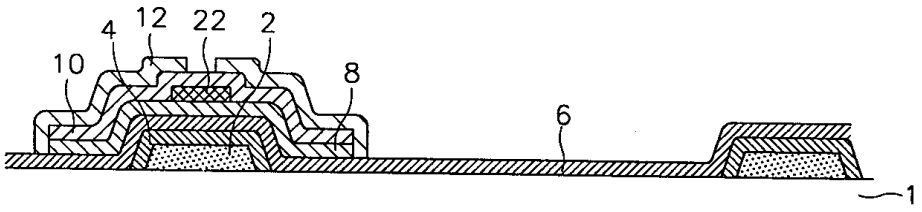
도면7d



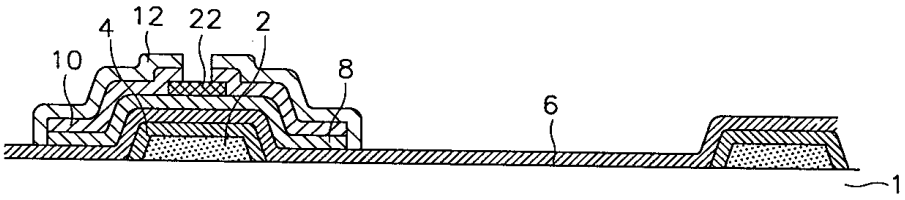
도면7e



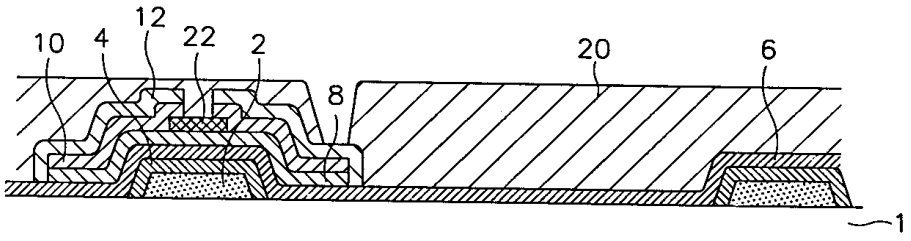
도면7f



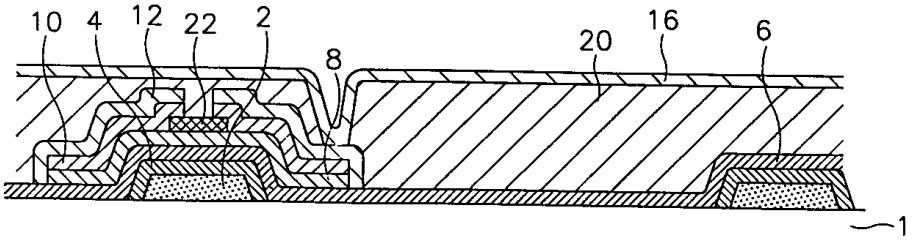
도면7g



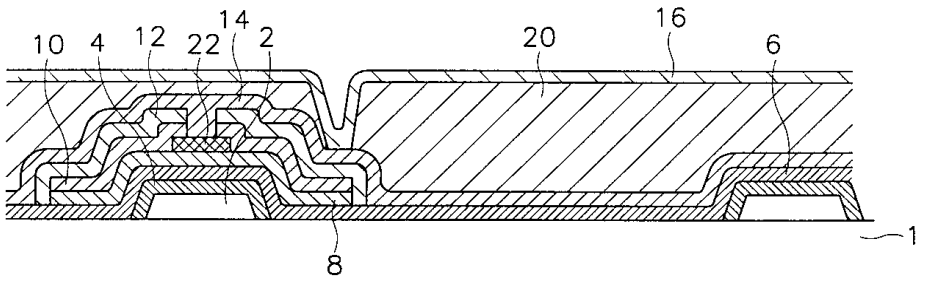
도면7h



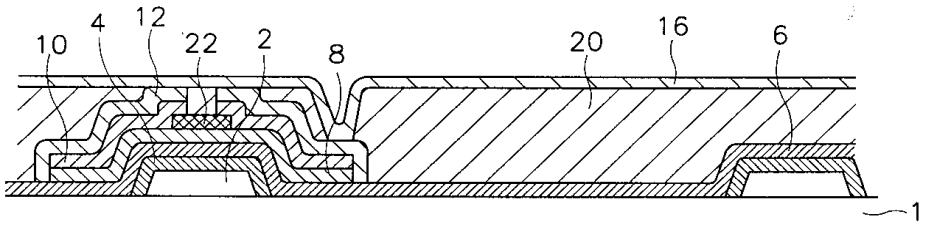
도면7i



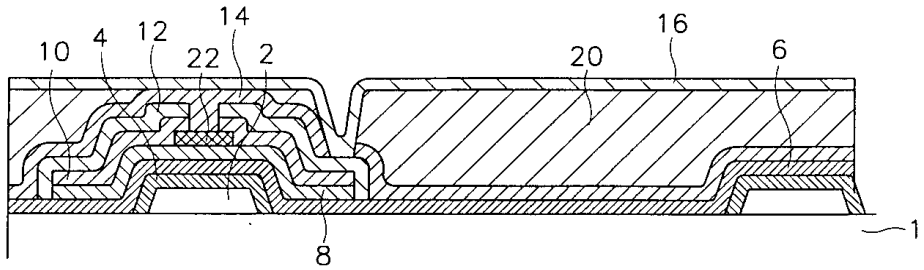
도면8



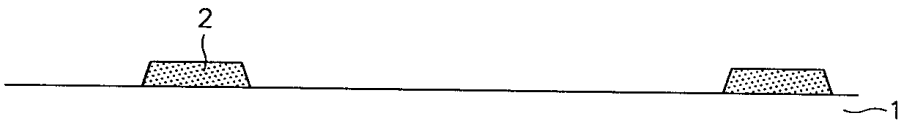
도면9



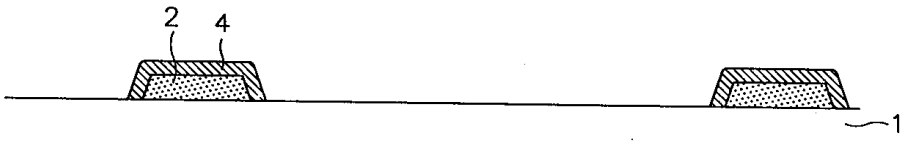
도면10



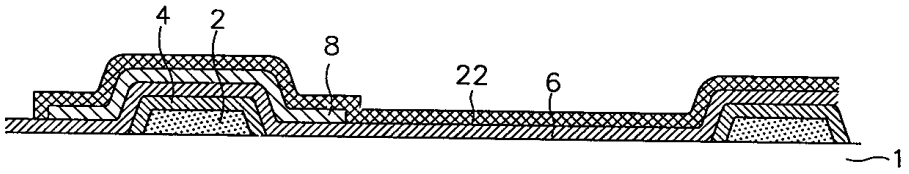
도면11a



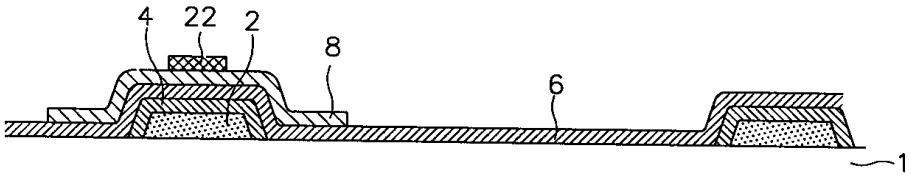
도면11b



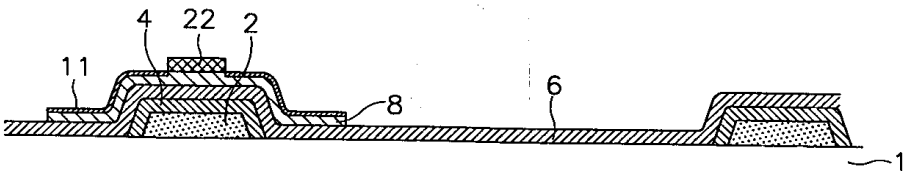
도면11c



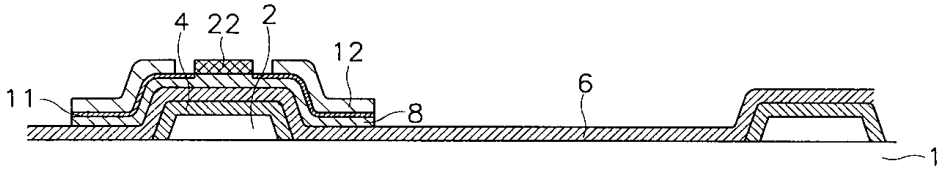
도면11d



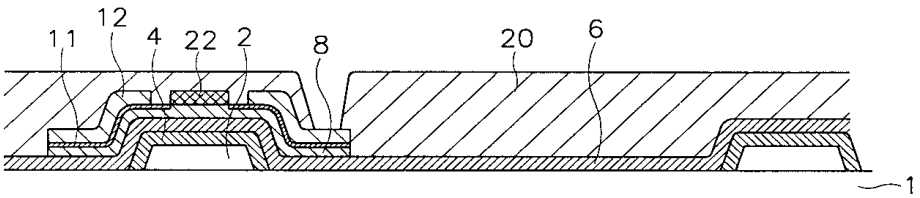
도면11e



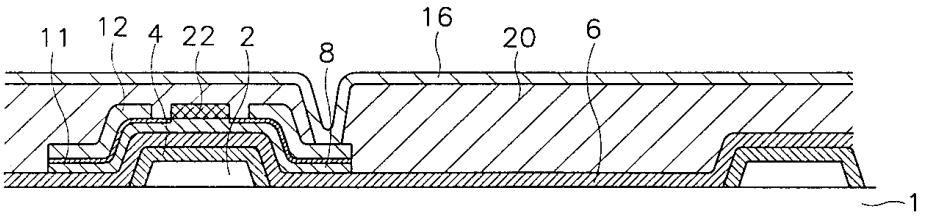
도면11f



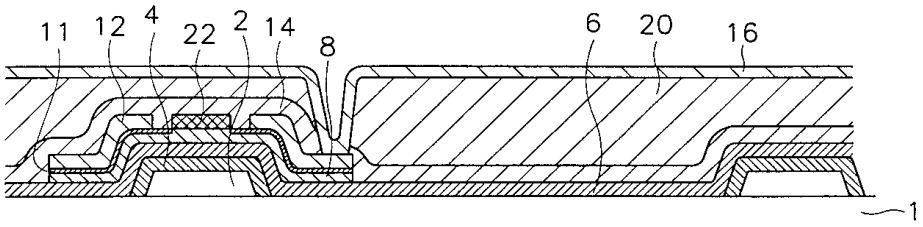
도면11g



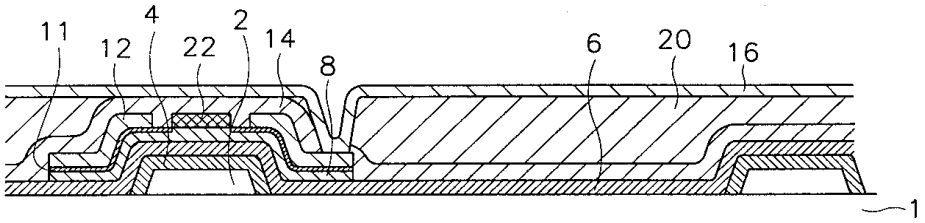
도면11h



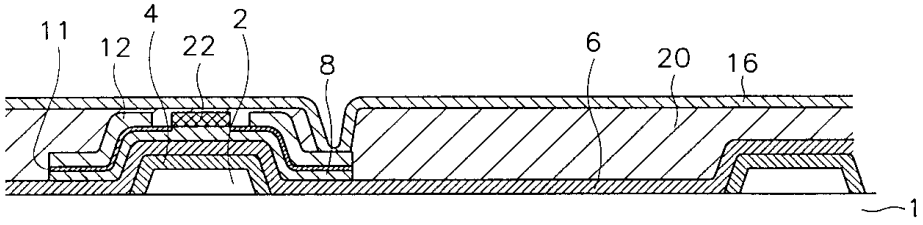
도면12



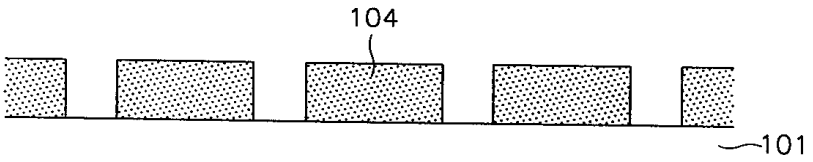
도면13



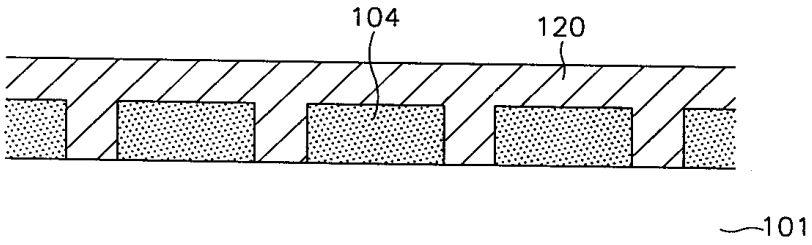
도면14



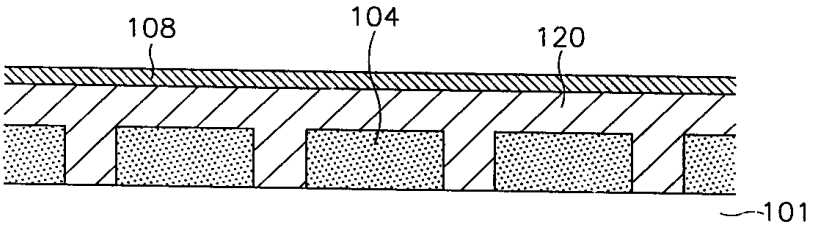
도면15a



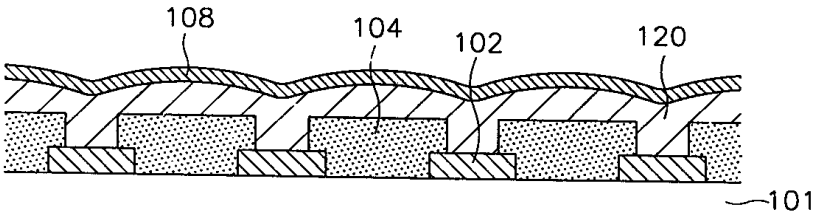
도면15b



도면15c



도면16



도면17

