(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2013-65638
(P2013-65638A)
(43)公開日　平成25年4月11日(2013.4.11)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 27/10	(2006.01)	H01L	27/10	471	5F083
H01L 29/786	(2006.01)	H01L	29/78	613B	5F101
H01L 21/8242	(2006.01)	H01L	27/10	671C	5F110
H01L 27/108	(2006.01)	H01L	27/10	321	
H01L 21/8247	(2006.01)	H01L	27/10	434	

審査請求 未請求　請求項の数 17　ＯＬ　（全 39 頁）　最終頁に続く

(21)出願番号　特願2011-202466 (P2011-202466)
(22)出願日　平成23年9月15日 (2011.9.15)

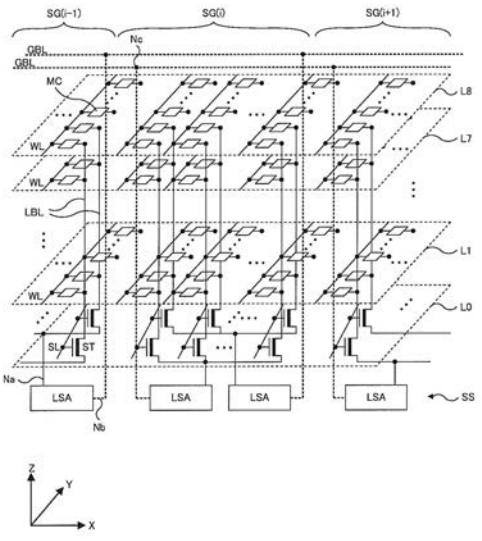
(71)出願人　500174247
エルピーダメモリ株式会社
東京都中央区八重洲２－２－１
(74)代理人　100110881
弁理士　首藤　宏平
(72)発明者　梶谷　一彦
東京都中央区八重洲二丁目２番１号　エルピーダメモリ株式会社内

Ｆターム(参考)　5F083 AD02 AD69 EP17 FR05 FZ10 GA10 JA32 JA36 JA37 JA39 JA40 KA01 KA06 LA03 LA09 ZA04
5F101 BA41 BB02 BD02 BD30

最終頁に続く

(54)【発明の名称】半導体装置

(57)【要約】
【課題】オン電流が少ないトランジスタを含むメモリセルと積層方向に延びるビット線により、低い製造コストで高速動作を実現可能な半導体装置を提供する。
【解決手段】本発明の半導体装置は、例えば、記憶素子とその読み出し電流経路に挿入される第１のトランジスタとを含むメモリセルＭＣと、このメモリセルＭＣの一端に直接接続され、記憶素子の情報を伝送する第１のビット線ＬＢＬと、第２のトランジスタを含み第１のビット線ＬＢＬを介して伝送される記憶素子の情報を増幅する第１のアンプＬＳＡとを備えている。第１のアンプＬＳＡは基板Ｌ０に形成され、メモリセルＭＣは基板Ｌ０の上部の第１の層Ｌ１～Ｌ８に形成され、第１のビット線ＬＢＬは積層方向に延びる配線構造を含んで形成される。第１のトランジスタのチャネル中のキャリアの移動度は、第２のトランジスタのチャネル中のキャリアの移動度よりも低い。
【選択図】図２



【特許請求の範囲】
【請求項１】
第１の層に形成され、情報を記憶し、当該情報を外部に読み出す第１のトランジスタを含むメモリセルと、
前記第１の層を積層する基本層である基板に形成され、第１のノードに供給された前記情報を増幅する第２のトランジスタを含む第１の回路と、
前記第１のトランジスタの一端に直接に接続されて積層方向に延びる配線構造を含み、前記情報を前記第１の回路へ伝送する第１のビット線と、を備え、
前記第１のトランジスタのチャネル中のキャリアの移動度は、前記第２のトランジスタのチャネル中のキャリアの移動度よりも低い、ことを特徴とする半導体装置。
【請求項２】
前記第１のトランジスタ及び前記第２のトランジスタのチャネルは、互いに異なる材料で構成される、ことを特徴とする請求項１に記載の半導体装置。
【請求項３】
前記第１のトランジスタのチャネルのコンダクタンスは、前記第２のトランジスタのチャネルのコンダクタンスよりも低い、ことを特徴とする請求項１または２に記載の半導体装置。
【請求項４】
前記第１のトランジスタのチャネルの単位断面積当たりの抵抗値は、前記第２のトランジスタのチャネルの単位断面積当たりの抵抗値よりも高い、ことを特徴とする請求項１または２に記載の半導体装置。
【請求項５】
前記第１のトランジスタのチャネルは、前記第１の層に平面状に形成される、ことを特徴とする請求項１に記載の半導体装置。
【請求項６】
前記第２のトランジスタのチャネルは、前記基板に平面状に形成される、ことを特徴とする請求項５に記載の半導体装置。
【請求項７】
前記第２のトランジスタのチャネルは、前記基板に縦型に形成される、ことを特徴とする請求項５に記載の半導体装置。
【請求項８】
前記第１の層に形成される複数の前記メモリセルと、
前記複数のメモリセルが有する複数の前記第１のトランジスタのそれぞれの一端に接続される複数の前記第１のビット線と、
前記第１の層と前記基板との間に配置される第２の層と、
前記第２の層に形成され、前記複数の第１のビット線のそれぞれの一端を前記第１の回路の第１のノードに選択的に接続する前記第２の層に平面状のチャネルを有する第３のトランジスタを含む複数の選択回路と、を更に備え、
前記第３のトランジスタのチャネル中のキャリアの移動度は、前記第２のトランジスタのチャネル中のキャリアの移動度よりも低い、ことを特徴とする請求項１または２に記載の半導体装置。
【請求項９】
前記第２のトランジスタ及び前記第３のトランジスタのチャネルは、互いに異なる材料で構成され、
前記第３のトランジスタのチャネルのコンダクタンスは、前記第２のトランジスタのチャネルのコンダクタンスよりも低い、ことを特徴とする請求項８に記載の半導体装置。
【請求項１０】
前記第１のビット線は、ローカルビット線であり、
前記第１の回路の第２のノードに接続されるグローバルビット線と、前記グローバルビット線を介して伝送される信号を半導体装置の外部へ出力する第２の回路と、を更に備え

る、ことを特徴とする請求項１または２に記載の半導体装置。
【請求項１１】
前記グローバルビット線は前記第１の層の更なる上部の第３の層に形成され、ビアを介して前記第１の回路と電気的に接続される、ことを特徴とする請求項１０に記載の半導体装置。
【請求項１２】
前記第１のトランジスタは薄膜トランジスタ（ＴＦＴ）であり、前記第２のトランジスタは薄膜トランジスタ以外の電界効果トランジスタ（ＦＥＴ）である、ことを特徴とする請求項１に記載の半導体装置。
【請求項１３】
前記メモリセルは揮発性である、ことを特徴とする請求項１または２に記載の半導体装置。
【請求項１４】
前記メモリセルは、前記情報を電荷として記憶するキャパシタを含む、ことを特徴とする請求項１３に記載の半導体装置。
【請求項１５】
前記メモリセルは不揮発性である、ことを特徴とする請求項１または２に記載の半導体装置。
【請求項１６】
前記メモリセルは、前記情報を抵抗値の大小に応じて記憶する可変抵抗素子を含む、ことを特徴とする請求項１または２に記載の半導体装置。
【請求項１７】
前記メモリセルは、前記第１のトランジスタ自身が前記情報を記憶する、ことを特徴とする請求項１または２に記載の半導体装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、基板上に積層された各層にＴＦＴが形成された半導体装置に関するものである。
【背景技術】
【０００２】
近年、半導体メモリの大容量化と微細化に対応するため、基板上に多層の積層構造を構成した積層型のメモリセルアレイが採用されている。このようなメモリセルアレイにおいて、ポリシリコンや酸化物半導体など低温プロセスで積層可能な半導体をチャネルに使うトランジスタを形成する技術が注目されている。例えば、積層型のＮＡＮＤフラッシュメモリにおいて、ポリシリコンをチャネルに使ったトランジスタを用いる構成が提案されている（例えば、非特許文献１～６参照）。また、例えば、単結晶シリコンを張り合わせて積層し、積層型ＤＲＡＭ、ＮＡＮＤフラッシュメモリ、ＲｅＲＡＭ／ＰＣＲＡＭを形成する技術が提案されている（非特許文献７～９）。
【先行技術文献】
【非特許文献】
【０００３】
【非特許文献１】Ryota Katsumata, et al. “Pipe-shaped BiCS Flash Memory with 16 Stacked Layers and Multi-Level-Cell Operation for Ultra High Density Storage Devices” Symposium on VLSI Technology Digest of Technical Papers, pp. 136-137 (2009).
【非特許文献２】Jiyoung Kim, et al. “Novel Vertical-Stacked-Array-Transistor (VSAT) for ultra-high-density and cost-effective NAND Flash memory devices and SSD (Solid State Drive)” Symposium on VLSI Technology Digest of Technical Papers, pp. 186-187 (2009).

【非特許文献３】Wonjoo Kim, et al. “Multi-Layered Vertical Gate NAND Flash Overcoming Stacking Limit for Terabit Density Storage” Symposium on VLSI Technology Digest of Technical Papers, pp. 188-189 (2009).
【非特許文献４】Jaehoon Jang, et al. “Vertical Cell Array using TCAT(Terabit Cell Array Transistor) Technology for Ultra High Density NAND Flash Memory” Symposium on VLSI Technology Digest of Technical Papers, pp. 192-193 (2009).
【非特許文献５】Hang-Ting Lue, et al. “A Highly Scalable 8-Layer 3D Vertical-Gate (VG) TFT NAND Flash Using Junction-Free Buried Channel BE-SONOS Device” IEEE Symposium on VLSI Technology Digest of Technical Papers, pp. 131-132 (2010).
【非特許文献６】SungJin Whang, et al. “Novel 3-Dimensional Dual Control-Gate with Surrounding Floating-Gate (DC-SF) NAND Flash Cell for 1Tb File Storage Application” IEEE IEDM10-668-671, pp. 29.7.1-29.7.4 (2010).
【非特許文献７】MonolithIC 3D, Inc. Technology Breakthrough, Monolithic 3D DRAM
【非特許文献８】MonolithIC 3D, Inc. Technology Breakthrough, Monolithic 3D NAND Flash Memory
【非特許文献９】MonolithIC 3D, Inc. Technology Breakthrough, Monolithic 3D Non-Volatile Memory: RRAM, PCM

【発明の概要】
【発明が解決しようとする課題】
【０００４】
上記従来の技術をメモリに適用する場合、高速動作を保証することは困難である。すなわち、上記非特許文献１～６に開示された構成は、単結晶チャネルと比べてキャリアの移動度が小さいポリシリコンをトランジスタのチャネルに用いるためコンダクタンスが小さく、トランジスタのオン電流（導通電流）が少ないので高速動作に支障を来す。また、上記非特許文献７～９に開示された技術は、半導体メモリを製造する際、単結晶シリコンウエハに酸化膜を形成し水素をイオン注入したものを薄膜化し、それを積層するための工程が必要となるため、製造コストの上昇を招く。
【課題を解決するための手段】
【０００５】
本発明の半導体装置の第１の側面によれば、第１の層に形成され、情報を記憶し、当該情報を外部に読み出す第１のトランジスタを含むメモリセルと、前記第１の層を積層する基本層である基板に形成され、第１のノードに供給された前記情報を増幅する第２のトランジスタを含む第１の回路と、前記第１のトランジスタの一端に直接に接続されて積層方向に延びる配線構造を含み、前記情報を前記第１の回路へ伝送する第１のビット線と、を備え、前記第１のトランジスタのチャネル中のキャリアの移動度は、前記第２のトランジスタのチャネル中のキャリアの移動度よりも低い、ことを特徴とする。
【０００６】
本発明の半導体装置の第２の側面によれば、互いに積層するＮ（Ｎは２以上の整数）層にそれぞれ形成され、情報を記憶し、当該情報を外部と通信する第１のトランジスタをそれぞれ含むＮ個のメモリセルと、前記積層するＮ層を貫いて積層方向に延びる配線構造を含み、Ｎ個の前記第１のトランジスタの一端がそれぞれ対応する前記配線構造の箇所に直接に接続し、前記Ｎ個のメモリセルのそれぞれの情報を伝送する第１のビット線と、前記Ｎ層を積層する基本層である基板に形成され、前記第１のビット線を介して伝送される信号を増幅する第２のトランジスタを含む第１の回路と、を備え、前記第１のトランジスタのチャネル中のキャリアの移動度は、前記第２のトランジスタのチャネル中のキャリアの移動度よりも低い、ことを特徴とする。
【０００７】
本発明のコンピュータシステムによれば、半導体装置と、複数のプロセッサコアと、バスを介して前記メモリセルアレイに対するアクセスを制御する制御ブロックとを含むマルチコアプロセッサと、を備えたコンピュータシステムであって、前記半導体装置は、第１

の層に形成され、情報を記憶し、当該情報を外部に読み出す第１のトランジスタを含むメモリセルと、前記第１の層を積層する基本層である基板に形成され、第１のノードに供給された前記情報を増幅する第２のトランジスタを含む第１の回路と、前記第１のトランジスタの一端に直接に接続されて積層方向に延びる配線構造を含み、前記情報を前記第１の回路へ伝送する第１のビット線と、を備え、前記第１のトランジスタのチャネル中のキャリアの移動度は、前記第２のトランジスタのチャネル中のキャリアの移動度よりも低い、ことを特徴とする。

【発明の効果】

【０００８】

以上述べたように、本発明の半導体装置によれば、チャネル中のキャリアの移動度が低い第１のトランジスタを含むメモリセルと、積層方向に延びる第１のビット線とを用いて構成したメモリセルアレイにおいて、第１のビット線の長さを短縮して第１のビット線の寄生容量を低減できるため、チャネル中のキャリアの移動度が低い第１のトランジスタにおいても第１のビット線の信号を駆動できる。更に、チャネル中のキャリアの移動度が大きな第２のトランジスタによって、伝送されたビット線の情報を高速に増幅することができる。かかる構造は、複雑な工程を要することなく低い製造コストで形成でき、且つチップ面積の増加を抑制することができる。例えば、第１の層に形成された第１のトランジスタを含むメモリセルの情報は、積層方向に延びる第１のビット線を伝送され、第１の層を積層する基板に形成された第２のトランジスタを含む第１のアンプにより増幅される。このとき、第１のトランジスタのチャネル中のキャリアの移動度は、第２のトランジスタのチャネル中のキャリアの移動度よりも低い特性を有する比較的高いオン抵抗（導通抵抗）を有していたとしても、第１の層の厚さが薄いので、第１のビット線の寄生容量を低減することができる。そのため、第１のトランジスタの読み出し電流（駆動能力）が少ない場合であっても、複雑な構造を形成することなく、第１のトランジスタが寄生容量が小さな第１のビット線に信号を伝送させることができる。更に、チャネル中のキャリアの移動度が第１のトランジスタよりも大きな第２のトランジスタを用いた第１のアンプにおける高速な動作が実現できる。

【図面の簡単な説明】

【０００９】

【図１】本実施形態の半導体装置の全体構成を示すブロック図である。

【図２】本実施形態の半導体装置において、メモリセルアレイの主要部を模式的に示す図である。

【図３】本実施形態のメモリセルの第１のタイプの構成例を示す図である。

【図４】本実施形態のメモリセルの第２のタイプの構成例を示す図である。

【図５】本実施形態のメモリセルの第３のタイプの構成例を示す図である。

【図６】図２の積層構造のうち、１本のグローバルビット線と１つのセグメントに対応する部分の回路構成を示す図である。

【図７】本実施形態のメモリセルアレイに対する読み出し動作時の動作波形図である。

【図８】本実施形態のメモリセルアレイの変形例において、図６と同様の部分の回路構成を示す図である。

【図９】本実施形態の変形例に係るメモリセルアレイに対する読み出し動作時の動作波形図である。

【図１０】図２のメモリセルアレイの主要部の断面構造図である。

【図１１】図１０の断面構造において各層のＴＦＴの構造例を示す図である。

【図１２】本実施形態のメモリセルアレイ１０の第１の構造例を示す図である。

【図１３】図１２の部分的な等価回路を示す図である。

【図１４】本実施形態のメモリセルアレイ１０の第２の構造例を示す図である。

【図１５】図１４の部分的な等価回路を示す図である。

【図１６】本実施形態のメモリセルアレイ１０の第３の構造例を示す図である。

【図１７】図１６の部分的な等価回路を示す図である。

【図１８】第３の構造例におけるＴＦＴセル層の任意の層の平面図である。
【図１９】本実施形態の半導体装置を含むコンピュータシステムの構成例を示すブロック図である。
【発明を実施するための形態】
【００１０】
まず、本発明の課題を解決する技術思想の代表的な例を示す。ただし、本願の請求対象は、この技術思想に限定されるものではなく、本願の特許請求の範囲に記載された内容にあることは言うまでもない。本発明の技術思想の一例は、例えば図２に示すように、第１の層（Ｌ１～Ｌ８）に形成され、記憶素子と当該記憶素子の読み出し電流経路に挿入される第１のトランジスタとを含むメモリセルＭＣと、このメモリセルＭＣの一端に直接に接続されて積層方向（Ｚ方向）に延びる配線構造を含む第１のビット線（ＬＢＬ）と、第１の層（Ｌ１～Ｌ８）の下層の基本層である基板（ＳＳ）上に形成される第２のトランジスタを含み第１のビット線（ＬＢＬ）を介して伝送される信号を増幅する第１の回路を含む第１のアンプ（ＬＳＡ）と、を備えて構成され、前記第１のトランジスタのチャネル中のキャリアの移動度が前記第２のトランジスタのチャネル中のキャリアの移動度よりも低くなっている。言い換えれば、前記第２のトランジスタのコンダクタンスが前記第１のトランジスタのコンダクタンスよりも高くなっている。かかる構造により、例えば第１のトランジスタをＴＦＴとすることによって情報の読み出し電流が減少したとしても、積層方向に延びる第１のビット線（ＬＢＬ）の長さを短縮して寄生容量を低減することによって、第１のトランジスタの相対的な駆動能力を確保し、更に、前記第１のトランジスタのコンダクタンスよりも大きなコンダクタンスを有する第２のトランジスタにより、伝送されたビット線の情報を高速に読み出しできる。かかる構造により、チップ面積の抑制をも実現するものである。
【００１１】
以下、本発明の好ましい実施形態について添付図面を参照しながら詳しく説明する。図１は、本実施形態の半導体装置の全体構成を示すブロック図であり、例えば、本発明を揮発性のＤＲＡＭ（Dynamic Random Access Memory）に対して適用する場合の構成例を示している。図１に示す半導体装置は、情報を記憶する複数のメモリセルＭＣを含むメモリセルアレイ１０と、このメモリセルアレイ１０に付随するロウ系回路１１及びカラム系回路１２とを備えている。ロウ系回路１１には、複数のワード線ＷＬに対応して設けられる多数の回路群が含まれ、カラム系回路１２には、複数のビット線ＢＬに対応して設けられる多数の回路群が含まれる。なお、メモリセルアレイ１０は、階層化ビット線構成が好ましく、本実施形態においてはビット線ＢＬが、下位階層のローカルビット線ＬＢＬ及び上位階層のグローバルビット線ＧＢＬに階層化されている。メモリセルＭＣは、ＴＦＴ（Thin Film Transistor、以下ＴＦＴ）を備えている。ＴＦＴは、電界効果トランジスタ（Field Effect Transistor、以下ＦＥＴ）の一種である。ＴＦＴは、基本的にソース端子、ドレイン端子、ゲート端子の三端子素子であり、バックゲート端子は存在しない。ＴＦＴは様々な構造が知られているが、本実施例においては、３つの電極を有するトランジスタであればよい。その構造の一例は、ゲート層（ゲート電極）と、絶縁層をゲート層と挟むようにゲート層と対向するチャネル層と、チャネル層の一端に接続するソース電極と、チャネル層の他端に接続するドレイン電極とにより構成される。
【００１２】
外部から入力されるアドレスにはロウアドレスとカラムアドレスが含まれ、ロウアドレスはロウアドレスバッファ１３に保持されてロウ系回路１１に送られ、カラムアドレスはカラムアドレスバッファ１４に保持されてカラム系回路１２に送られる。カラム系回路１２は、入出力制御回路１５によりデータバッファ１６とのデータ転送が制御され、外部との間でデータ入出力（ＤＱ）が行われる。コマンドデコーダ１７は、外部から入力される制御信号に基づきＤＲＡＭに対するコマンドを判別して制御回路１８に送出する。制御回路１８は、コマンドデコーダ１７により判別されるコマンドの種別に応じて半導体装置の各部の動作を制御する。

【００１３】
図２は、本実施形態の半導体装置において、メモリセルアレイ１０の主要部を模式的に示す図である。図２では、半導体装置の多層の積層構造のうち、メモリセルアレイ１０の部分的な構成を各層ごとに示している。図２の下部に示すように、説明の便宜上、Ｘ、Ｙ、Ｚの３方向を矢印で表している。Ｘ方向及びＹ方向は各層の平面内で互いに直交する２方向に一致し、Ｚ方向は各層の積層方向（縦方向）に一致する。
【００１４】
図２に示す積層構造の上部には、Ｘ方向に延びる複数のグローバルビット線ＧＢＬが配置されている。メモリセルアレイ１０は、グローバルビット線ＧＢＬの方向に沿って複数のセグメントＳＧに分割されている。図２では、Ｎ個のセグメントのうちのｉ番目のセグメントＳＧ（ｉ）の範囲を示すとともに、セグメントＳＧ（ｉ）に隣接する２つのセグメントＳＧ（ｉ－１）、ＳＧ（ｉ＋１）を部分的に示している。また、図２の積層構造においては、８層のＴＦＴセル層Ｌ１～Ｌ８と、その下層のＴＦＴ選択回路層Ｌ０がそれぞれ配置されている。これらのＴＦＴセル層Ｌ１～Ｌ８（本発明の第１の層）及びＴＦＴ選択回路層Ｌ０（本発明の第２の層）には、いずれもＴＦＴ（本発明の第１のトランジスタ）を用いた回路が形成されている。更に、ＴＦＴセル層Ｌ１～Ｌ８及びＴＦＴ選択回路層Ｌ０の下部（下層）には、単結晶シリコンにＭＯＳＦＥＴ（本発明の第２のトランジスタ）が形成されたシリコン基板ＳＳ（本発明の基板）が配置されている。シリコン基板ＳＳは、第１及び第２の層を積層する基本層である。更に、ＴＦＴセル層Ｌ１～Ｌ８の上部（本発明の第３の層）には、グローバルビット線ＧＢＬが形成されている。
【００１５】
各々のＴＦＴセル層Ｌ１～Ｌ８には、Ｙ方向に延びる複数のワード線ＷＬと、一方の端子が各ワード線ＷＬに接続される複数のメモリセルＭＣとが形成されている。１つのセグメントＳＧ内において、各層ではＸ方向に並ぶＪ本のワード線ＷＬが配置され、８層のＴＦＴセル層Ｌ１～Ｌ８には全部で８Ｊ本のワード線ＷＬが存在する。また、積層方向で見たとき、各グローバルビット線ＧＢＬと各ワード線ＷＬの各交点の近傍にメモリセルＭＣが配置される。なお、各々のメモリセルＭＣは、記憶素子とＴＦＴとを含んで構成されるが、具体的な構成例については後述する。
【００１６】
各々のメモリセルＭＣの他方の端子は、Ｚ方向に延びるローカルビット線ＬＢＬ（本発明の第１のビット線）に接続されている。ローカルビット線ＬＢＬは、積層方向で見て同じ位置にある８個のメモリセルＭＣに共有され、その一端がＴＦＴ選択回路層Ｌ０のスイッチトランジスタＳＴ（本発明の第３のトランジスタ）のドレインに接続されている。スイッチトランジスタＳＴは、ゲートがＬＢＬ選択線ＳＬに接続され、ソースがシリコン基板ＳＳ内のローカルセンスアンプＬＳＡ（本発明の第１の回路）の一方の入出力ノードＮａに接続され、本発明の選択回路として機能する。この場合、８個のメモリセルＭＣと１個のスイッチトランジスタＳＴがＺ方向に並んで配置されることになる。スイッチトランジスタＳＴはメモリセルアレイ１０に含まれ、そのゲートに接続されるＬＢＬ選択線ＳＬの信号がロウ系回路１１（図１）で生成され、Ｘ方向に並ぶＪ本のローカルビット線ＬＢＬのうち、アドレスに対応して選択される１本のローカルビット線ＬＢＬをローカルセンスアンプＬＳＡと選択的に接続する。すなわち、図２に示すように、各々のローカルセンスアンプＬＳＡの入出力ノードＮａは、Ｘ方向に並ぶＪ個のスイッチトランジスタＳＴの各ソースが接続されている。つまり、各々のローカルセンスアンプＬＳＡは、Ｘ方向に並ぶＪ本のローカルビット線ＬＢＬに共有され、全部で８Ｊ個のメモリセルＭＣの信号を選択的に読み出し可能になっている。
【００１７】
また、各々のローカルセンスアンプＬＳＡの他方の入出力ノードＮｂはグローバルビット線ＧＢＬに接続されている。すなわち、Ｘ方向に延びるグローバルビット線ＧＢＬは各セグメントＳＧのノードＮｃで分岐し、ノードＮｃからシリコン基板ＳＳまでＺ方向に延び、下端がローカルセンスアンプＬＳＡの入出力ノードＮｂに接続されている。このよう

な構成により、ローカルセンスアンプＬＳＡは、選択されたローカルビット線ＬＢＬの信号を一方の入出力ノードＮａを介してセンス増幅し、それを他方の入出力ノードＮｂを介してグローバルビット線ＧＢＬに送出する。なお、ローカルセンスアンプＬＳＡの具体的な回路構成については後述する。

【００１８】

ここで、図２のメモリセルアレイ１０に含まれるメモリセルＭＣの具体的な構成例について図３～図５を参照して説明する。本実施形態のメモリセルＭＣは、１個の記憶素子と少なくとも１個のＴＦＴとを含み、読み出し電流の経路にそのＴＦＴを挿入した構造を有している。まず、図３は、読み出し電流の経路に記憶素子及びＴＦＴを挿入したタイプのメモリセルＭＣの構成例を示している。すなわち、図３の上部に示すように、固定電位Ｖｆとローカルビット線ＬＢＬとの間の読み出し電流経路Ｐ１に、記憶素子とＴＦＴを直列に接続し、ＴＦＴのゲートをワード線ＷＬに接続したメモリセルＭＣが構成される。このタイプのメモリセルＭＣの具体的な例を図３（１）、（２）に挙げる。図３（１）のメモリセルＭＣは、記憶素子としてキャパシタＣ０を用いた１Ｔ１Ｃ型のＤＲＡＭセルである。図３（２）のメモリセルＭＣは、記憶素子として抵抗値変化型素子Ｒ０（以下、単に抵抗Ｒ０と呼ぶ）を用いた１Ｔ１Ｒ型のＲｅＲＡＭセルである。

【００１９】

また図４は、ＴＦＴのゲートに記憶素子を接続したタイプのメモリセルＭＣの構成例を示している。すなわち、図４の上部に示すように、固定電位Ｖｆとローカルビット線ＬＢＬとの間の読み出し電流経路Ｐ２にＴＦＴを挿入し、ＴＦＴのゲートとワード線ＷＬの間に記憶素子を接続したメモリセルＭＣが構成される。このタイプのメモリセルＭＣの具体的な例を図４（１）～（４）に挙げる。図４（１）のメモリセルＭＣは、ＴＦＴのゲート絶縁体膜中に電荷トラップを設けたセルである。図４（２）のメモリセルＭＣは、ＴＦＴのチャネル側に電荷を蓄積するフローティングボディ型のセルである。図４（３）のメモリセルＭＣは、ＴＦＴのゲート絶縁体膜を強誘電体膜で構成した１Ｔ型ＦｅＲＡＭセルである。図４（４）のメモリセルＭＣは、ＴＦＴのゲートとワード線ＷＬとの間にキャパシタを挿入し、ＴＦＴのゲートとローカルビット線ＬＢＬの間に別の書き込み経路Ｐ２’を設け、ゲートが書き込み用ワード線ＷＷＬに接続された第２のＴＦＴを書き込み経路Ｐ２’に挿入した２Ｔ１Ｃ型ＤＲＡＭメモリセルである。図４（１）～（３）のメモリセルＭＣは、情報を記憶する記憶素子（記憶部）と読み出し電流経路に挿入されるＴＦＴが、一体として第１のトランジスタを構成する。図４（１）～（３）のメモリセルＭＣは、ＮＡＮＤストリングスのように構成することができる。例えば、複数のメモリセルＭＣを直列に接続（一方のメモリセルＭＣのソースを他方のメモリセルＭＣのドレインに接続）し、一端のメモリセルＭＣのソースを１本のローカルビット線ＬＢＬに接続することができる。

【００２０】

また図５は、ゲートに記憶素子を接続したＴＦＴとゲートにワード線ＷＬを接続したＴＦＴとを含むタイプのメモリセルＭＣの構成例を示している。すなわち、図５の上部に示すように、固定電位Ｖｆとローカルビット線ＬＢＬとの間の読み出し電流経路Ｐ３に２つのＴＦＴを直列に挿入し、ＴＦＴ（左側）のゲートに記憶素子を接続し、選択トランジスタとしてのＴＦＴ（右側）のゲートにワード線ＷＬを接続したメモリセルＭＣが構成される。このタイプのメモリセルＭＣの具体的な例を図５（１）に挙げる。図５（１）のメモリセルＭＣは、図４（４）と同じ構成のメモリセルＭＣからキャパシタを削除し、ゲートがワード線ＷＬに接続された選択トランジスタとしてＴＦＴを読み出し電流経路Ｐ３に挿入した３Ｔ型ＤＲＡＭメモリセルである。

【００２１】

次に、図２のメモリセルアレイ１０の主要部の構成及び動作について図６及び図７を参照して説明する。図６は、図２の積層構造のうち、１本のグローバルビット線ＧＢＬと１つのセグメントＳＧ（ｉ）に対応する部分の回路構成を示している。なお、以下の説明では簡単のため、セグメントＳＧ（ｉ）の符号ｉを省略しているが、実際には、１本のグロ

ーバルビット線ＧＢＬに関し、１≦ｉ≦Ｎの範囲内のセグメントＳＧ（１）～ＳＧ（Ｎ）に対応するＮ個分の回路が設けられる。

【００２２】

図６には、１本のグローバルビット線ＧＢＬにおける１つのセグメントＳＧに対応して、Ｊ本のローカルビット線ＬＢＬ（１）～ＬＢＬ（Ｊ）と、Ｊ個のスイッチトランジスタＳＴ（１）～ＳＴ（Ｊ）と、８Ｊ本のワード線ＷＬ（１１）～ＷＬ（Ｊ８）と、８Ｊ個のメモリセルＭＣと、１つのローカルセンスアンプＬＳＡが設けられている。なお、スイッチトランジスタＳＴ（１）～ＳＴ（Ｊ）の各ゲートにはそれぞれＬＢＬ選択線ＳＬ（１）～ＳＬ（Ｊ）が接続されている。また、１本のグローバルビット線ＧＢＬの一端にはグローバルセンスアンプＧＳＡ（第２の回路）とプリチャージ用のｐＭＯＳＦＥＴＱ５が設けられている。なお、グローバルビット線ＧＢＬには寄生容量Ｃｇが存在するとともに、各１本のローカルビット線ＬＢＬには寄生容量Ｃｌが存在する。グローバルビット線ＧＢＬ及びグローバルセンスアンプＧＳＡは、メモリセルアレイ１０に含まれる。

【００２３】

図２を用いて説明したように、Ｊ本のローカルビット線ＬＢＬ（１）～ＬＢＬ（Ｊ）の各々には８個のメモリセルＭＣと１個のスイッチトランジスタＳＴが接続される。そして、メモリセルＭＣの選択時には、８Ｊ個のメモリセルＭＣに接続される８Ｊ本のワード線ＷＬのうちの１本のワード線ＷＬが活性化される。このとき、スイッチトランジスタＳＴのゲートに印加されるＬＢＬ選択線ＳＬが活性化されると、スイッチトランジスタＳＴがオン（導通）し、選択されたワード線ＷＬに対応するメモリセルＭＣに接続されるローカルビット線ＬＢＬがローカルセンスアンプＬＳＡの入出力ノードＮａに接続される。これにより、選択されたワード線ＷＬに対応するメモリセルＭＣの情報がローカルビット線ＬＢＬに読み出され、スイッチトランジスタＳＴを経由してローカルセンスアンプＬＳＡ（第１の回路）に入力される。

【００２４】

ローカルセンスアンプＬＳＡは、図２のシリコン基板ＳＳ上に構成された４個のｎＭＯＳＦＥＴＱ１、Ｑ２、Ｑ３、Ｑ４を含んで構成される。センス用のｎＭＯＳＦＥＴＱ１は、ゲートが入出力ノードＮａに接続され、ソースがグランド電位ＶＳＳに接続されている。読み出し制御用のｎＭＯＳＦＥＴＱ２は、ゲートに印加される読み出し制御信号ＲＥに応じてｎＭＯＳＦＥＴＱ１と入出力ノードＮｂとの間の接続を制御する。これら１対のｎＭＯＳＦＥＴＱ１、Ｑ２は読み出し回路を構成する。プリチャージ回路としてのｎＭＯＳＦＥＴＱ３は、入出力ノードＮａとグランドＶＳＳとの間に接続され、ゲートにプリチャージ信号ＰＣが印加される。プリチャージ信号ＰＣがハイレベルのとき、入出力ノードＮａがグランド電位ＶＳＳにプリチャージされる。書き込み回路としてのｎＭＯＳＦＥＴＱ４は、ゲートに印加される書き込み制御信号ＷＥに応じて、一方の入出力ノードＮａと他方の入出力ノードＮｂとの間の接続を制御する。図６に示すように、入出力ノードＮａには寄生容量Ｃａが存在する。一般に、寄生容量Ｃａの値は、例えば１ｆＦ以下と小さい値である。

【００２５】

一方、ｐＭＯＳＦＥＴＱ５は、グローバルビット線ＧＢＬの一端と電源電圧ＶＤＤとの間に接続され、ゲートにプリチャージ信号／ＰＣが印加される。プリチャージ信号／ＰＣがローレベルのときに、グローバルビット線ＧＢＬが電源電圧ＶＤＤにプリチャージされる。また、グローバルセンスアンプＧＳＡは、グローバルビット線ＧＢＬの電位をセンスしてラッチする回路である。メモリセルＭＣの読み出し動作時は、ローカルセンスアンプＬＳＡからの信号がノードＮｂ、Ｎｃを経由して、グローバルセンスアンプＧＳＡに伝送される。メモリセルＭＣへの書き込み動作時は、グローバルセンスアンプＧＳＡでラッチされたデータが、ノードＮｃ、Ｎｂを経由して、ローカルセンスアンプＬＳＡ（第１の回路）に伝送される。グローバルセンスアンプＧＳＡを、データバッファ１６（図１）の一部としてもよい。

【００２６】

図７は、本実施形態のメモリセルアレイ１０に対する読み出し動作時の動作波形図である。図７の左側にはメモリセルＭＣに記憶されるハイレベルのデータを読み出す場合の動作波形を示し、図７の右側にはメモリセルＭＣに記憶されるローレベルのデータを読み出す場合の動作波形を示している。ここでは、図２に示す各メモリセルＭＣに供給される固定電位Ｖｆを電源電圧ＶＤＤに設定する場合（Ｖｆ＝ＶＤＤ）を前提とする。かかる前提の下では、メモリセルＭＣにハイレベルのデータが記憶される場合、図３（１）のメモリセルＭＣではキャパシタＣ０に電源電圧ＶＤＤが書き込まれており、図３（２）のメモリセルＭＣでは、抵抗Ｒ０の抵抗値が低抵抗の状態にある。また、図３及び図４の各メモリセルＭＣについては、読み出し電流経路Ｐ１、Ｐ２に挿入されたＴＦＴのコンダクタンスが高い（閾値電圧Ｖｔが低い、又はオン抵抗が低い）状態にある。一方、メモリセルＭＣにローレベルのデータが記憶される場合、図３（１）のメモリセルＭＣでは、キャパシタにグランド電位ＶＳＳが書き込まれており、図３（２）のメモリセルＭＣでは、抵抗Ｒ０の抵抗値が高抵抗の状態にある。また、図４及び図５の各メモリセルＭＣについては、読み出し電流経路Ｐ１、Ｐ２に挿入されたＴＦＴのコンダクタンスが低い（閾値電圧Ｖｔが高い、又はオン抵抗が高い）状態にある。

【００２７】

図７の左側に示すハイレベルの読み出し動作時には、プリチャージ解除期間Ｐ１に至る前の時点では、グローバルビット線ＧＢＬが電源電圧ＶＤＤにプリチャージされ、各ローカルビット線ＬＢＬ及びローカルセンスアンプＬＳＡのノードＮａがそれぞれグランド電位ＶＳＳにプリチャージされている。そして、プリチャージ解除期間Ｐ１になると、プリチャージ信号／ＰＣがグランド電位ＶＳＳから電源電圧ＶＤＤに制御され、グローバルビット線ＧＢＬが電源電圧ＶＤＤにプリチャージされた状態でフローティングになる。同時に、プリチャージ信号ＰＣが電源電圧ＶＤＤからグランド電位ＶＳＳに制御され、各ローカルビット線ＬＢＬ及びローカルセンスアンプＬＳＡのノードＮａがそれぞれグランド電位ＶＳＳにプリチャージされた状態でフローティングになる。

【００２８】

また、プリチャージ解除期間Ｐ１に至るまでは、ＬＢＬ選択線ＳＬの電位がいずれも昇圧電圧ＶＰＰに保たれ、スイッチトランジスタＳＴがいずれもオンの状態にある。そして、プリチャージ解除期間Ｐ１になると、非選択のローカルビット線ＬＢＬに対応するＬＢＳ選択線ＳＬが昇圧電圧ＶＰＰからグランド電位ＶＳＳに制御され、対応するスイッチトランジスタＳＴがオフ（非導通）になる。続いて、セル選択期間Ｐ２になると、選択されたメモリセルＭＣに対応するワード線ＷＬが駆動され、その電位がグランド電位ＶＳＳから昇圧電圧ＶＰＰに上昇する。その結果、ローカルビット線ＬＢＬの電位が急速に上昇し始め、グランド電位ＶＳＳから電源電圧ＶＤＤまで遷移する。ここで、ローカルビット線ＬＢＬの電位が遷移する速度は、ローカルビット線ＬＢＬの寄生容量Ｃｌとローカルセンスアンプ ＬＳＡのノードＮａの寄生容量Ｃａとの和に依存する。両方の寄生容量Ｃｌ、Ｃａを足した値は、例えば１ｆＦ程度の小さい値であるが、メモリセルＭＣのハイレベルのデータの読み出し電流が１００ｎＡ程度であることを考慮すると、ローカルビット線ＬＢＬの電位が１Ｖ遷移するのに必要な時間は１０ｎｓ程度になり、高速の読み出し動作が可能となる。

【００２９】

センス期間Ｐ３において、読み出し制御信号ＲＥがグランド電位ＶＳＳから電源電圧ＶＤＤに制御され、その状態が所定期間だけ保持される。ここで、図７には、ｎＭＯＳＦＥＴＱ１の閾値電圧の分布範囲Ｒａ（図中ハッチング部）を示している。そして、読み出し制御信号ＲＥが電源電圧ＶＤＤを保つ上記所定期間において、ローカルビット線ＬＢＬの電位が分布範囲Ｒａの上限より高い値になると、ｎＭＯＳＦＥＴＱ１がオンする。これにより、グローバルビット線ＧＢＬの寄生容量Ｃｇに蓄積されている電荷がｎＭＯＳＦＥＴＱ２、Ｑ１を介して引き抜かれるので、グローバルビット線ＧＢＬの電位が低下し始め、電源電圧ＶＤＤからグランド電位ＶＳＳまで遷移する。その後、グローバルビット線ＧＢＬの電位がグローバルセンスアンプＧＳＡでラッチされ、ハイレベルの読み出し動作が完

了する。
【００３０】
なお、図３（１）のメモリセルＭＣを前提にすると、ローカルビット線ＬＢＬの電位は、キャパシタＣ０の蓄積電荷が上述の容量値Ｃｌ＋Ｃａとチャージシェアした結果によって定まる。この場合、上述した通り容量値Ｃｌ＋Ｃａは１ｆＦ程度と小さいため、ローカルビット線ＬＢＬの電位は、図７に破線Ｌａで示したように、ｎＭＯＳＦＥＴＱ１の閾値電圧の分布範囲Ｒａの上限を超えることが可能となる。
【００３１】
次に図７の右側に示すローレベルの読み出し動作時には、プリチャージ解除期間Ｐ１に至る前の動作とプリチャージ解除期間Ｐ１における動作については、ハイレベルの読み出し動作と同様であるため、説明を省略する。続いて、セル選択期間Ｐ２になると、選択されたメモリセルＭＣに対応するワード線ＷＬが駆動され、その電位がグランド電位ＶＳＳから昇圧電圧ＶＰＰに上昇する。その結果、ローカルビット線ＬＢＬの電位は緩やかに上昇し始め、グランド電位ＶＳＳから電源電圧ＶＤＤに向かって遷移する。ここで、上述したように寄生容量Ｃｌ、Ｃａの和が例えば１ｆＦ程度と小さい値であるが、ハイレベルのデータの読み出し電流に比べるとローレベルのデータの読み出し電流が、例えば１ｎＡ程度と小さな値になることを考慮すると、ローカルビット線ＬＢＬの電位が１Ｖ遷移するのに必要な時間は１μｓ程度となり、ハイレベルの読み出し動作時の約１００倍の時間を要することがわかる。
【００３２】
センス期間Ｐ３において、読み出し制御信号ＲＥの変化とｎＭＯＳＦＥＴＱ１の閾値電圧の分布範囲Ｒａの意味については、ハイレベルの読み出し動作の場合と同様である。このとき、読み出し制御信号ＲＥが電源電圧ＶＤＤを保つ上記所定期間において、上述したようにローカルビット線ＬＢＬが低い電位にとどまり、分布範囲Ｒａの下限を超えることはない。そのため、ｎＭＯＳＦＥＴＱ１がオフ状態を保ち、グローバルビット線ＧＢＬの寄生容量Ｃｇの電荷は引き抜かれないので、グローバルビット線ＧＢＬの電位が電源電圧ＶＤＤを維持する。その後、グローバルビット線ＧＢＬの電位がグローバルセンスアンプＧＳＡでラッチされ、ローレベルの読み出し動作が完了する。
【００３３】
なお、図３（１）のメモリセルＭＣを前提にすると、既に述べたようにローカルビット線ＬＢＬの電位は、キャパシタＣ０の蓄積電荷が上述の容量値Ｃｌ＋Ｃａとチャージシェアした結果によって定まる。この場合、上述した通り容量値Ｃｌ＋Ｃａが１ｆＦ程度と小さいとしても、キャパシタＣ０の蓄積電荷量がほぼゼロであるため、ローカルビット線ＬＢＬの電位は、図７に示すように、ｎＭＯＳＦＥＴＱ１の閾値電圧の分布範囲Ｒａの下限を超えることはない。
【００３４】
以上述べたように、本実施形態の構成を採用することにより、ＴＦＴセル層Ｌ１～Ｌ８の各メモリセルＭＣの読み出し電流経路にＴＦＴを用いるために読み出し電流が抑制される状況であっても、積層方向に延びる配線構造を含むローカルビット線ＬＢＬの長さを短縮して、その寄生容量Ｃｌを十分に小さくできる。この場合、後述するように平面構造を有するＴＦＴが形成されるＴＦＴセル層Ｌ１～Ｌ８の厚さを十分に薄くできるので、その分だけローカルビット線ＬＢＬの長さの短縮に寄与する。これにより、ローカルビット線ＬＢＬの信号を、ＴＦＴ以外のＭＯＳＦＥＴにより構成されるローカルセンスアンプＬＳＡに伝送したとき、高速動作を実現することができる。
【００３５】
次に、図６及び図７を用いて説明したメモリセルアレイ１０の変形例について説明する。図８は、本実施形態のメモリセルアレイ１０の変形例に関し、図６と同様の部分の回路構成を示している。図８の回路構成のうち、図６と異なるのは、Ｊ本のローカルビット線ＬＢＬに対し、それぞれプリチャージ回路を付加した点である。すなわち、ローカルビット線ＬＢＬ（１）～ＬＢＬ（Ｊ）の一端にそれぞれ形成されたプリチャージトランジスタ

ＰＴ（１）～ＰＴ（Ｊ）は、各ゲートにプリチャージ信号ＰＣが印加され、各ドレインが対応するローカルビット線ＬＢＬに接続され、各ソースがグランド電位ＶＳＳに接続されている。よって、プリチャージ信号ＰＣがハイレベルのとき、各ローカルビット線ＬＢＬがグランド電位ＶＳＳにプリチャージされる。これらのプリチャージトランジスタＰＴは、例えば、図２のＴＦＴ選択回路層Ｌ０に追加して形成してもよいし、別途設けたＴＦＴ層に形成してもよい。

【００３６】

図９は、本変形例に係るメモリセルアレイ１０に対する読み出し動作時の動作波形図である。図９の動作波形は、図７に対応するものであり、その多くの動作波形は図７の場合と同様であるため、以下では異なる点について主に説明する。まず、図９の左側に示すハイレベルの読み出し動作時には、プリチャージ解除期間Ｐ１に至る前からプリチャージ解除期間Ｐ１にかけて、図７とは異なり、ローカルビット線ＬＢＬの選択の有無を問わず、全てのＬＢＬ選択線ＳＬがグランド電位ＶＳＳに保たれており、各スイッチトランジスタＳＴはオフ状態になっている。一方、プリチャージ解除期間Ｐ１に至る前には、プリチャージ信号ＰＣが電源電圧ＶＤＤに保たれるので、それぞれのローカルビット線ＬＢＬは各プリチャージトランジスタＰＴによりグランド電位ＶＤＤにプリチャージされている。なお、プリチャージ解除期間Ｐ１に至る前からプリチャージ解除期間Ｐ１にかけて、その他の動作については図７の場合と同様である。

【００３７】

続いて、セル選択期間Ｐ２になると、選択されたローカルビット線ＬＢＬに対応するＬＢＬ選択線ＳＬがグランド電位ＶＳＳから昇圧電圧ＶＰＰに制御される。セル選択期間Ｐ２から後続のセンス期間Ｐ３にかけて、それ以外の動作については図７のハイレベルの読み出し動作と同様である。よって、図９の左側に示すように、ローカルビット線ＬＢＬの電位が急速に上昇し始めるが、このときの動作波形は図７と同様に遷移する。

【００３８】

次に図９の右側に示すローレベルの読み出し動作時には、プリチャージ解除期間Ｐ１に至る前の動作とプリチャージ解除期間Ｐ１における動作については、ハイレベルの読み出し動作と同様であるため、説明を省略する。続いて、セル選択期間Ｐ２になると、選択されたローカルビット線ＬＢＬに対応するＬＢＬ選択線ＳＬがグランド電位ＶＳＳから昇圧電圧ＶＰＰに制御される。セル選択期間Ｐ２から後続のセンス期間Ｐ３にかけて、それ以外の動作については図７のローレベルの読み出し動作と同様である。よって、図９の右側に示すように、ローカルビット線ＬＢＬの電位が緩やかに上昇し始めるが、このときの動作波形は図７と同様に遷移する。

【００３９】

以上述べたように、本変形例に係るメモリセルアレイ１０においては、図８に示すように、それぞれのローカルビット線ＬＢＬにプリチャージ回路を個別に設けるようにしたので、プリチャージ解除期間Ｐ１に先立つプリチャージ期間に、全てのＬＢＬ選択線ＳＬを非活性状態（グランド電位ＶＳＳ）に制御することができる。そして、プリチャージ解除期間Ｐ１には、全てのローカルビット線ＬＢＬに対応するプリチャージ信号ＰＣを非活性状態にする必要があるのに対し、セル選択期間Ｐ２には、選択されたローカルビット線ＬＢＬに対応する１つのＬＢＬ選択線ＳＬのみを昇圧電圧ＶＰＰに制御すればよい。そのため、図６及び図７の場合は動作時に昇圧電圧ＶＰＰの信号振幅で制御させるのに対し、本変形例の場合は、より小さい電源電圧ＶＤＤの信号振幅で制御させればよく、その分だけ消費電流を削減する効果がある。

【００４０】

なお、図８においては、ローカルビット線ＬＢＬのプリチャージ回路（プリチャージトランジスタＰＴ）に共通のプリチャージ信号ＰＣを供給する場合を示しているが、ローカルビット線ＬＢＬ毎に、各プリチャージ回路にプリチャージ信号ＰＣを個別に供給し、選択されたローカルビット線ＬＢＬに対応するプリチャージ回路のプリチャージ信号ＰＣのみを電源電圧ＶＤＤからグランド電位ＶＳＳに変化させるようにしてもよい。これにより

、消費電流をより一層削減する効果がある。

【００４１】

次に、図１０は、図２のメモリセルアレイ１０の主要部の断面構造の一例を示している。半導体装置の積層構造における最下層のシリコン基板ＳＳには、Ｐ型のウエル３０と素子分離領域３１と、ｎ＋不純物を含むｎ＋領域であるソース・ドレイン領域３２が形成されている。図１０の例では、シリコン基板ＳＳ内の２つのＭＯＳＦＥＴＱ１、Ｑ２の形成範囲が示されている。そして、ＭＯＳＦＥＴＱ１、Ｑ２に対応するソース・ドレイン領域３２を跨いでゲート酸化膜３３が形成され、その上部にゲート電極３４が形成される。ゲート電極３４の上部には層間絶縁膜（不図示）を挟んでタングステン配線層３５が形成されている。タングステン配線層３５は、コンタクト４０を介してゲート電極３４及びソース・ドレイン領域３２の各ｎ＋領域と電気的に接続されている。

【００４２】

タングステン配線層３５の上部には、層間絶縁膜を挟んでＴＦＴ選択回路層Ｌ０が形成されている。図１０の例では、ＴＦＴ選択回路層Ｌ０にスイッチトランジスタＳＴとしてのＴＦＴの形成範囲が示されている。ＴＦＴ選択回路層Ｌ０のＴＦＴのソース・ドレイン領域３６とタングステン配線層３５との間は、コンタクト４１を介して電気的に接続されている。ＴＦＴ選択回路層Ｌ０の上部には、層間絶縁膜をそれぞれ挟んでＴＦＴセル層Ｌ１～Ｌ８がこの順に積層されている。図１０の例では、ＴＦＴセル層Ｌ１～Ｌ８の各々に、ローカルビット線ＬＢＬに接続されるメモリセルＭＣ内の１個のＴＦＴの形成範囲が示されている。ＴＦＴセル層Ｌ１～Ｌ８の各ＴＦＴのソース・ドレイン領域３７は、ＴＦＴ選択回路層Ｌ０のソース・ドレイン領域３６と積層方向で対向する位置に配置されている。また、ＴＦＴ選択回路層Ｌ０のソース・ドレイン領域３６の上部にはＬＢＬ選択線ＳＬ（ゲート電極）が形成され、ＴＦＴセル層Ｌ１～Ｌ８の各ソース・ドレイン領域３７の上部にはそれぞれワード線ＷＬ（ゲート電極）が形成されている。

【００４３】

図１０の右側に示すように、８層のＴＦＴセル層Ｌ１～Ｌ８の各ソース・ドレイン領域３７を貫通する８層貫通コンタクト４２が形成され、８層貫通コンタクト４２の下端がＴＦＴ選択回路層Ｌ０のソース・ドレイン領域３６まで達している。この８層貫通コンタクト４２は、図２のローカルビット線ＬＢＬとして機能する。図１０の構造を有する８層貫通コンタクト４２は、１回のホトリソグラフィ／エッチング工程でコンタクトホールを形成し、１回のＣＶＤ工程でコンタクトホールに導電材料を埋設することによって形成することができる。この場合の導電材料としては、例えば、ポリシリコン、タングステン（Ｗ）、チタン（Ｔｉ）、窒化チタン（ＴｉＮ）、及びそれらの積層膜などを用いることができる。

【００４４】

８層のＴＦＴセル層Ｌ１～Ｌ８の上部には、層間絶縁膜を介してグローバルビット線ＧＢＬの配線層（第３の層）が形成されている。グローバルビット線ＧＢＬの各配線の材料としては、例えば、タングステン（Ｗ）、銅（Ｃｕ）、アルミニウム（Ａｌ）などを用いることができる。また、グローバルビット線ＧＢＬの各配線とタングステン配線層３５との間は、ビア４３を介して電気的に接続されている。ビア４３の材料としては、例えば、タングステン（Ｗ）を用いることができる。

【００４５】

図１１は、ＴＦＴセル層Ｌ１～Ｌ８及びＴＦＴ選択回路層Ｌ０に形成されるＴＦＴの構造例を示している。図１１に示すＴＦＴは、ＳｉＯ２膜５０の上部に成膜された多結晶シリコン膜５１にソース（Ｓ）及びドレイン（Ｄ）の構造が形成され、ソース（Ｓ）及びドレイン（Ｄ）に挟まれたチャネルの上部にゲート絶縁膜５２を介してゲート電極５３が形成される。ソース（Ｓ）及びドレイン（Ｄ）には、例えば、リンやボロンなどの不純物が高濃度にイオン注入されている。ゲート電極５３の上部には層間絶縁膜５４が形成され、層間絶縁膜５４に開口した２箇所のコンタクトホールの部分にソース・ドレインメタル５５が形成されている。図１１に示すように、ソース（Ｓ）と一方のソース・ドレインメタ

ル５５（Ｓ）が電気的に接続されるとともに、ドレイン（Ｄ）と他方のソース・ドレインメタル５５（Ｄ）が電気的に接続される。なお図１０の例では、図１１におけるソース・ドレインの一方に対するコンタクトが、８層のＴＦＴセル層Ｌ１～Ｌ８の各ソース・ドレイン領域３７を貫通する８層貫通コンタクト４２として形成される。

【００４６】

図１１に示すＴＦＴは、平面状の多結晶シリコン膜５１にチャネルが形成されるので、ＴＦＴセル層Ｌ１～Ｌ８及びＴＦＴ選択回路層Ｌ０の各層の厚みを小さくすることができ、これらを積層した部分の全体の高さを低くすることができる。よって、積層方向に延びるローカルビット線ＬＢＬの線長を短縮でき、その寄生容量及び寄生抵抗を削減可能となる。同様に、グローバルビット線ＧＢＬから下方に延びるビア４３の深さを小さくでき、ビア４３の形成工程を簡素化して歩留まりと信頼性が向上するとともに、ビア４３の直径を小さくして微細化が可能となる。

【００４７】

ここで、ＴＦＴセル層Ｌ１～Ｌ８及びＴＦＴ選択回路層Ｌ０において、多結晶シリコンからなるＴＦＴ（第１のトランジスタ）は、例えば、３０～３００ｃｍ^2／Ｖｓ程度のキャリア移動度（電子移動度）を有する。なお、多結晶シリコンの代わりに酸化物を用いたＴＦＴは、例えば、５～１０ｃｍ^2／Ｖｓ程度のキャリア移動度を有する。これに対し、シリコン基板ＳＳに形成される単結晶シリコンからなるＭＯＳＦＥＴ（第２のトランジスタ）は、１０００ｃｍ^2／Ｖｓ程度のキャリア移動度（電子移動度）を有し、ＴＦＴに比べて大きな値となっている。よって、単結晶シリコンからなるＭＯＳＦＥＴに比較すると、チャネルの単位断面積当たりの抵抗については、ＴＦＴの方が大きな値になり、オン抵抗についても同様にＴＦＴの方が大きな値になる。

【００４８】

なお、シリコン基板ＳＳに形成されるＭＯＳＦＥＴ（第２のトランジスタ）に関しては、平面構造を採用してもよいが、縦型構造を採用してもよい。縦型構造のＭＯＳＦＥＴとしては、例えば、ＦｉｎＦＥＴやＳＧＴ(Surrounding Gate Transistor)を挙げることができる。平面構造のＭＯＳＦＥＴはシリコン基板ＳＳを薄くする上では有利であるが、縦型構造のＭＯＳＦＥＴを採用すると、同じレイアウト面積当たりの電流駆動能力が向上するため、回路動作の高速化が可能となる。あるいは、縦型構造のＭＯＳＦＥＴを採用するとシリコン基板ＳＳ内のローカルセンスアンプＬＳＡの面積を削減でき、それにより回路内の寄生容量及び寄生抵抗が削減され高速動作を実現できる。さらには、プレーナトランジスタと比べ高性能のトランジスタを用いた論理回路との混載も可能となる。

【００４９】

また、シリコン基板ＳＳに形成されるＭＯＳＦＥＴ（第２のトランジスタ）は、基本層であるシリコン基板ＳＳ等の基板に形成する場合には限られず、基板の上層に位置する所定の層に形成してもよい。

【００５０】

図１０に示すメモリセルアレイ１０の断面構造には多様な例がある。以下、図１２～１７を参照して、メモリセルＭＣの構造に応じて、メモリセルアレイ１０の断面構造が図１０とは異なる具体例について説明する。図１２は、本実施形態のメモリセルアレイ１０の第１の構造例を示している。第１の構造例では、各ＴＦＴセル層Ｌ１～Ｌ８のメモリセルＭＣが、例えば図３（１）に示す１Ｔ１Ｃ型のメモリセルＭＣである場合に適用される。図１２（Ａ）には、第１の構造例において、図１０の断面構造のうちのタングステン配線層３５、ＴＦＴ選択回路層Ｌ０及びＴＦＴセル層Ｌ１～Ｌ８を含む部分に対応する断面構造を示している。ここで、破線で囲まれた範囲Ａ１の部分が１個の１Ｔ１Ｃ型メモリセルに対応する。第１の構造例では、図１０の断面構造の構成要素に加えて、ＴＦＴ選択回路層Ｌ０及びＴＦＴセル層Ｌ１～Ｌ８を積層方向に貫く４つのキャパシタ構造が設けられている。図１２（Ｂ）には、図１２（Ａ）の断面構造のうちのキャパシタ構造を含む部分の平面図を示している。

【００５１】

具体的には、図３（１）のキャパシタＣ０に対応して、４本の円柱状の共通電極材料６０と、それぞれの共通電極材料６０の周囲を取り囲む高誘電率絶縁膜６１が形成される。共通電極材料６０の材料としては、例えばタングステン（Ｗ）や窒化チタン（ＴｉＮ）を用いることができる。高誘電率絶縁膜６１の材料としては、例えばＴｉＯやＳＴＯを用いることができる。共通電極材料６０の下端は、タングステン配線層３５における固定電位Ｖｆ（図３）の配線と電気的に接続されている。また、各ＴＦＴセル層Ｌ１～Ｌ８には、メモリセルＭＣのストレージノードＮＳ（ＴＦＴのソース・ドレイン領域）が形成されている。図１２（Ｂ）の平面図からわかるように、共通電極材料６０とストレージノードＮＳとを高誘電率絶縁膜６１を挟んで対向配置することで所定の容量値が確保される。

【００５２】

図１３は、図１２の断面構造の等価回路を示しており、図１２の各層における範囲Ａ１と図１３の範囲Ａ１が互いに対応している。任意の範囲Ａ１において、メモリセルＭＣ内のキャパシタＣ０を構成する４つのキャパシタ部分が並列に接続され、それぞれの一端が共通電極材料６０に接続され、それぞれの他端が各層のストレージノードＮＳに接続されている。なお、第１の構造例では、４つのキャパシタ部分に対応する４つの共通電極材料６０（及び高誘電率絶縁膜６１）が形成されるが、キャパシタＣ０の容量値に応じて共通電極材料６０の個数を適宜に定めることができる。

【００５３】

以上のように、メモリセルアレイ１０の第１の構造例を適用することにより、複数のＴＦＴセル層Ｌ１～Ｌ８に構成される複数のキャパシタＣ０を一括して形成できるため、製造工程を短縮してコストの低減が可能となる。

【００５４】

次に図１４は、本実施形態のメモリセルアレイ１０の第２の構造例を示している。第２の構造例では、各ＴＦＴセル層Ｌ１～Ｌ８のメモリセルＭＣが、例えば図３（２）に示す１Ｔ１Ｒ型のメモリセルＭＣである場合に適用される。図１４（Ａ）は、第２の構造例において、図１２（Ａ）と同様の部分に対応する断面構造を示している。ここで、破線で囲まれた範囲Ａ２の部分が１個の１Ｔ１Ｒ型メモリセルに対応する。第２の構造例では、図１０の断面構造の構成要素に加えて、ＴＦＴ選択回路層Ｌ０及びＴＦＴセル層Ｌ１～Ｌ８を積層方向に貫き、図３（２）の抵抗Ｒ０（可変抵抗素子）に対応する構造が設けられている。図１４（Ｂ）には、図１４（Ａ）の断面構造のうちの抵抗Ｒ０に対応する構造を含む部分の平面図を示している。

【００５５】

具体的には、図３（２）の抵抗Ｒ０に対応して、円柱状の共通電極材料７１と共通電極材料７１の周囲を取り囲む抵抗値変化層７０と、抵抗値変化層７０内の導電性フィラメント７２が形成される。共通電極材料７１の材料としては、例えばタングステン（Ｗ）や窒化チタン（ＴｉＮ）を用いることができる。抵抗値変化層７０の材料としては、例えば遷移金属の酸化物を用いることができ、導電性フィラメント７２は抵抗値変化層７０のうちの可変抵抗経路として機能する。共通電極材料７１の下端は、図１２（Ａ）と同様、タングステン配線層３５における固定電位Ｖｆの配線と電気的に接続されている。

【００５６】

図１５は、図１４の断面構造の等価回路を示しており、図１４の各層における範囲Ａ２と図１５の範囲Ａ２が互いに対応している。任意の範囲Ａ２において、メモリセルＭＣ内の抵抗Ｒ０を構成する導電性フィラメント７２は、一端が共通電極材料７１に接続され、他端が各層のストレージノードＮＳに接続されている。

【００５７】

以上のように、メモリセルアレイ１０の第２の構造例を適用することにより、複数のＴＦＴセル層Ｌ１～Ｌ８に構成される複数の抵抗Ｒ０を一括して形成できるため、製造工程を短縮してコストの低減が可能となる。

【００５８】

次に図１６は、本実施形態のメモリセルアレイ１０の第３の構造例を示している。第３

の構造例は、第２の構造例を変形したものである。図１６は、第３の構造例において図１４（Ａ）と同様の部分に対応する断面構造を示している。ここで、破線で囲まれた範囲Ａ３の部分が２個の１Ｔ１Ｒ型メモリセルに対応する。第３の構造例のうち、図１４の第２の構造例と異なるのは、ＴＦＴセル層Ｌ１～Ｌ８の各層において１つの抵抗値変化層７０がその両側の２つのメモリセルＭＣの各抵抗Ｒ０（可変抵抗素子）として機能する点である。よって、図１６の各層のストレージノードＮＳの中央に共通電極材料７１が形成され、その両側に８層貫通コンタクト４２やワード線ＷＬ（ゲート電極）等の構成要素が対称的に配置されている。

【００５９】

図１７は、図１６の断面構造の等価回路を示している。図１６の各層における範囲Ａ３と図１３の範囲Ａ３が互いに対応している。図１７に示すように、第３の構造例の等価回路は、第２の構造例の等価回路（図１５）を共通電極材料７１の両側に対称配置したものである。よって、図１７の範囲Ａ３内の両側に形成される２つのメモリセルＭＣに関し、共通電極材料７１に接続する抵抗値変化層７０に形成される２つの導電性フィラメント７２がそれぞれ異なるメモリセルＭＣの各抵抗Ｒ０として機能する。メモリセルＭＣの第３の構造例は、第２の構造例と同様の効果を得ることができる。

【００６０】

図１８は、第３の構造例におけるＴＦＴセル層Ｌ１～Ｌ８の任意の層の平面図を示しており、複数のストレージノードＮＳを中央で分断するように直方体（平面視では長方形）の共通電極材料７１及び抵抗値変化層７０が形成されている。それぞれのストレージノードＮＳの両側の領域に対応して、複数の８層貫通コンタクト７３及び複数のワード線ＷＬが対称的に配置されている。メモリセルアレイ１０の第３の構造例により、第２の構造例と同様の効果に加えて、セル面積の削減に適した構造を実現できる。

【００６１】

［コンピュータシステム］

次に、本実施形態の半導体装置を含むコンピュータシステムについて、図１９を参照して説明する。図１９は、本実施形態の半導体装置としてのメモリＬＳＩ１００を含むコンピュータシステムの構成例を示すブロック図である。図１９に示すコンピュータシステムは、コア（１）～（４）と表記される４個のプロセッサコア２０１と、インターフェース部２０２と、外部記憶装置制御ブロック２０３と、オンチップメモリ２０４とを含むマルチコアプロセッサ２００が１つのチップ上に構成され、それとは別チップ上に本実施形態のメモリＬＳＩ１００が構成される。図１９のマルチコアプロセッサ２００においては、外部記憶装置制御ブロック２０３によりメモリＬＳＩ１００に対するアクセスが制御される。外部記憶装置制御ブロック２０３はコマンド信号Ｓｃとアドレス信号Ｓａをメモリ ＬＳＩ１００に送出し、メモリＬＳＩ１００はデータ信号Ｓｄを外部記憶装置制御ブロック２０３との間でやりとりする。本実施形態の構成を適用することにより、高速かつ大容量のメモリＬＳＩ１００を搭載したコンピュータシステムを容易に実現することができる。

【００６２】

以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能である。本実施形態におけるセンスアンプＳＡやその他の各種回路については、本実施形態に開示された回路形式に限られることなく、多様な回路形式を採用することができる。

【００６３】

本発明は、上記各実施形態で開示した半導体装置に限られることなく、多様な半導体装置に適用することができる。本発明は、例えば、ＣＰＵ（Central Processing Unit）、ＭＣＵ（Micro Control Unit）、ＤＳＰ（Digital Signal Processor）、ＡＳＩＣ（Application Specific Integrated Circuit）、ＡＳＳＰ（Application Specific Standard Product）等の半導体装置全般に対して適用可能である。また、本発明を適用可能な半導体装置の製品形態としては、例えば、ＳＯＣ（System on Chip）、ＭＣＰ（Multi Chip Package）、ＰＯＰ（Package on Package）など、多様なパッケージ形態を有する半導体装置

を挙げることができる。
【００６４】
本発明のトランジスタとしては、電界効果トランジスタ（Field Effect Transistor: FET）であればよく、第２のトランジスタとして、ＭＯＳ（Metal Oxide Semiconductor）以外にもＭＩＳ（Metal-Insulator Semiconductor）等の様々なＦＥＴに適用できる。第１のトランジスタとして、ＴＦＴ(Thin Film Transistor)等の様々なＦＥＴに適用できる。また、装置内に一部のバイポーラ型トランジスタを有してもよい。更に、第２のトランジスタとして、Ｐチャネル型ＭＯＳトランジスタは、第２導電型のトランジスタ、Ｎチャネル型ＭＯＳトランジスタは、第１導電型のトランジスタの代表例である。
【００６５】
本発明の抵抗素子Ｒ０（図１４乃至図１８で示した各抵抗素子Ｒ０）の材料は、不揮発性記憶素子としての一例としての材料を開示したに過ぎず、材料の選択によっては揮発性記憶素子として作用する抵抗素子Ｒ０（可変抵抗素子）でもよい。
【００６６】
本発明の適用対象には、種々の開示要素の多様な組み合わせ又は選択が可能である。すなわち、本発明は、請求の範囲を含む全開示、技術的思想に従って当業者であればなし得るであろう各種変形、修正を含むことは言うまでもない。
【００６７】
以下、本発明に関して開示した内容の一部を付記として記載する。
【００６８】
［付記１］
互いに積層するＮ（Ｎは２以上の整数）層にそれぞれ形成され、情報を記憶し、当該情報を外部と通信する第１のトランジスタをそれぞれ含むＮ個のメモリセルと、
前記積層するＮ層を貫いて積層方向に延びる配線構造を含み、Ｎ個の前記第１のトランジスタの一端がそれぞれ対応する前記配線構造の箇所に直接に接続し、前記Ｎ個のメモリセルのそれぞれの情報を伝送する第１のビット線と、
前記Ｎ層を積層する基本層である基板に形成され、前記第１のビット線を介して伝送される信号を増幅する第２のトランジスタを含む第１の回路と、を備え、
前記第１のトランジスタのチャネル中のキャリアの移動度は、前記第２のトランジスタのチャネル中のキャリアの移動度よりも低い、ことを特徴とする半導体装置。
【００６９】
［付記２］
前記第１のトランジスタ及び前記第２のトランジスタのチャネルは、互いに異なる材料で構成される、ことを特徴とする付記１に記載の半導体装置。
【００７０】
［付記３］
前記第１のトランジスタは薄膜トランジスタ（ＴＦＴ）であり、前記第２のトランジスタは薄膜トランジスタ以外のトランジスタである、ことを特徴とする付記２に記載の半導体装置。
【００７１】
［付記４］
更に、積層するＮ層を貫いて積層方向に延びる配線構造を含む共通電極と、前記共通電極を取り囲む第１の膜と、を備え、
前記Ｎ個の第１のトランジスタのそれぞれは、一端が前記第１のビット線に接続し、他端が前記第１の膜に接する、ことを特徴とする付記２または３に記載の半導体装置。
【００７２】
［付記５］
半導体装置と、
複数のプロセッサコアと、バスを介して前記メモリセルアレイに対するアクセスを制御する制御ブロックとを含むマルチコアプロセッサと、

を備えたコンピュータシステムであって、
前記半導体装置は、
第１の層に形成され、情報を記憶し、当該情報を外部に読み出す第１のトランジスタを含むメモリセルと、
前記第１の層を積層する基本層である基板に形成され、第１のノードに供給された前記情報を増幅する第２のトランジスタを含む第１の回路と、
前記第１のトランジスタの一端に直接に接続されて積層方向に延びる配線構造を含み、前記情報を前記第１の回路へ伝送する第１のビット線と、を備え、
前記第１のトランジスタのチャネル中のキャリアの移動度は、前記第２のトランジスタのチャネル中のキャリアの移動度よりも低い、ことを特徴とするコンピュータシステム。

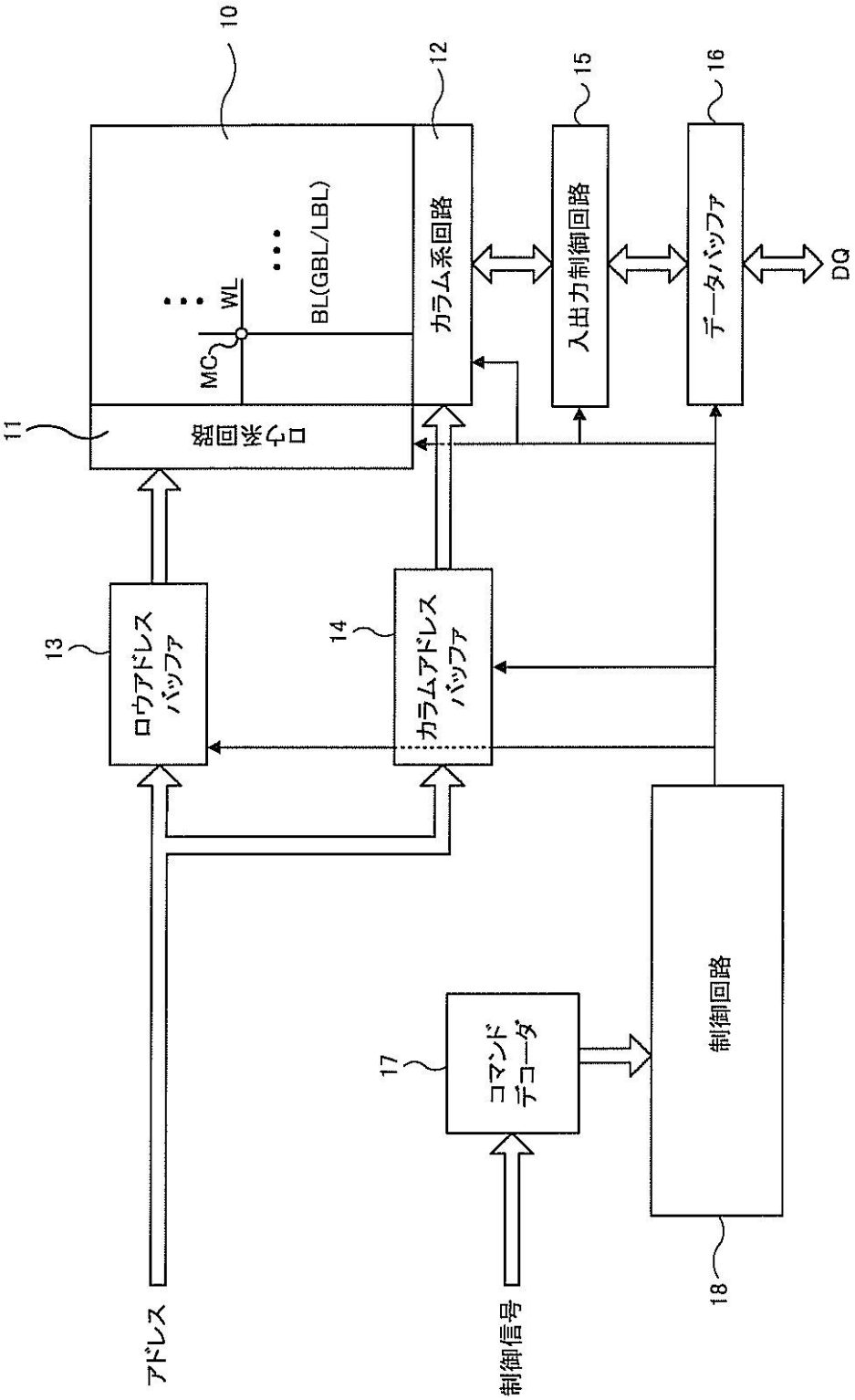
【符号の説明】

【００７３】

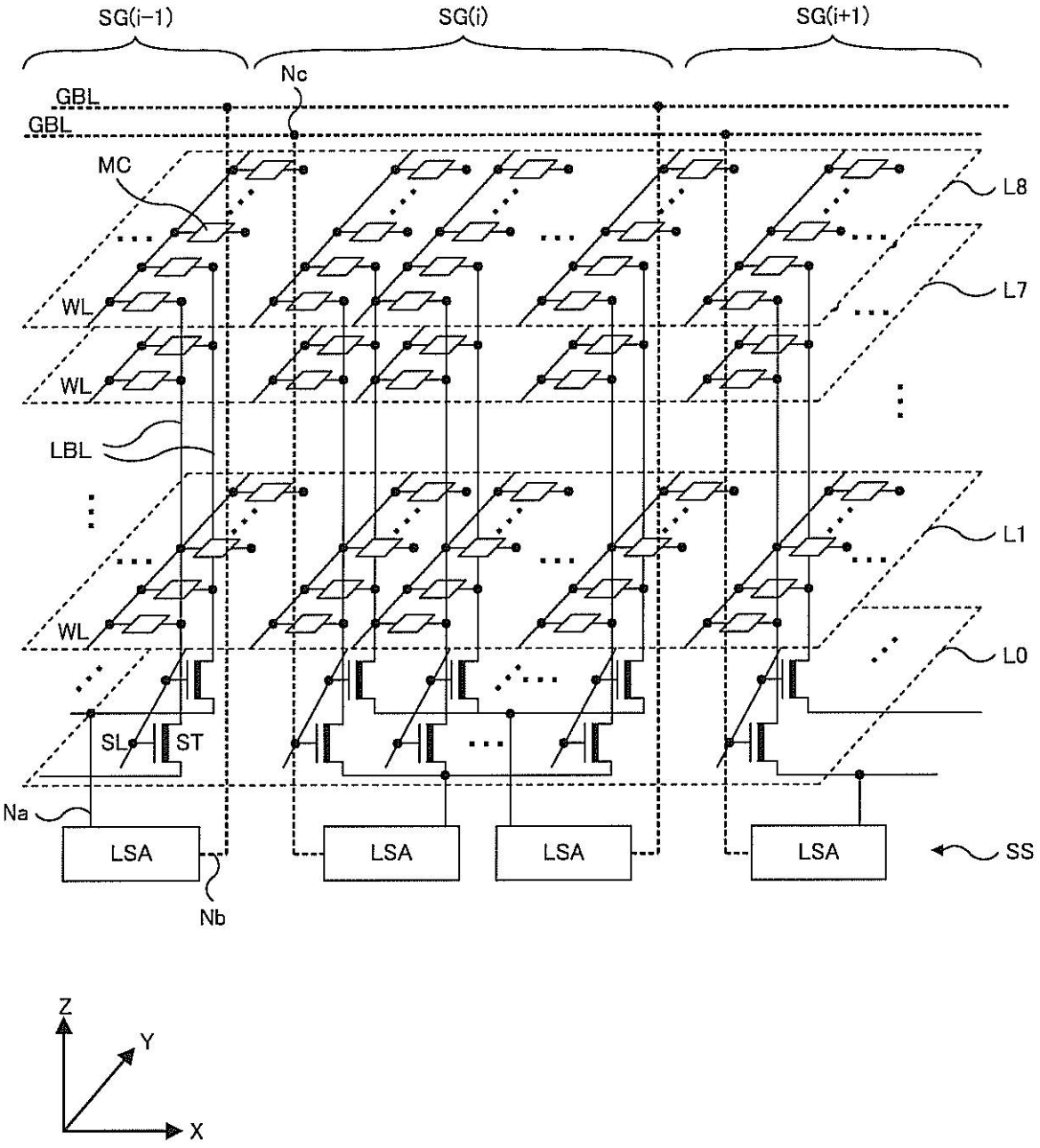
１０…メモリセルアレイ
１１…ロウ系回路
１２…カラム系回路
１３…ロウアドレスバッファ
１４…カラムアドレスバッファ
１５…入出力制御回路
１６…データバッファ
１７…コマンドデコーダ
１８…制御回路
３０…ウエル
３１…素子分離領域
３２…ソース・ドレイン領域
３３…ゲート酸化膜
３４…ゲート電極
３５…タングステン配線層
３６、３７…ソース・ドレイン領域
４０、４１…コンタクト
４２…８層貫通コンタクト
４３…ビア
５０…ＳｉＯ２膜
５１…多結晶シリコン膜
５２…ゲート絶縁膜
５３…ゲート電極
５４…層間絶縁膜
５５…ソース・ドレインメタル
６０…共通電極材料
６１…高誘電率絶縁膜
７０…抵抗値変化層
７１…共通電極材料
７２…導電性フィラメント
１００…メモリＬＳＩ
２００…マルチコアプロセッサ
２０１…プロセッサコア
２０２…インターフェース部
２０３…外部記憶装置制御ブロック
２０４…オンチップメモリ
ＧＢＬ…グローバルビット線
ＧＳＡ…グローバルセンスアンプ

Ｌ０…ＴＦＴ選択回路層
Ｌ１～Ｌ８…ＴＦＴセル層
ＬＢＬ…ローカルビット線
ＬＳＡ…ローカルセンスアンプ
ＭＣ…メモリセル
ＮＳ…センスノード
Ｎａ、Ｎｂ…入出力ノード（ローカルセンスアンプ）
Ｎｃ…ノード
ＰＴ…プリチャージトランジスタ
Ｑ１、Ｑ２、Ｑ３、Ｑ４…ｎＭＯＳＦＥＴ
Ｑ５…ｐＭＯＳＦＥＴ
ＳＳ…シリコン基板
ＳＬ…ＬＢＬ選択線
ＳＴ…スイッチトランジスタ
ＷＬ…ワード線

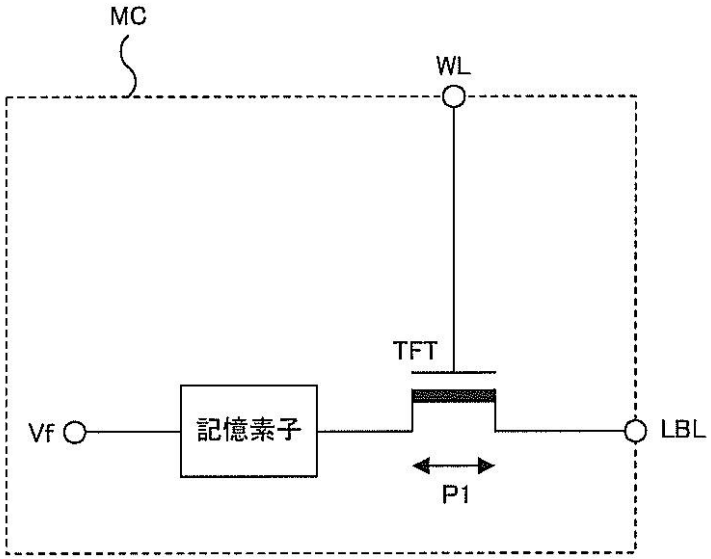
【図１】


10
12
15
16
11
13
14
17
18
WL
MC
BL(GBL/LBL)
カラム系回路
入出力制御回路
データバッファ
DQ
ロウ系回路
ロウアドレスバッファ
カラムアドレスバッファ
コマンドデコーダ
制御回路
アドレス
制御信号

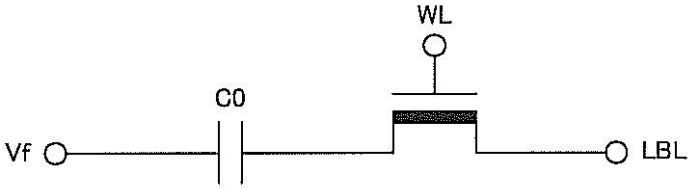
【図２】


SG(i-1)
SG(i)
SG(i+1)
Nc
GBL
GBL
MC
WL
WL
LBL
WL
SL
ST
Na
LSA
LSA
LSA
LSA
Nb
L8
L7
L1
L0
SS
Z
Y
X

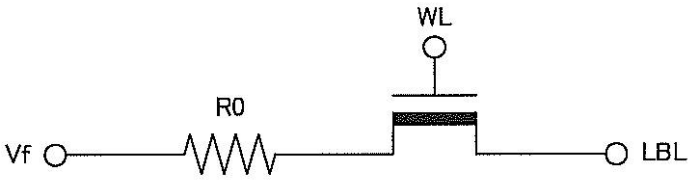
【図３】



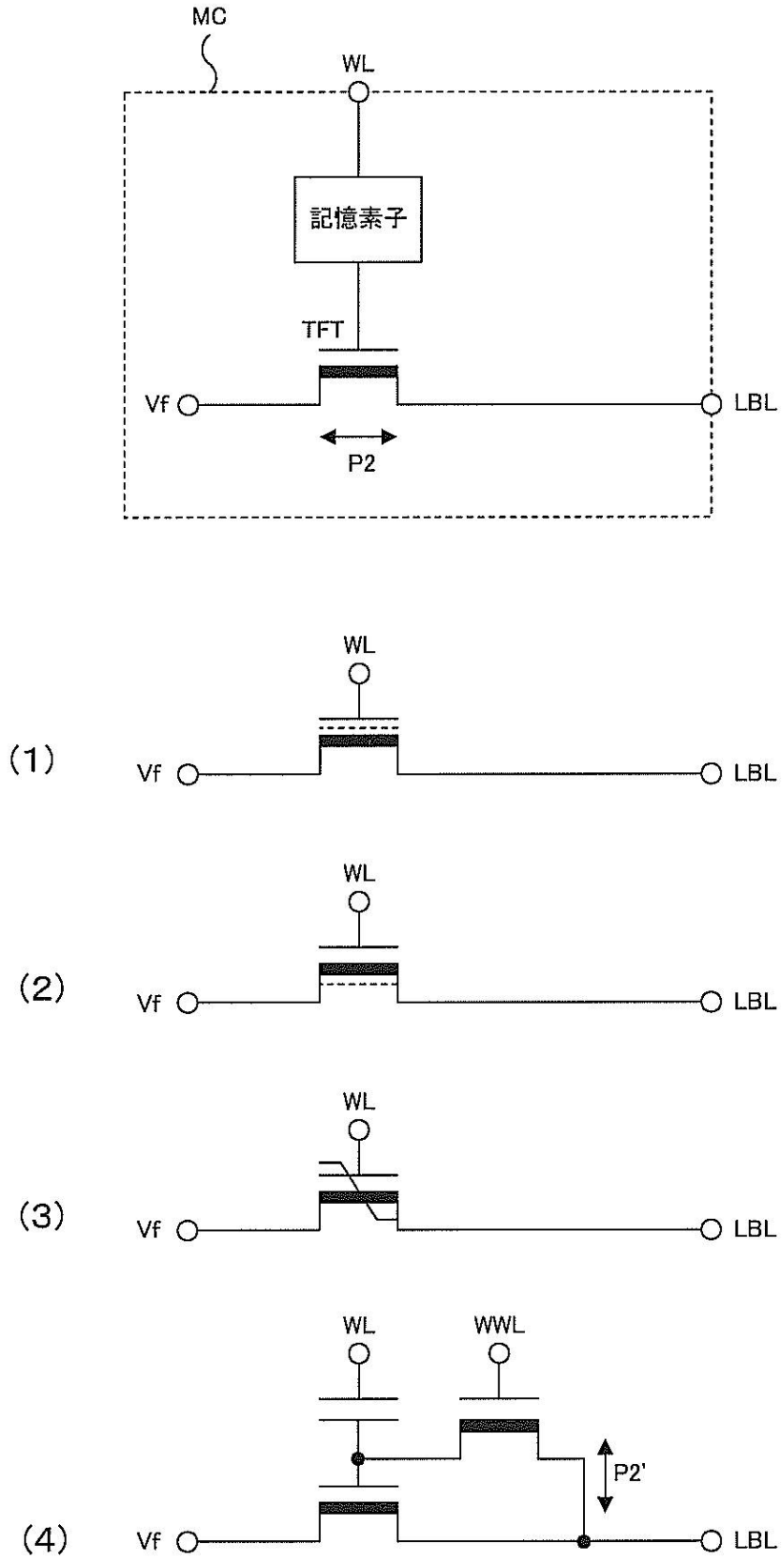
(1)



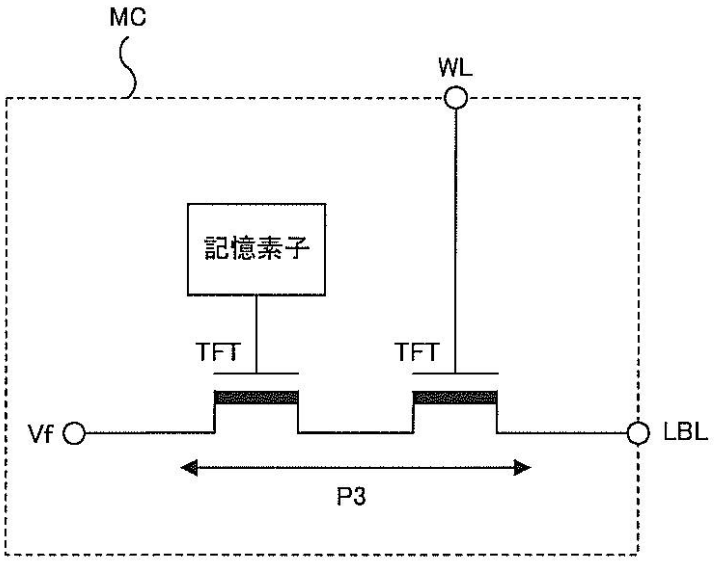
(2)



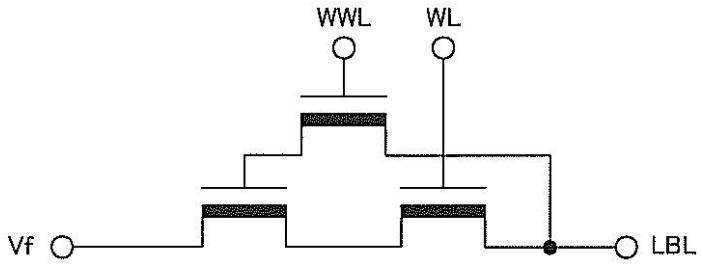
【図４】



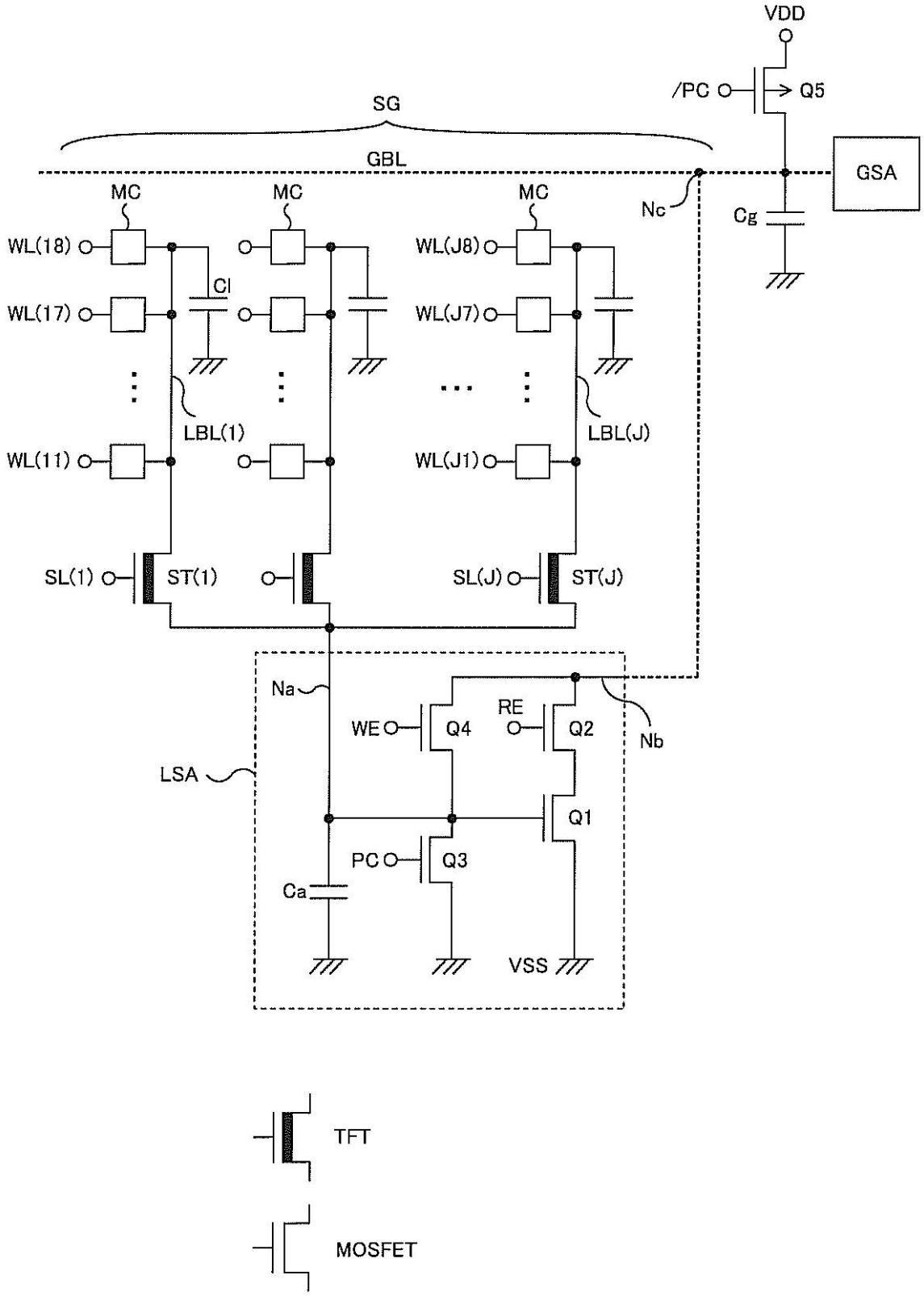
【図５】



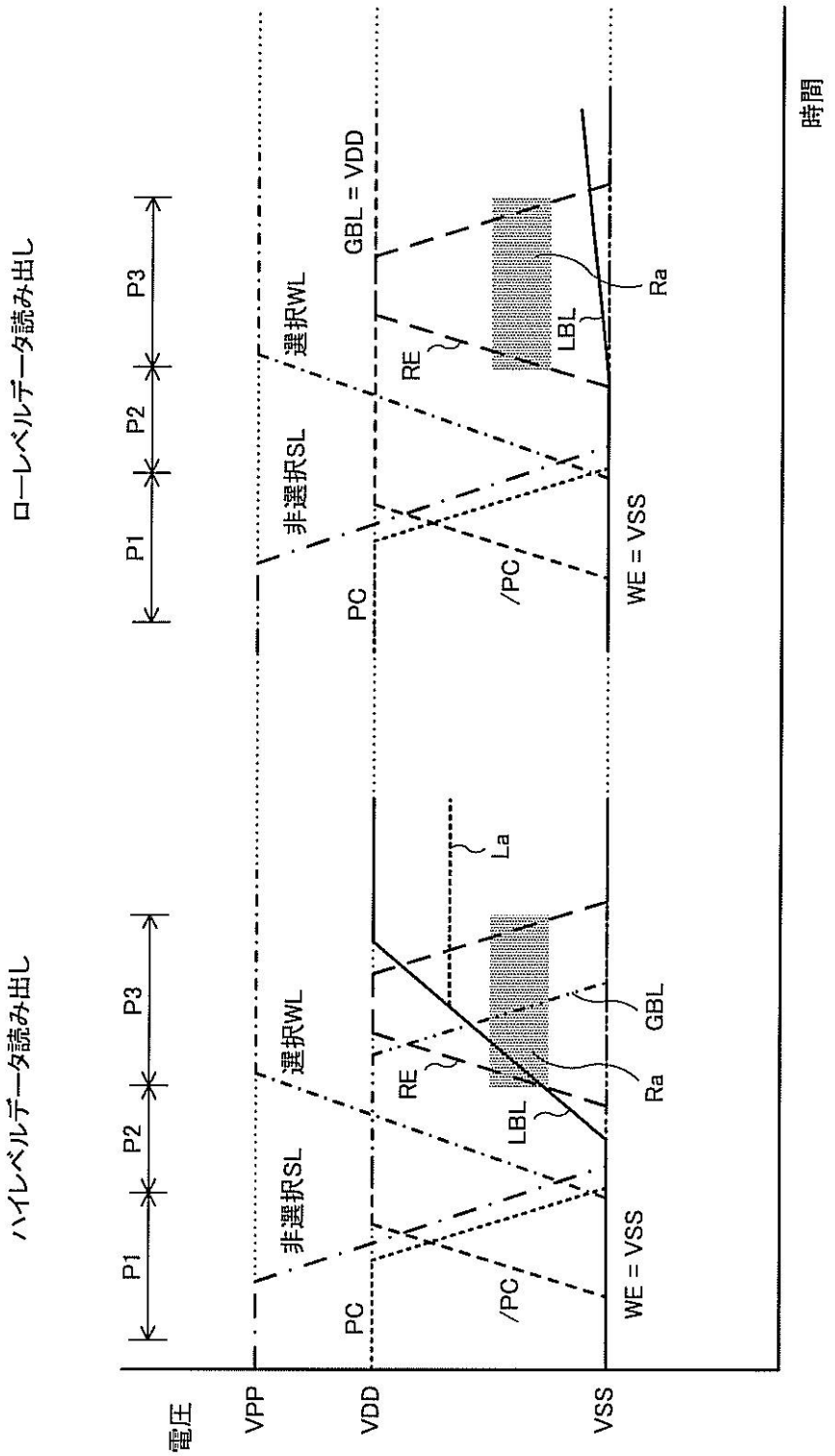
(1)



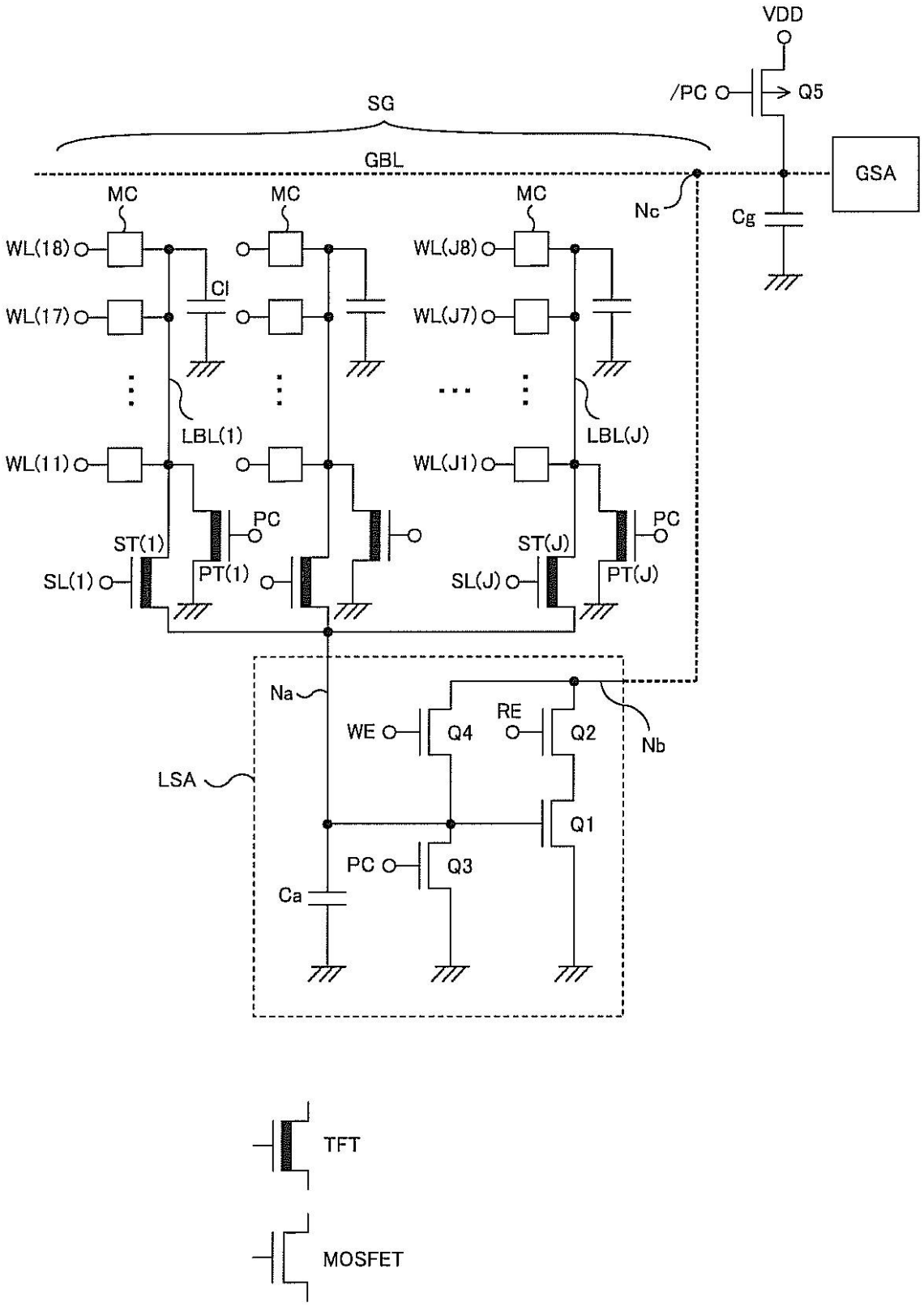
【図６】


VDD
/PC
Q5
SG
GBL
GSA
Nc
Cg
MC
MC
MC
WL(18)
WL(17)
WL(11)
Cl
LBL(1)
WL(J8)
WL(J7)
WL(J1)
LBL(J)
SL(1)
ST(1)
SL(J)
ST(J)
Na
Nb
LSA
WE
Q4
RE
Q2
Q1
PC
Q3
Ca
VSS
TFT
MOSFET

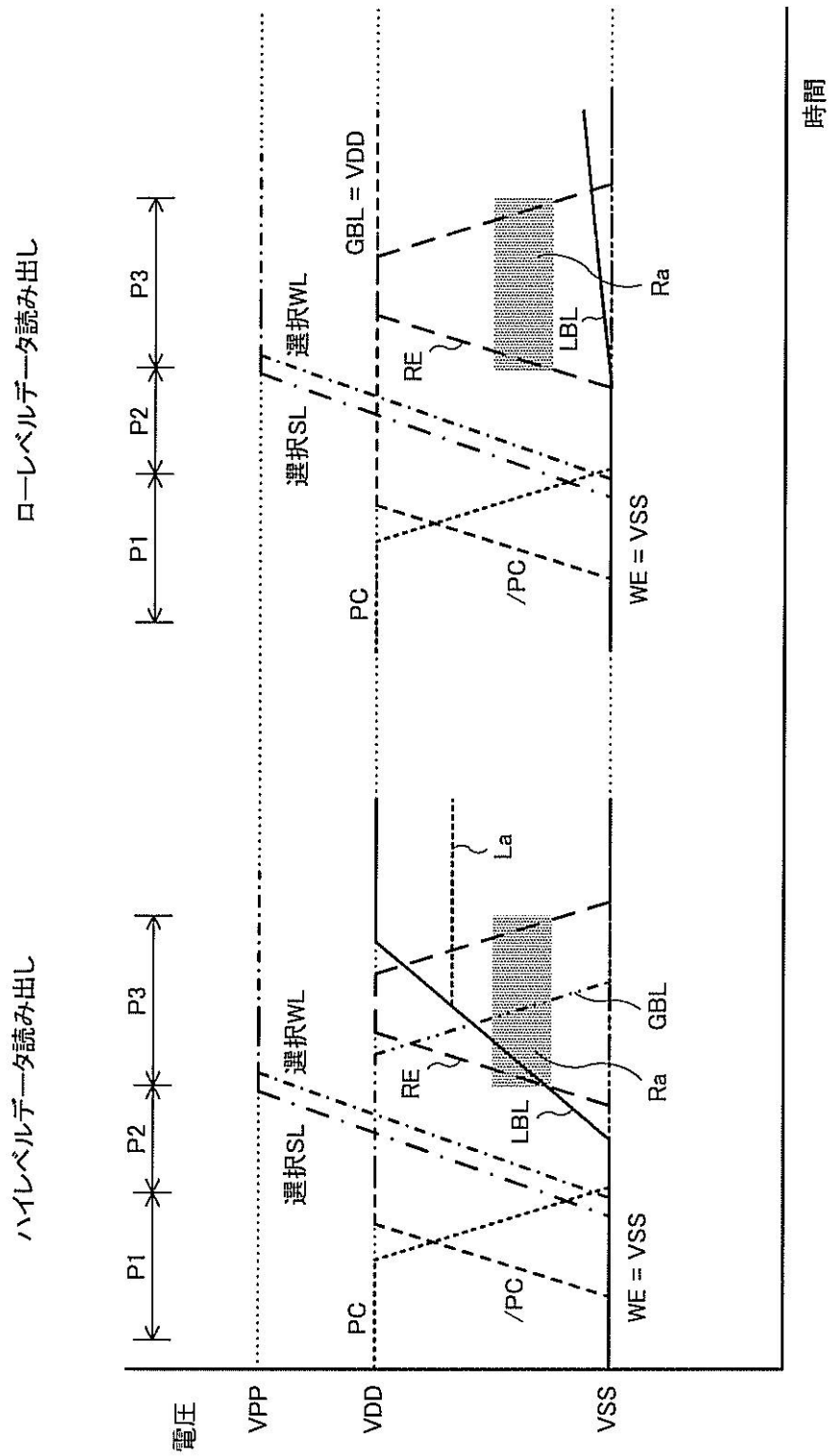
【図７】


ハイレベルデータ読み出し
ローレベルデータ読み出し
P1
P2
P3
非選択SL
選択WL
PC
/PC
RE
LBL
GBL
Ra
La
GBL = VDD
WE = VSS
電圧
VPP
VDD
VSS
時間

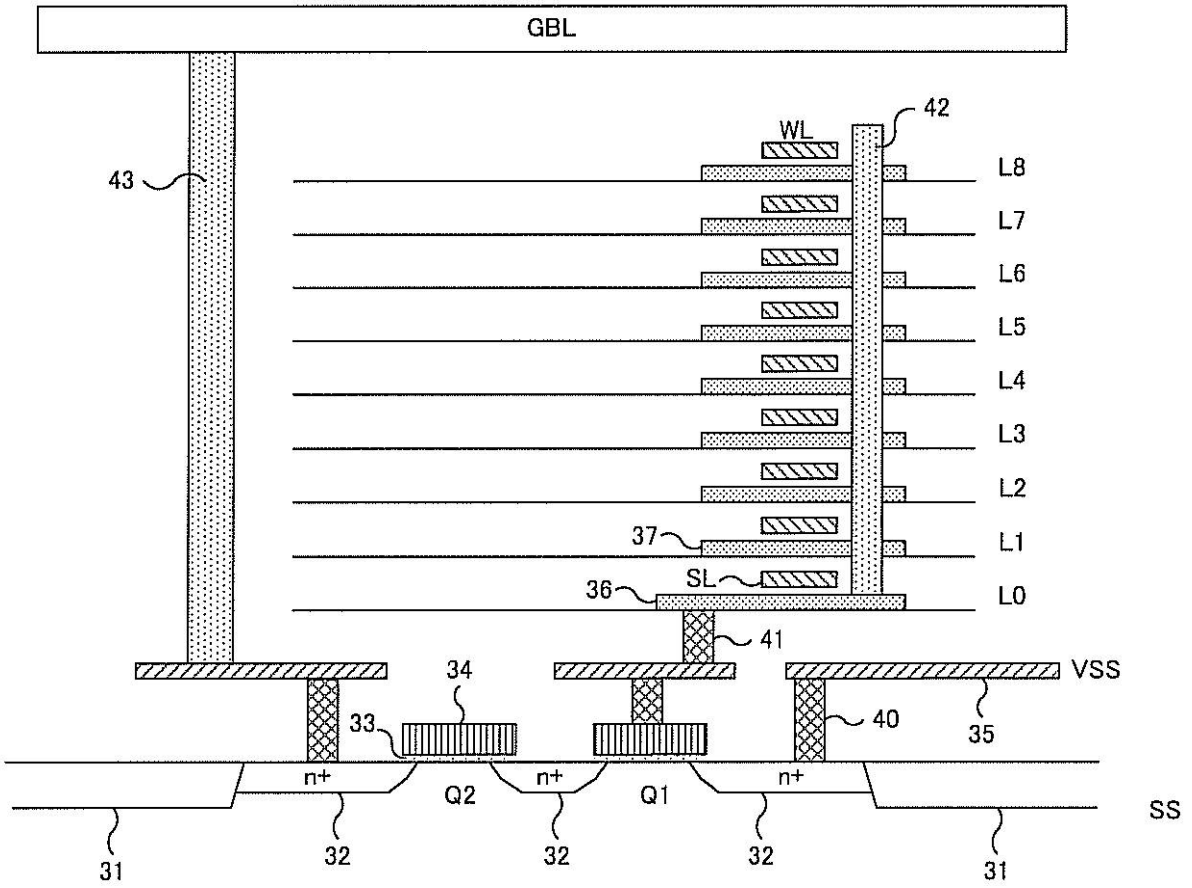
【図８】


VDD
/PC
Q5
SG
GBL
GSA
Nc
Cg
MC
MC
MC
WL(18)
WL(17)
WL(11)
Cl
LBL(1)
WL(J8)
WL(J7)
WL(J1)
LBL(J)
PC
ST(1)
SL(1)
PT(1)
ST(J)
SL(J)
PT(J)
Na
Nb
LSA
WE
Q4
RE
Q2
Q1
PC
Q3
Ca
TFT
MOSFET

【図９】

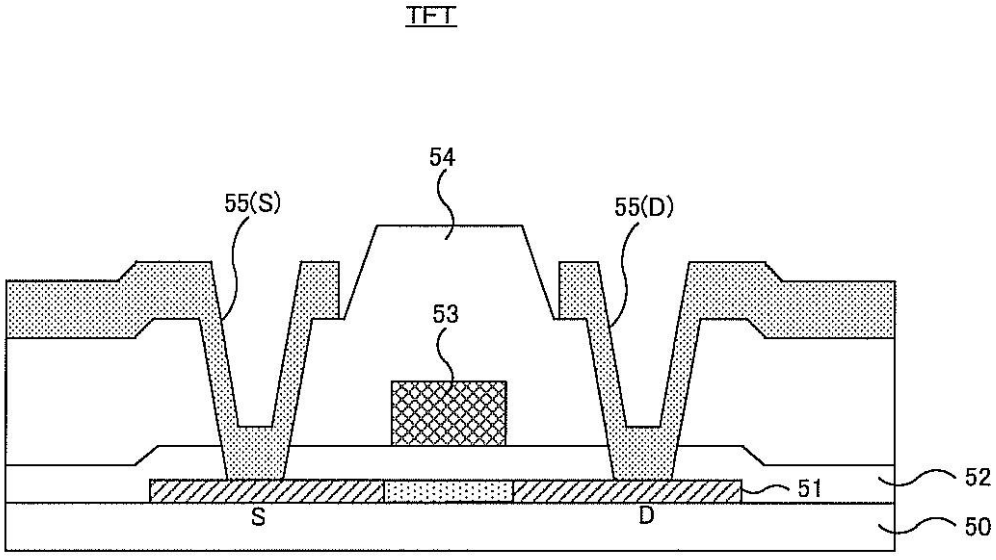

ハイレベルデータ読み出し
ローレベルデータ読み出し
P1
P2
P3
選択WL
選択SL
PC
/PC
RE
LBL
GBL
La
Ra
WE = VSS
GBL = VDD
電圧
VPP
VDD
VSS
時間

【図１０】


GBL
42
WL
43
L8
L7
L6
L5
L4
L3
L2
37
L1
SL
36
L0
41
34
VSS
33
40
35
n+
Q2
n+
Q1
n+
SS
31
32
32
32
31

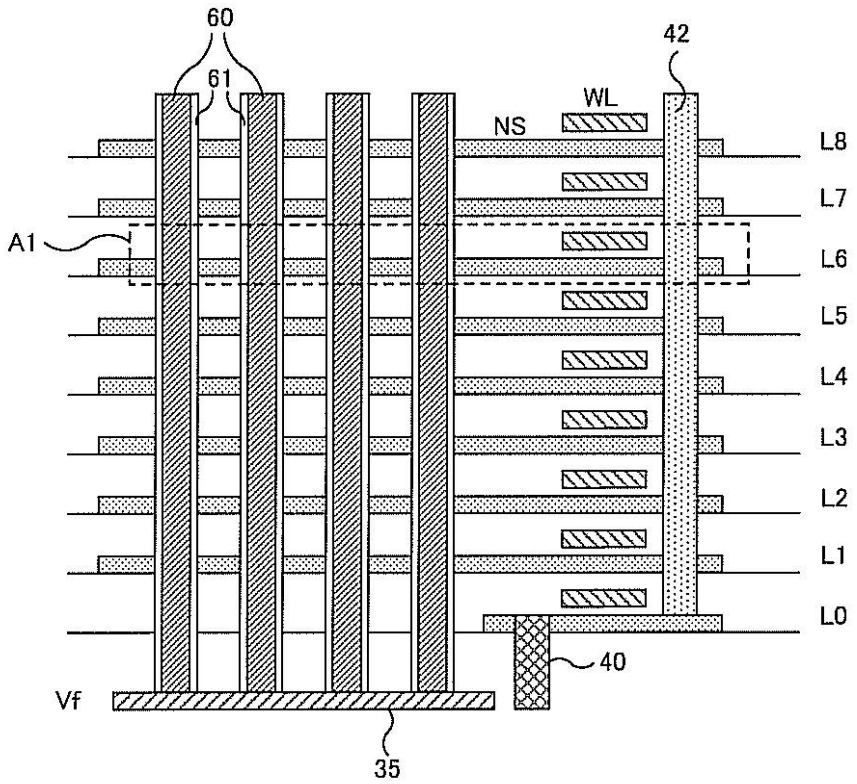
30: P型ウエル

【図１１】

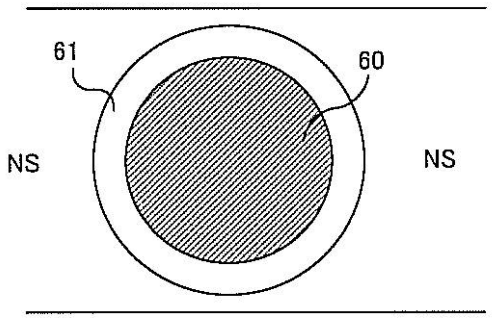


【図１２】

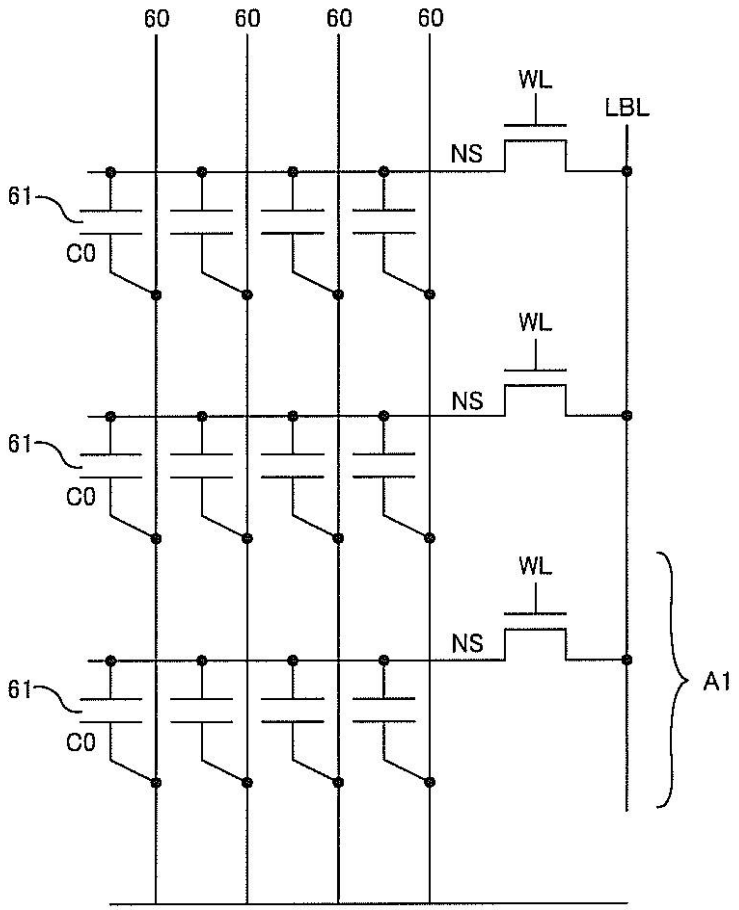
(A)



(B)

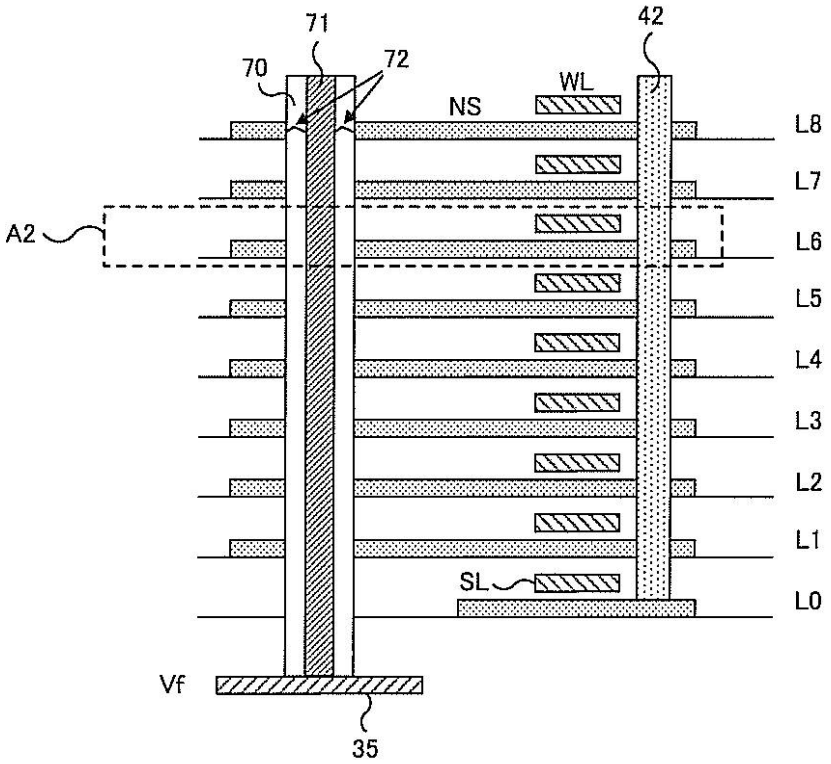


【図１３】

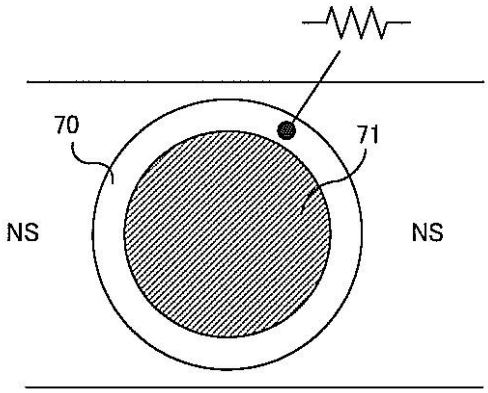


【図１４】

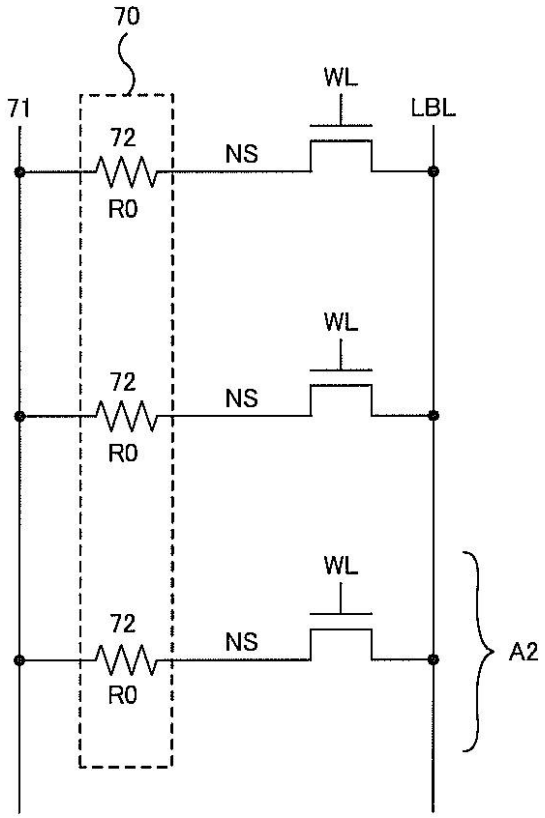
(A)



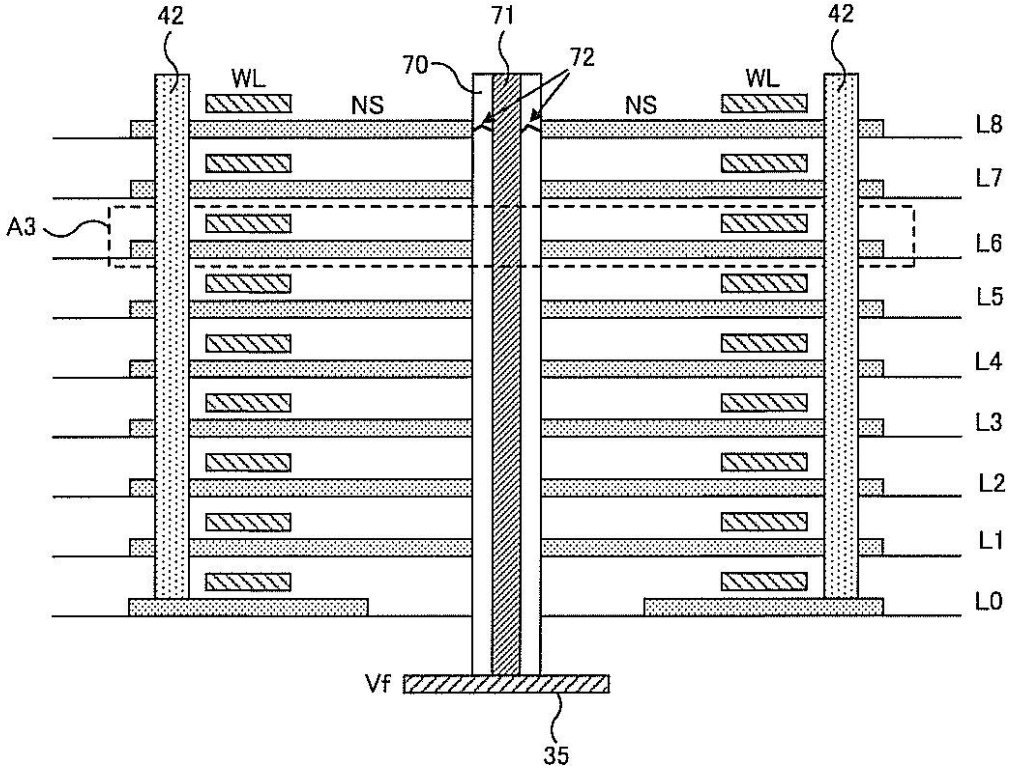
(B)



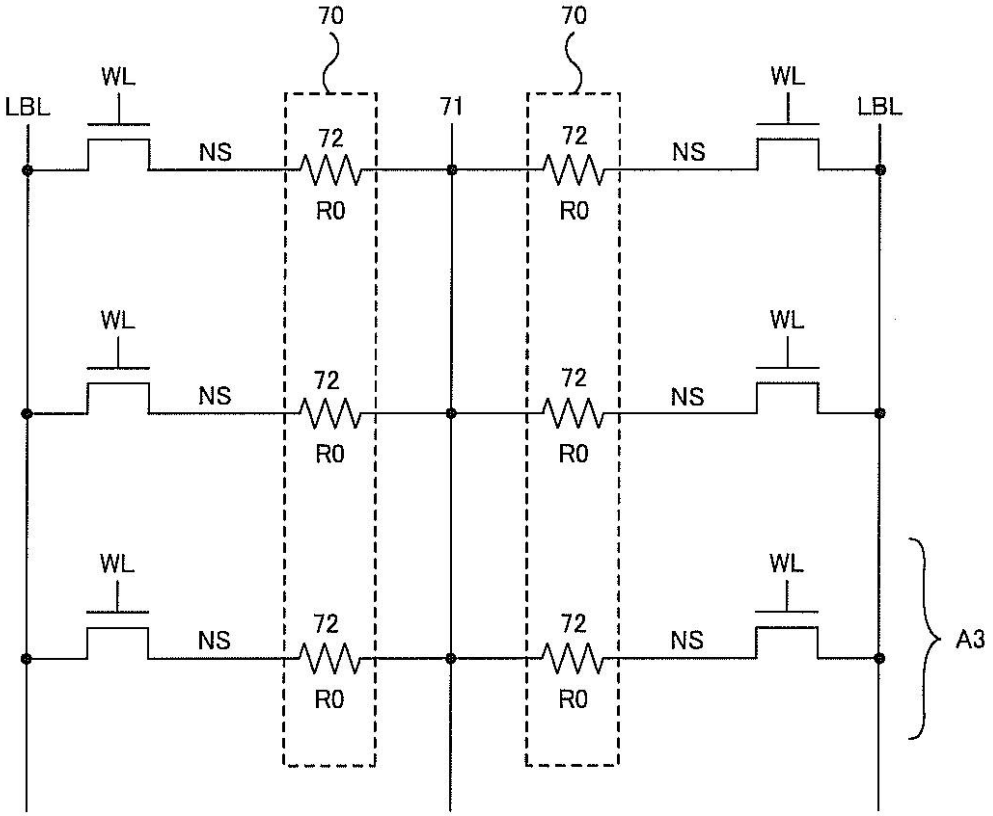
【図１５】



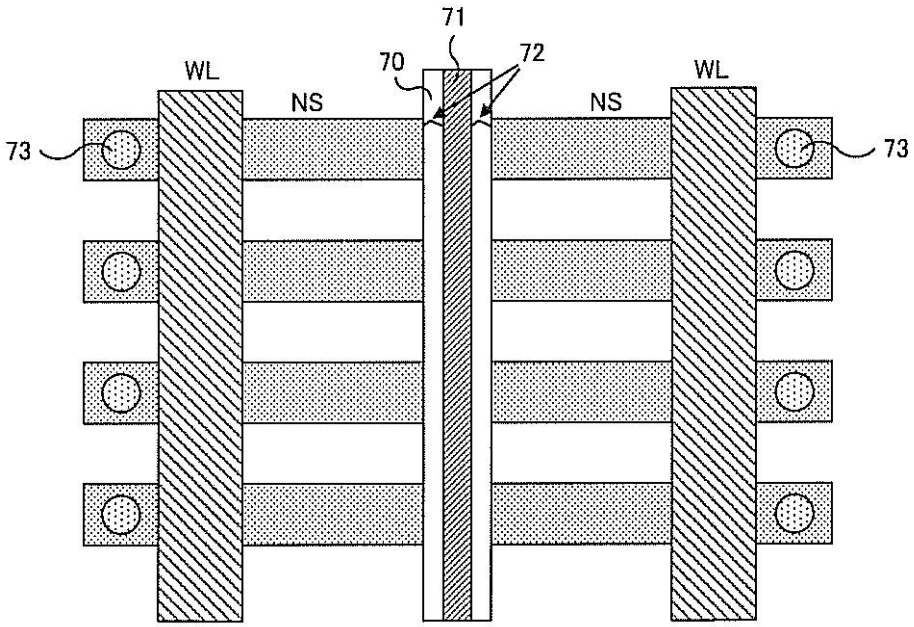
【図１６】



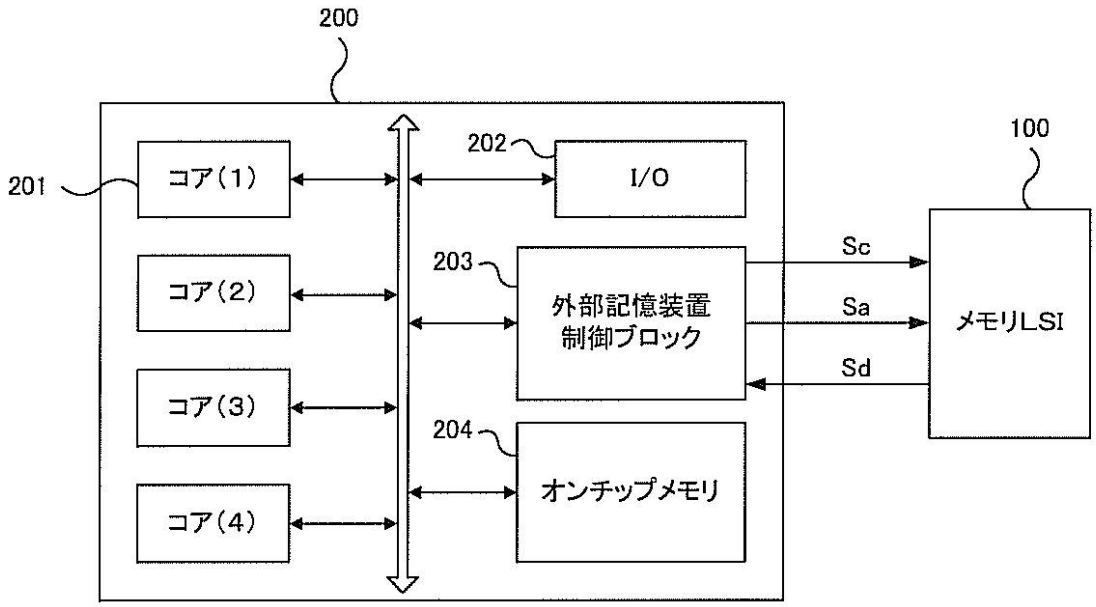
【図１７】


70
70
WL
LBL
71
WL
LBL
NS
72
R0
NS
72
R0
WL
WL
NS
72
R0
NS
72
R0
WL
WL
NS
72
R0
NS
72
R0
A3

【図１８】



【図１９】


200
201
コア(1)
コア(2)
コア(3)
コア(4)
202
I/O
203
外部記憶装置
制御ブロック
204
オンチップメモリ
100
メモリLSI
Sc
Sa
Sd

フロントページの続き

(51)Int.Cl.		F I		テーマコード（参考）
Ｈ０１Ｌ 27/115	*(2006.01)*	Ｈ０１Ｌ 27/10	４４４Ａ	
Ｈ０１Ｌ 21/8246	*(2006.01)*	Ｈ０１Ｌ 27/10	４４８	
Ｈ０１Ｌ 27/105	*(2006.01)*	Ｈ０１Ｌ 29/78	３７１	
Ｈ０１Ｌ 21/336	*(2006.01)*			
Ｈ０１Ｌ 29/788	*(2006.01)*			
Ｈ０１Ｌ 29/792	*(2006.01)*			

Ｆターム(参考) 5F110 AA02 AA04 BB06 BB08 BB11 CC02 DD05 DD13 GG01 GG02
GG06 GG13 HJ01 HJ13 HL02 NN74