

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年11月17日(17.11.2022)



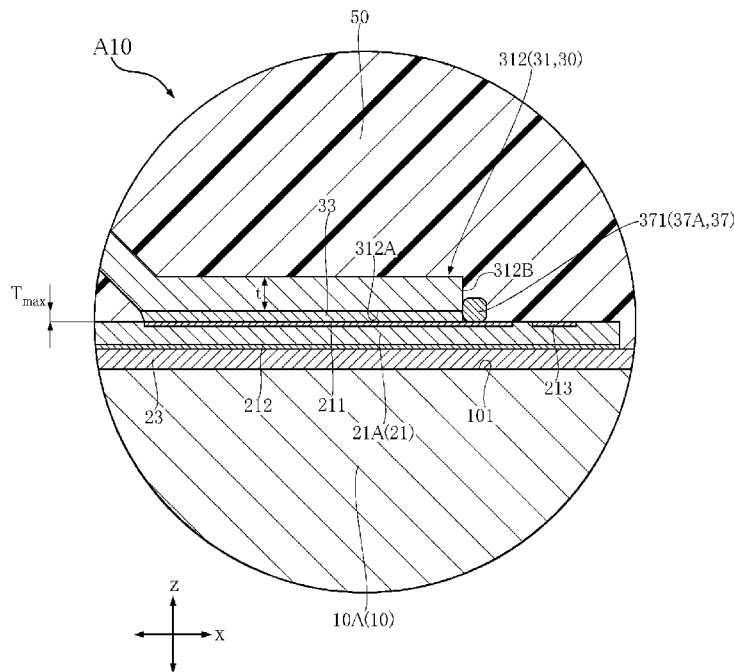
(10) 国際公開番号
WO 2022/239696 A1

- (51) 国際特許分類:
H01L 21/60 (2006.01) H01L 25/07 (2006.01)
H01L 23/48 (2006.01) H01L 25/18 (2006.01)
- (72) 発明者: 神田 沢水(KANDA Takumi); 〒6158585
京都府京都市右京区西院溝崎町 2 1 番地
ローム株式会社内 Kyoto (JP).
- (21) 国際出願番号: PCT/JP2022/019513
- (74) 代理人: 臼井 尚, 外 (USUI Takashi et al.);
〒5430014 大阪府大阪市天王寺区玉造元町
2 番 3 2 - 1 3 0 1 Osaka (JP).
- (22) 国際出願日: 2022年5月2日(02.05.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-082077 2021年5月14日(14.05.2021) JP
特願 2021-134310 2021年8月19日(19.08.2021) JP
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP,
KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,
LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE,
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町 2 1 番地 Kyoto (JP).

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

FIG.13



(57) Abstract: A semiconductor device according to the present invention comprises: a semiconductor element having a first electrode; a conduction member having a first junction part opposing the first electrode; a junction layer interposed between the first electrode and the first junction part; and a regulating body joined to the first electrode or the first junction part. The regulating body opposes the junction layer in a direction orthogonal to the thickness direction of the semiconductor element.



WO 2022/239696 A1

PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,
SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT,
TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))
-

(57) 要約: 半導体装置は、第1電極を有する半導体素子と、前記第1電極に対向する第1接合部を有する導通部材と、前記第1電極と前記第1接合部との間に介在する接合層と、前記第1電極および前記第1接合部のいずれかに接合された規制体とを備える。前記半導体素子の厚さ方向に対して直交する方向において、前記規制体は、前記接合層に対向している。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、半導体装置に関する。

背景技術

[0002] 特許文献1には、導体層に複数の半導体素子が接合された半導体装置（パワーモジュール）の一例が開示されている。当該半導体装置は、導体層と複数の半導体素子とに接合された複数の接続金属部材を備える。これにより、複数の半導体素子に大きな電流を流すことができる。

[0003] しかし、特許文献1に開示されている半導体装置において、複数の接続金属部材の少なくともいずれかが、その接合対象となる半導体素子の電極に対して位置ずれを起こすことがある。位置ずれの度合いが比較的大きくなると、接続金属部材が半導体素子のゲート電極の上に覆い被さることがある。この場合、ゲート電極にワイヤを接合させる際、接続金属部材によりワイヤの接合が困難となる。したがって、半導体素子の電極に対する接続金属部材の位置ずれを抑制する方策、またはその位置ずれが発生した場合であっても許容できる方策が望まれる。

先行技術文献

特許文献

[0004] 特許文献1：特開2016-162773号公報

発明の概要

発明が解決しようとする課題

[0005] 本開示は上記事情に鑑み、半導体素子の電極に対する導通部材の位置ずれを抑制する、またはその位置ずれを許容することが可能な半導体装置を提供することをその一の課題とする。

課題を解決するための手段

[0006] 本開示の第1の側面によって提供される半導体装置は、第1電極を有する

半導体素子と、前記第1電極に対向する第1接合部を有する導通部材と、前記第1電極と前記第1接合部との間に介在する接合層と、前記第1電極および前記第1接合部のいずれかに接合された規制体とを備える。前記半導体素子の厚さ方向に対して直交する方向において、前記規制体は、前記接合層に対向している。

[0007] 本開示の第2の側面によって提供される半導体装置は、第1電極を有する半導体素子と、前記第1電極に対向する第1接合部を有する導通部材と、前記第1電極と前記第1接合部との間に介在する接合層と、を備え、前記第1電極は、前記半導体素子の厚さ方向に対して直交する方向に凹む第1凹部を有し、前記第1接合部は、前記厚さ方向に対して直交する方向に凹む第2凹部を有し、前記厚さ方向に視て、前記第2凹部は、前記第1凹部に重なっている。

発明の効果

[0008] 本開示にかかる半導体装置によれば、半導体素子の電極に対する導通部材の位置ずれを抑制する、またはその位置ずれを許容することが可能となる。

[0009] 本開示のその他の特徴および利点は、添付図面に基づき以下に行う詳細な説明によって、より明らかとなる。

図面の簡単な説明

[0010] [図1]図1は、本開示の第1実施形態にかかる半導体装置の斜視図である。

[図2]図2は、図1に示す半導体装置の平面図である。

[図3]図3は、図2に対応する平面図であり、封止樹脂を透過している。

[図4]図4は、図1に示す半導体装置の底面図である。

[図5]図5は、図1に示す半導体装置の正面図である。

[図6]図6は、図1に示す半導体装置の右側面図である。

[図7]図7は、図3のV-V'線に沿う断面図である。

[図8]図8は、図3のV-V''線に沿う断面図である。

[図9]図9は、図3のX-X'線に沿う断面図である。

[図10]図10は、図7の部分拡大図である。

[図11]図11は、図9の部分拡大図である。

[図12]図12は、図3に示す第1素子およびその周辺における部分拡大図である。

[図13]図13は、図12のX111-X111線に沿う断面図である。

[図14]図14は、図3に示す第2素子およびその周辺における部分拡大図である。

[図15]図15は、図14のXV-XV線に沿う断面図である。

[図16]図16は、本開示の第2実施形態にかかる半導体装置の部分拡大平面図であり、第1素子およびその周辺を拡大するとともに、封止樹脂を透過している。

[図17]図17は、図16のXV11-XV11線に沿う断面図である。

[図18]図18は、図16に示す半導体装置の部分拡大平面図であり、第2素子およびその周辺を拡大するとともに、封止樹脂を透過している。

[図19]図19は、図18のX1X-X1X線に沿う断面図である。

[図20]図20は、図16に示す半導体装置の変形例の部分拡大平面図であり、封止樹脂を透過している。

[図21]図21は、図20のXX1-XX1線に沿う断面図である。

[図22]図22は、本開示の第3実施形態にかかる半導体装置の部分拡大平面図であり、第1素子およびその周辺を拡大するとともに、封止樹脂を透過している。

[図23]図23は、図22に示す半導体装置の部分拡大平面図であり、第2素子およびその周辺を拡大するとともに、封止樹脂を透過している。

[図24]図24は、本開示の第4実施形態にかかる半導体装置の平面図であり、封止樹脂を透過している。

[図25]図25は、図24のXXV-XXV線に沿う部分拡大断面図である。

[図26]図26は、図24のXXV1-XXV1線に沿う部分拡大断面図である。

[図27]図27は、本開示の第5実施形態にかかる半導体装置の部分拡大平面

図であり、第1素子およびその周辺を拡大するとともに、封止樹脂を透過している。

[図28]図28は、図27のXXV | | | - XXV | | |線に沿う断面図である。

[図29]図29は、図27に示す半導体装置の部分拡大平面図であり、第2素子およびその周辺を拡大するとともに、封止樹脂を透過している。

[図30]図30は、図29のXXX - XXX線に沿う断面図である。

[図31]図31は、図27に示す半導体装置の第1変形例の部分拡大平面図であり、封止樹脂を透過している。

[図32]図32は、図27に示す半導体装置の第2変形例の部分拡大平面図であり、封止樹脂を透過している。

[図33]図33は、本開示の第6実施形態にかかる半導体装置の部分拡大平面図であり、第1素子およびその周辺を拡大するとともに、封止樹脂を透過している。

[図34]図34は、図33のXXX | V - XXX | V線に沿う断面図である。

[図35]図35は、図33のXXX V - XXX V線に沿う断面図である。

[図36]図36は、図33に示す半導体装置の変形例の部分拡大平面図であり、封止樹脂を透過している。

[図37]図37は、本開示の第7実施形態にかかる半導体装置の部分拡大平面図であり、第1素子およびその周辺を拡大するとともに、封止樹脂を透過している。

[図38]図38は、図37のXXX V | | | - XXX V | | |線に沿う断面図である。

[図39]図39は、本開示の第8実施形態にかかる半導体装置の部分拡大平面図であり、第1素子およびその周辺を拡大するとともに、封止樹脂を透過している。

[図40]図40は、図39のXL - XL線に沿う断面図である。

発明を実施するための形態

- [0011] 本開示を実施するための形態について、添付図面に基づいて説明する。
- [0012] 図1～図15に基づき、本開示の第1実施形態にかかる半導体装置A10について説明する。半導体装置A10は、支持部材10、複数の端子リード13、半導体素子21、導通部材30、一对のゲートワイヤ41、一对の検出ワイヤ42、および封止樹脂50を備える。ここで、図3は、理解の便宜上、封止樹脂50を透過し、想像線（二点鎖線）で示している。図3において、V | | | - V | | | 線、および | X - | X 線をそれぞれ一点鎖線で示している。
- [0013] 半導体装置A10の説明においては、便宜上、半導体素子21の厚さ方向を「厚さ方向z」と呼ぶ。厚さ方向zに対して直交する方向を「第1方向x」と呼ぶ。厚さ方向zおよび第1方向xの双方に対して直交する方向を「第2方向y」と呼ぶ。
- [0014] 半導体装置A10は、複数の端子リード13のうち第1入力端子14および第2入力端子16に印加された直流の電源電圧を、半導体素子21により交流電力に変換する。変換された交流電力は、複数の端子リード13のうち出力端子15からモータなどの電力供給対象に入力される。半導体装置A10は、たとえばインバータといった電力変換回路に使用される。
- [0015] 支持部材10は、複数の端子リード13とともに同一のリードフレームから構成されている。当該リードフレームは、銅（Cu）、または銅合金である。このため、支持部材10、および複数の端子リード13の組成は、銅を含む（すなわち、これらの部材は、銅を含有する）。さらに支持部材10は、導電性を有する。半導体装置A10においては、支持部材10は、図3および図7に示すように、第1方向xにおいて互いに離れて位置する第1ダイパッド10Aおよび第2ダイパッド10Bを含む。支持部材10は、主面101および裏面102を有する。主面101は、厚さ方向zを向く。主面101は、封止樹脂50に覆われている。主面101には半導体素子21が搭載されている。したがって、裏面102は、厚さ方向zにおいて半導体素子21が位置する側とは反対側を向く。裏面102は、封止樹脂50から露出

している。裏面102には、たとえば錫(Sn)めっきが施されている。

[0016] 封止樹脂50は、図3、および図7～図9に示すように、半導体素子21および導通部材30と、支持部材10の一部(第1ダイパッド10Aおよび第2ダイパッド10Bの各々の一部)とを覆っている。さらに封止樹脂50は、複数の端子リード13の各々の一部を覆っている。封止樹脂50は、電気絶縁性を有する。封止樹脂50は、たとえば黒色のエポキシ樹脂を含む材料からなる。図2に示すように、第1方向xにおける封止樹脂50の寸法L1は、第2方向yにおける封止樹脂50の寸法L2よりも長い。封止樹脂50は、頂面51、底面52、一对の第1側面53、第2側面54、第3側面55、複数の凹部56、および溝部57を有する。

[0017] 図7～図9に示すように、頂面51は、厚さ方向zにおいて第1ダイパッド10Aおよび第2ダイパッド10Bの主面101と同じ側を向く。図7～図9に示すように、底面52は、厚さ方向zにおいて頂面51とは反対側を向く。図4に示すように、底面52から第1ダイパッド10Aの裏面102と、第2ダイパッド10Bの裏面102とが露出している。

[0018] 図2、図4および図5に示すように、一对の第1側面53は、第1方向xにおいて互いに離れて位置する。一对の第1側面53は、第1方向xを向き、かつ第2方向yに延びている。一对の第1側面53は、頂面51および底面52につながっている。

[0019] 図2、図4および図6に示すように、第2側面54および第3側面55は、第2方向yにおいて互いに離れて位置する。第2側面54および第3側面55は、第2方向yにおいて互いに反対側を向き、かつ第1方向xに延びている。第2側面54および第3側面55は、頂面51および底面52につながっている。図5に示すように、第3側面55から複数の端子リード13が露出している。

[0020] 図2、図4および図5に示すように、複数の凹部56は、第3側面55から第2方向yに凹むとともに、厚さ方向zにおいて頂面51から底面52に至っている。第1方向xにおいて、複数の凹部56は、第1入力端子14と

第1検出端子181との間、第1入力端子14と第2入力端子16との間、出力端子15と第2入力端子16との間、および出力端子15と第2検出端子182との間に対して個別に位置する。

[0021] 図4、図5、図7および図9に示すように、溝部57は、底面52から厚さ方向zに凹むとともに、第2方向yに沿って延びている。溝部57の第2方向yの両側は、第2側面54および第3側面55につながっている。溝部57は、第1ダイパッド10Aと第2ダイパッド10Bとの間に位置する。厚さ方向zに視て、溝部57は、第1ダイパッド10Aの裏面102と、第2ダイパッド10Bの裏面102とを分断している。

[0022] 図10に示すように、第2ダイパッド10Bは、第1座面103および第1起立面104を有する。第1座面103は、厚さ方向zにおいて主面101と同じ側を向き、かつ厚さ方向zにおいて主面101と裏面102との間に位置する。第1起立面104は、厚さ方向zに対して直交する方向を向き、かつ第1座面103および主面101につながっている。第1座面103および第1起立面104は、第2ダイパッド10Bにおいて段差をなしている。

[0023] 半導体素子21は、図3および図7に示すように、支持部材10に搭載されている。半導体装置A10においては、半導体素子21は、第1素子21Aおよび第2素子21Bを含む。第1素子21Aは、第1ダイパッド10Aの主面101に搭載されている。第2素子21Bは、第2ダイパッド10Bの主面101に搭載されている。半導体素子21は、たとえばMOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) である。この他、半導体素子21は、IGBT (Insulated Gate Bipolar Transistor) などのスイッチング素子や、ダイオードでもよい。半導体装置A10の説明においては、半導体素子21は、nチャンネル型であり、かつ縦型構造のMOSFETを対象とする。半導体素子21は、化合物半導体基板を含む。当該化合物半導体基板の組成は、炭化ケイ素 (SiC) を含む。図13および図15に示すように、半導体素子21は、第1電極211、第2電極212および

ゲート電極 213 を有する。

[0024] 図 13 および図 15 に示すように、第 1 電極 211 は、厚さ方向 z において第 2 電極 212 とは反対側に位置する。第 1 電極 211 には、半導体素子 21 により変換された後の電力に対応する電流が流れる。すなわち、第 1 電極 211 は、半導体素子 21 のソース電極に相当する。第 1 電極 211 は、複数の金属めっき層を含む。第 1 電極 211 は、ニッケル (Ni) めっき層と、当該ニッケルめっき層の上に積層された金 (Au) めっき層を含む。この他、第 1 電極 211 は、ニッケルめっき層と、当該ニッケルめっき層の上に積層されたパラジウム (Pd) めっき層と、当該パラジウムめっき層の上に積層された金めっき層を含む場合でもよい。

[0025] 図 13 および図 15 に示すように、第 2 電極 212 は、支持部材 10 の主面 101 に対向している。第 2 電極 212 には、半導体素子 21 により変換される前の電力に対応する電流が流れる。すなわち、第 2 電極 212 は、半導体素子 21 のドレイン電極に相当する。

[0026] 図 13 および図 15 に示すように、ゲート電極 213 は、厚さ方向 z において第 1 電極 211 と同じ側に位置する。ゲート電極 213 には、半導体素子 21 を駆動するためのゲート電圧が印加される。図 12 および図 14 に示すように、厚さ方向 z に視て、ゲート電極 213 の面積は、第 1 電極 211 の面積よりも小である。

[0027] 図 12 および図 14 に示すように、第 1 電極 211 は、第 1 方向 x に凹む第 1 凹部 211A を有する。厚さ方向 z に視て、ゲート電極 213 は、第 1 凹部 211A に重なっている。

[0028] ダイボンディング層 23 は、図 8、図 10 および図 11 に示すように、第 1 ダイパッド 10A の主面 101、および第 2 ダイパッド 10B の主面 101 と、半導体素子 21 (第 1 素子 21A および第 2 素子 21B) の第 1 電極 211 との間に介在している。ダイボンディング層 23 は、導電性を有する。ダイボンディング層 23 は、たとえばハンダである。この他、ダイボンディング層 23 は、焼結金属でもよい。ダイボンディング層 23 は、第 1 ダイ

パッド10Aの主面101と、第1素子21Aの第2電極212とを接合する。これにより、第1素子21Aの第2電極212は、第1ダイパッド10Aに導通している。さらにダイボンディング層23は、第2ダイパッド10Bの主面101と、第2素子21Bの第2電極212とを接合する。これにより、第2素子21Bの第2電極212は、第2ダイパッド10Bに導通している。

[0029] 複数の端子リード13は、図3に示すように、支持部材10に対して第2方向yの一方側に位置する。複数の端子リード13は、半導体素子21に導通している。複数の端子リード13は、第1方向xに沿って配列されている。複数の端子リード13は、第1入力端子14、出力端子15、第2入力端子16、第1ゲート端子171、第2ゲート端子172、第1検出端子181および第2検出端子182を含む。

[0030] 第1入力端子14は、図3に示すように、第2方向yに沿って延びる部分を含むとともに、第1ダイパッド10Aにつながっている。このため、第1入力端子14は、第1ダイパッド10Aを介して第1素子21Aの第2電極212に導通している。第1入力端子14は、電力変換対象となる直流の電源電圧が印加されるP端子（正極）である。第1入力端子14は、被覆部14Aおよび露出部14Bを有する。図7に示すように、被覆部14Aは、第1ダイパッド10Aにつながり、かつ封止樹脂50に覆われている。第1方向xに視て、被覆部14Aは、屈曲している。図2～図5に示すように、露出部14Bは、被覆部14Aにつながり、かつ封止樹脂50の第3側面55から露出している。露出部14Bは、第2方向yにおいて第1ダイパッド10Aから遠ざかる側に延びている。露出部14Bの表面には、たとえば錫めっきが施されている。

[0031] 出力端子15は、図3に示すように、第2方向yに沿って延びる部分を含むとともに、第2ダイパッド10Bにつながっている。このため、出力端子15は、第2ダイパッド10Bを介して第2素子21Bの第2電極212に導通している。出力端子15から、半導体素子21により変換された交流電

力が出力される。出力端子15は、被覆部15Aおよび露出部15Bを有する。被覆部15Aは、第2ダイパッド10Bにつながり、かつ封止樹脂50に覆われている。第1方向xに視て、被覆部15Aは、第1入力端子14の被覆部14Aと同様に屈曲している。図2～図5に示すように、露出部15Bは、被覆部15Aにつながり、かつ封止樹脂50の第3側面55から露出している。露出部15Bは、第2方向yにおいて第2ダイパッド10Bから遠ざかる側に延びている。露出部14Bの表面には、たとえば錫めっきが施されている。

[0032] 第2入力端子16は、図3に示すように、第2方向yにおいて第1ダイパッド10Aおよび第2ダイパッド10Bから離れて位置し、かつ第1方向xにおいて第1入力端子14と出力端子15との間に位置する。第2入力端子16は、第2方向yに沿って延びている。第2入力端子16は、第2素子21Bの第1電極211に導通している。第2入力端子16は、電力変換対象となる直流の電源電圧が印加されるN端子（負極）である。第2入力端子16は、被覆部16Aおよび露出部16Bを有する。図9に示すように、被覆部16Aは、封止樹脂50に覆われている。図2～図5に示すように、露出部16Bは、被覆部16Aにつながり、かつ封止樹脂50の第3側面55から露出している。露出部16Bは、第2方向yにおいて第1ダイパッド10Aおよび第2ダイパッド10Bから遠ざかる側に延びている。露出部16Bの表面には、たとえば錫めっきが施されている。

[0033] 図13に示すように、第2入力端子16の被覆部16Aは、第2座面16Cおよび第2起立面16Dを有する。第2座面16Cは、厚さ方向zにおいて第1ダイパッド10Aおよび第2ダイパッド10Bの主面101と同じ側を向き、かつ被覆部16Aの上面（図13の上方を向く面）よりも図13の下方に位置する。第2起立面16Dは、厚さ方向zに対して直交する方向を向くとともに、第2座面16C、および被覆部16Aの上面につながっている。第2座面16Cおよび第2起立面16Dは、第2入力端子16の被覆部16Aにおいて段差をなしている。

- [0034] 第1ゲート端子171は、図3に示すように、第2方向yにおいて第1ダイパッド10Aから離れて位置し、かつ第1方向xの一方側に位置する。第2ゲート端子172は、図3に示すように、第2方向yにおいて第2ダイパッド10Bから離れて位置し、かつ第1方向xの他方側に位置する。第1ゲート端子171は、第1素子21Aのゲート電極213に導通している。第1ゲート端子171には、第1素子21Aが駆動するためのゲート電圧が印加される。第2ゲート端子172は、第2素子21Bのゲート電極213に導通している。第2ゲート端子172には、第2素子21Bが駆動するためのゲート電圧が印加される。
- [0035] 図3に示すように、第1ゲート端子171は、被覆部171Aおよび露出部171Bを有する。被覆部171Aは、封止樹脂50に覆われている。図2～図5に示すように、露出部171Bは、被覆部171Aにつながり、かつ封止樹脂50の第3側面55から露出している。露出部171Bは、第2方向yにおいて第1ダイパッド10Aから遠ざかる側に延びている。露出部171Bの表面には、たとえば錫めっきが施されている。
- [0036] 図3に示すように、第2ゲート端子172は、被覆部172Aおよび露出部172Bを有する。被覆部172Aは、封止樹脂50に覆われている。図2～図5に示すように、露出部172Bは、被覆部172Aにつながり、かつ封止樹脂50から露出している。露出部172Bは、第2方向yにおいて第2ダイパッド10Bから遠ざかる側に延びている。露出部172Bの表面には、たとえば錫めっきが施されている。
- [0037] 第1検出端子181は、図3に示すように、第2方向yにおいて第1ダイパッド10Aから離れて位置し、かつ第1方向xにおいて第1入力端子14と第1ゲート端子171との間に位置する。第2検出端子182は、図3に示すように、第2方向yにおいて第2ダイパッド10Bから離れて位置し、かつ第1方向xにおいて出力端子15と第2ゲート端子172との間に位置する。第1検出端子181は、第1素子21Aの第2電極212に導通している。第1検出端子181には、第1素子21Aの第2電極212に流れる

電流に対応した電圧が印加される。第2検出端子182は、第2素子21Bの第2電極212に導通している。第2検出端子182には、第2素子21Bの第2電極212に流れる電流に対応した電圧が印加される。

[0038] 図3に示すように、第1検出端子181は、被覆部181Aおよび露出部181Bを有する。被覆部181Aは、封止樹脂50に覆われている。図2～図5に示すように、露出部181Bは、被覆部181Aにつながり、かつ封止樹脂50の第3側面55から露出している。露出部181Bは、第2方向yにおいて第1ダイパッド10Aから遠ざかる側に延びている。露出部181Bの表面には、たとえば錫めっきが施されている。

[0039] 図3に示すように、第2検出端子182は、被覆部182Aおよび露出部182Bを有する。被覆部182Aは、封止樹脂50に覆われている。図2～図5に示すように、露出部182Bは、被覆部182Aにつながり、かつ封止樹脂50の第3側面55から露出している。露出部182Bは、第2方向yにおいて第2ダイパッド10Bから遠ざかる側に延びている。露出部182Bの表面には、たとえば錫めっきが施されている。

[0040] 図5に示すように、半導体装置A10において、第1入力端子14の露出部14B、出力端子15の露出部15B、および第2入力端子16の露出部16Bの各々の高さHは、いずれも同一である。さらに、これらの各々の厚さは、いずれも同一である。このため、第1方向xに視て、第2入力端子16の少なくとも一部（露出部16B）が、第1入力端子14および出力端子15の各々に重なる（図6参照）。

[0041] 導通部材30は、支持部材10、および複数の端子リード13とともに半導体装置A10における導通経路をなしている。導通部材30の組成は、銅を含む。導通部材30は、金属クリップである。半導体装置A10においては、導通部材30は、図3および図7に示すように、第1導通部材31および第2導通部材32を含む。

[0042] 図3に示すように、第1導通部材31は、第1素子21Aの第1電極211と、第2ダイパッド10Bとに接合されている。これにより、第1素子2

1 Aの第1電極2 1 1は、第2ダイパッド1 0 B、および第2素子2 1 Bの第2電極2 1 2に導通している。第1導通部材3 1は、本体部3 1 1、第1接合部3 1 2および第2接合部3 1 3を有する。図7に示すように、第1ダイパッド1 0 Aは、厚さ方向zにおいて第1素子2 1 Aに対して第1接合部3 1 2とは反対側に位置する。

[0043] 本体部3 1 1は、第1導通部材3 1の主要部をなしている。図3に示すように、本体部3 1 1は、第1方向xに延びている。図7に示すように、本体部3 1 1は、第1ダイパッド1 0 Aと第2ダイパッド1 0 Bとの間を跨いでいる。

[0044] 図1 2および図1 3に示すように、第1接合部3 1 2は、第1素子2 1 Aの第1電極2 1 1に対向している。第1接合部3 1 2は、本体部3 1 1につながっている。第1接合部3 1 2は、接合面3 1 2 Aおよび端面3 1 2 Bを有する。接合面3 1 2 Aは、第1素子2 1 Aの第1電極2 1 1に対向している。端面3 1 2 Bは、第1方向xを向く。端面3 1 2 Bは、第1方向xにおいて接合面3 1 2 Aと、第1素子2 1 Aのゲート電極2 1 3との間に位置する。図1 2に示すように、厚さ方向zに視て、第1素子2 1 Aのゲート電極2 1 3と、第1接合部3 1 2との間に、第1素子2 1 Aの第1電極2 1 1の一部が位置する。

[0045] 図1 0に示すように、第2接合部3 1 3は、第2ダイパッド1 0 Bの第1座面1 0 3に接合されている。第2接合部3 1 3は、第2方向yに延びている。第2接合部3 1 3の少なくとも一部が、第1座面1 0 3と、第2ダイパッド1 0 Bの第1起立面1 0 4とにより規定された領域に収納されている。第2接合部3 1 3は、本体部3 1 1につながっている。第2接合部3 1 3は、本体部3 1 1を間に挟んで第1接合部3 1 2とは反対側に位置する。

[0046] 半導体装置A 1 0は、図1 2および図1 3に示すように、第1接合層3 3をさらに備える。図1 2において、第1接合層3 3を複数点の領域で示している。第1接合層3 3は、第1素子2 1 Aの第1電極2 1 1と、第1接合部3 1 2との間に介在している。第1接合層3 3は、第1素子2 1 Aの第1電

極 2 1 1 と、第 1 接合部 3 1 2 とを接合する。第 1 接合層 3 3 は、導電性を有する。第 1 接合層 3 3 は、ハンダである。

[0047] 第 1 接合部 3 1 2 の厚さ t は、 0.1 mm 以上、かつ第 1 接合層 3 3 の最大厚さ T_{max} の 2 倍以下である。第 1 接合層 3 3 の最大厚さ T_{max} は、第 1 素子 2 1 A の厚さよりも大きい。

[0048] 半導体装置 A 1 0 は、図 7 および図 1 0 に示すように、第 2 接合層 3 4 をさらに備える。第 2 接合層 3 4 は、第 2 ダイパッド 1 0 B の第 1 座面 1 0 3 と、第 2 接合部 3 1 3 との間に介在している。第 2 接合層 3 4 は、第 2 ダイパッド 1 0 B と第 2 接合部 3 1 3 とを接合する。第 2 接合層 3 4 は、導電性を有する。第 2 接合層 3 4 は、ハンダである。

[0049] 第 2 導通部材 3 2 は、図 3 に示すように、第 2 素子 2 1 B の第 1 電極 2 1 1 と、第 2 入力端子 1 6 の被覆部 1 6 A とに接合されている。これにより、第 2 素子 2 1 B の第 1 電極 2 1 1 は、第 2 入力端子 1 6 に導通している。第 2 導通部材 3 2 は、本体部 3 2 1、第 3 接合部 3 2 2 および第 4 接合部 3 2 3 を有する。図 7 に示すように、第 2 ダイパッド 1 0 B は、厚さ方向 z において第 2 素子 2 1 B に対して第 3 接合部 3 2 2 とは反対側に位置する。

[0050] 本体部 3 2 1 は、第 2 導通部材 3 2 の主要部をなしている。図 3 に示すように、厚さ方向 z に視て、本体部 3 1 1 は、鉤状に屈曲している。厚さ方向 z に視て、本体部 3 1 1 は、第 2 ダイパッド 1 0 B の主面 1 0 1 に重なっている。

[0051] 図 1 4 および図 1 5 に示すように、第 3 接合部 3 2 2 は、第 2 素子 2 1 B の第 1 電極 2 1 1 に対向している。第 3 接合部 3 2 2 は、本体部 3 2 1 につながっている。第 3 接合部 3 2 2 は、接合面 3 2 2 A および端面 3 2 2 B を有する。接合面 3 2 2 A は、第 2 素子 2 1 B の第 1 電極 2 1 1 に対向している。端面 3 2 2 B は、第 1 方向 x を向く。端面 3 2 2 B は、第 1 方向 x において接合面 3 2 2 A と、第 2 素子 2 1 B のゲート電極 2 1 3 との間に位置する。図 1 4 に示すように、厚さ方向 z に視て、第 2 素子 2 1 B のゲート電極 2 1 3 と、第 3 接合部 3 2 2 との間に、第 2 素子 2 1 B の第 1 電極 2 1 1 の

一部が位置する。

- [0052] 図11に示すように、第4接合部323は、第2入力端子16の第2座面16Cに接合されている。第4接合部323は、第1方向xに延びている。第4接合部323の少なくとも一部が、第2座面16Cと、第2入力端子16の第2起立面16Dとにより規定された領域に収納されている。第4接合部323は、本体部321につながっている。第4接合部323は、本体部321を間に挟んで第3接合部322とは反対側に位置する。
- [0053] 半導体装置A10は、図14および図15に示すように、第3接合層35をさらに備える。図14において、第3接合層35を複数点の領域で示している。第3接合層35は、第2素子21Bの第1電極211と、第3接合部322との間に介在している。第3接合層35は、第2素子21Bの第1電極211と、第3接合部322とを接合する。第3接合層35は、導電性を有する。第3接合層35は、ハンダである。
- [0054] 第3接合部322の厚さ t は、 0.1 mm 以上、かつ第3接合層35の最大厚さ T_{max} の2倍以下である。第3接合層35の最大厚さ T_{max} は、第2素子21Bの厚さよりも大きい。
- [0055] 半導体装置A10は、図7および図11に示すように、第4接合層36をさらに備える。第4接合層36は、第2入力端子16の第2座面16Cと、第4接合部323との間に介在している。第4接合層36は、第2入力端子16の被覆部16Aと、第4接合部323とを接合する。第4接合層36は、導電性を有する。第4接合層36は、ハンダである。
- [0056] 半導体装置A10は、図12～図15に示すように、規制体37をさらに備える。規制体37は、金属元素を含む。当該金属元素は、アルミニウム(A1)である。半導体装置A10においては、半導体素子21の製造の際、半導体素子21の第1電極211に金属塊を接合することにより規制体37が形成される。金属塊は、ワイヤボンディング工法により形成される。規制体37は、第2方向yに延びている。半導体装置A10においては、規制体37は、第1素子21Aの第1電極211に接合された第1規制体37Aと

、第2素子21Bの第1電極211とに接合された第2規制体37Bとを含む。

[0057] 図13に示すように、第1規制体37Aは、第1方向xにおいて第1接合層33に対向している。第1規制体37Aは、第1接合層33、および第1導通部材31の第1接合部312の端面312Bに接している。図12に示すように、第1規制体37Aは、第2方向yにおいて互いに離れて位置する第1部371および第2部372を含む。第1部371と第2部372との間に、第1接合層33の一部が位置する。

[0058] 図15に示すように、第2規制体37Bは、第1方向xにおいて第3接合層35に対向している。第2規制体37Bは、第3接合層35、および第2導通部材32の第3接合部322の端面322Bに接している。図14に示すように、第2規制体37Bは、第2方向yにおいて互いに離れて位置する第1部371および第2部372を含む。第1部371と第2部372との間に、第3接合層35の一部が位置する。

[0059] 一对のゲートワイヤ41は、図3に示すように、第1素子21Aおよび第2素子21Bのゲート電極213と、第1ゲート端子171の被覆部171A、および第2ゲート端子172の被覆部172Aとに、個別に接合されている。これにより、第1ゲート端子171は、第1素子21Aのゲート電極213に導通している。第2ゲート端子172は、第2素子21Bのゲート電極213に導通している。一对のゲートワイヤ41の組成は、金を含む。この他、一对のゲートワイヤ41の組成は、銅を含む場合や、アルミニウムを含む場合でもよい。

[0060] 一对の検出ワイヤ42は、図3に示すように、第1素子21Aおよび第2素子21Bの第2電極212と、第1検出端子181の被覆部181A、および第2検出端子182の被覆部182Aとに、個別に接合されている。これにより、第1検出端子181は、第1素子21Aの第2電極212に導通している。第2検出端子182は、第2素子21Bの第2電極212に導通している。一对の検出ワイヤ42の組成は、金を含む。この他、一对の検出

ワイヤ42の組成は、銅を含む場合や、アルミニウムを含む場合でもよい。

[0061] 次に、半導体装置A10の作用効果について説明する。

[0062] 半導体装置A10は、第1電極211を有する半導体素子21（第1素子21A）と、半導体素子21に対向する第1接合部312を有する導通部材30（第1導通部材31）と、第1電極211と第1接合部312との間に介在する接合層（第1接合層33）とを備える。半導体装置A10は、第1電極211に接合された規制体37（第1規制体37A）をさらに備える。厚さ方向zに対して直交する方向において、規制体37は、第1接合層33に対向している。本構成をとることにより、第1接合層33を介して第1接合部312を第1電極211に接合する際、第1接合部312が規制体37に接触することによって、第1電極211に対する第1接合部312の相対変位が抑制される。したがって、半導体装置A10によれば、半導体素子21の電極（第1電極211）に対する導通部材30の位置ずれを抑制することが可能となる。

[0063] 半導体素子21は、厚さ方向zにおいて第1電極211と同じ側に位置するゲート電極213を有する。厚さ方向zに視て、ゲート電極213と導通部材30の第1接合部312との間に第1電極211の一部が位置する。本構成は、規制体37により第1電極211に対する導通部材30の位置ずれが抑制された結果として得られる。本構成が得られると、第1接合部312がゲート電極213の上を覆うことを回避できる。

[0064] 導通部材30の第1接合部312は、第1方向xを向く端面312Bを有する。端面312Bは、規制体37に接触している。本構成は、第1接合層33を介して第1接合部312を半導体素子21の第1電極211に接合する際、第1接合部312が第1方向xのうち半導体素子21のゲート電極213が位置する側にずれようとする、端面312Bが規制体37に接触することにより得られる。したがって、端面312Bは、第1接合部312を規制体37により確実に接触させるための手段となる。

[0065] 厚さ方向zに視て、規制体37は、半導体素子21のゲート電極213と

、導通部材30の第1接合部312との間に位置する。これにより、第1接合層33を介して第1接合部312を半導体素子21の第1電極211に接合する際、溶融した第1接合層33がゲート電極213に向けて流出しようとするのを規制体37により堰き止めることができる。

[0066] 規制体37は、第2方向yにおいて互いに離れて位置する第1部371および第2部372を含む。これにより、規制体37の体積を縮小しつつ、半導体素子21の第1電極211に対する導通部材30の位置ずれを抑制することができる。さらに規制体37は、金属元素を含む。当該金属元素は、アルミニウムである。これにより、規制体37が、半導体素子21の第1電極211と、導通部材30の第1接合部312との導通経路となる。加えて、溶融した第1接合層33の規制体37に対する撥液性が向上する。したがって、溶融した第1接合層33を規制体37がより効果的に堰き止めることができる。

[0067] 封止樹脂50は、第3側面55から第2方向yに凹む複数の凹部56を有する。本構成により、複数の端子リード13のうちいずれか2つの端子リード13（ただし、第1ゲート端子171および第1検出端子181と、第2ゲート端子172および第2検出端子182とを除く。）の間における封止樹脂50の沿面距離がより長く確保される。これにより、半導体装置A10の絶縁耐圧の向上を図ることができる。

[0068] 封止樹脂50は、底面52から凹み、かつ厚さ方向zに視て第1ダイパッド10Aの裏面102と、第2ダイパッド10Bの裏面102とを分断する溝部57を有する。本構成により、第1ダイパッド10Aと第2ダイパッド10Bとの間における封止樹脂50の沿面距離がより長く確保される。これにより、半導体装置A10の絶縁耐圧のさらなる向上を図ることができる。さらに、封止樹脂50の第1方向xの熱ひずみを分散することができる。これにより、封止樹脂50の一对の第1側面53に熱ひずみが集中することを緩和できる。

[0069] 複数の端子リード13のいずれかは、支持部材10につながっている。こ

れにより、半導体装置A10の寸法拡大を抑えつつ、支持部材10を導電部材として活用できる。

[0070] 支持部材10の裏面102は、封止樹脂50から露出している。これにより、半導体装置A10の放熱性を向上させることができる。

[0071] 導通部材30の組成は、銅を含む。これにより、アルミニウムを組成に含むワイヤと比較して、導通部材30の電気抵抗を低減させることができる。このことは、半導体素子21により大きな電流を流すことに好適である。

[0072] 図16～図19に基づき、本開示の第2実施形態にかかる半導体装置A20について説明する。これらの図において、先述した半導体装置A10と同一、または類似の要素には同一の符号を付して、重複する説明を省略する。ここで、図16および図18は、理解の便宜上、封止樹脂50を透過している。図16の位置は、半導体装置A10の図12の位置と同一である。図18の位置は、半導体装置A10の図14の位置と同一である。

[0073] 半導体装置A20は、半導体装置A10に対して規制体37の構成が異なる。

[0074] 図16および図17に示すように、第1規制体37Aは、第1導通部材31の第1接合部312の接合面312Aに接合されている。第1規制体37Aは、第1素子21Aの第1電極211に接している。したがって、第1規制体37Aは、第1接合層33と同様に、第1素子21Aの第1電極211と接合面312Aとの間に介在している。半導体装置A20においては、ワイヤボンディング工法により接合面312Aに金属塊を接合することにより第1規制体37Aが形成される。

[0075] 図18および図19に示すように、第2規制体37Bは、第2導通部材32の第3接合部322の接合面322Aに接合されている。第2規制体37Bは、第2素子21Bの第1電極211に接している。したがって、第2規制体37Bは、第3接合層35と同様に、第2素子21Bの第1電極211と接合面322Aとの間に介在している。半導体装置A20においては、ワイヤボンディング工法により接合面322Aに金属塊を接合することにより

第2規制体37Bが形成される。

[0076] 次に、図20および図21に基づき、半導体装置A20の変形例である半導体装置A21について説明する。ここで、図20は、理解の便宜上、封止樹脂50を透過している。図20の位置は、図16の位置と同一である。本変形例の構成は、以下に示す第1素子21Aの第1電極211と、第1導通部材31との関係のみならず、図18および図19に示す第2素子21Bの第1電極211と、第2導通部材32との関係においても適用することができる。

[0077] 図20および図21に示すように、半導体装置A21においては、第1導通部材31は、先端部314を有する。先端部314は、第1接合部312につながっている。先端部314は、第1方向xにおいて第1接合部312から遠ざかるほど、厚さ方向zにおいて第1素子21Aの第1電極211から遠ざかる向きに第1接合部312の接合面312Aに対して傾斜角 α で傾斜している。傾斜角 α は、 30° 以上 60° 以下である。

[0078] 図20および図21に示すように、第1素子21Aの第1電極211は、拡張部211Bを有する。厚さ方向zに視て、拡張部211Bは、先端部314を間に挟んで第1接合部312とは反対側に位置する。

[0079] 図21に示すように、第1接合層33は、第1規制体37Aの第1方向xの両側に位置する。第1接合層33は、第1素子21Aの第1電極211の拡張部211Bと、第1導通部材31の先端部314とに接している。

[0080] 次に、半導体装置A20の作用効果について説明する。

[0081] 半導体装置A20は、第1電極211を有する半導体素子21（第1素子21A）と、半導体素子21に対向する第1接合部312を有する導通部材30（第1導通部材31）と、第1電極211と第1接合部312との間に介在する接合層（第1接合層33）とを備える。半導体装置A20は、第1接合部312に接合された規制体37（第1規制体37A）をさらに備える。厚さ方向zに対して直交する方向において、規制体37は、第1接合層33に対向している。本構成をとることにより、第1接合層33を介して第1

接合部 312 を第 1 電極 211 に接合する際、規制体 37 が溶融した第 1 接合層 33 に接触し、かつ第 1 接合層 33 から規制体 37 が反力を受けることによって、第 1 電極 211 に対する第 1 接合部 312 の相対変位が抑制される。したがって、半導体装置 A20 によっても、半導体素子 21 の電極（第 1 電極 211）に対する導通部材 30 の位置ずれを抑制することが可能となる。さらに半導体装置 A20 が半導体装置 A10 と同様の構成を具備することによって、半導体装置 A20 においても当該構成にかかる作用効果を奏する。

[0082] 導通部材 30 の第 1 接合部 312 は、半導体素子 21 の第 1 電極 211 に対向する接合面 312A を有する。規制体 37 は、接合面 312A に接しており、かつ第 1 電極 211 に接合されている。これにより、図 17 に示すように、第 1 規制体 37A は、第 1 素子 21A の第 1 電極 211 と接合面 312A とに挟まれた構成をとる。本構成をとると、第 1 接合層 33 の最大厚さ T_{\max} を第 1 規制体 37A の厚さと等しく（あるいは略等しく）することができる。したがって、第 1 接合層 33 の最大厚さ T_{\max} の管理が容易となる。さらに図 19 に示すように、第 2 規制体 37B も、第 2 素子 21B の第 1 電極 211 と、第 2 導通部材 32 の第 3 接合部 322 の接合面 322A とに挟まれた構成をとる。本構成をとると、第 3 接合層 35 の最大厚さ T_{\max} を第 2 規制体 37B の厚さと等しく（あるいは略等しく）することができる。したがって、第 3 接合層 35 の最大厚さ T_{\max} の管理も容易となる。

[0083] 半導体装置 A21 の導通部材 30 は、第 1 接合部 312 につながる先端部 314 を有する。先端部 314 は、厚さ方向 z に対して直交する方向において第 1 接合部 312 から遠ざかるほど、厚さ方向 z において半導体素子 21 の第 1 電極 211 から遠ざかる向きに第 1 接合部 312 の接合面 312A に対して傾斜している。さらに厚さ方向 z に視て、第 1 電極 211 は、先端部 314 を間に挟んで第 1 接合部 312 とは反対側に位置する拡張部 211B を有する。本構成をとることにより、図 21 に示すように、第 1 接合層 33 が拡張部 211B に接するとともに、先端部 314 に沿って第 1 接合層 33

が這い上がる。これにより、第1接合層33には、比較的大きな体積をもつフィレットが形成される。したがって、第1電極211に対する導通部材30の接合強度の向上を図り、かつ導通部材30により大きな電流を流すことが可能となる。接合面312Aに対する先端部314の傾斜角 α は、 30° 以上 60° 以下であることが好ましい。傾斜角 α がこの範囲に設定されると、第1接合層33のフィレットの形成が促進されつつ、拡張部211Bと第1接合層33との界面における熱応力の集中が低減される。

[0084] 規制体37は、金属元素を含む。当該金属元素は、アルミニウムである。これにより、規制体37が、半導体素子21の第1電極211と、導通部材30の第1接合部312との導通経路となる。さらに、溶融した第1接合層33の規制体37に対する撥液性が向上する。これにより、規制体37が溶融した第1接合層33に接触した際、規制体37が第1接合層33から受ける反力がより大きくなる。したがって、規制体37による導通部材30の位置ずれ抑制効果が向上する。

[0085] 図22および図23に示すように、本開示の第3実施形態にかかる半導体装置A30について説明する。これらの図において、先述した半導体装置A10と同一、または類似の要素には同一の符号を付して、重複する説明を省略する。ここで、図22および図23は、理解の便宜上、封止樹脂50を透過している。図22の位置は、半導体装置A10の図12の位置と同一である。図23の位置は、半導体装置A10の図14の位置と同一である。

[0086] 半導体装置A30は、半導体装置A10に対して規制体37を備えないことと、導通部材30の構成とが異なる。

[0087] 図22に示すように、第1導通部材31の第1接合部312は、第2凹部312Cを有する。第2凹部312Cは、第1方向xに凹んでいる。厚さ方向zに視て、第2凹部312Cは、第1素子21Aの第1電極211の第1凹部211Aに重なっている。第2凹部312Cは、第1素子21Aの第1電極211の第1凹部211Aよりも大きい。さらに厚さ方向zに視て、第1素子21Aのゲート電極213は、第1素子21Aの第1電極211の第

1凹部211Aと、第2凹部312Cとに重なっている。

[0088] 図23に示すように、第2導通部材32の第3接合部322は、第2凹部322Cを有する。第2凹部322Cは、第1方向xに凹んでいる。厚さ方向zに視て、第2凹部322Cは、第2素子21Bの第1電極211の第1凹部211Aに重なっている。第2凹部322Cは、第2素子21Bの第1電極211の第1凹部211Aよりも大きい。さらに厚さ方向zに視て、第2素子21Bのゲート電極213は、第2素子21Bの第1電極211の第1凹部211Aと、第2凹部322Cとに重なっている。

[0089] 次に、半導体装置A30の作用効果について説明する。

[0090] 半導体装置A30は、第1電極211を有する半導体素子21（第1素子21A）と、半導体素子21に対向する第1接合部312を有する導通部材30（第1導通部材31）と、第1電極211と第1接合部312との間に介在する接合層（第1接合層33）とを備える。第1電極211は、厚さ方向zに対して直交する方向に凹む第1凹部211Aを有する。第1接合部312は、厚さ方向zに対して直交する方向に凹む第2凹部312Cを有する。厚さ方向zに視て、第2凹部312Cは、第1凹部211Aに重なっている。本構成をとることにより、第1接合層33を介して第1接合部312を第1電極211に接合する際、第1電極211に対する第1接合部312の位置がずれた場合であっても、第1接合部312が第1凹部211Aの上を覆うことを回避できる。したがって、半導体装置A30によれば、半導体素子21の電極（第1電極211）に対する導通部材30の位置ずれを許容することが可能となる。さらに半導体装置A30が半導体装置A10と同様の構成を具備することによって、半導体装置A30においても当該構成にかかる作用効果を奏する。

[0091] 半導体素子21は、厚さ方向zにおいて第1電極211と同じ側に位置するゲート電極213を有する。厚さ方向zに視て、ゲート電極213は、半導体素子21の第1電極211の第1凹部211Aと、導通部材30の第1接合部312の第2凹部312Cとに重なっている。これにより、第1電極

211に対する導通部材30の位置ずれが許容された場合であっても、第1接合部312がゲート電極213の上を覆うことを回避できる。

[0092] 図24～図26に基づき、本開示の第4実施形態にかかる半導体装置A40について説明する。これらの図において、先述した半導体装置A10と同一、または類似の要素には同一の符号を付して、重複する説明を省略する。ここで、図24は、理解の便宜上、封止樹脂50を透過している。図24では、透過した封止樹脂50を想像線で示している。

[0093] 半導体装置A40は、半導体装置A10に対して保護素子22をさらに備えることと、導通部材30および規制体37の構成とが異なる。

[0094] 保護素子22は、図24に示すように、第1ダイオード22Aおよび第2ダイオード22Bを含む。第1ダイオード22Aは、第1ダイパッド10Aの主面101に搭載されている。第2ダイオード22Bは、第2ダイパッド10Bの主面101に搭載されている。保護素子22は、たとえばショットキーバリアダイオードである。第1ダイオード22Aは、第1素子21Aに対して並列接続されている。第2ダイオード22Bは、第2素子21Bに対して並列接続されている。保護素子22は、半導体素子21に逆バイアスが印加された際、半導体素子21ではなく保護素子22に電流を流す、いわゆる還流ダイオードである。図21および図22に示すように、保護素子22は、上面電極221および下面電極222を有する。

[0095] 図25および図26に示すように、上面電極221は、厚さ方向zにおいて支持部材10の主面101が向く側に設けられている。上面電極221は、アノード電極に相当する。

[0096] 図25および図26に示すように、下面電極222は、厚さ方向zにおいて上面電極221とは反対側に設けられている。下面電極222は、カソード電極に相当する。図25に示すように、第1ダイオード22Aの下面電極222は、ダイボンディング層23を介して第1ダイパッド10Aの主面101に接合されている。これにより、第1ダイオード22Aの下面電極222は、第1ダイパッド10Aを介して第1素子21Aの第2電極212に導

通している。図26に示すように、第2ダイオード22Bの下面電極222は、ダイボンディング層23を介して第2ダイパッド10Bの主面101に接合されている。これにより、第2ダイオード22Bの下面電極222は、第2ダイパッド10Bを介して第2素子21Bの第2電極212に導通している。

[0097] 図24に示すように、第1導通部材31の第1接合部312は、第2方向yにおいて互いに離れて位置する2つの領域を含む。図25に示すように、当該2つの領域のうち一方の領域が、第1接合層33を介して第1ダイオード22Aの上面電極221に接合されている。これにより、第1ダイオード22Aの上面電極221は、第1導通部材31を介して第1素子21Aの第1電極211に導通している。

[0098] 図24に示すように、第2導通部材32の第3接合部322は、第2方向yにおいて互いに離れて位置する2つの領域を含む。図26に示すように、当該2つの領域のうち一方の領域が、第3接合層35を介して第2ダイオード22Bの上面電極221に接合されている。これにより、第1ダイオード22Aの上面電極221は、第2導通部材32を介して第2素子21Bの第1電極211に導通している。

[0099] 図25に示すように、半導体装置A40においては、規制体37は、第1ダイオード22Aの上面電極221に接合された第3規制体37Cをさらに含む。第3規制体37Cは、第1方向xにおいて第1接合層33に対向している。第3規制体37Cは、第1接合層33、および第1導通部材31の第1接合部312の端面312Bに接している。

[0100] 図26に示すように、半導体装置A40においては、規制体37は、第2ダイオード22Bの上面電極221に接合された第4規制体37Dをさらに含む。第4規制体37Dは、第1方向xにおいて第3接合層35に対向している。第4規制体37Dは、第3接合層35、および第2導通部材32の第3接合部322の端面322Bに接している。

[0101] 次に、半導体装置A40の作用効果について説明する。

- [0102] 半導体装置A40は、第1電極211を有する半導体素子21（第1素子21A）と、半導体素子21に対向する第1接合部312を有する導通部材30（第1導通部材31）と、第1電極211と第1接合部312との間に介在する接合層（第1接合層33）とを備える。半導体装置A40は、第1電極211に接合された規制体37（第1規制体37A）をさらに備える。厚さ方向zに対して直交する方向において、規制体37は、第1接合層33に対向している。本構成をとることにより、半導体装置A10と同様の作用効果を奏する。したがって、半導体装置A40によっても、半導体素子21の電極（第1電極211）に対する導通部材30の位置ずれを抑制することが可能となる。さらに半導体装置A40が半導体装置A10と同様の構成を具備することによって、半導体装置A40においても当該構成にかかる作用効果を奏する。
- [0103] 半導体装置A40は、保護素子22をさらに備える。これにより、半導体装置A40により大きな電流を流した場合であっても、半導体素子21を逆バイアスから適切に保護することができる。
- [0104] 半導体装置A40の規制体37は、第1ダイオード22Aの上面電極221に接合された第3規制体37Cと、第2ダイオード22Bの上面電極221に接合された第4規制体37Dとを含む。これにより、第1接合層33を介して第1導通部材31の第1接合部312を第1素子21Aの第1電極211と、第1ダイオード22Aの上面電極221とに接合する際、規制体37の第1規制体37Aおよび第3規制体37Cの少なくともいずれかに第1接合部312が接触し得る。したがって、第1導通部材31の厚さ方向zの回りの回転変位を効果的に抑制できる。同様に、第3接合層35を介して第2導通部材32の第3接合部322を第2素子21Bの第1電極211と、第2ダイオード22Bの上面電極221とに接合する際、規制体37の第2規制体37Bおよび第4規制体37Dの少なくともいずれかに第3接合部322が接触し得る。したがって、第2導通部材32の厚さ方向zの回りの回転変位を効果的に抑制できる。

- [0105] 図27～図29に示すように、本開示の第5実施形態にかかる半導体装置A50について説明する。これらの図において、先述した半導体装置A10と同一、または類似の要素には同一の符号を付して、重複する説明を省略する。ここで、図27および図29は、理解の便宜上、封止樹脂50を透過している。図27の位置は、半導体装置A10の図12の位置と同一である。図29の位置は、半導体装置A10の図14の位置と同一である。
- [0106] 半導体装置A50は、半導体装置A10に対して導通部材30の構成が異なる。
- [0107] 図27および図28に示すように、第1導通部材31は、凸部38および陥入部39を有する。凸部38および陥入部39は、第1導通部材31の第1接合部312に設けられている。凸部38および陥入部39は、第1接合部312に対してプレス加工を施すことにより形成することができる。
- [0108] 図28に示すように、凸部38は、第1接合部312の接合面312Aから第1素子21Aの第1電極211に向けて厚さ方向zに突出している。凸部38は、第1素子21Aの第1電極211と、第1接合層33とに接している。凸部38の厚さ方向zの寸法dは、第1規制体37Aの厚さ方向zの寸法hよりも小さい。図27に示すように、厚さ方向zに視て、凸部38は、円形状である。この他、厚さ方向zに視て、凸部38は、四角形状など多角形状でもよい。
- [0109] 図28に示すように、陥入部39は、第1接合部312の上面312Dから第1素子21Aの第1電極211に向けて厚さ方向zに凹んでいる。上面312Dは、厚さ方向zにおいて第1接合部312の接合面312Aとは反対側を向き、かつ第1接合部312の端面312Bにつながっている。図27に示すように、厚さ方向zに視て、陥入部39の形状は、凸部38の形状に近似している。厚さ方向zに視て、陥入部39は凸部38に重なっている。この場合において、凸部38の厚さ方向zの寸法dは、第1接合部312の厚さt以下である。
- [0110] 図29および図30に示すように、第2導通部材32は、凸部38および

陥入部39を有する。凸部38および陥入部39は、第2導通部材32の第3接合部322に設けられている。凸部38および陥入部39は、第3接合部322に対してプレス加工を施すことにより形成することができる。

[0111] 図30に示すように、凸部38は、第3接合部322の接合面312Aから第2素子21Bの第1電極211に向けて厚さ方向zに突出している。凸部38は、第2素子21Bの第1電極211と、第3接合層35とに接している。凸部38の厚さ方向zの寸法dは、第2規制体37Bの厚さ方向zの寸法hよりも小さい。図29に示すように、厚さ方向zに視て、凸部38は、円形状である。この他、厚さ方向zに視て、凸部38は、四角形状など多角形状でもよい。

[0112] 図30に示すように、陥入部39は、第3接合部322の上面322Dから第2素子21Bの第1電極211に向けて厚さ方向zに凹んでいる。上面322Dは、厚さ方向zにおいて第3接合部322の接合面322Aとは反対側を向き、かつ第3接合部322の端面322Bにつながっている。図29に示すように、厚さ方向zに視て、陥入部39の形状は、凸部38の形状に近似している。厚さ方向zに視て、陥入部39は凸部38に重なっている。この場合において、凸部38の厚さ方向zの寸法dは、第3接合部322の厚さt以下である。

[0113] 次に、図31に基づき、半導体装置A50の第1変形例である半導体装置A51について説明する。ここで、図31は、理解の便宜上、封止樹脂50を透過している。図31の位置は、図27の位置と同一である。本変形例の構成は、以下に示す第1導通部材31のみならず、図29および図30に示す第2導通部材32においても適用することができる。

[0114] 図31に示すように、半導体装置A51においては、第1導通部材31の凸部38は、第1方向xにおいて互いに離れて位置する第1凸部381および第2凸部382を含む。厚さ方向zに視て、第1凸部381と第2凸部382との形状および大きさは、互いに等しい。

[0115] 次に、図32に基づき、半導体装置A50の第2変形例である半導体装置

A 5 2 について説明する。ここで、図 3 2 は、理解の便宜上、封止樹脂 5 0 を透過している。図 3 2 の位置は、図 2 7 の位置と同一である。本変形例の構成は、以下に示す第 1 導通部材 3 1 のみならず、図 2 9 および図 3 0 に示す第 2 導通部材 3 2 においても適用することができる。

[0116] 図 3 2 に示すように、半導体装置 A 5 2 においては、第 1 導通部材 3 1 の凸部 3 8 は、第 2 方向 y において互いに離れて位置する第 1 凸部 3 8 1 および第 2 凸部 3 8 2 を含む。第 1 凸部 3 8 1 および第 2 凸部 3 8 2 は、第 1 方向 x に延びている。すなわち、第 1 凸部 3 8 1 および第 2 凸部 3 8 2 は、厚さ方向 z と、第 1 凸部 3 8 1 および第 2 凸部 3 8 2 が互いに離れる方向とに対して直交する方向に延びている。第 1 凸部 3 8 1 および第 2 凸部 3 8 2 の各々において、第 1 方向 x の寸法 a は、第 2 方向 y の寸法 b よりも大きい。厚さ方向 z に視て、第 1 凸部 3 8 1 と第 2 凸部 3 8 2 との形状および大きさは、互いに等しい。

[0117] 次に、半導体装置 A 5 0 の作用効果について説明する。

[0118] 半導体装置 A 5 0 は、第 1 電極 2 1 1 を有する半導体素子 2 1 (第 1 素子 2 1 A) と、半導体素子 2 1 に対向する第 1 接合部 3 1 2 を有する導通部材 3 0 (第 1 導通部材 3 1) と、第 1 電極 2 1 1 と第 1 接合部 3 1 2 との間に介在する接合層 (第 1 接合層 3 3) とを備える。半導体装置 A 5 0 は、第 1 電極 2 1 1 に接合された規制体 3 7 (第 1 規制体 3 7 A) をさらに備える。厚さ方向 z に対して直交する方向において、規制体 3 7 は、第 1 接合層 3 3 に対向している。本構成をとることにより、半導体装置 A 1 0 と同様の作用効果を奏する。したがって、半導体装置 A 5 0 によっても、半導体素子 2 1 の電極 (第 1 電極 2 1 1) に対する導通部材 3 0 の位置ずれを抑制することが可能となる。さらに半導体装置 A 5 0 が半導体装置 A 1 0 と同様の構成を具備することによって、半導体装置 A 5 0 においても当該構成にかかる作用効果を奏する。

[0119] 半導体装置 A 5 0 の導通部材 3 0 は、第 1 接合部 3 1 2 に設けられた凸部 3 8 を有する。凸部 3 8 は、半導体素子 2 1 の第 1 電極 2 1 1 に向けて厚さ

方向zに突出している。凸部38は、第1電極211に接している。本構成をとることにより、第1接合層33を介して第1接合部312を第1電極211に接合する際、凸部38がスペーサとして機能する。これにより、図28に示す第1接合層33の最大厚さ T_{max} が凸部38の厚さ方向zの寸法dと等しく（あるいは略等しく）なるため、最大厚さ T_{max} を制御することができる。最大厚さ T_{max} を制御することによって、温度サイクルおよびパワーサイクルに対する半導体装置A50の耐久性の向上を図ることが可能となる。さらには、第1接合層33における空隙の発生を抑制することができる。

[0120] さらに、図28に示す凸部38の厚さ方向zの寸法dは、規制体37の厚さ方向zの寸法hよりも小さい。本構成をとることにより、第1接合層33を介して第1接合部312を第1電極211に接合する際、第1接合部312が第1方向xのうち半導体素子21のゲート電極213が位置する側にずれようとする、第1接合部312の端面312Bが規制体37に確実に接触し得る。本作用効果を発揮しうるための凸部38の厚さ方向zの寸法dの範囲は、 $75\mu\text{m}$ 以上 $175\mu\text{m}$ 以下であることが好ましい。より好ましい寸法dの範囲は、 $100\mu\text{m}$ 以上 $150\mu\text{m}$ である。

[0121] 半導体装置A51においては、凸部38は、第1方向xにおいて互いに離れて位置する第1凸部381および第2凸部382を含む。本構成をとることにより、第1接合層33を介して導通部材30の第1接合部312を半導体素子21の第1電極211に接合する際、第1接合部312の第2方向yの回りの回転変位を抑制できる。

[0122] 半導体装置A52においては、凸部38の第1凸部381および第2凸部382は、厚さ方向zと、第1凸部381および第2凸部382が互いに離れる方向とに対して直交する方向に延びている。本構成をとることにより、第1接合層33を介して導通部材30の第1接合部312を半導体素子21の第1電極211に接合する際、第1接合部312の第1方向xおよび第2方向yの各々の回りの回転変位を抑制できる。

[0123] 図33～図35に示すように、本開示の第6実施形態にかかる半導体装置

A 6 0 について説明する。これらの図において、先述した半導体装置 A 1 0 と同一、または類似の要素には同一の符号を付して、重複する説明を省略する。ここで、図 3 3 は、理解の便宜上、封止樹脂 5 0 を透過している。図 3 3 の位置は、半導体装置 A 5 0 の図 2 7 の位置と同一である。本実施形態の構成は、以下に示す第 1 素子 2 1 A の第 1 電極 2 1 1 と、第 1 導通部材 3 1 との関係のみならず、図 2 9 および図 3 0 に示す第 2 素子 2 1 B の第 1 電極 2 1 1 と、第 2 導通部材 3 2 との関係においても適用することができる。

[0124] 半導体装置 A 6 0 は、半導体装置 A 5 0 に対して半導体素子 2 1 および導通部材 3 0 の構成が異なる。

[0125] 図 3 3 および図 3 5 に示すように、第 1 素子 2 1 A の第 1 電極 2 1 1 は、第 1 方向 x において互いに離れて位置する 2 つの領域を含む。これに応じて、第 1 導通部材 3 1 は、第 1 方向 x において互いに離れて位置する 2 つの第 1 接合部 3 1 2 を有する。2 つの第 1 接合部 3 1 2 の第 2 方向 y の一方側は、第 1 導通部材 3 1 の本体部 3 1 1 につながっている。

[0126] 図 3 3 ~ 図 3 5 に示すように、第 1 導通部材 3 1 は、凸部 3 8 および陥入部 3 9 を有する。凸部 3 8 および陥入部 3 9 は、第 1 導通部材 3 1 の 2 つの第 1 接合部 3 1 2 に設けられている。

[0127] 図 3 4 および図 3 5 に示すように、凸部 3 8 は、2 つの第 1 接合部 3 1 2 の接合面 3 1 2 A から第 1 素子 2 1 A の第 1 電極 2 1 1 に向けて厚さ方向 z に突出している。凸部 3 8 は、第 1 素子 2 1 A の第 1 電極 2 1 1 と、第 1 接合層 3 3 とに接している。凸部 3 8 は、第 1 方向 x において互いに離れて位置する第 1 凸部 3 8 1 および第 2 凸部 3 8 2 を含む。第 1 凸部 3 8 1 は、2 つの第 1 接合部 3 1 2 のうち一方の第 1 接合部 3 1 2 に設けられている。第 2 凸部 3 8 2 は、2 つの第 1 接合部 3 1 2 のうち他方の第 1 接合部 3 1 2 に設けられている。図 3 3 に示すように、厚さ方向 z に視て、第 1 凸部 3 8 1 と第 2 凸部 3 8 2 との形状および大きさは、互いに等しい。第 1 凸部 3 8 1 および第 2 凸部 3 8 2 の各々の厚さ方向 z の寸法 d は、第 1 規制体 3 7 A の厚さ方向 z の寸法 h よりも小さい。第 1 凸部 3 8 1 および第 2 凸部 3 8 2 の

各々の厚さ方向 z の寸法 d の範囲は、 $75 \mu\text{m}$ 以上 $175 \mu\text{m}$ 以下であることが好ましい。より好ましい寸法 d の範囲は、 $100 \mu\text{m}$ 以上 $150 \mu\text{m}$ である。この他の凸部 38 の構成は、半導体装置 A50 の第 1 導通部材 31 の凸部 38 の構成と同様である。

[0128] 陥入部 39 は、2 つの第 1 接合部 312 の上面 312D から第 1 素子 21A の第 1 電極 211 に向けて厚さ方向 z に凹んでいる。上面 312D は、厚さ方向 z において 2 つの第 1 接合部 312 の接合面 312A とは反対側を向き、かつ 2 つの第 1 接合部 312 のいずれかの端面 312B につながっている。この他の陥入部 39 の構成は、半導体装置 A50 の第 1 導通部材 31 の陥入部 39 の構成と同様である。

[0129] 次に、図 36 に基づき、半導体装置 A60 の変形例である半導体装置 A61 について説明する。ここで、図 36 は、理解の便宜上、封止樹脂 50 を透過している。図 36 の位置は、図 33 の位置と同一である。本変形例の構成は、以下に示す第 1 導通部材 31 のみならず、図 29 および図 30 に示す第 2 導通部材 32 においても適用することができる。

[0130] 図 36 に示すように、半導体装置 A61 においては、第 1 導通部材 31 の凸部 38 に含まれる第 1 凸部 381 および第 2 凸部 382 は、第 1 方向 x に延びている。すなわち、第 1 凸部 381 および第 2 凸部 382 は、厚さ方向 z と、第 1 凸部 381 および第 2 凸部 382 が互いに離れる方向とに対して直交する方向に延びている。第 1 凸部 381 および第 2 凸部 382 の各々において、第 1 方向 x の寸法 a は、第 2 方向 y の寸法 b よりも小さい。

[0131] 次に、半導体装置 A60 の作用効果について説明する。

[0132] 半導体装置 A60 は、第 1 電極 211 を有する半導体素子 21 (第 1 素子 21A) と、半導体素子 21 に対向する第 1 接合部 312 を有する導通部材 30 (第 1 導通部材 31) と、第 1 電極 211 と第 1 接合部 312 との間に介在する接合層 (第 1 接合層 33) とを備える。半導体装置 A50 は、第 1 電極 211 に接合された規制体 37 (第 1 規制体 37A) をさらに備える。厚さ方向 z に対して直交する方向において、規制体 37 は、第 1 接合層 33

に対向している。本構成をとることにより、半導体装置A10と同様の作用効果を奏する。したがって、半導体装置A60によっても、半導体素子21の電極（第1電極211）に対する導通部材30の位置ずれを抑制することが可能となる。さらに半導体装置A60が半導体装置A10と同様の構成を具備することによって、半導体装置A60においても当該構成にかかる作用効果を奏する。

- [0133] 半導体装置A60の導通部材30は、2つの第1接合部312に設けられた凸部38を有する。凸部38は、半導体素子21の第1電極211に向けて厚さ方向zに突出している。凸部38は、第1電極211に接している。したがって、半導体装置A60によっても、図34に示す第1接合層33の最大厚さ T_{max} の制御ができるため、温度サイクルおよびパワーサイクルに対する半導体装置A60の耐久性の向上を図ることが可能となる。さらには、第1接合層33における空隙の発生を抑制することができる。
- [0134] 凸部38は、第1方向xにおいて互いに離れて位置する第1凸部381および第2凸部382を含む。本構成をとることにより、第1接合層33を介して導通部材30の2つの第1接合部312を半導体素子21の第1電極211に接合する際、2つの第1接合部312の第2方向yの回りの回転変位を抑制できる。
- [0135] 半導体装置A61においては、凸部38の第1凸部381および第2凸部382は、厚さ方向zと、第1凸部381および第2凸部382が互いに離れる方向とに対して直交する方向に延びている。本構成をとることにより、第1接合層33を介して導通部材30の2つの第1接合部312を半導体素子21の第1電極211に接合する際、2つの第1接合部312の第1方向xおよび第2方向yの各々の回りの回転変位を抑制できる。
- [0136] 図37および図38に示すように、本開示の第7実施形態にかかる半導体装置A70について説明する。これらの図において、先述した半導体装置A10と同一、または類似の要素には同一の符号を付して、重複する説明を省略する。ここで、図37は、理解の便宜上、封止樹脂50を透過している。

図37の位置は、半導体装置A20の図16の位置と同一である。本実施形態の構成は、以下に示す第1導通部材31と第1規制体37Aとの関係のみならず、図18および図19に示す第2導通部材32と第2規制体37Bとの関係においても適用することができる。

[0137] 半導体装置A70は、半導体装置A20に対して導通部材30および規制体37の構成が異なる。

[0138] 図37および図38に示すように、第1導通部材31は、凸部38および陥入部39を有する。凸部38および陥入部39は、第1導通部材31の第1接合部312に設けられている。凸部38および陥入部39は、第1接合部312に対してプレス加工を施すことにより形成することができる。

[0139] 図38に示すように、凸部38は、第1接合部312の接合面312Aから第1素子21Aの第1電極211に向けて厚さ方向zに突出している。凸部38は、第1素子21Aの第1電極211と、第1接合層33とに接している。凸部38の厚さ方向zの寸法dは、第1規制体37Aの厚さ方向zの寸法hよりも大きい。図37に示すように、厚さ方向zに視て、凸部38は、円形状である。この他、厚さ方向zに視て、凸部38は、四角形状など多角形状でもよい。

[0140] 図38に示すように、陥入部39は、第1接合部312の上面312Dから第1素子21Aの第1電極211に向けて厚さ方向zに凹んでいる。上面312Dは、厚さ方向zにおいて第1接合部312の接合面312Aとは反対側を向き、かつ第1接合部312の端面312Bにつながっている。図37に示すように、厚さ方向zに視て、陥入部39の形状は、凸部38の形状に近似している。厚さ方向zに視て、陥入部39は凸部38に重なっている。この場合において、凸部38の厚さ方向zの寸法dは、第1接合部312の厚さt以下である。

[0141] 半導体装置A70においては、半導体素子21の製造の際、半導体素子21の第1電極211に金属塊を接合することにより規制体37が形成される。金属塊は、ワイヤボンディング工法により形成される。

[0142] 次に、半導体装置A70の作用効果について説明する。

[0143] 半導体装置A70は、第1電極211を有する半導体素子21（第1素子21A）と、半導体素子21に対向する第1接合部312を有する導通部材30（第1導通部材31）と、第1電極211と第1接合部312との間に介在する接合層（第1接合層33）とを備える。半導体装置A70は、第1接合部312に接合された規制体37（第1規制体37A）をさらに備える。厚さ方向zに対して直交する方向において、規制体37は、第1接合層33に対向している。本構成をとることにより、第1接合層33を介して第1接合部312を第1電極211に接合する際、溶融した第1接合層33が規制体37に接触する。これにより、第1接合層33の濡れ拡がり抑制されるとともに、第1接合層33の濡れ拡がり抑制される方向とは反対方向の反力が第1接合部312に作用することによって、第1電極211に対する第1接合部312の相対変位が抑制される。したがって、半導体装置A70によれば、半導体素子21の電極（第1電極211）に対する導通部材30の位置ずれを抑制することが可能となる。さらに半導体装置A70が半導体装置A10と同様の構成を具備することによって、半導体装置A70においても当該構成にかかる作用効果を奏する。

[0144] 半導体装置A70の導通部材30は、第1接合部312に設けられた凸部38を有する。凸部38は、半導体素子21の第1電極211に向けて厚さ方向zに突出している。凸部38は、第1電極211に接している。したがって、半導体装置A70によっても、図38に示す第1接合層33の最大厚さ T_{max} の制御ができるため、温度サイクルおよびパワーサイクルに対する半導体装置A70の耐久性の向上を図ることが可能となる。さらには、第1接合層33における空隙の発生を抑制することができる。

[0145] さらに、図38に示す凸部38の厚さ方向zの寸法dは、規制体37の厚さ方向zの寸法hよりも大きい。本構成をとることにより、第1接合層33を介して第1接合部312を第1電極211に接合する際、凸部38が規制体37に干渉することなく第1電極211に確実に接触し得る。あわせて、

溶融した第1接合層33が規制体37に接触した際、第1接合層33は、規制体37から反力を受ける。当該反力は、凸部38に作用する。これにより、第1電極211に対する第1接合部312の相対変位をより効果的に抑制できる。

[0146] 図39および図40に示すように、本開示の第8実施形態にかかる半導体装置A80について説明する。これらの図において、先述した半導体装置A10と同一、または類似の要素には同一の符号を付して、重複する説明を省略する。ここで、図39は、理解の便宜上、封止樹脂50を透過している。図39の位置は、半導体装置A30の図22の位置と同一である。本実施形態の構成は、以下に示す第1導通部材31のみならず、図23に示す第2導通部材32においても適用することができる。

[0147] 半導体装置A80は、半導体装置A30に対して導通部材30の構成が異なる。

[0148] 図39および図40に示すように、第1導通部材31は、凸部38および陥入部39を有する。凸部38および陥入部39は、第1導通部材31の第1接合部312に設けられている。凸部38および陥入部39は、第1接合部312に対してプレス加工を施すことにより形成することができる。

[0149] 図40に示すように、凸部38は、第1接合部312の接合面312Aから第1素子21Aの第1電極211に向けて厚さ方向zに突出している。凸部38は、第1素子21Aの第1電極211と、第1接合層33とに接している。図39に示すように、厚さ方向zに視て、凸部38は、円形状である。この他、厚さ方向zに視て、凸部38は、四角形状など多角形状でもよい。

[0150] 図40に示すように、陥入部39は、第1接合部312の上面312Dから第1素子21Aの第1電極211に向けて厚さ方向zに凹んでいる。上面312Dは、厚さ方向zにおいて第1接合部312の接合面312Aとは反対側を向き、かつ第1接合部312の端面312Bにつながっている。図39に示すように、厚さ方向zに視て、陥入部39の形状は、凸部38の形状

に近似している。厚さ方向 z に視て、陥入部 39 は凸部 38 に重なっている。この場合において、凸部 38 の厚さ方向 z の寸法 d は、第 1 接合部 312 の厚さ t 以下である。

[0151] 次に、半導体装置 A80 の作用効果について説明する。

[0152] 半導体装置 A80 は、第 1 電極 211 を有する半導体素子 21 (第 1 素子 21A) と、半導体素子 21 に対向する第 1 接合部 312 を有する導通部材 30 (第 1 導通部材 31) と、第 1 電極 211 と第 1 接合部 312 との間に介在する接合層 (第 1 接合層 33) とを備える。第 1 電極 211 は、厚さ方向 z に対して直交する方向に凹む第 1 凹部 211A を有する。第 1 接合部 312 は、厚さ方向 z に対して直交する方向に凹む第 2 凹部 312C を有する。厚さ方向 z に視て、第 2 凹部 312C は、第 1 凹部 211A に重なっている。したがって、半導体装置 A80 によっても、半導体素子 21 の電極 (第 1 電極 211) に対する導通部材 30 の位置ずれを許容することが可能となる。さらに半導体装置 A80 が半導体装置 A10 と同様の構成を具備することによって、半導体装置 A80 においても当該構成にかかる作用効果を奏する。

[0153] 半導体装置 A80 の導通部材 30 は、第 1 接合部 312 に設けられた凸部 38 を有する。凸部 38 は、半導体素子 21 の第 1 電極 211 に向けて厚さ方向 z に突出している。凸部 38 は、第 1 電極 211 に接している。したがって、半導体装置 A80 によっても、図 40 に示す第 1 接合層 33 の最大厚さ T_{max} の制御ができるため、温度サイクルおよびパワーサイクルに対する半導体装置 A80 の耐久性の向上を図ることが可能となる。さらには、第 1 接合層 33 における空隙の発生を抑制することができる。

[0154] 本開示は、先述した実施形態に限定されるものではない。本開示の各部の具体的な構成は、種々に設計変更自在である。

[0155] 本開示は、以下の付記に記載された実施形態を含む。

付記 1.

第 1 電極を有する半導体素子と、

前記第 1 電極に対向する第 1 接合部を有する導通部材と、
前記第 1 電極と前記第 1 接合部との間に介在する接合層と、
前記第 1 電極および前記第 1 接合部のいずれかに接合された規制体と、を
備え、

前記半導体素子の厚さ方向に対して直交する方向において、前記規制体は
、前記接合層に対向している、半導体装置。

付記 2.

前記規制体は、金属元素を含む、付記 1 に記載の半導体装置。

付記 3.

前記金属元素は、アルミニウムである、付記 2 に記載の半導体装置。

付記 4.

前記規制体は、前記第 1 電極に接合されており、

前記第 1 接合部は、前記厚さ方向に対して直交する第 1 方向を向く端面を
有し、

前記端面は、前記規制体に接触している、付記 2 または 3 に記載の半導体
装置。

付記 5.

前記規制体は、前記厚さ方向および前記第 1 方向に対して直交する第 2 方
向において互いに離れて位置する第 1 部および第 2 部を含む、付記 4 に記載
の半導体装置。

付記 6.

前記接合層の一部が、前記第 1 部と前記第 2 部との間に位置する、付記 5
に記載の半導体装置。

付記 7.

前記第 1 接合部は、前記第 1 電極に対向する接合面を有し、

前記規制体は、前記接合面に接合されており、

前記規制体は、前記第 1 電極に接している、付記 2 または 3 に記載の半導
体装置。

付記 8.

前記導通部材は、前記第 1 接合部につながる先端部を有し、

前記先端部は、前記厚さ方向に対して直交する方向において前記第 1 接合部から遠ざかるほど、前記厚さ方向において前記第 1 電極から遠ざかる向きに前記接合面に対して傾斜しており、

前記厚さ方向に視て、前記第 1 電極は、前記先端部を間に挟んで前記第 1 接合部とは反対側に位置する拡張部を有する、付記 7 に記載の半導体装置。

付記 9.

前記規制体は、前記接合層に接している、付記 1 ないし 8 のいずれかに記載の半導体装置。

付記 10.

前記半導体素子は、前記厚さ方向において前記第 1 電極と同じ側に位置するゲート電極を有し、

前記厚さ方向に視て、前記ゲート電極と前記第 1 接合部との間に前記第 1 電極の一部が位置する、付記 1 ないし 9 のいずれかに記載の半導体装置。

付記 11.

第 1 電極を有する半導体素子と、

前記第 1 電極に対向する第 1 接合部を有する導通部材と、

前記第 1 電極と前記第 1 接合部との間に介在する接合層と、を備え、

前記第 1 電極は、前記半導体素子の厚さ方向に対して直交する方向に凹む第 1 凹部を有し、

前記第 1 接合部は、前記厚さ方向に対して直交する方向に凹む第 2 凹部を有し、

前記厚さ方向に視て、前記第 2 凹部は、前記第 1 凹部に重なっている、半導体装置。

付記 12.

前記半導体素子は、前記厚さ方向において前記第 1 電極と同じ側に位置するゲート電極を有し、

前記厚さ方向に視て、前記ゲート電極は、前記第 1 凹部および前記第 2 凹部に重なっている、付記 1 1 に記載の半導体装置。

付記 1 3.

前記厚さ方向において前記半導体素子に対して前記第 1 接合部とは反対側に位置する支持部材をさらに備え、

前記半導体素子は、前記支持部材に搭載されている、付記 1 ないし 1 2 のいずれかに記載の半導体装置。

付記 1 4.

前記半導体素子および前記導通部材と、前記支持部材の一部と、を覆う封止樹脂をさらに備える、付記 1 3 に記載の半導体装置。

付記 1 5.

前記半導体素子に導通する複数の端子リードをさらに備え、

前記複数の端子リードの各々の一部は、前記封止樹脂に覆われている、付記 1 4 に記載の半導体装置。

付記 1 6.

前記支持部材は、導電性を有しており、

前記半導体素子は、前記支持部材に対向する第 2 電極を有し、

前記第 2 電極は、前記支持部材に接合されており、

前記複数の端子リードのいずれかが、前記支持部材につながっている、付記 1 5 に記載の半導体装置。

付記 1 7.

前記導通部材は、前記第 1 接合部がつながる本体部と、前記本体部につながり、かつ前記第 1 接合部とは離れて位置する第 2 接合部を有し、

前記第 2 接合部は、前記複数の端子リードのいずれかに接合されている、付記 1 5 または 1 6 のいずれかに記載の半導体装置。

付記 1 8.

前記導通部材は、前記第 1 接合部に設けられ、かつ前記第 1 電極に向けて前記厚さ方向に突出する凸部を有し、

前記凸部は、前記第 1 電極に接している、付記 1 ないし 17 のいずれかに記載の半導体装置。

付記 19.

前記導通部材は、前記第 1 接合部に設けられ、かつ前記第 1 電極に向けて前記厚さ方向に凹む陥入部を有し、

前記厚さ方向に視て、前記陥入部は、前記凸部に重なっている、付記 18 に記載の半導体装置。

付記 20.

前記凸部の前記厚さ方向の寸法は、前記第 1 接合部の厚さ以下である、付記 19 に記載の半導体装置。

付記 21.

前記凸部は、前記厚さ方向に対して直交する方向に互いに離れて位置する第 1 凸部および第 2 凸部を含み、

前記第 1 凸部および前記第 2 凸部は、前記厚さ方向と、前記第 1 凸部および前記第 2 凸部が互いに離れる方向と、に対して直交する方向に延びている、付記 18 ないし 20 のいずれかに記載の半導体装置。

符号の説明

[0156] A10, A20, A30, A40, A50, A60, A70, A80 : 半導体装置

10 : 支持部材 10A : 第 1 ダイパッド

10B : 第 2 ダイパッド 101 : 主面

102 : 裏面 103 : 第 1 座面

104 : 第 1 起立面 13 : 端子リード

14 : 第 1 入力端子 14A : 被覆部

14B : 露出部 15 : 出力端子

15A : 被覆部 15B : 露出部

16 : 第 2 入力端子 16A : 被覆部

16B : 露出部 16C : 第 2 座面

16D : 第2起立面 171 : 第1ゲート端子
171A : 被覆部 171B : 露出部
172 : 第2ゲート端子 172A : 被覆部
172B : 露出部 181 : 第1検出端子
181A : 被覆部 181B : 露出部
182 : 第2検出端子 182A : 被覆部
182B : 露出部 21 : 半導体素子
21A : 第1素子 21B : 第2素子
211 : 第1電極 211A : 第1凹部
211B : 拡張部 212 : 第2電極
213 : ゲート電極 22 : 保護素子
22A : 第1ダイオード 22B : 第2ダイオード
221 : 上面電極 222 : 下面電極
23 : ダイボンディング層 31 : 第1導通部材
311 : 本体部 312 : 第1接合部
312A : 接合面 312B : 端面
312C : 第2凹部 312D : 上面
313 : 第2接合部 314 : 先端部
32 : 第2導通部材 321 : 本体部
322 : 第3接合部 322A : 接合面
322B : 端面 322C : 第2凹部
322D : 上面 323 : 第4接合部
33 : 第1接合層 34 : 第2接合層
35 : 第3接合層 36 : 第4接合層
37 : 規制体 37A : 第1規制体
37B : 第2規制体 37C : 第3規制体
37D : 第4規制体 371 : 第1部
372 : 第2部 38 : 凸部

381 : 第1凸部 382 : 第2凸部
39 : 陥入部 41 : ゲートワイヤ
42 : 検出ワイヤ 50 : 封止樹脂
51 : 頂面 52 : 底面
53 : 第1側面 54 : 第2側面
55 : 第3側面 56 : 凹部
57 : 溝部 z : 厚さ方向
x : 第1方向 y : 第2方向

請求の範囲

- [請求項1] 第1電極を有する半導体素子と、
前記第1電極に対向する第1接合部を有する導通部材と、
前記第1電極と前記第1接合部との間に介在する接合層と、
前記第1電極および前記第1接合部のいずれかに接合された規制体と、を備え、
前記半導体素子の厚さ方向に対して直交する方向において、前記規制体は、前記接合層に対向している、半導体装置。
- [請求項2] 前記規制体は、金属元素を含む、請求項1に記載の半導体装置。
- [請求項3] 前記金属元素は、アルミニウムである、請求項2に記載の半導体装置。
- [請求項4] 前記規制体は、前記第1電極に接合されており、
前記第1接合部は、前記厚さ方向に対して直交する第1方向を向く端面を有し、
前記端面は、前記規制体に接触している、請求項2または3に記載の半導体装置。
- [請求項5] 前記規制体は、前記厚さ方向および前記第1方向に対して直交する第2方向において互いに離れて位置する第1部および第2部を含む、請求項4に記載の半導体装置。
- [請求項6] 前記接合層の一部が、前記第1部と前記第2部との間に位置する、請求項5に記載の半導体装置。
- [請求項7] 前記第1接合部は、前記第1電極に対向する接合面を有し、
前記規制体は、前記接合面に接合されており、
前記規制体は、前記第1電極に接している、請求項2または3に記載の半導体装置。
- [請求項8] 前記導通部材は、前記第1接合部につながる先端部を有し、
前記先端部は、前記厚さ方向に対して直交する方向において前記第1接合部から遠ざかるほど、前記厚さ方向において前記第1電極から

遠ざかる向きに前記接合面に対して傾斜しており、

前記厚さ方向に視て、前記第1電極は、前記先端部を間に挟んで前記第1接合部とは反対側に位置する拡張部を有する、請求項7に記載の半導体装置。

[請求項9] 前記規制体は、前記接合層に接している、請求項1ないし8のいずれかに記載の半導体装置。

[請求項10] 前記半導体素子は、前記厚さ方向において前記第1電極と同じ側に位置するゲート電極を有し、

前記厚さ方向に視て、前記ゲート電極と前記第1接合部との間に前記第1電極の一部が位置する、請求項1ないし9のいずれかに記載の半導体装置。

[請求項11] 第1電極を有する半導体素子と、

前記第1電極に対向する第1接合部を有する導通部材と、

前記第1電極と前記第1接合部との間に介在する接合層と、を備え、

前記第1電極は、前記半導体素子の厚さ方向に対して直交する方向に凹む第1凹部を有し、

前記第1接合部は、前記厚さ方向に対して直交する方向に凹む第2凹部を有し、

前記厚さ方向に視て、前記第2凹部は、前記第1凹部に重なっている、半導体装置。

[請求項12] 前記半導体素子は、前記厚さ方向において前記第1電極と同じ側に位置するゲート電極を有し、

前記厚さ方向に視て、前記ゲート電極は、前記第1凹部および前記第2凹部に重なっている、請求項11に記載の半導体装置。

[請求項13] 前記厚さ方向において前記半導体素子に対して前記第1接合部とは反対側に位置する支持部材をさらに備え、

前記半導体素子は、前記支持部材に搭載されている、請求項1ない

し 1 2 のいずれかに記載の半導体装置。

[請求項14] 前記半導体素子および前記導通部材と、前記支持部材の一部と、を覆う封止樹脂をさらに備える、請求項 1 3 に記載の半導体装置。

[請求項15] 前記半導体素子に導通する複数の端子リードをさらに備え、前記複数の端子リードの各々の一部は、前記封止樹脂に覆われている、請求項 1 4 に記載の半導体装置。

[請求項16] 前記支持部材は、導電性を有しており、前記半導体素子は、前記支持部材に対向する第 2 電極を有し、前記第 2 電極は、前記支持部材に接合されており、前記複数の端子リードのいずれかが、前記支持部材につながっている、請求項 1 5 に記載の半導体装置。

[請求項17] 前記導通部材は、前記第 1 接合部がつながる本体部と、前記本体部につながり、かつ前記第 1 接合部とは離れて位置する第 2 接合部を有し、前記第 2 接合部は、前記複数の端子リードのいずれかに接合されている、請求項 1 5 または 1 6 のいずれかに記載の半導体装置。

[請求項18] 前記導通部材は、前記第 1 接合部に設けられ、かつ前記第 1 電極に向けて前記厚さ方向に突出する凸部を有し、前記凸部は、前記第 1 電極に接している、請求項 1 ないし 1 7 のいずれかに記載の半導体装置。

[請求項19] 前記導通部材は、前記第 1 接合部に設けられ、かつ前記第 1 電極に向けて前記厚さ方向に凹む陥入部を有し、前記厚さ方向に視て、前記陥入部は、前記凸部に重なっている、請求項 1 8 に記載の半導体装置。

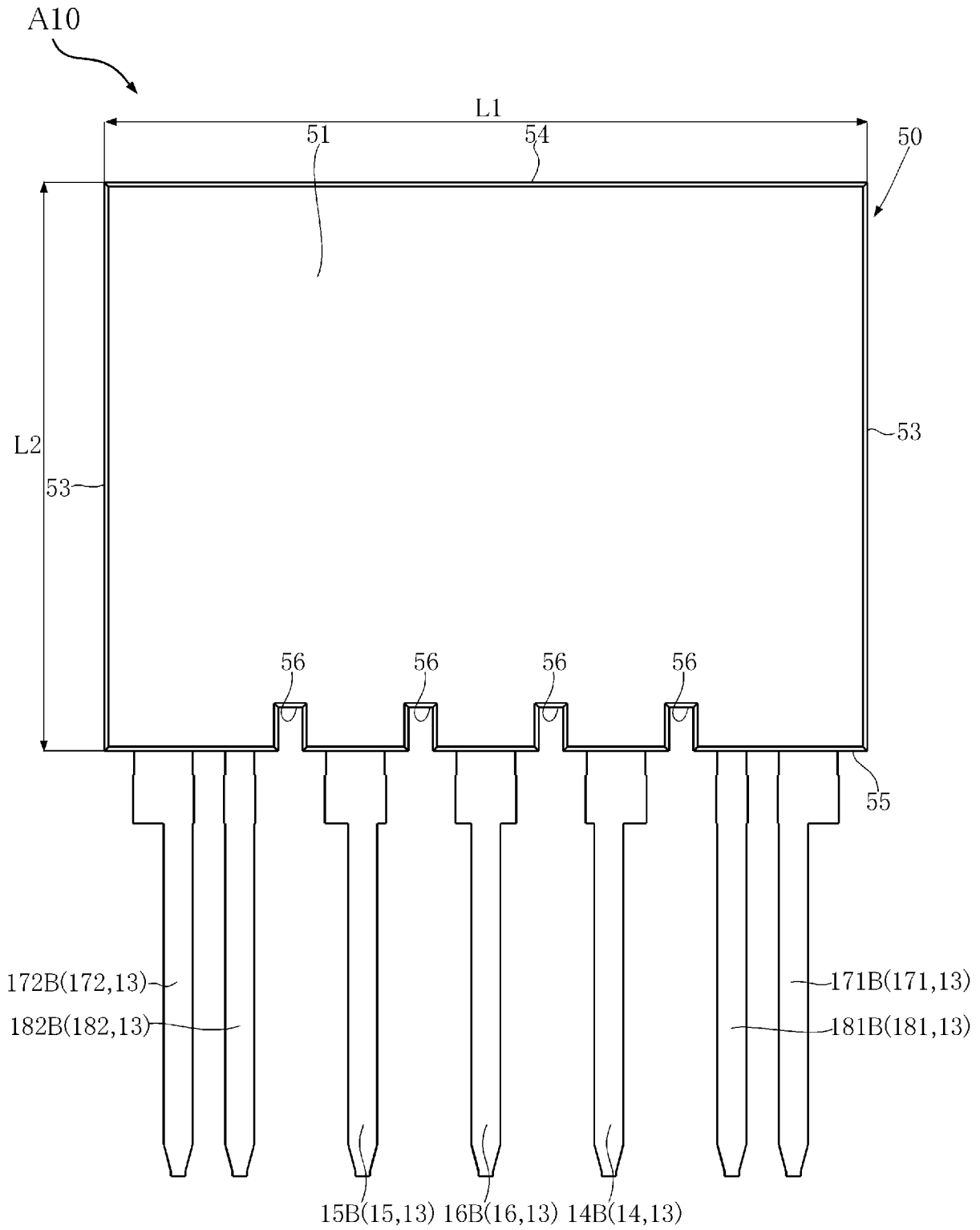
[請求項20] 前記凸部の前記厚さ方向の寸法は、前記第 1 接合部の厚さ以下である、請求項 1 9 に記載の半導体装置。

[請求項21] 前記凸部は、前記厚さ方向に対して直交する方向に互いに離れて位置する第 1 凸部および第 2 凸部を含み、

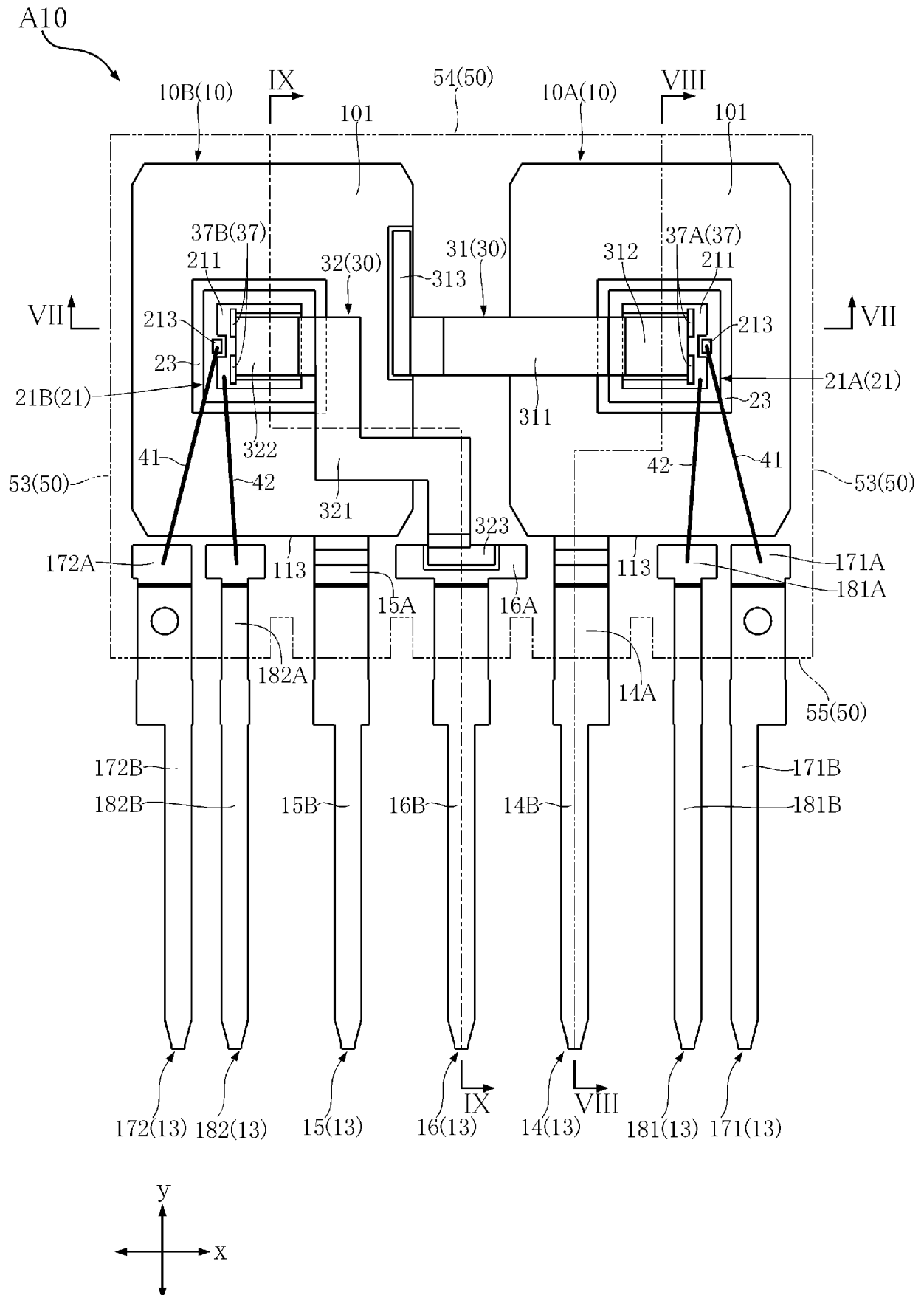
前記第1凸部および前記第2凸部は、前記厚さ方向と、前記第1凸部および前記第2凸部が互いに離れる方向と、に対して直交する方向に延びている、請求項18ないし20のいずれかに記載の半導体装置

。

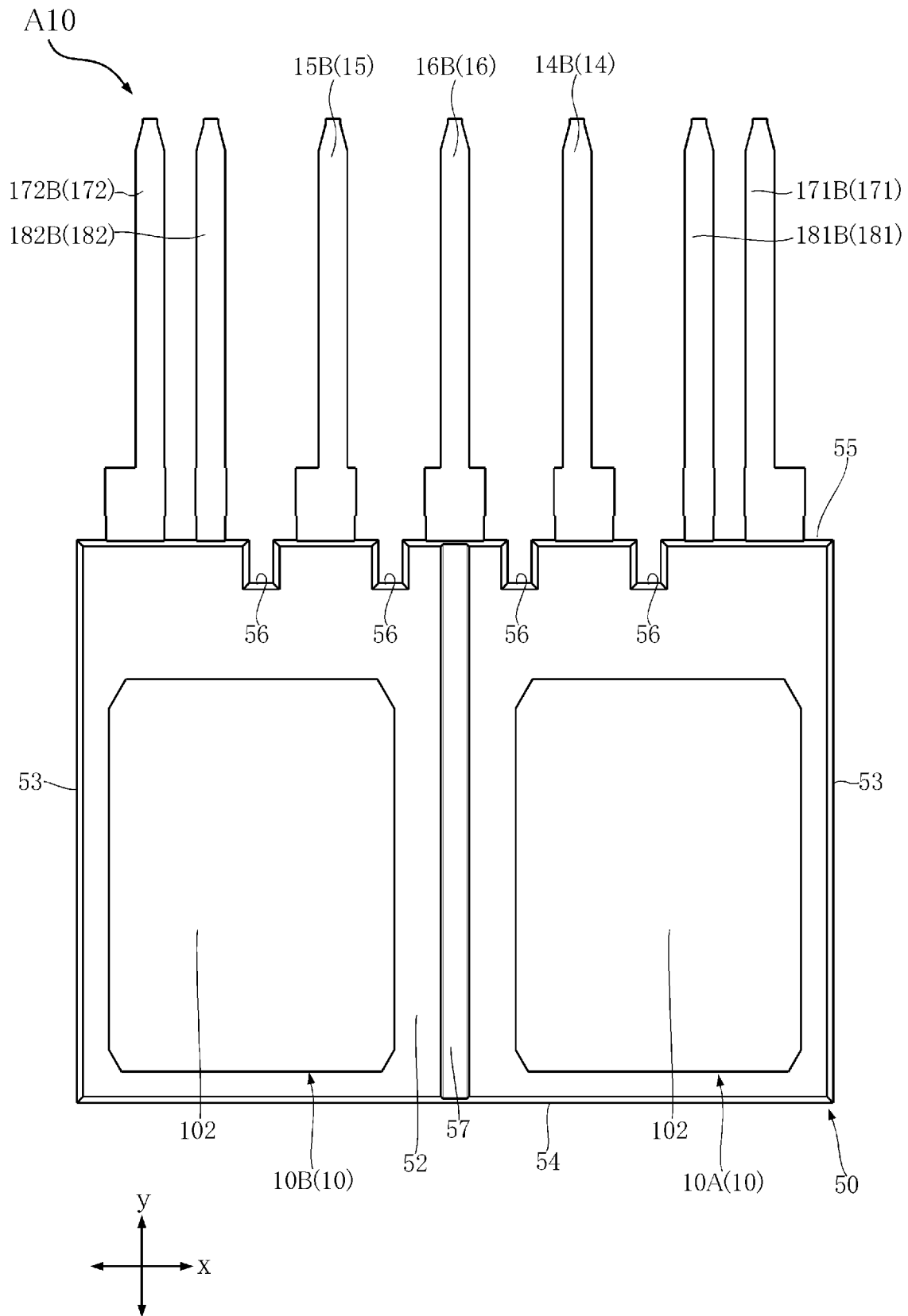
[図2]
FIG.2



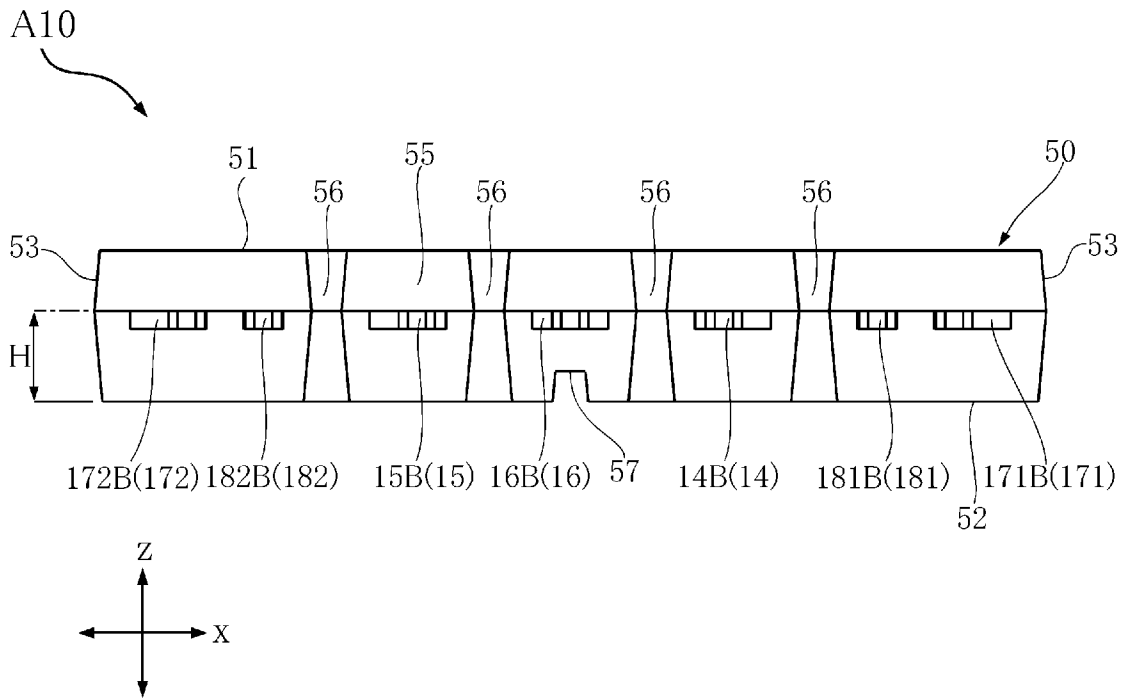
[図3]
FIG.3



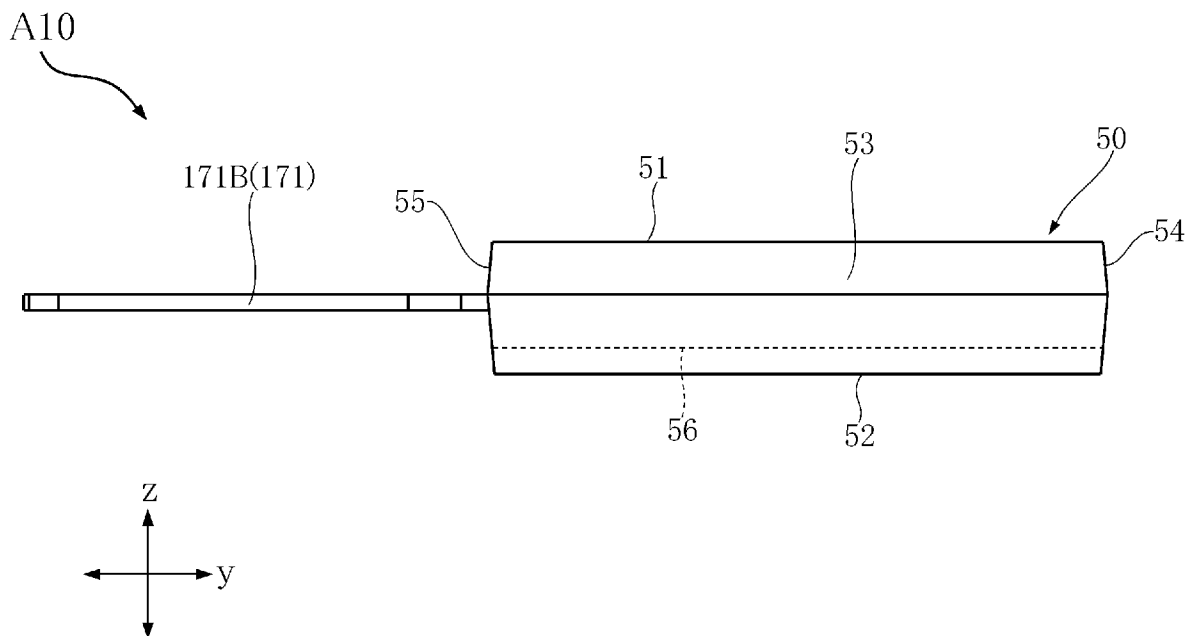
[図4]
FIG.4



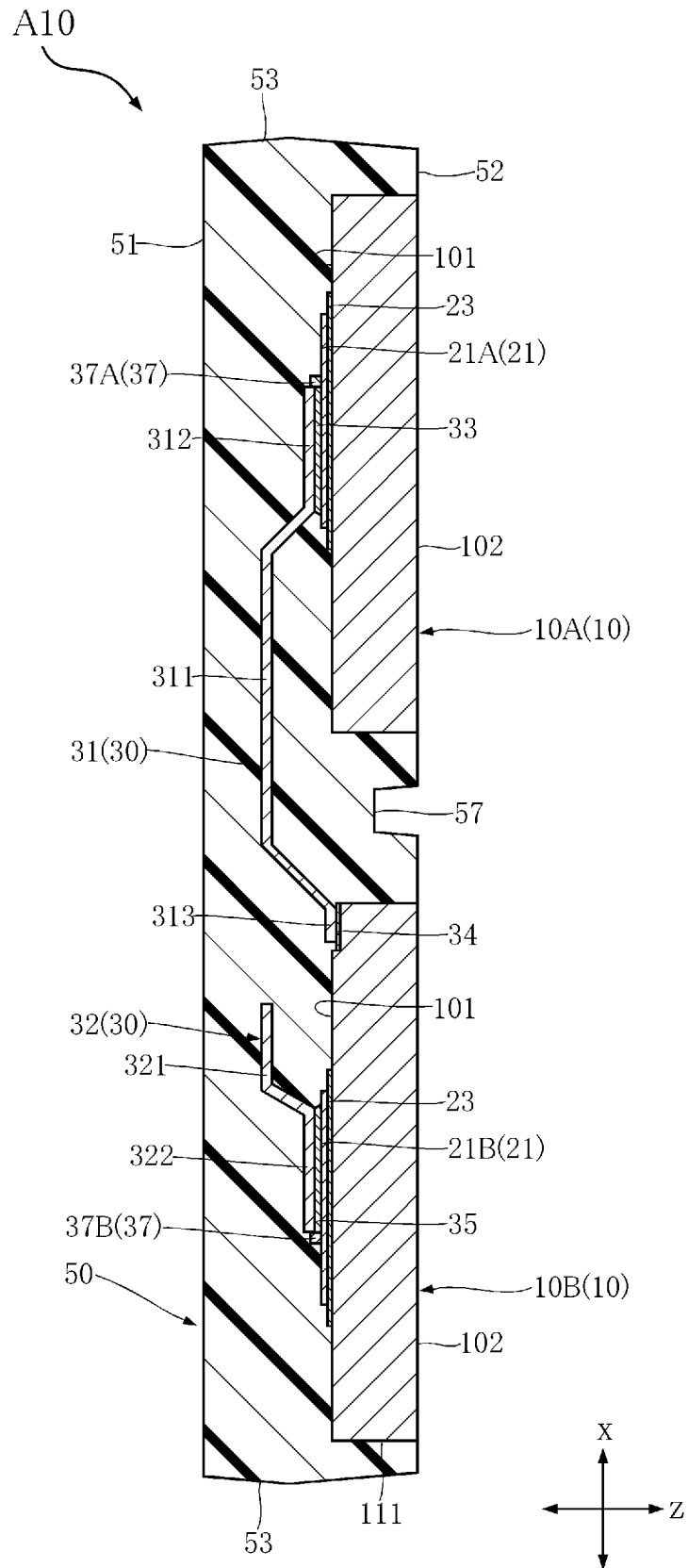
[図5]
FIG.5



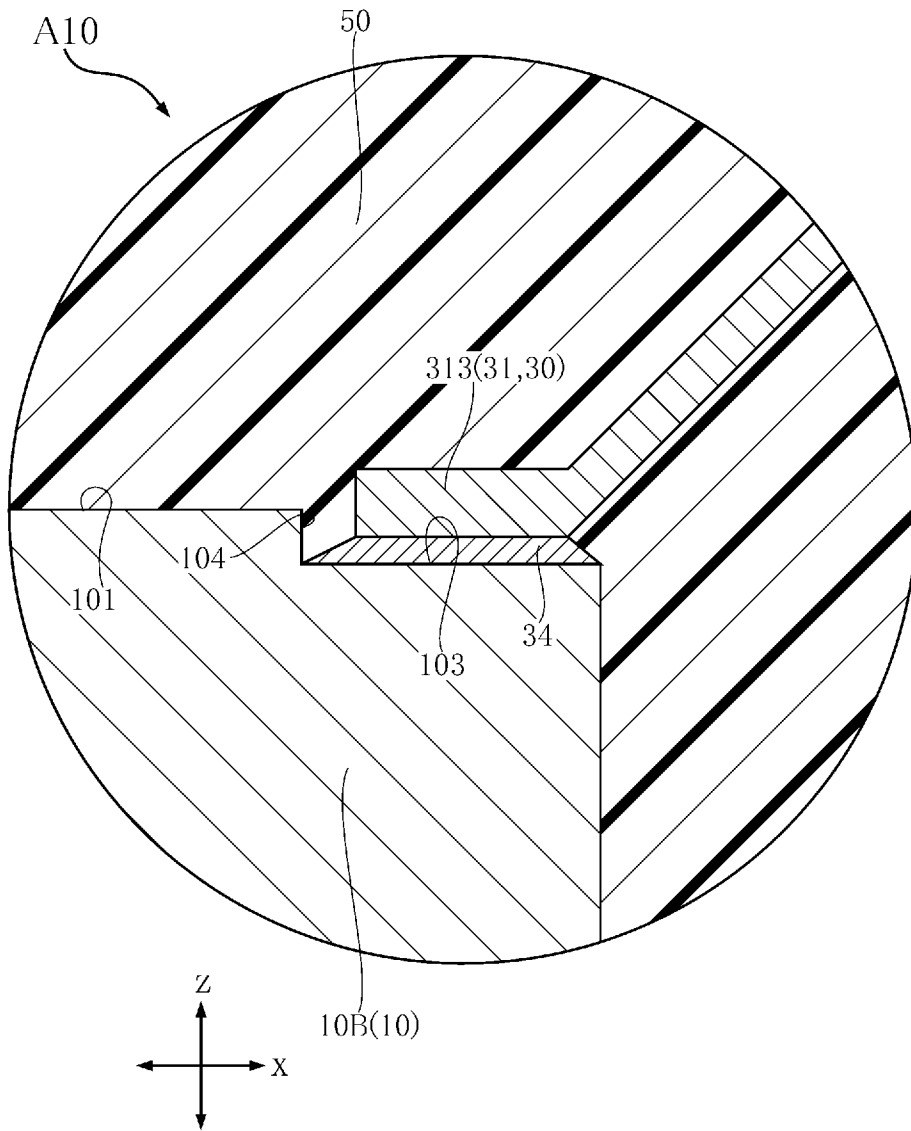
[図6]
FIG.6

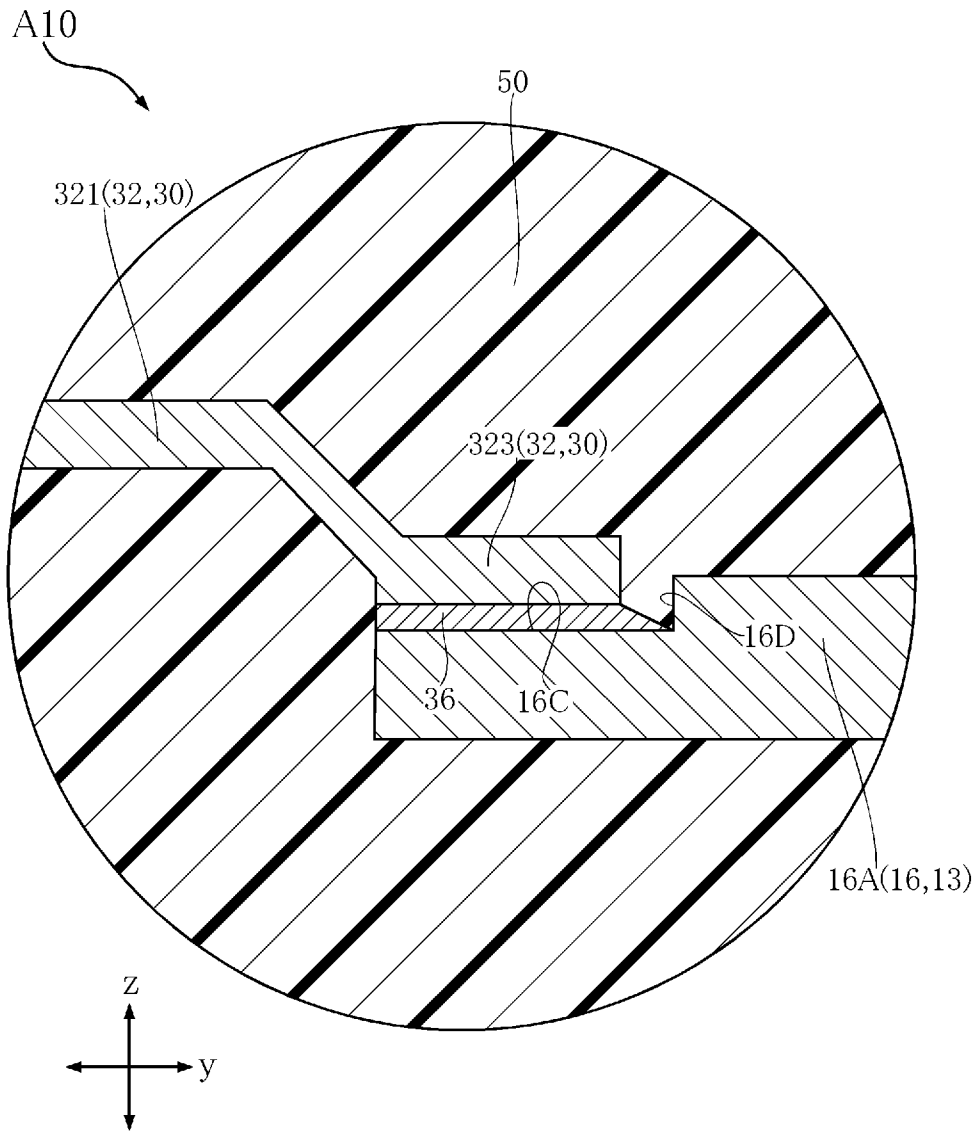


[図7]
FIG.7

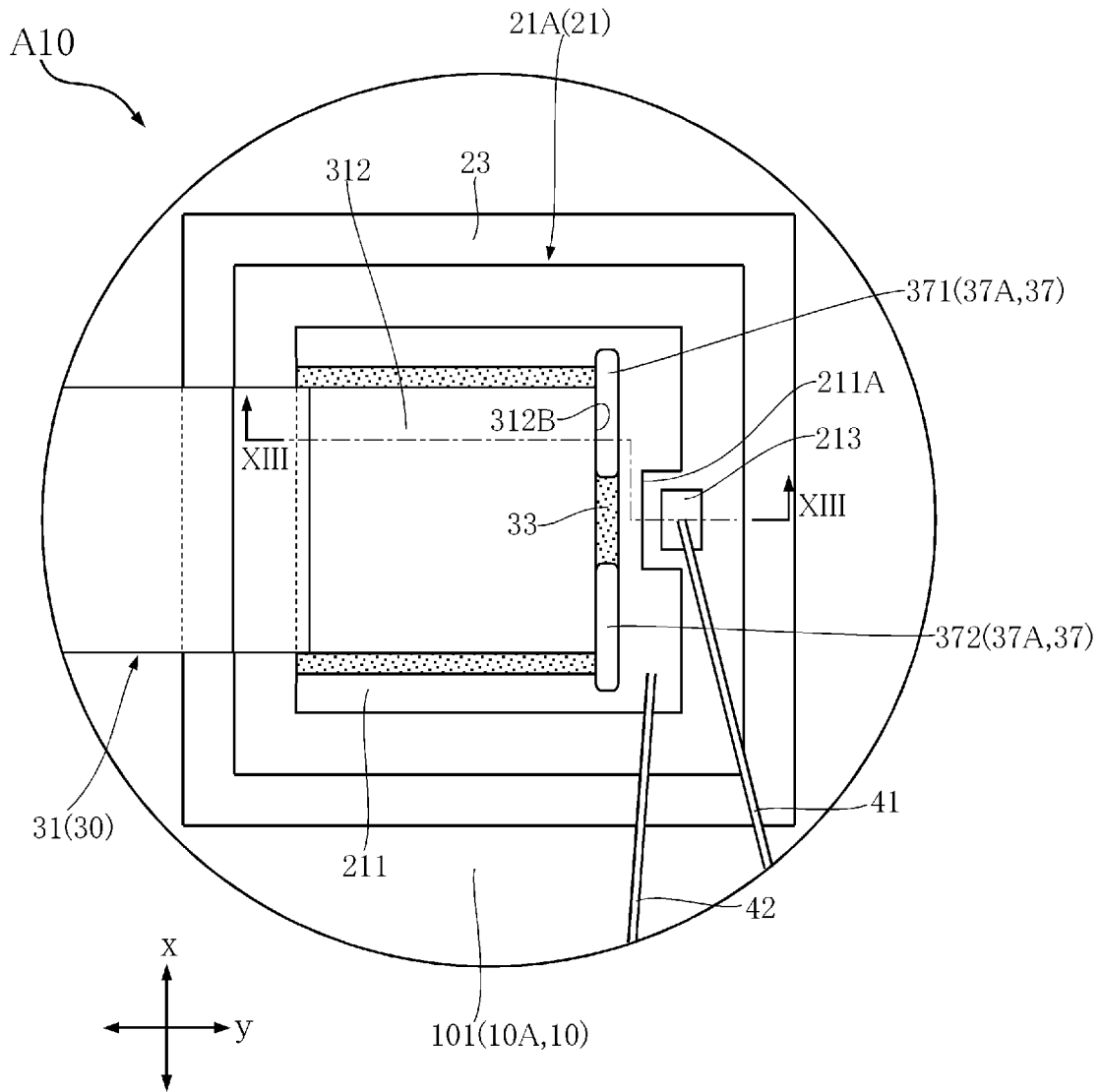


[図10]
FIG.10

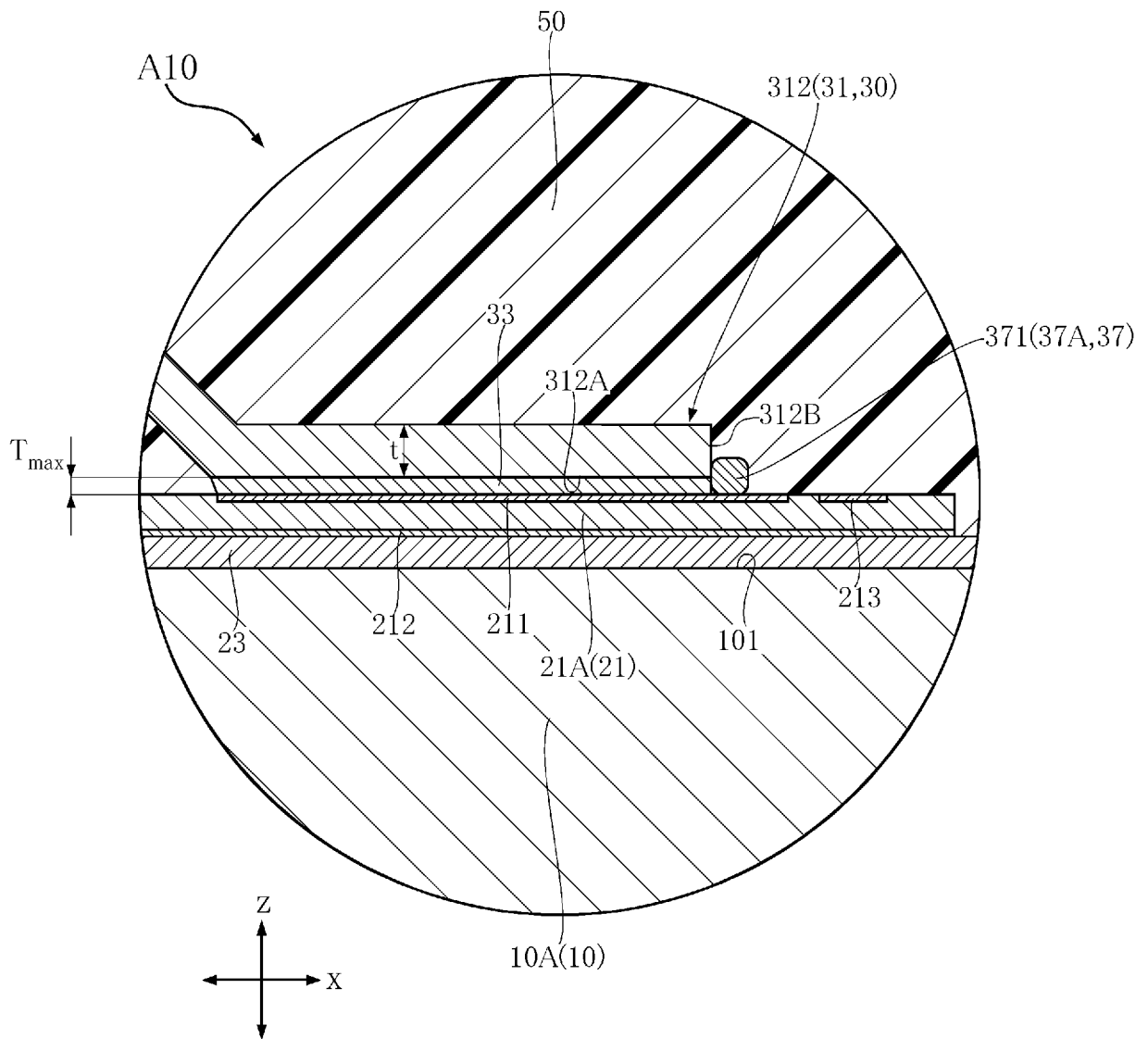


[図11]
FIG.11

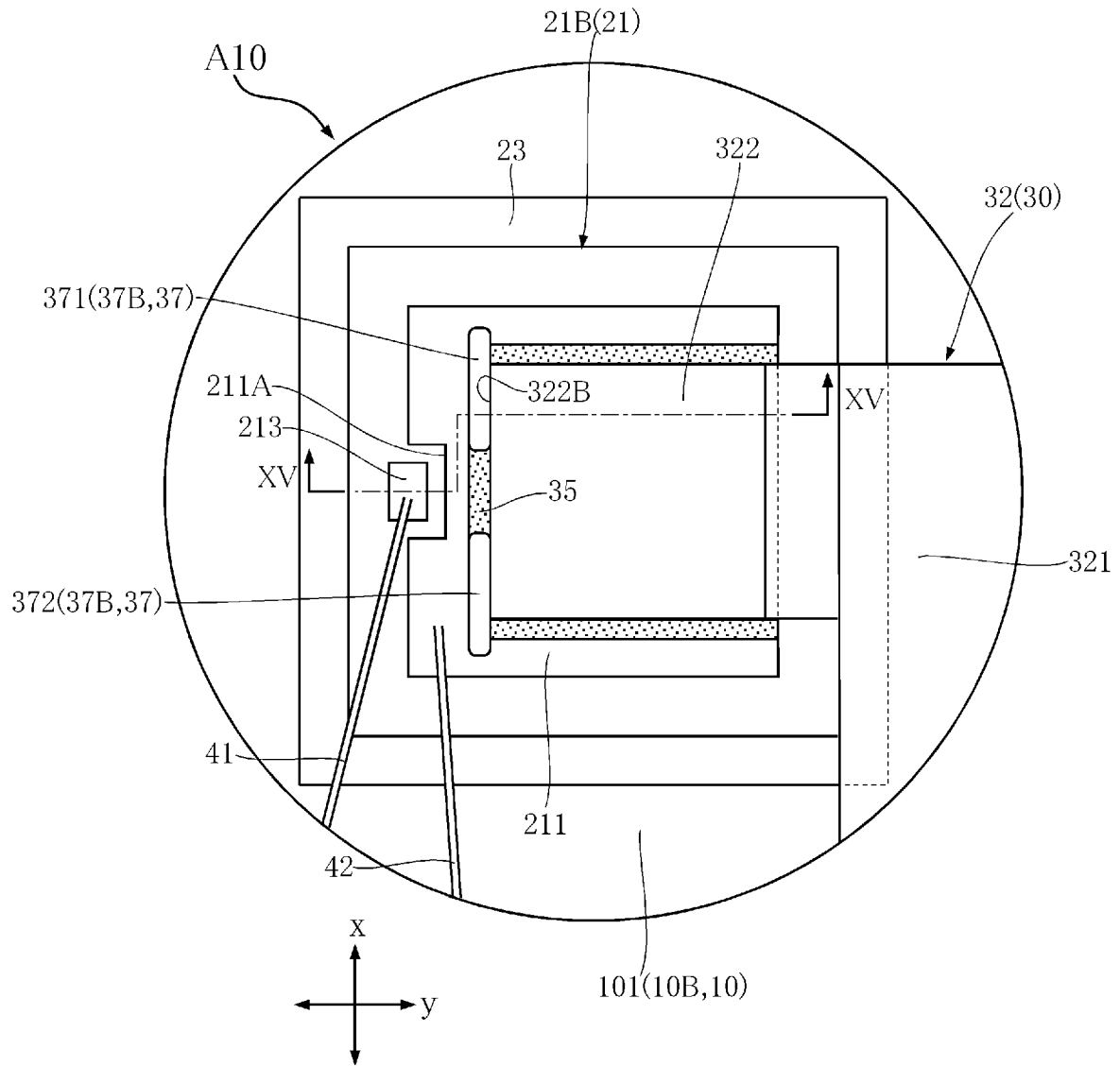
[図12]
FIG.12




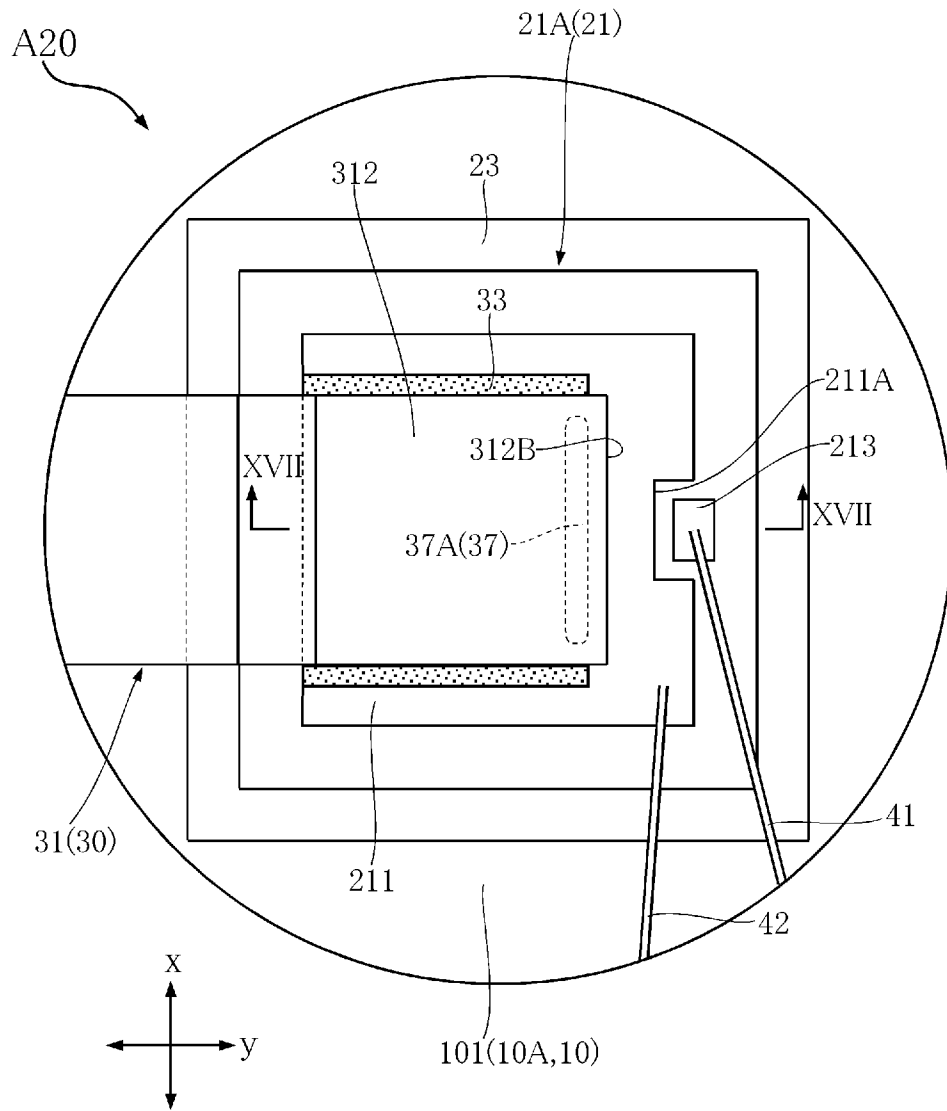
[図13]
FIG.13



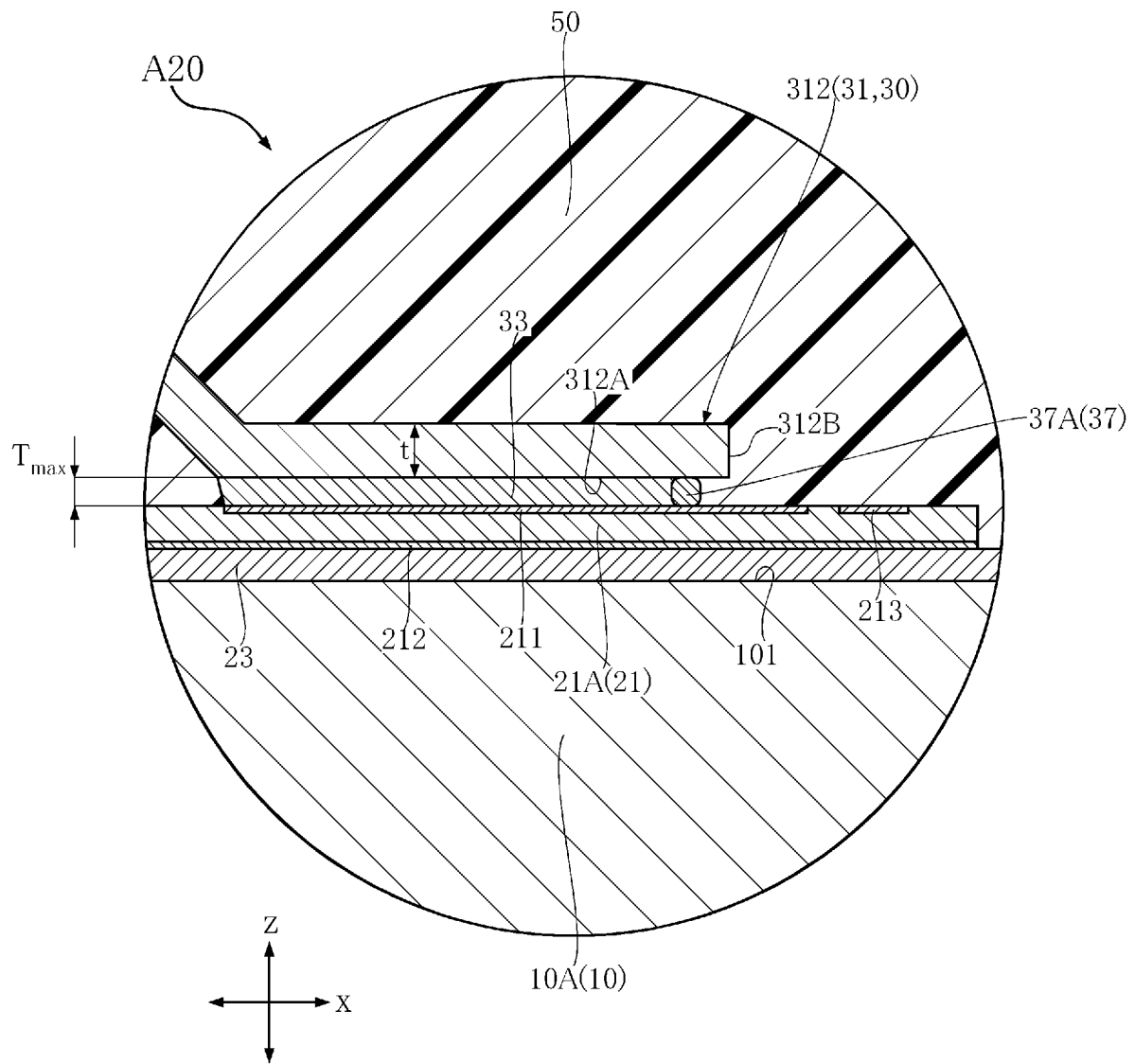
[図14]
FIG. 14



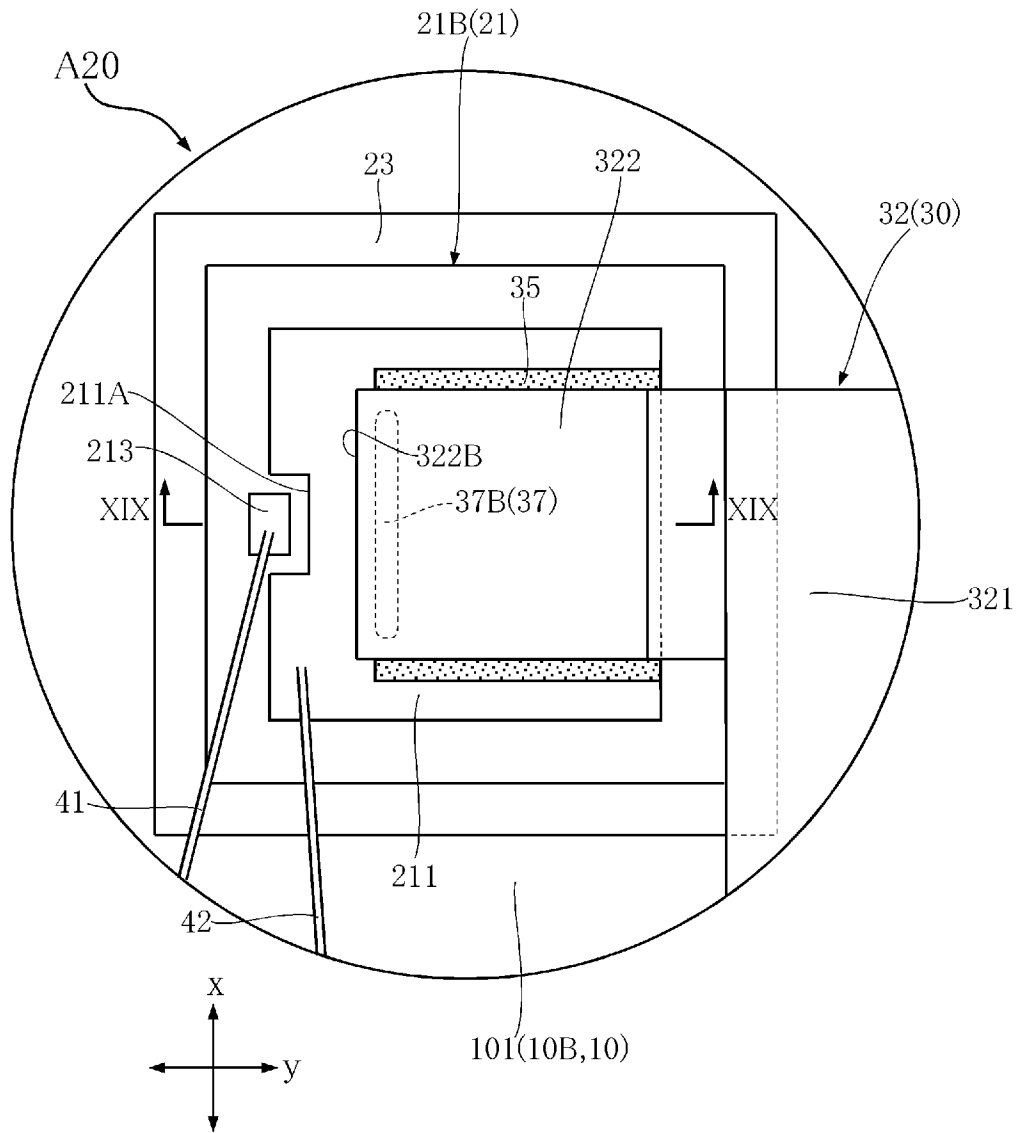
[16]
FIG.16

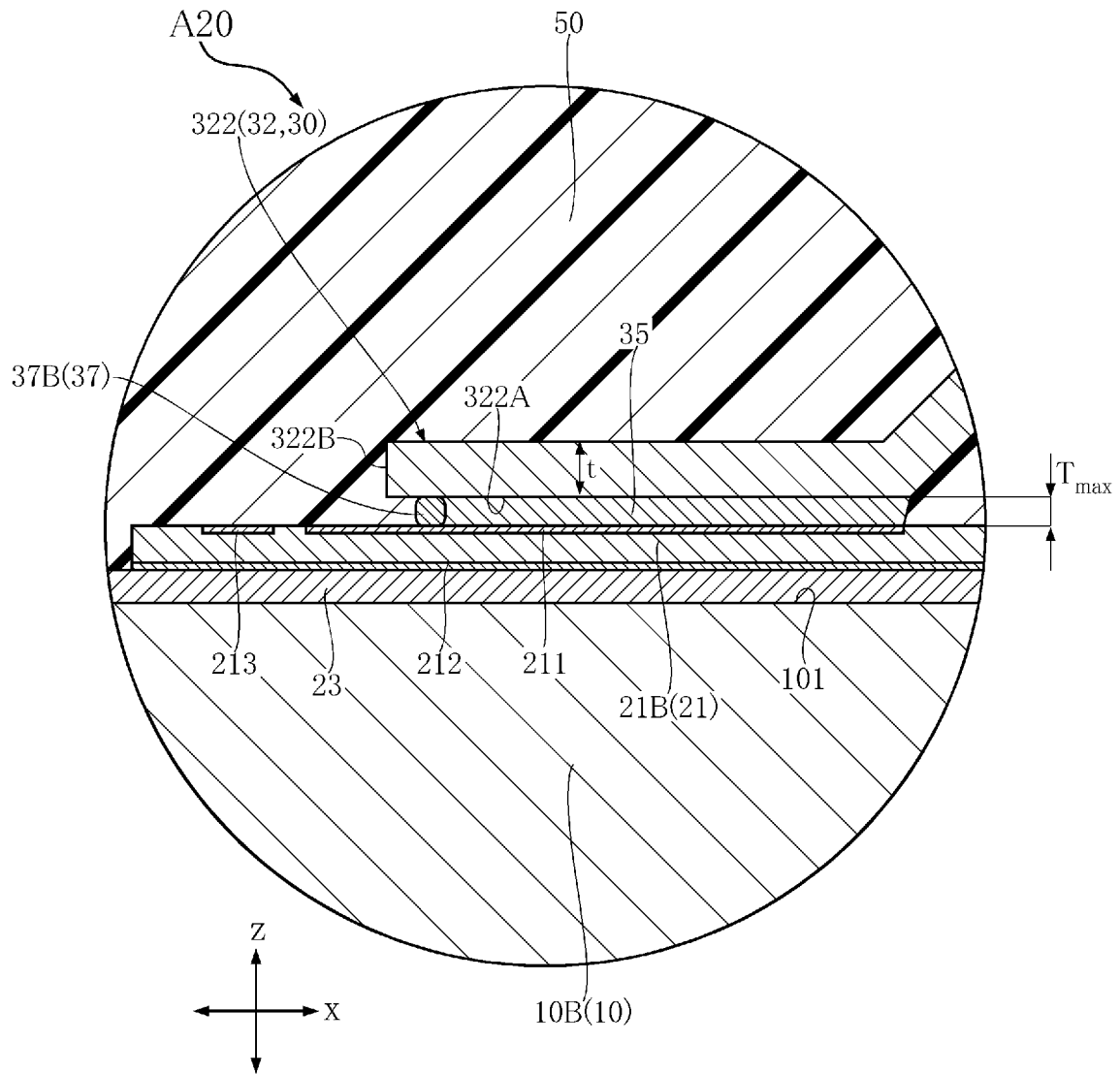


[図17]
FIG.17

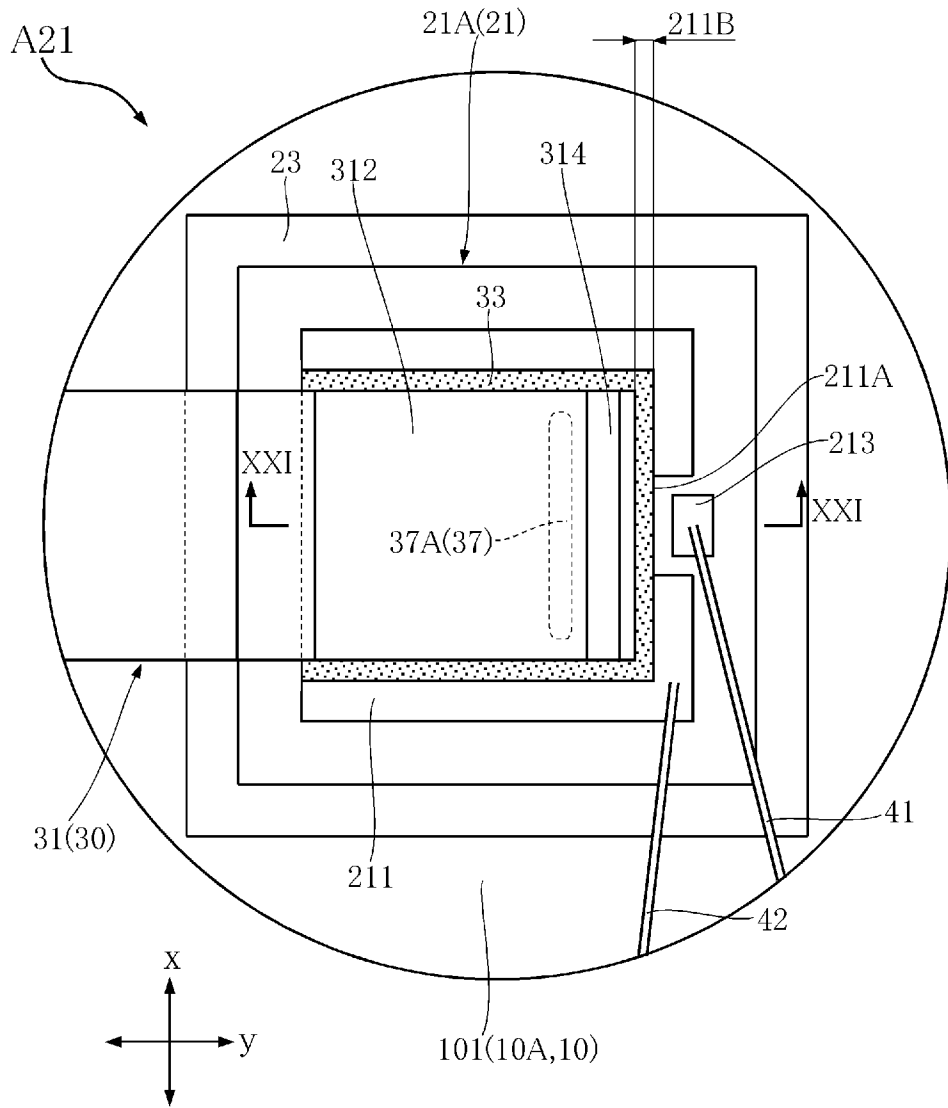


[図18]
FIG. 18

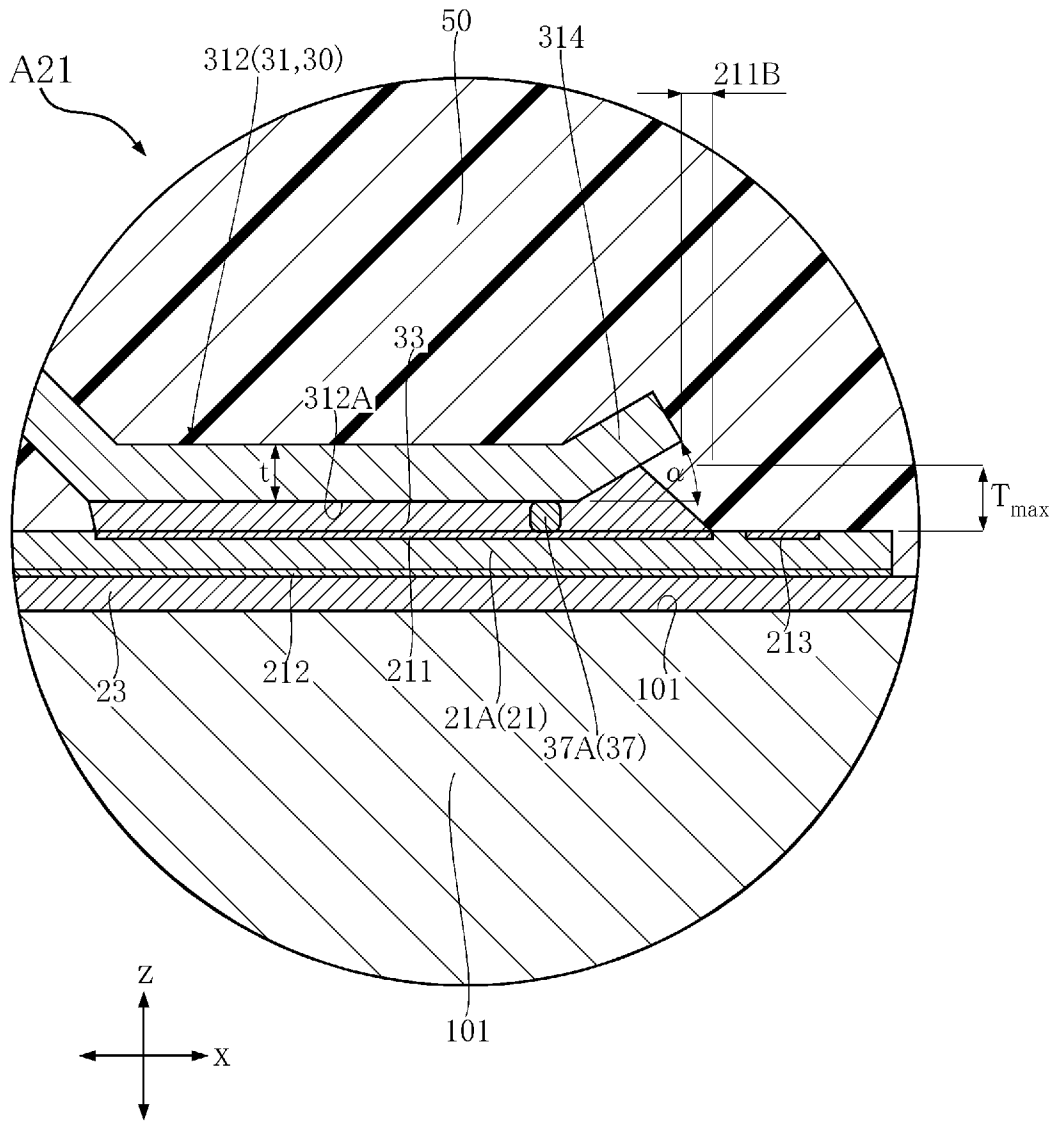


[図19]
FIG.19

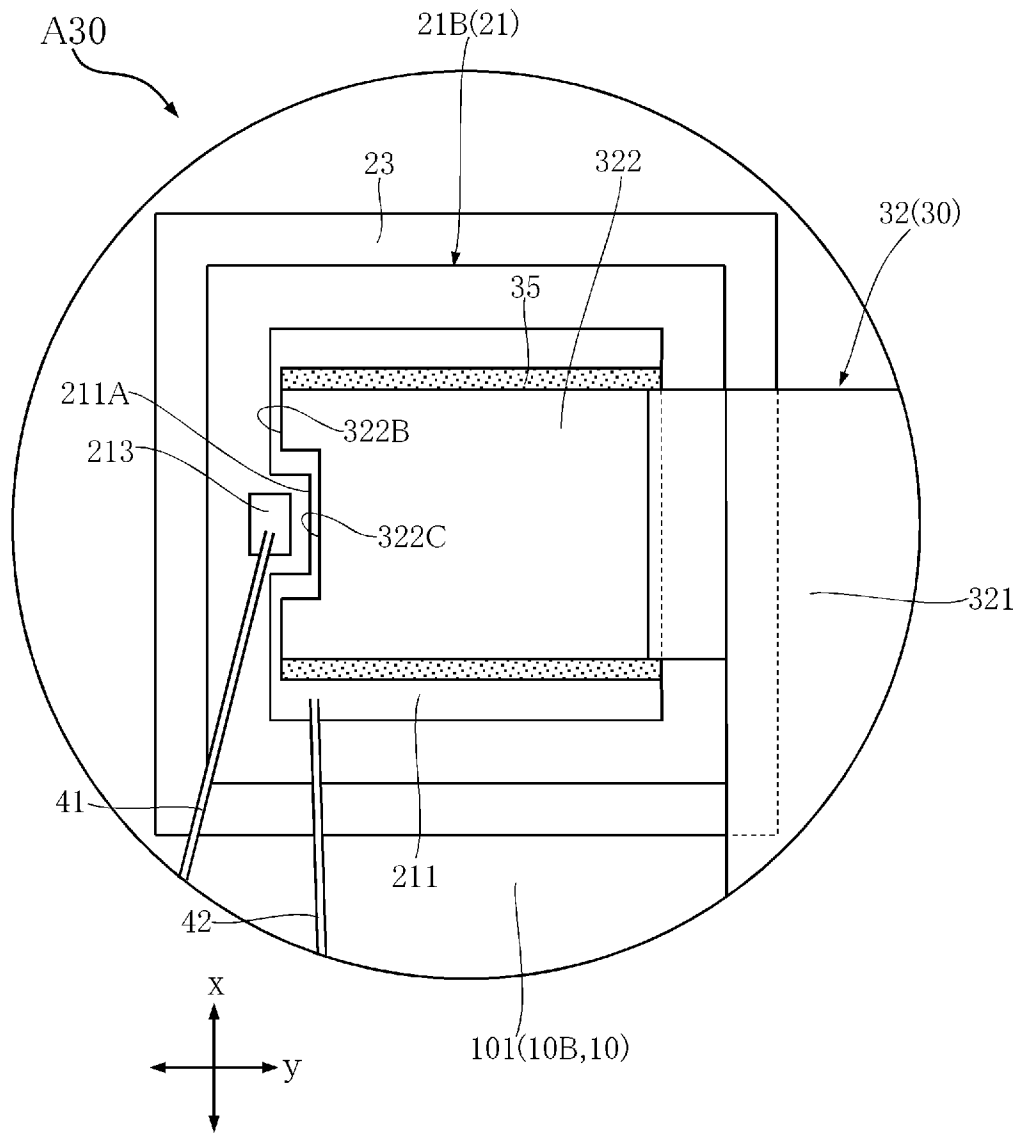
[図20]
FIG.20




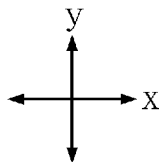
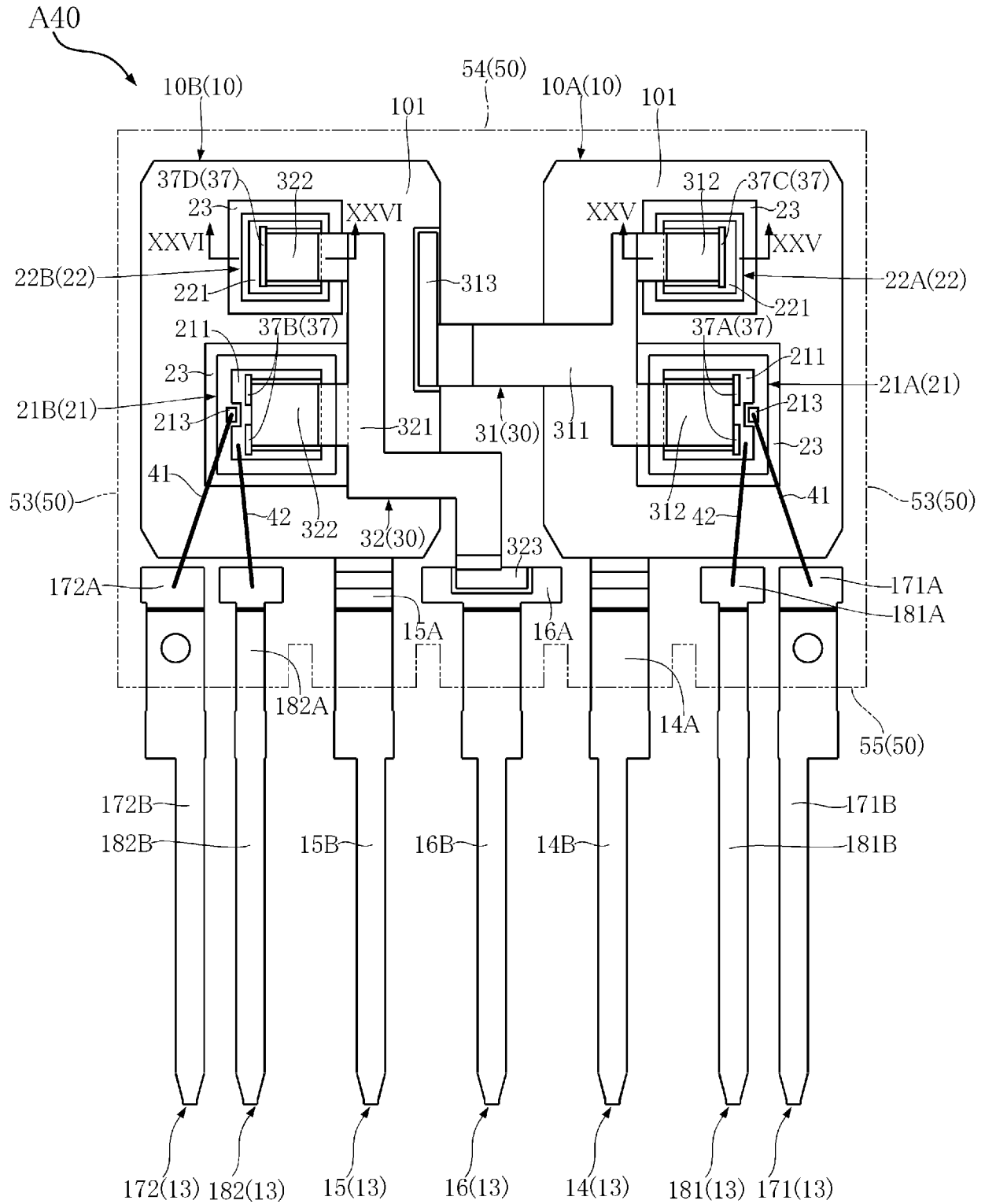
[図21]
FIG.21


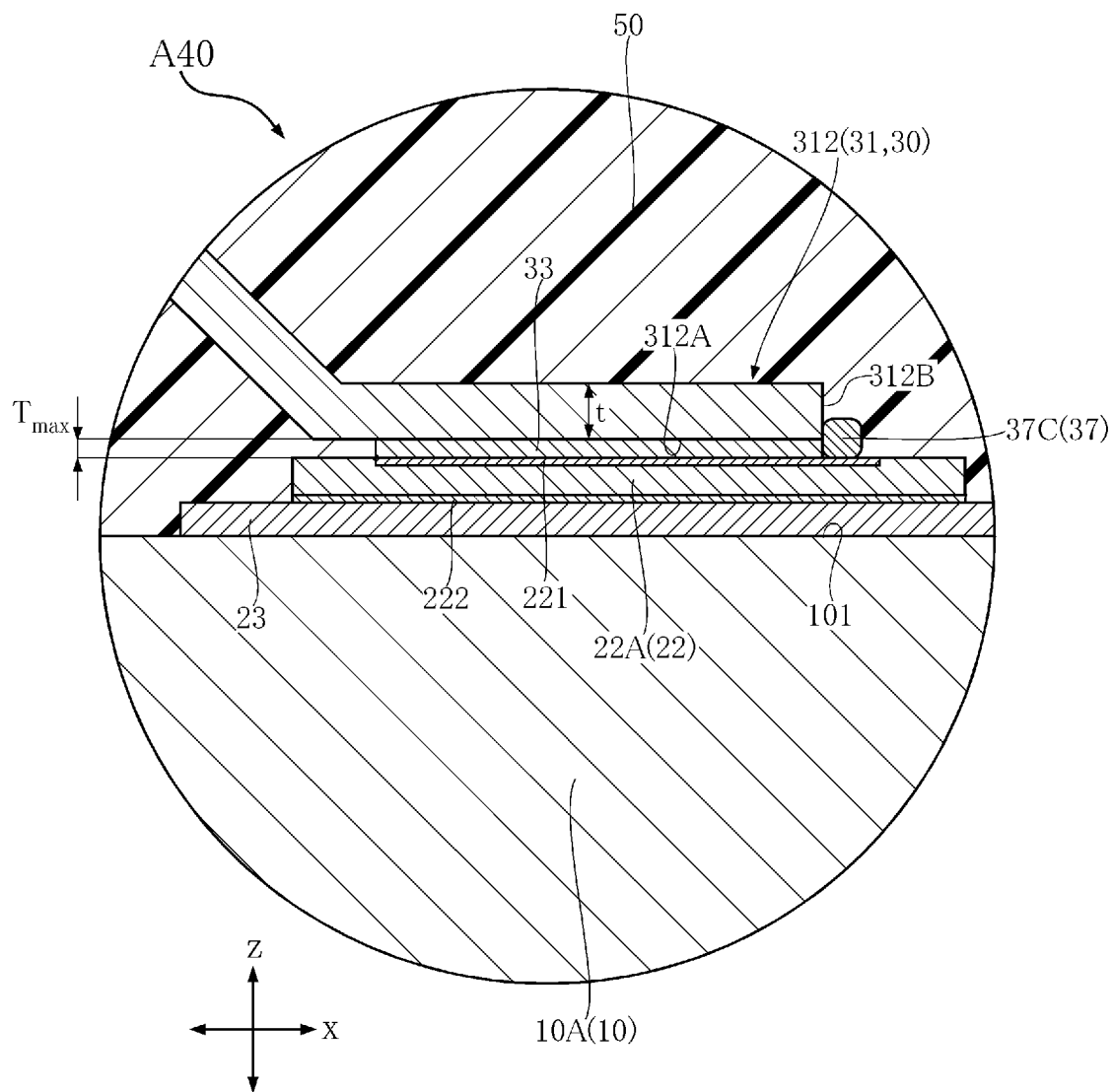



[図23]
FIG.23

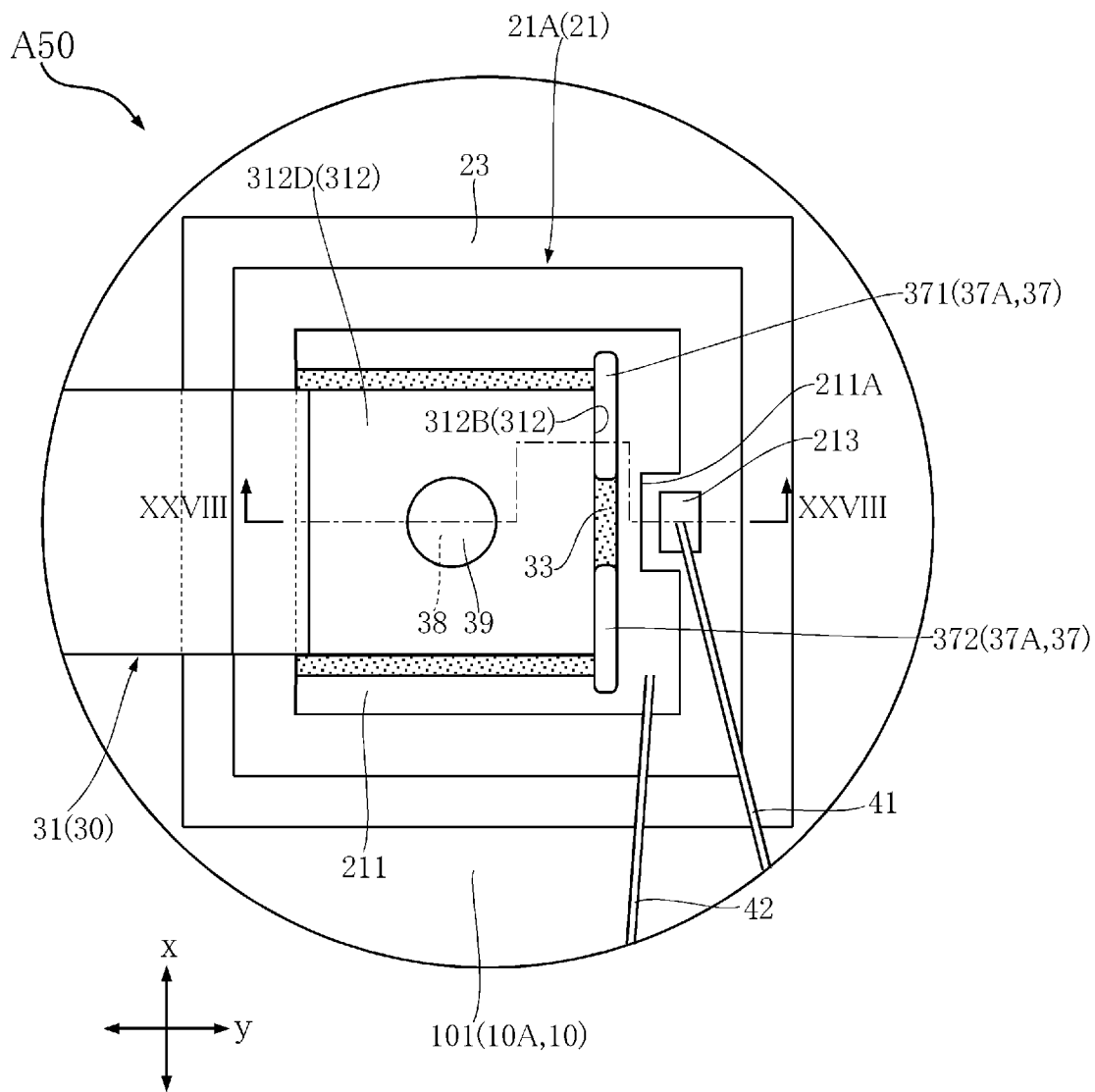



[] FIG.24

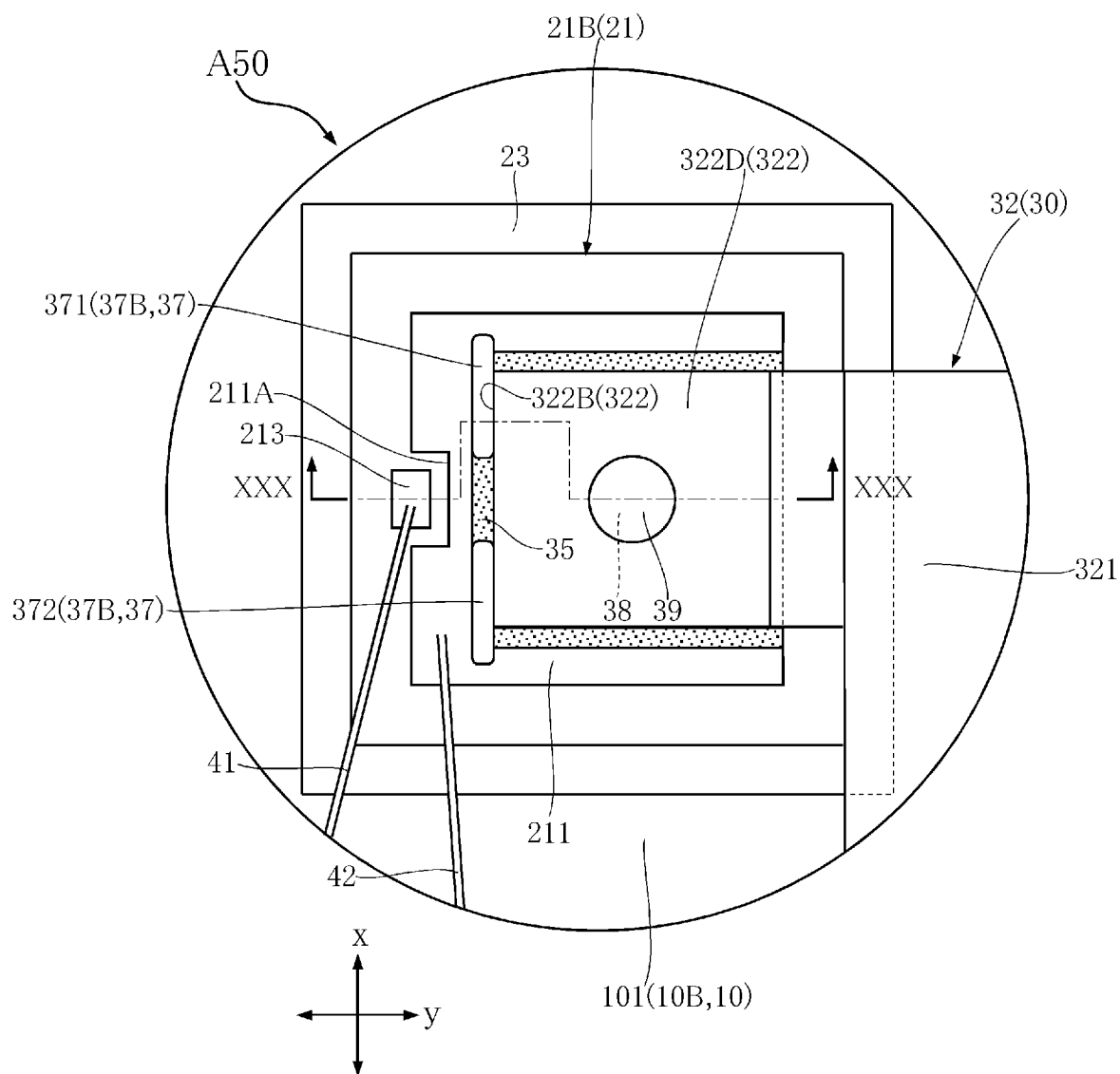


[25]
FIG.25

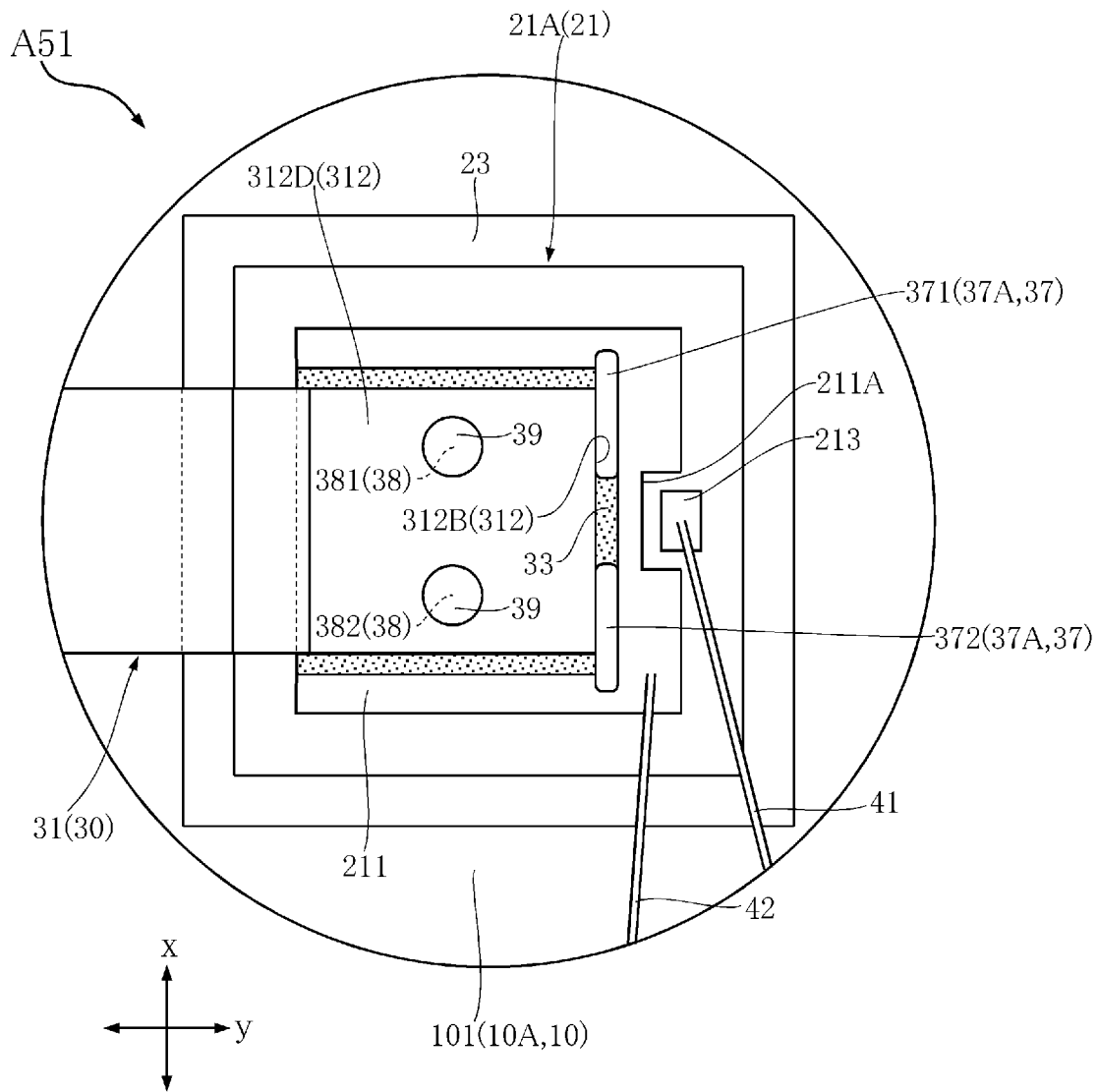
[]27]
FIG.27



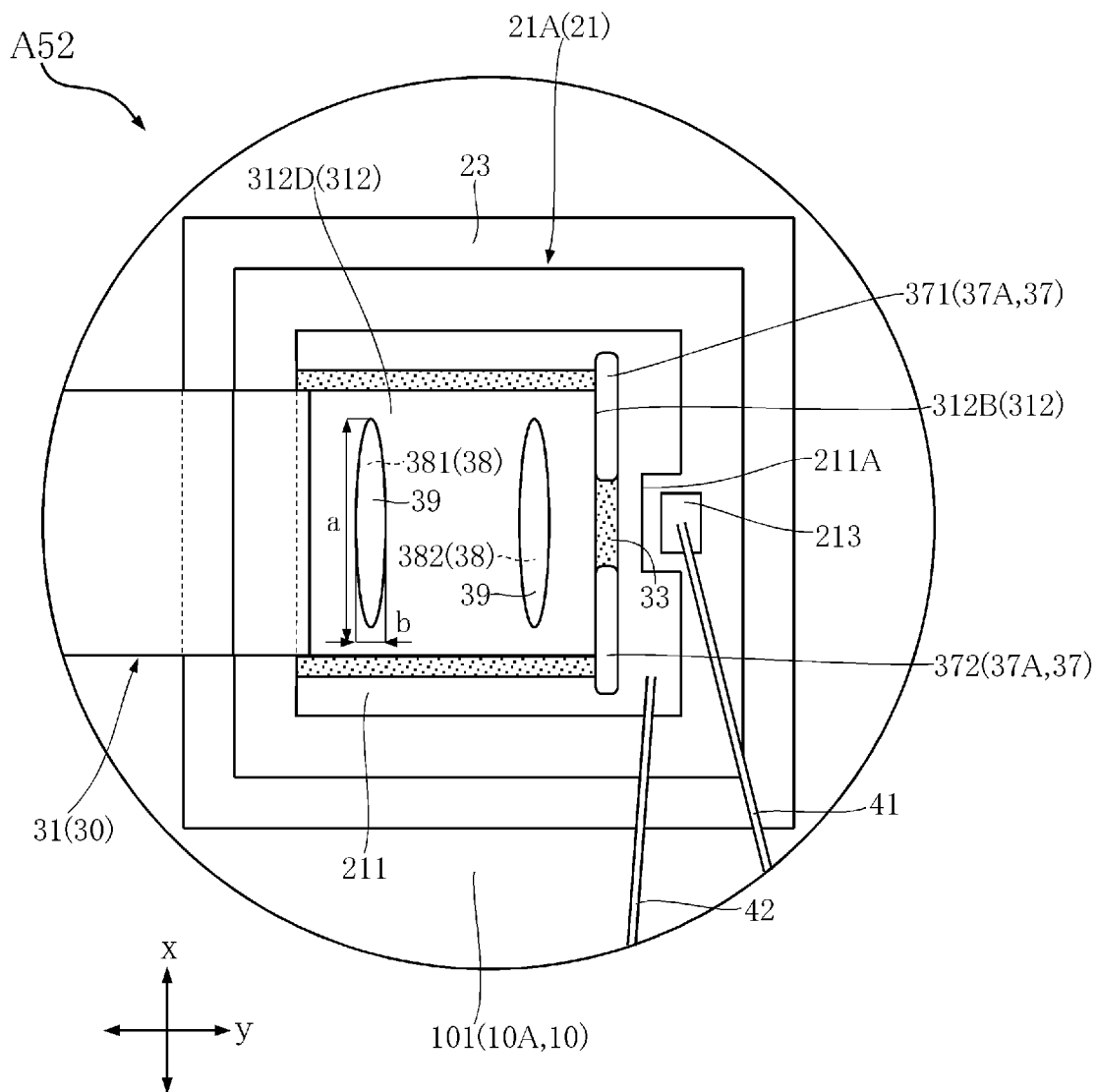
[29]
FIG.29



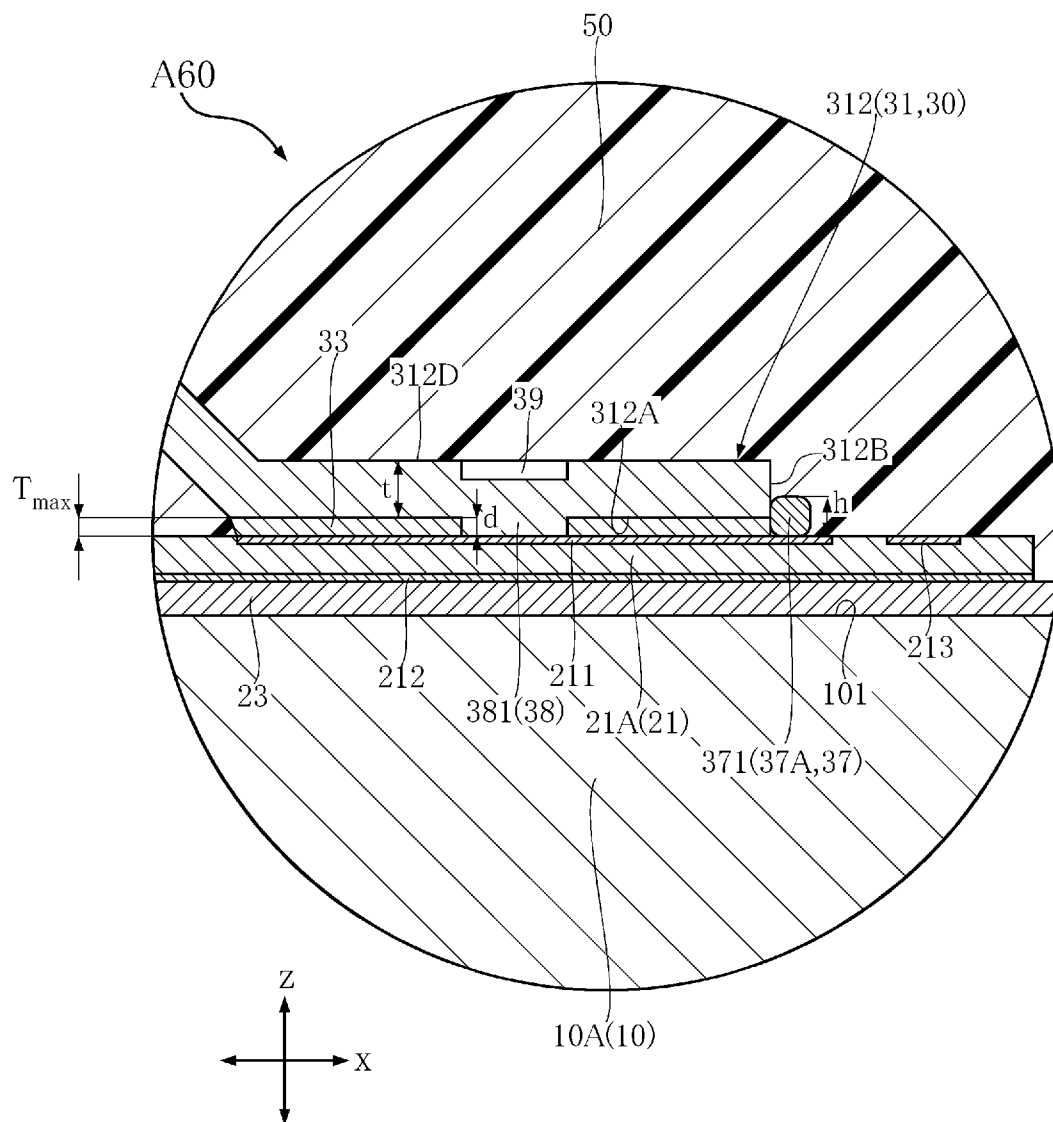
[図31]
FIG.31



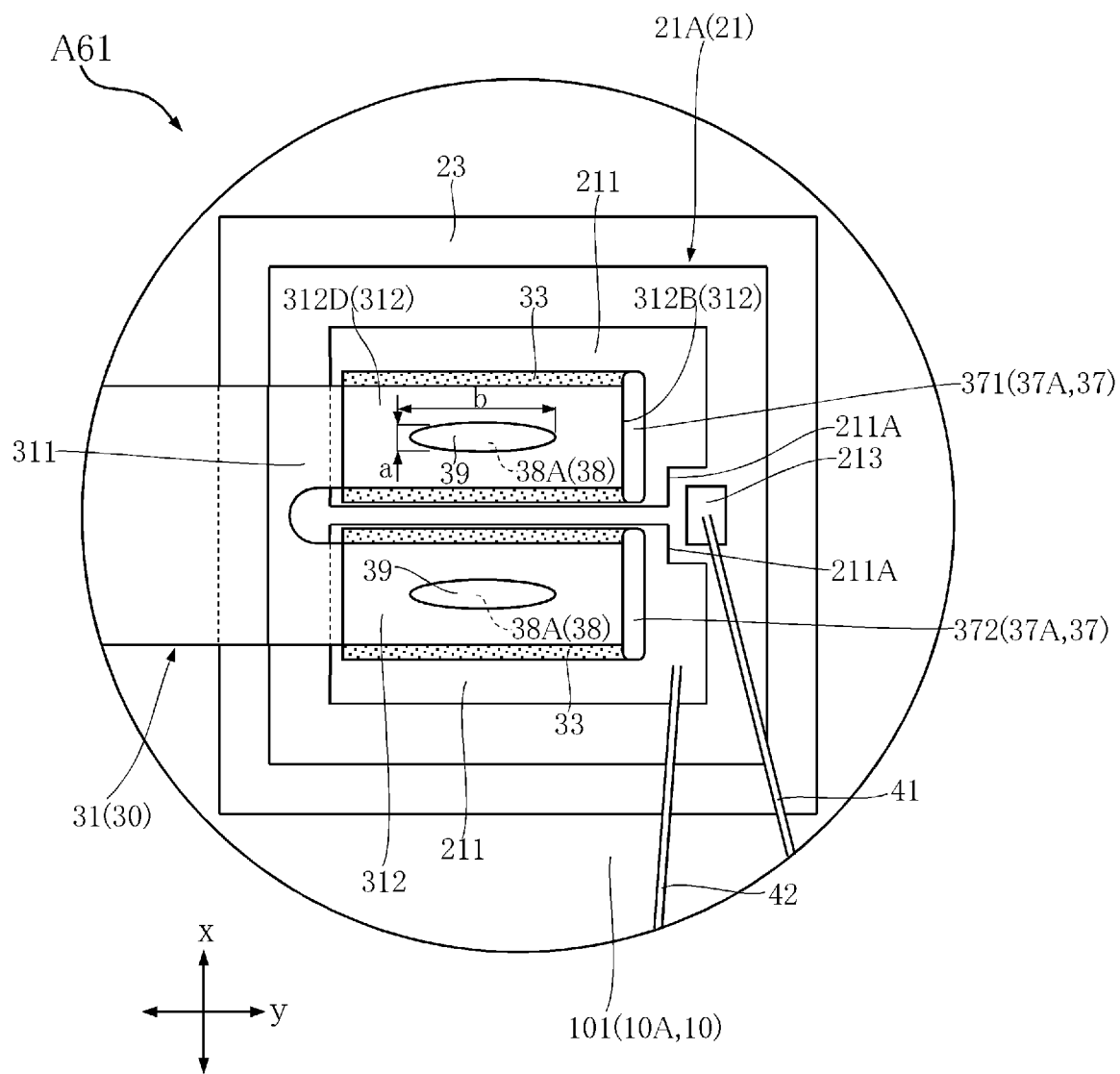
[図32]
FIG.32



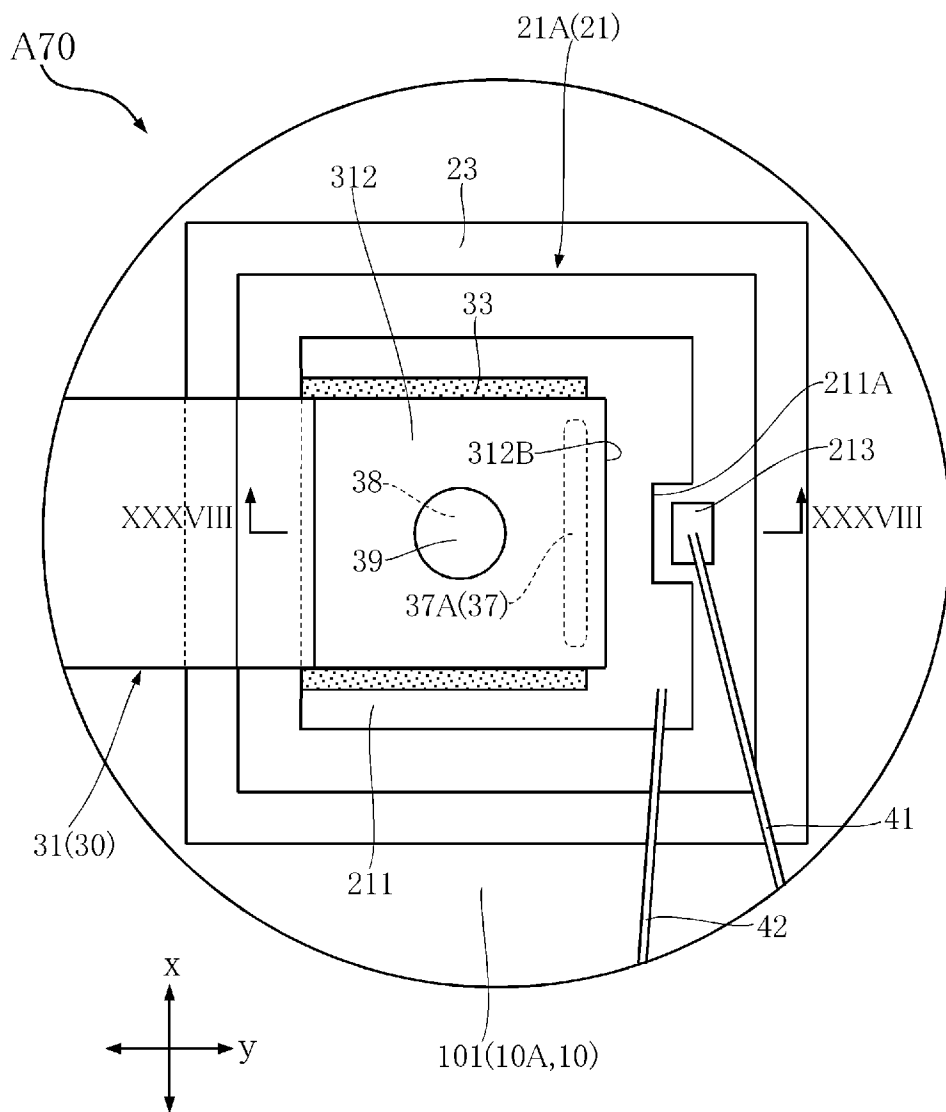
[図34]
FIG.34



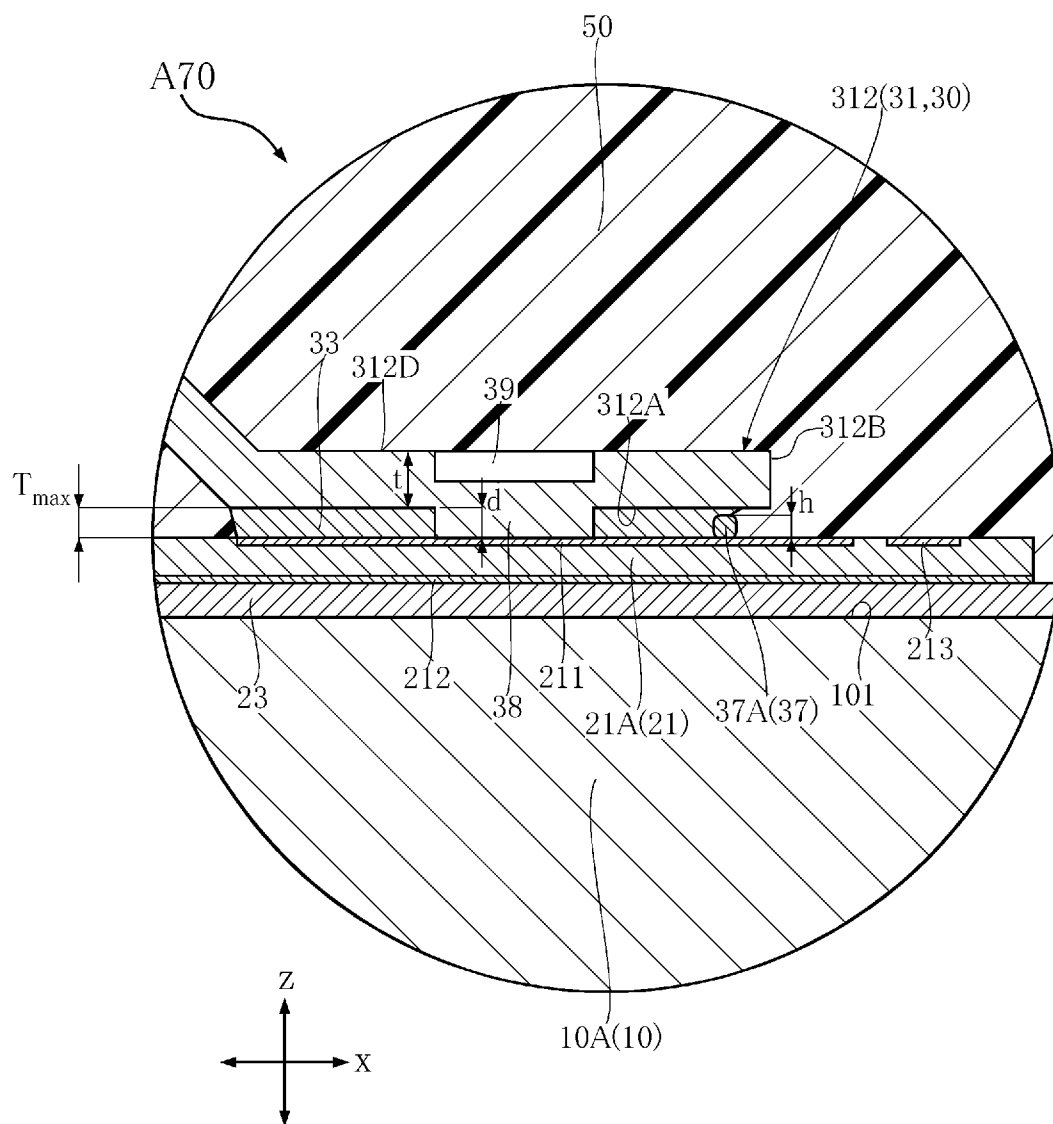
[図36]
FIG.36




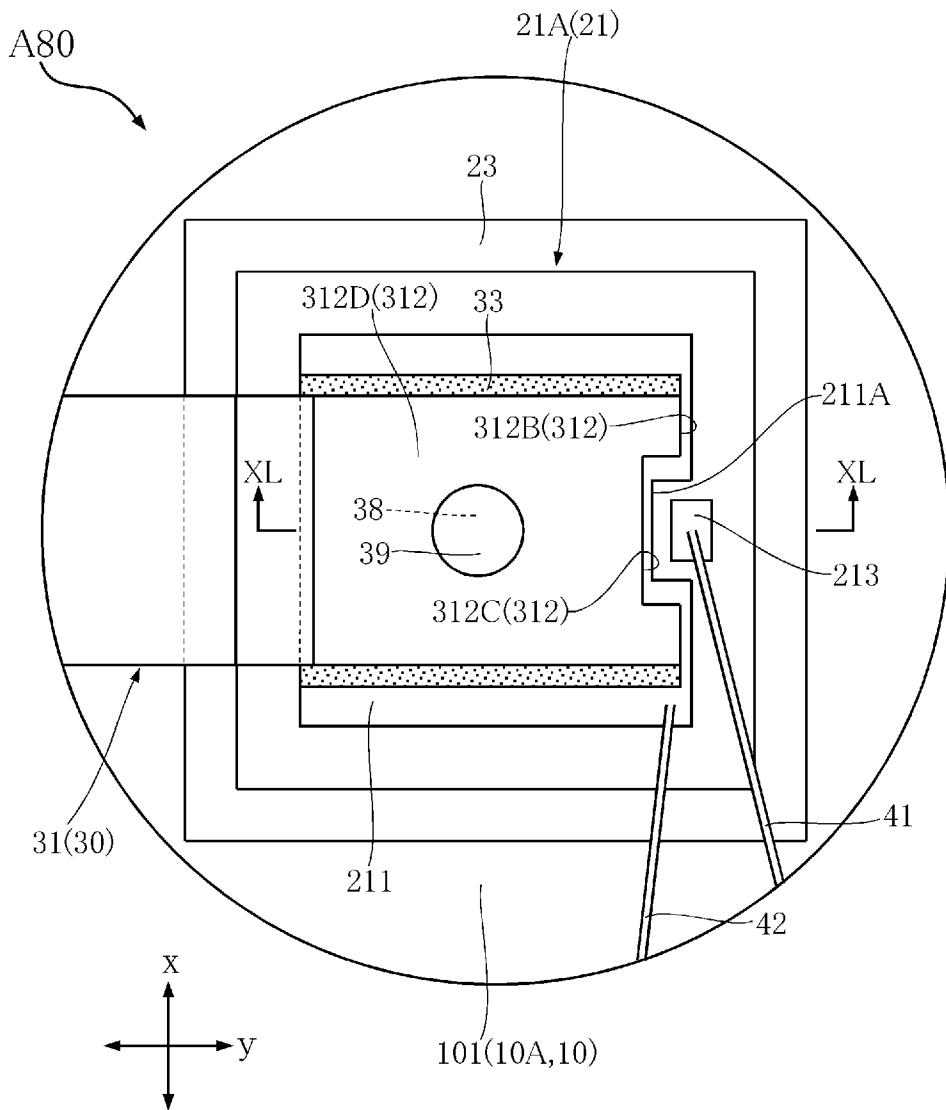
[]37]
FIG.37



[図38]
FIG.38



[] 39
FIG. 39



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/019513

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 21/60</i> (2006.01)i; <i>H01L 23/48</i> (2006.01)i; <i>H01L 25/07</i> (2006.01)i; <i>H01L 25/18</i> (2006.01)i FI: H01L21/60 321E; H01L21/60 301B; H01L23/48 Q; H01L25/04 C		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L21/60; H01L23/48; H01L25/07; H01L25/18		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	WO 2012/169044 A1 (MITSUBISHI ELECTRIC CORP.) 13 December 2012 (2012-12-13) paragraphs [0051]-[0055], fig. 6-8	1-7, 9-10 8
X	JP 2011-249395 A (MITSUBISHI ELECTRIC CORP.) 08 December 2011 (2011-12-08) paragraphs [0012]-[0030], fig. 1-3	1, 9-10
X Y A	JP 2017-54877 A (MURATA MANUFACTURING CO., LTD.) 16 March 2017 (2017-03-16) paragraphs [0033]-[0049], fig. 1, 2	11-17 11-20 21
X Y A	WO 2019/171795 A1 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) 12 September 2019 (2019-09-12) paragraphs [0044]-[0051], fig. 6	11-17 11-20 21
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 15 July 2022		Date of mailing of the international search report 26 July 2022
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/019513

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2017-50441 A (ROHM CO., LTD.) 09 March 2017 (2017-03-09) paragraphs [0038]-[0087], fig. 1-14	11-20
.....		

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/019513

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2012/169044	A1	13 December 2012	US 2013/0307130 A1 paragraphs [0081]-[0088], fig. 6-8	
				EP 2720263 A1	
				CN 103503132 A	
JP	2011-249395	A	08 December 2011	(Family: none)	
JP	2017-54877	A	16 March 2017	(Family: none)	
WO	2019/171795	A1	12 September 2019	US 2021/0013130 A1 paragraphs [0059]-[0062], fig. 3	
JP	2017-50441	A	09 March 2017	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/60(2006.01)i; H01L 23/48(2006.01)i; H01L 25/07(2006.01)i; H01L 25/18(2006.01)i FI: H01L21/60 321E; H01L21/60 301B; H01L23/48 Q; H01L25/04 C		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L21/60; H01L23/48; H01L25/07; H01L25/18 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	WO 2012/169044 A1 (三菱電機株式会社) 13.12.2012 (2012-12-13) [0051]-[0055], [図6]-[図8]	1-7, 9-10 8
X	JP 2011-249395 A (三菱電機株式会社) 08.12.2011 (2011-12-08) [0012]-[0030], [図1]-[図3]	1, 9-10
X Y A	JP 2017-54877 A (株式会社村田製作所) 16.03.2017 (2017-03-16) [0033]-[0049], [図1], [図2]	11-17 11-20 21
X Y A	WO 2019/171795 A1 (住友電気工業株式会社) 12.09.2019 (2019-09-12) [0044]-[0051], [図6]	11-17 11-20 21
Y	JP 2017-50441 A (ローム株式会社) 09.03.2017 (2017-03-09) [0038]-[0087], [図1]-[図14]	11-20
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 15.07.2022	国際調査報告の発送日 26.07.2022	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 河合 俊英 5F 3238 電話番号 03-3581-1101 内線 3516	

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/019513

引用文献			公表日	パテントファミリー文献			公表日
WO	2012/169044	A1	13.12.2012	US	2013/0307130	A1	
					[0081]-[0088], FIG. 6-FIG. 8		
				EP	2720263	A1	
				CN	103503132	A	
JP	2011-249395	A	08.12.2011	(ファミリーなし)			
JP	2017-54877	A	16.03.2017	(ファミリーなし)			
WO	2019/171795	A1	12.09.2019	US	2021/0013130	A1	
					[0059]-[0062], FIG. 6		
JP	2017-50441	A	09.03.2017	(ファミリーなし)			