

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年9月6日(06.09.2019)



(10) 国際公開番号

WO 2019/167802 A1

(51) 国際特許分類:
H04L 12/803 (2013.01) H04L 12/70 (2013.01)
G06F 9/50 (2006.01)

貴(HORIKOME, Noritaka); 〒1808585 東京都
武蔵野市緑町3丁目9-11 NTT 知的
財産センタ内 Tokyo (JP).

(21) 国際出願番号: PCT/JP2019/006614

(22) 国際出願日: 2019年2月21日(21.02.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-037025 2018年3月2日(02.03.2018) JP

(71) 出願人: 日本電信電話株式会社 (NIPPON TELEGRAPH AND TELEPHONE
CORPORATION) [JP/JP]; 〒1008116 東京都千
代田区大手町一丁目5番1号 Tokyo (JP).

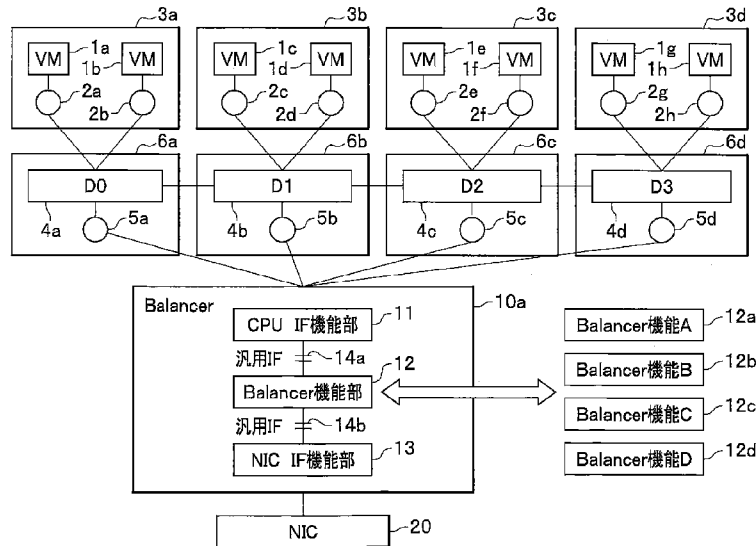
(72) 発明者: 大谷 育生(OTANI, Ikuo); 〒1808585 東
京都武蔵野市緑町3丁目9-11 NTT
知的財産センタ内 Tokyo (JP). 堀米 紀

(74) 代理人: 特許業務法人磯野国際特許商
標事務所 (ISONO INTERNATIONAL PATENT
OFFICE, P.C.); 〒1050001 東京都港区虎ノ
門一丁目1番18号 ヒューリック
虎ノ門ビル Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: CONTROL DEVICE AND CONTROL METHOD

(54) 発明の名称: 制御装置、及び制御方法



10a Balancer
11 CPU IF function unit
12 Balancer function unit
12a, 12b, 12c, 12d Balancer function
13 NIC IF function unit
14a, 14b General-purpose IF

(57) Abstract: [Problem] To modify a distribution logic flexibly. [Solution] A control device provided with: a communication unit (NIC 20) which receives packets from a network; a plurality of first control units 3a, 3b, 3c, 3d which function as a plurality of virtual control units (VMs 1a, 1b, 1c...); a distribution circuit (Balancer 10a) which distributes the received packets into a plurality; and a plurality of second control units (Dispatchers 4a, 4b, 4c, 4d) which distribute the packets distributed by the distribution circuit to a plurality of virtual control units (VMs 1a, 1b, 1c...). The distribution circuit is configured of a PLD.

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 【課題】振り分けロジックを柔軟に変更する。【解決手段】ネットワークからパケットを受信する通信部(NIC20)と、複数の仮想制御部(VM1a, 1b, 1c...)として機能する複数の第1制御部3a, 3b, 3c, 3dと、受信したパケットを複数の振り分ける振分回路(Balancer10a)と、振分回路が振り分けたパケットを複数の仮想制御部(VM1a, 1b, 1c...)に振り分ける複数の第2制御部(Dispatcher4a, 4b, 4c, 4d)とを備え、振分回路は、PLDで構成されている。

明 細 書

発明の名称： 制御装置、及び制御方法

技術分野

[0001] 本発明は、制御装置、及び制御方法に関する。

背景技術

[0002] ロードバランサ (Balancer) が処理要求 (パケット) を複数に振り分け、振り分けられた処理要求を、複数のディスパッチャ (Dispatcher) が、該ディスパッチャと同数のサーバ (CPU) に振り分け、振り分けられたサーバが処理を実行する技術が開示されている (特許文献 1 参照)。また、特許文献 1 には、「ロードバランサ B は、外部装置 5 から処理要求を取得すると、ラウンドロビン等によりその処理要求を複数のディスパッチャ D (D 1, D 2, D 3) のいずれかに振り分ける」と記載されている。

先行技術文献

特許文献

[0003] 特許文献 1：特開 2014-032530 号公報 (段落 0033、図 2)

発明の概要

発明が解決しようとする課題

[0004] ここで、特許文献 1 に記載のロードバランサは、物理 CPU を搭載し、ソフトウェアで実現しているのか、物理 CPU を搭載することなく、ハードウェアロジックで実現しているのかまでは記載されていない。仮に、ロードバランサを専用ハードウェアで構成すれば、ソフトウェアで実現するよりも、高速になる一方、振り分けロジックや振り分け先の数が固定されてしまう。

[0005] 本発明は、このような問題点を解決するためになされたものであり、振り分けロジックを柔軟に変更することができる制御装置、及び制御方法を提供することを目的とする。

課題を解決するための手段

[0006] 請求項 1 に係る発明の制御装置は、ネットワークからパケットを受信する

通信部（例えば、NIC）と、複数の仮想制御部（例えば、VM1a, 1b, . . .）として機能する複数の第1制御部と、受信した前記パケットを複数の振り分ける振分回路（例えば、Balancer10a）と、前記振分回路が振り分けたパケットを前記複数の仮想制御部に振り分ける複数の第2制御部（例えば、Dispatcher4a, . . .）とを備え、前記振分回路は、PLD（Programmable Logic Device）で構成されていることを特徴とする。

[0007] これによれば、振分回路が受信したパケットを第2制御部に振り分ける。そして、第2制御部は、振り分けられたパケットを複数の仮想制御部に振り分ける。振分回路によって、第2制御部を複数備えられるので、複数の仮想制御部を構成する第1制御部の数を増加させることができる。

ここで、PLDで構成された振分回路が複数の第2制御部にパケットを振り分けるので、専用ハードウェアで構成するよりも、柔軟性が高く、ケースバイケースで振り分けロジックを変更することができる。また、ソフトウェアでパケットを振り分けるよりも、高速化を実現することができる。なお、第1制御部及び第2制御部の何れか一方又は双方は、CPUコアやCPUデバイスの機能部として構成することができる。

[0008] 請求項2に係る発明は、請求項1に記載の制御装置であって、前記振分回路は、切替え可能な複数種類の振分部を備え、前記複数種類の振分部は、設定又は管理部の制御により、切り替えられることを特徴とする。

[0009] これによれば、複数種類の振分部は、その何れかにケースバイケースで切り替えられる。つまり、振り分けロジックを柔軟に変更することができる。

[0010] 請求項3に係る発明は、請求項1に記載の制御装置であって、前記振分回路は、前記第2制御部と1対1接続されている複数の第1出力部と、前記第2制御部と接続されていない第2出力部とを有し、前記第1出力部と前記第2出力部との何れを振り分け経路とするかを管理する管理部をさらに備えることを特徴とする。

[0011] これによれば、振分回路は、第2制御部（例えば、Dispatcher）の数よりも多い数の出力部（例えば、CPU_IF機能部11の出力部）を備えておくこと

ができる。つまり、振分回路は、ハードウェア上の限界まで、最大数の出力部（第1出力部又は第2出力部）を構成することができる。

[0012] 請求項4に係る発明は、請求項1に記載の制御装置であって、前記振分回路は、前記第2制御部と1対1接続されている複数の第1出力部と、前記第2制御部と接続されていない第2出力部とを有し、前記第2出力部の出力信号経路が遮断されることを特徴とする。

[0013] これによれば、振分回路は、ハードウェア上の限界まで、最大数の出力部（第1出力部又は第2出力部）を構成することができる。

[0014] 請求項5に係る発明は、請求項3又は請求項4に記載の制御装置であって、前記振分回路は、前記第2出力部に送信されるべきパケットを、ラウンドロビンを用いて第1出力部に振り分け直すことを特徴とする。

[0015] これによれば、複数の第1出力部は、1対1接続されている第2制御部を負荷分散する。また、第2出力部は、負荷を有さない。

[0016] 請求項6に係る発明は、請求項1に記載の制御装置であって、前記振分回路は、前記第2制御部と1対1接続されている複数の第1出力部と、他の前記第2制御部と接続されている複数の第2出力部とを有し、他の何れかの前記第2制御部は、複数の前記第2出力部からの信号をマージすることを特徴とする。

[0017] これによれば、第1出力部の数と第2出力部の数との和が第2制御部の数よりも多くても、全ての出力部（第1出力部及び第2出力部）を使用することができる。

[0018] 請求項7に係る発明は、請求項1に記載の制御装置であって、何れかの前記第2制御部（例えば、Dispatcher）は、自身に接続される前記仮想制御部にパケットを振り分けると共に、他の第2制御部に接続されている他の前記仮想制御部にパケットを振り分けることを特徴とする。

[0019] これによれば、何れかの第2制御部は、他の第2制御部を介して、他の前記仮想制御部にパケットを振り分けたり、他の第2制御部を介することなく、他の仮想制御部にパケットを振り分けたりする。

[0020] 請求項 8 に係る発明は、ネットワークからパケットを受信する通信部と、受信した前記パケットを複数に振り分け、P L D で構成された振分回路と、前記振分回路が振り分けたパケットを処理する複数の制御部を備える制御装置が実行される制御方法であって、前記 P L D が異なる種類の振分部に再構成させられるステップを有することを特徴とする。

[0021] これによれば、P L D は、複数種類の振分部（例えば、Balancer機能部 A 1 2 a、Balancer機能部 B 1 2 b、Balancer機能部 C 1 2 c、Balancer機能部 D 1 2 d）の何れかに再構成させられる。つまり、振分回路は、ケースバイケースで振り分けロジックを変更することができる。

[0022] なお、振分回路は、パケットの特定のフィールドの内容に基づいて、何れかの第 1 出力部に切り替え、各々の第 2 制御部は、識別子を用いて、各々の仮想制御部に振り分ける振分機能を実現することができる。

発明の効果

[0023] 本発明によれば、振り分けロジックを柔軟に変更することが可能な制御装置を構成することができる。

図面の簡単な説明

[0024] [図1]本発明の第 1 実施形態である制御装置の構成図である。

[図2]本発明の第 2 実施形態である制御装置の構成図である。

[図3]本発明の第 3 実施形態である制御装置の構成図である。

[図4]本発明の第 4 実施形態である制御装置の構成図である。

[図5]本発明の第 5 実施形態である制御装置の構成図である。

[図6]本発明の比較例である制御装置の構成図である。

発明を実施するための形態

[0025] 以下、図面を参照して、本発明の実施の形態（以下、「本実施形態」と称する）につき詳細に説明する。なお、各図は、本発明を十分に理解できる程度に、概略的に示してあるに過ぎない。また、各図において、共通する構成要素や同様な構成要素については、同一の符号を付し、それらの重複する説明を省略する。

[0026] (第1実施形態)

図1は、本発明の第1実施形態である制御システムの全体構成図である。

制御装置100aは、複数の第1制御部3a, 3b, 3c, 3dと、該第1制御部と同数の第2制御部6a, 6b, 6c, 6dと、振分回路としてのBalancer10aと、通信部としてのNIC20とを備えて構成される。

[0027] 第1制御部3aは、物理CPU (Central Processing Unit) としてのCPUコアであり、プログラム (プログラムモジュール) を実行することにより、複数のVM (Virtual Machine) である仮想制御部1a, 1bと、複数のキューである第1バッファ2a, 2bとの機能を実現する。仮想制御部1a, 1bは、ハイパバイザ上で動作する仮想的なコンピュータである。第1バッファ2a, 2bは、第2制御部6aから振り分けられた信号 (パケット) を先入れ先出しで仮想制御部1a, 1bに出力するキューである。

[0028] 第2制御部6aは、物理CPUとしてのCPUコアであり、プログラムを実行することにより、Dispatcher4aと、キューである第2バッファ5aとの機能を実現する。なお、複数の第1制御部3a, 3b, 3c, 3dと、該第1制御部と同数の第2制御部6a, 6b, 6c, 6dとの何れか一方又は双方は、CPUコアの機能部としても実現可能であり、また、複数のCPUコアを内蔵するCPUデバイスの機能部としても実現可能である。

[0029] Dispatcher4aは、例えば、宛先IPアドレス等の識別子に基づいて、仮想制御部1a, 1bに振り分ける機能を有する。同様に、第1制御部3bは、複数の仮想制御部1c, 1dと、複数の第1バッファ2c, 2dとの機能を実現する。第2制御部6bは、Dispatcher4bと、第2バッファ5bとの機能を実現する。また、第1制御部3cは、複数の仮想制御部1e, 1fと、複数の第1バッファ2e, 2fとの機能を実現する。第2制御部6cは、Dispatcher4cと、第2バッファ5cとの機能を実現する。また、第1制御部3dは、複数の仮想制御部1g, 1hと、複数の第1バッファ2g, 2hとの機能を実現する。第2制御部6dは、Dispatcher4dと、第2バッファ5dとの機能を実現する。NIC20は、Network Interface Cardであり、L

A N (Local Area Network)やW A N (Wide Area Network)等のネットワークに接続される通信部である。

[0030] Balancer 1 0 a は、CPU_IF機能部 1 1 と、Balancer機能部 1 2 と、NIC_IF機能部 1 3 と、汎用 I F 1 4 a, 1 4 b とを備えて構成される振分回路である。CPU_IF機能部 1 1 は、4つの出力部を有し、第2制御部 6 a, 6 b, 6 c, 6 d とのインタフェースを司るハードウェアである。なお、後記する第5実施形態である制御装置 1 0 0 e (図5)のように、CPU_IF機能部 1 1 は、ラウンドロビン等の機能を実現するC P Uで構成されることもある。

[0031] NIC_IF機能部 1 3 は、N I C 2 0 とのインタフェースを司るハードウェアである。汎用 I F 1 4 a, 1 4 b は、汎用のキューである。特に、汎用 I F 1 4 a は、CPU_IF機能部 1 1 とBalancer機能部 1 2 との間を中継するF I F O (First In First Out) メモリ (ハードウェア) である。汎用 I F 1 4 b は、Balancer機能部 1 2 とNIC_IF機能部 1 3 との間を中継するF I F Oメモリである。

[0032] Balancer機能部 1 2 は、N I C 2 0 が受信したパケットを複数に振り分けるハードウェアであり、P L D (Programmable Logic Device)、例えば、F P G A (Field Programmable Gate Array) で構成される振分部である。そして、振り分けられたパケットは、汎用 I F 1 4 a、及びCPU_IF機能部 1 1 を介して、4つの第2バッファ 5 a, 5 b, 5 c, 5 d に出力される。Balancer機能部 1 2 は、P L Dを用いることにより、任意の振り分けロジックを実現することができる。つまり、Balancer機能部 1 2 は、Balancer機能部 A 1 2 a、Balancer機能部 B 1 2 b、Balancer機能部 C 1 2 c、Balancer機能部 D 1 2 d 等の異なる種類のBalancer機能部 (振分部) の何れかに機能変更することができる。また、Balancer機能部 1 2 は、F P G Aを用い、Gate Arrayを再構成することにより、ケースバイケースで機能変更することができる。

[0033] 例えば、Balancer機能部 1 2 は、パケットの特定のフィールドを見て、同等のフローで処理可能であれば、同じ振り分け先に振り分けるものであったり、ラウンドロビンのように、パケットの性質に無関係に振り分けるもので

あったりする。なお、同じ振り分け先に振り分けるものは、指向性が高いといふことができ、振り分け先がランダムなラウンドロビンは、指向性が低いといふことができる。また、同等のフローを示したものを同じ振り分け先に振り分ければ、ランダム性が低く、静的な仮想制御部（VM）に振り分けることができる。また、パケットの性質によらずに振り分ければ、ランダム性が高く、仮想制御部（VM）の数や配置場所が動的に変動する場合に有効に振り分けることができる。

[0034] また、Balancer機能部12は、Balancer機能部A12a、Balancer機能部B12b、Balancer機能部C12c、Balancer機能部D12d等の異なる機能のBalancerを有し、オプション設定により、各機能部を切り替えることができるように構成しても構わない。

[0035] 以上説明したように、本実施形態の制御装置100aは、Balancer機能部12をFPGAのハードウェアで構成するので、ケースバイケースで再構成したり、オプション設定することにより、複数のBalancer機能部12a、12b、12c、12dの何れかに切り替えることができる。

[0036] （第2実施形態）

前記第1実施形態の制御装置100aのBalancer10aは、Balancer機能部12を備え、Balancer機能部12が振り分けることができる数と、第2制御部6a、6b、6c、6dの数とが等しいことを前提としていた。本実施形態では、Balancer機能部12が振り分け可能な数の方が第2制御部6a、6b、6c、6dの数よりも多いことを前提とする。

[0037] 図2は、本発明の第2実施形態である制御装置の構成図である。

制御装置100bは、前記第1実施形態の制御装置100aと同様に、複数の第1制御部3a、3b、3cと、該第1制御部と同数の第2制御部6a、6b、6cと、振分回路としてのBalancer10aと、通信部としてのNIC20とを備える。ここで、第1制御部3cは、複数の仮想制御部1e、1f、1g、1hと、複数の第1バッファ2e、2f、2g、2hとの機能を実現する。第1制御部3a、3bよりも仮想制御部の数が多いので、処理が

軽い制御を並列処理することができる。第2制御部6cは、Dispatcher4cと、第2バッファ5cとの機能を実現する。

[0038] ここで、Balancer10aは、振り分け可能な数が第2制御部6a、6b、6cの数よりも多いBalancer機能部12（図1）を備えているものとする。つまり、Balancer10aは、第2制御部6a、6b、6cと1対1接続する第1出力部（振り分け経路）と、第2制御部6a、6b、6cに接続されない第2出力部（振り分け経路）とを有している。さらに、制御装置100bは、第2制御部6a、6b、6cを管理する管理部30aと、Balancer10aを管理する管理部30bと、管理部30aと管理部30bとを通信可能に接続する通知用IFとを備えて構成される。

[0039] 管理部30a、30bは、Balancer10aの機能を指定する。具体的には、管理部30a、30bは、振分部としてのBalancer機能部12（図1）の第2出力部を指定する機能を有する。ここでは、管理部30a、30bは、第2制御部6a、6b、6cの数が3つであるので、Balancer機能部12は、第2制御部6a、6b、6cに接続されている3つの第1出力部を使用する。つまり、管理部30a、30bは、Balancer10aの回路を変更することなく、インタフェース（出力部）の数を変更する。また、Balancer機能部12は、Balancer機能部A12a、Balancer機能部B12b、Balancer機能部C12c、Balancer機能部D12d等の異なる機能のBalancerを有し、管理部30a、30bが各機能部を切り替えるように構成しても構わない。

[0040] 制御装置100bによれば、Balancer10aは、最大限の振り分け可能数のBalancer機能部12を、FPGAで構成することができる。そして、第2制御部6a、6b、6cに接続されている第1出力部を使用し、第2制御部6a、6b、6cに接続されていない第2出力部が未使用になる。

[0041] （第3実施形態）

前記第2実施形態では、管理部30a、30bがBalancer機能部10aの振り分けインタフェースの一部を未使用にしたが、Balancer10aに接続される第2制御部6a、6b、6cの何れかまでパケットが送信されないよう

に構成することができる。

[0042] 図3は、本発明の第3実施形態である制御装置の構成図である。

制御装置100cは、前記第2実施形態と同様に、複数の第1制御部3a, 3b, 3cと、該第1制御部と同数の第2制御部6a, 6b, 6cと、Balancer機能部12（図1）を有するBalancer10aと、機能部としてのバッファ5eと、通信部としてのNIC20とを備える。ここで、Balancer機能部12の振り分け可能な数は、FPGAの能力の最大数に設定されているものとする。第2制御部6cは、Dispatcher4cと、第2バッファ5cとの機能を実現する。なお、バッファ5eは、新たな制御部が実現しても、第1制御部3a, 3b, 3c及び第2制御部6a, 6b, 6c何れが実現しても構わない。

[0043] Balancer10aは、4つの出力部を有し、第2制御部6aの第2バッファ5aと、第2制御部6bの第2バッファ5bと、第2制御部6cの第2バッファ5cと、バッファ5eと接続されている。また、バッファ5eは、ダミー「full」が格納されており、Balancer10aからパケット（情報）が伝送されないように構成されている。

[0044] この構成により、Balancer10aは、第2制御部6aの第2バッファ5aと、第2制御部6bの第2バッファ5bと、第2制御部6cの第2バッファ5cとに対して、パケットを3つに振り分ける。Balancer10aは、その回路を変更することなく、インタフェースの数が減少する。

[0045] （第4実施形態）

前記第3実施形態の制御装置100cは、第2バッファ5c及びバッファ5eの一方の第2バッファ5cを使用したか、第2バッファ5c及びバッファ5eを使用することもできる。

[0046] 図4は、本発明の第4実施形態である制御装置の構成図である。

制御装置100dは、前記第3実施形態と同様に、複数の第1制御部3a, 3b, 3cと、該第1制御部と同数の第2制御部6a, 6b, 6cと、Balancer機能部12（図1）を有するBalancer10aと、通信部としてのNIC

20とを備える。ここで、Balancer機能部12の振り分け可能な数は、FPGAの能力の最大数に設定されている。第2制御部6cは、Dispatcher4cと、複数の第2バッファ5c、5dとの機能を実現する。

[0047] Balancer10aは、4つの出力部を有し、第2制御部6aの第2バッファ5aと、第2制御部6bの第2バッファ5bと、第2制御部6cの2つの第2バッファ5c、5dと接続されている。Dispatcher4cは、2つの第2バッファ5c、5dから受け取るパケット（信号）をマージ（併合）し、マージされた信号を第1制御部3cの第1バッファ2e、2f、2g、2hに振り分ける。

[0048] このため、Balancer10aのBalancer機能部12（図1）は、Balancer機能部10aの振り分けインタフェースの一部を未使用にすることなく、パケットを振り分けることができる。

[0049] （第5実施形態）

前記第2実施形態の制御装置100bは、Balancer10aの回路を変更することなく、インタフェースの数を減少させた。また、前記第3実施形態の制御装置100cは、第2バッファ5eにダミー「full」を格納し、情報（パケット）伝送不可になるように構成していた。制御装置100cの場合において、パケットは、第2バッファ5a、5b、5cに送信される。

[0050] 図5は、本発明の第5実施形態である制御装置の構成図である。

制御装置100eは、前記第3実施形態と同様に、複数の第1制御部3a、3b、3cと、該第1制御部と同数の第2制御部6a、6b、6cと、Balancer機能部12（図1）を有するBalancer10aと、機能部としてのバッファ5eと、通信部としてのNIC20とを備える。Balancer機能部12の振り分け可能な数は、FPGAの能力の最大数に設定されている。第2制御部6cは、Dispatcher4cと、第2バッファ5cとの機能を実現する。

[0051] Balancer10aは、4つの出力部を有し、第2制御部6aの第2バッファ5aと、第2制御部6bの第2バッファ5bと、第2制御部6cの第2バッファ5cと、バッファ5eと接続されている。但し、バッファ5eは、前記

第3実施形態のように、ダミー「full」が格納されており、Balancer 10 aから情報（パケット）が伝送されないように構成されている。

[0052] Balancer 10 aは、複数の第3バッファ15 a, 15 b, 15 c, 15 dと、複数の第4バッファ15 e, 15 f, 15 g, 15 hと、振分機能部16とを備えて構成される。ここで、複数の第3バッファ15 a, 15 b, 15 c, 15 d、及び複数の第4バッファ15 e, 15 f, 15 g, 15 hは、前記第1実施形態のCPU_IF機能11（図1）に相当する。第4バッファ15 hは、ダミー「full」が格納されているバッファ5 eに接続されているので、パケットを第2制御部6 cに送信することができない。

[0053] 振分機能部16は、NIC 20から受信したパケットを複数の第3バッファ15 a, 15 b, 15 c, 15 dに振り分ける。つまり、振分機能部16は、前記第1実施形態のBalancer機能部12（図1）に相当する。第3バッファ15 a, 15 b, 15 c, 15 dに振り分けられたパケットは、原則的に、第4バッファ15 e, 15 f, 15 g, 15 hに送信される。しかしながら、第3バッファ15 hは使用不可なので、第3バッファ15 a, 15 b, 15 c, 15 dに振り分けられたパケットは、ラウンドロビン等の振り分けロジックに基づいて、第4バッファ15 e, 15 f, 15 gに振り分けられる。

[0054] 例えば、第3バッファ15 a, 15 b, 15 cに振り分けられたパケットは、原則通り、第4バッファ15 e, 15 f, 15 gに送信される。さらに、また、第3バッファ15 dに振り分けられたパケットは、第4バッファ15 hに振り分けられるべきであるが、他の第4バッファ15 e, 15 f, 15 gにラウンドロビンで振り分けられる。そして、第4バッファ15 e, 15 f, 15 gに振り分けられたパケットは、第2バッファ5 a, 5 b, 5 cに送信される。

[0055] つまり、Balancer 10 aは、振分機能部16の機能数と、出力数（第4バッファ15 e, 15 f, 15 g, 15 hの数）との不一致を回避する。

[0056] また、前記第2実施形態では、管理部30 a, 30 b（図2）が未使用な

振り分けインタフェースを指定していた。具体的に、管理部30a, 30bは、バッファ15hを未使用に指定する。これにより、第3バッファ15dに振り分けられたパケットは、第4バッファ15e, 15f, 15gにラウンドロビンで振り分けられる。

[0057] (比較例)

図6は、本発明の比較例である制御装置の構成図である。

以下、制御装置100fを用いて、前記実施形態の制御装置100a~100eと比較する。制御装置100fは、複数の第1制御部3a, 3b, 3d, 3eと、該第1制御部と同数の第2制御部6a, 6b, 6d, 6eと、振分回路としてのBalancer10bと、通信部としてのNIC20とを備えて構成される。

[0058] 第1制御部3aは、物理CPUとしてのCPUコアであり、複数の仮想制御部1a, 1bと、複数の第1バッファ2a, 2bとの機能を実現する。仮想制御部1a, 1bは、ハイパバイザ上で動作する仮想的なコンピュータである。第1バッファ2a, 2bは、第2制御部6aから振り分けられた信号(パケット)を先入れ先出しで仮想マシン1a, 1bに出力する。

[0059] 第2制御部6aは、物理CPUとしてのCPUコアであり、プログラムを実行することにより、Dispatcher4aと、第2バッファ5aとの機能を実現する。同様に、第1制御部3bは、複数の仮想制御部1c, 1dと、複数の第1バッファ2c, 2dとの機能を実現する。第2制御部6bは、Dispatcher4bと、第2バッファ5bとの機能を実現する。また、第1制御部3dは、複数の仮想制御部1e, 1fと、複数の第1バッファ2e, 2fとの機能を実現する。第2制御部6dは、Dispatcher4dと、第2バッファ5dとの機能を実現する。また、第1制御部3eは、複数の仮想制御部1g, 1hと、複数の第1バッファ2g, 2hとの機能を実現する。第2制御部6eは、Dispatcher4eと、第2バッファ5eとの機能を実現する。NIC20は、Network Interface Cardであり、ネットワークに接続される通信部である。

[0060] Balancer10bは、PLDでなく、専用ハードウェアで実現されており、

単一の振分機能のみを実現する。Balancer 10 bは、NIC 20が受信したパケットを固定された単一ロジックで第2制御部6 a, 6 b, 6 d, 6 eに振り分ける。

[0061] Balancer 10 bは、専用ハードウェアで実現されているので、高速である一方、振り分けロジックや振り分け先の数も固定されている。しかしながら、前記第1実施形態の制御装置100 aのBalancer 10 aはPLD、例えばFPGAで構成されている。このため、Balancer機能部12は、Gate Arrayを再構成することにより、Balancer機能部A 12 a、Balancer機能部B 12 b、Balancer機能部C 12 c、Balancer機能部D 12 d等の何れかに機能変更することができる。また、Balancer機能部12は、Balancer機能部A 12 a、Balancer機能部B 12 b、Balancer機能部C 12 c、Balancer機能部D 12 d等を有し、オプション設定により、各機能部を切り替えることができる。

[0062] また、前記第2, 3, 4実施形態の制御装置100 b, 100 c, 100 dは、Balancer 10 aの振り分け機能の数と、振り分け先である第2制御部6 a, 6 b, 6 cの数とが異なっている。

[0063] (変形例)

本発明は前記した実施形態に限定されるものではなく、例えば、以下のような種々の変形が可能である。

(1) 前記各実施形態の第1バッファ2 a, 2 b, 2 c, 2 d, 2 e, 2 f, 2 g, 2 hや、第2バッファ5 a, 5 b, 5 c, 5 d, 5 eは、先入れ先出しを行う機能を有していたが、所定のアドレスにデータを書き込み、それを取り出すものであっても構わない。

[0064] (2) 前記各実施形態のDispatcher 4 a, 4 b, 4 c, 4 dは、それぞれに接続している第1制御部3 a, 3 b, 3 c, 3 dの複数の仮想制御部（例えば、第1制御部3 aの仮想制御部1 a, 1 b）に振り分けていた。Dispatcher 4 aは、全ての仮想制御部1 a, 1 b, 1 c, 1 d, 1 e, 1 f, 1 g, 1 hの何れかに振り分け、他のDispatcher 4 b, 4 c, 4 dも全ての仮想制御

部 1 a, 1 b, 1 c, 1 d, 1 e, 1 f, 1 g, 1 h の何れかに振り分けるように構成しても構わない。

[0065] (3) 前記各実施形態の Dispatcher 4 a, 4 b, 4 c, 4 d は、それぞれに接続している第 1 制御部 3 a, 3 b, 3 c, 3 d の複数の仮想制御部（例えば、第 1 制御部 3 a の仮想制御部 1 a, 1 b）に振り分けていた。各々の Dispatcher 4 a, 4 b, 4 c, 4 d は、それぞれに接続している第 1 制御部 3 a, 3 b, 3 c, 3 d の複数の仮想制御部だけでなく、他の Dispatcher（例えば、Dispatcher 4 a が Dispatcher 4 b, 4 c, 4 d）に振り分けることもある。

符号の説明

[0066] 1, 1 a, 1 b, 1 c, 1 d, 1 e, 1 f, 1 g, 1 h 仮想制御部
 2, 2 a, 2 b, 2 c, 2 d, 2 e, 2 f, 2 g, 2 h 第 1 バッファ
 (キュー)
 3, 3 a, 3 b, 3 c 第 1 制御部
 4, 4 a, 4 b, 4 c, 4 d Dispatcher
 5, 5 a, 5 b, 5 c, 5 d 第 2 バッファ (キュー)
 5 e バッファ (full)
 6, 6 a, 6 b, 6 c, 6 d 第 2 制御部
 7 a, 7 b, 7 c, 第 3 制御部
 10 a Balancer (振分回路、P L D, F P G A)
 10 b Balancer (専用ハードウェア)
 11 CPU_IF機能部 (第 1 出力部, 第 2 出力部)
 12 Balancer機能部
 12 a, 12 b, 12 c, 12 d Balancer機能部 (振分部)
 13 NIC_IF機能部
 14 a, 14 b 汎用 I F (キュー)
 15 a, 15 b, 15 c, 15 d 第 3 バッファ
 15 e, 15 f, 15 g, 15 h 第 4 バッファ

1 6 振分機能部

2 0 N I C (通信部)

3 0 a, 3 0 b 管理部

1 0 0 a, 1 0 0 b, 1 0 0 c, 1 0 0 d, 1 0 0 e, 1 0 0 f, 1 0 0

g 制御装置

請求の範囲

- [請求項1] ネットワークからパケットを受信する通信部と、
 複数の仮想制御部として機能する複数の第1制御部と、
 受信した前記パケットを複数の振り分ける振分回路と、
 前記振分回路が振り分けたパケットを前記複数の仮想制御部に振り
 分ける複数の第2制御部とを備え、
 前記振分回路は、P L Dで構成されている
 ことを特徴とする制御装置。
- [請求項2] 請求項1に記載の制御装置であって、
 前記振分回路は、切替え可能な複数種類の振分部を備え、
 前記複数種類の振分部は、設定又は管理部の制御により、切り替え
 られる
 ことを特徴とする制御装置。
- [請求項3] 請求項1に記載の制御装置であって、
 前記振分回路は、前記第2制御部と1対1接続されている複数の第
 1出力部と、前記第2制御部と接続されていない第2出力部とを有し
 、
 前記第1出力部と前記第2出力部との何れを振り分け経路とするか
 を管理する管理部をさらに備える
 ことを特徴とする制御装置。
- [請求項4] 請求項1に記載の制御装置であって、
 前記振分回路は、前記第2制御部と1対1接続されている複数の第
 1出力部と、前記第2制御部と接続されていない第2出力部とを有し
 、
 前記第2出力部の出力信号経路が遮断される
 ことを特徴とする制御装置。
- [請求項5] 請求項3又は請求項4に記載の制御装置であって、
 前記振分回路は、前記第2出力部に送信されるべきパケットを、ラ

ウンドロビンを用いて第1出力部に振り分け直す
ことを特徴とする制御装置。

[請求項6]

請求項1に記載の制御装置であって、

前記振分回路は、何れか複数の前記第2制御部と1対1接続されている複数の第1出力部と、他の前記第2制御部と接続されている複数の第2出力部とを有し、

他の何れかの前記第2制御部は、複数の前記第2出力部からの信号をマージする

ことを特徴とする制御装置。

[請求項7]

請求項1に記載の制御装置であって、

何れかの前記第2制御部は、自身に接続される前記仮想制御部にパケットを振り分けると共に、他の第2制御部に接続されている他の前記仮想制御部にパケットを振り分ける

ことを特徴とする制御装置。

[請求項8]

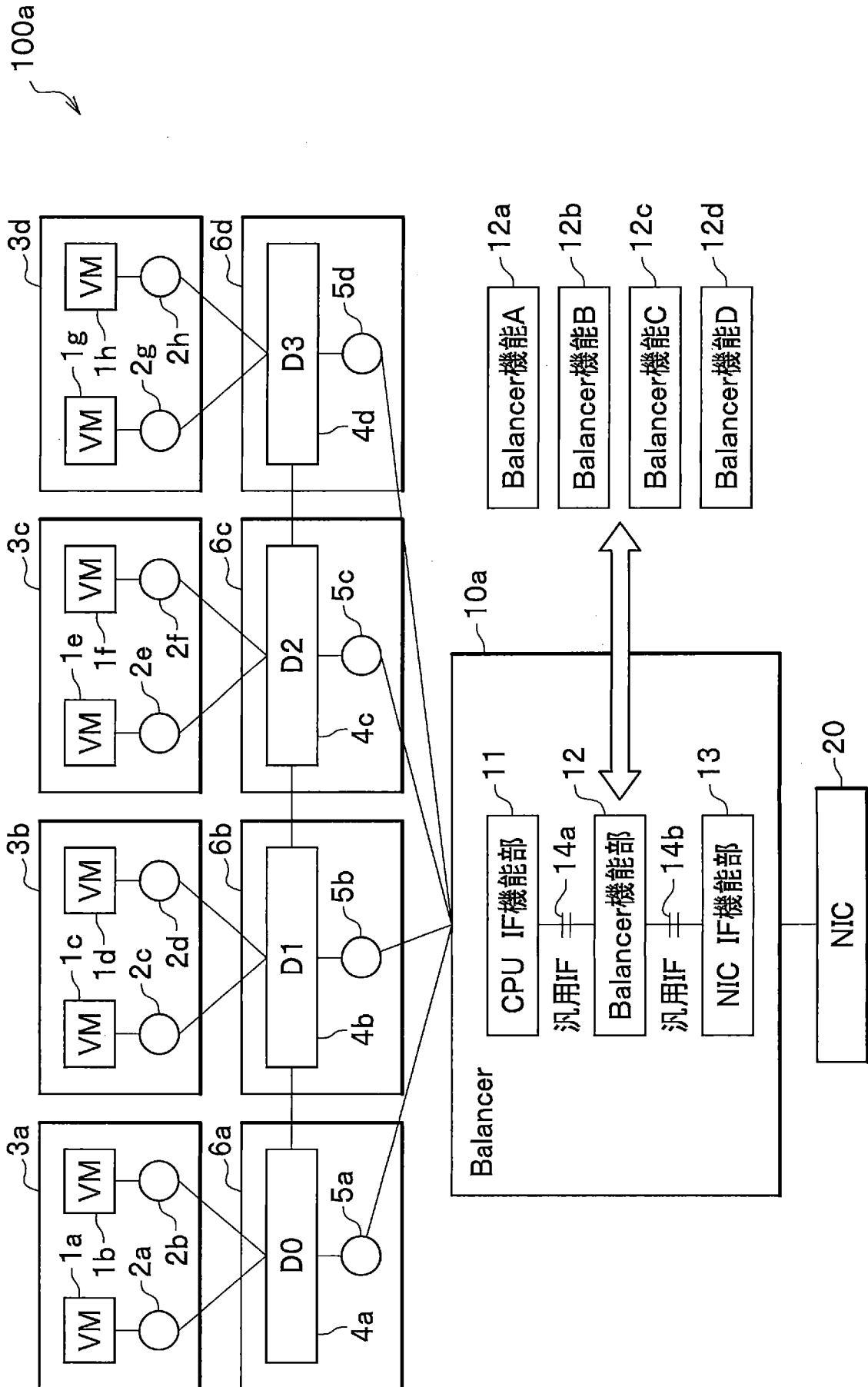
ネットワークからパケットを受信する通信部と、

受信した前記パケットを複数の振り分け、P L Dで構成された振分回路と、

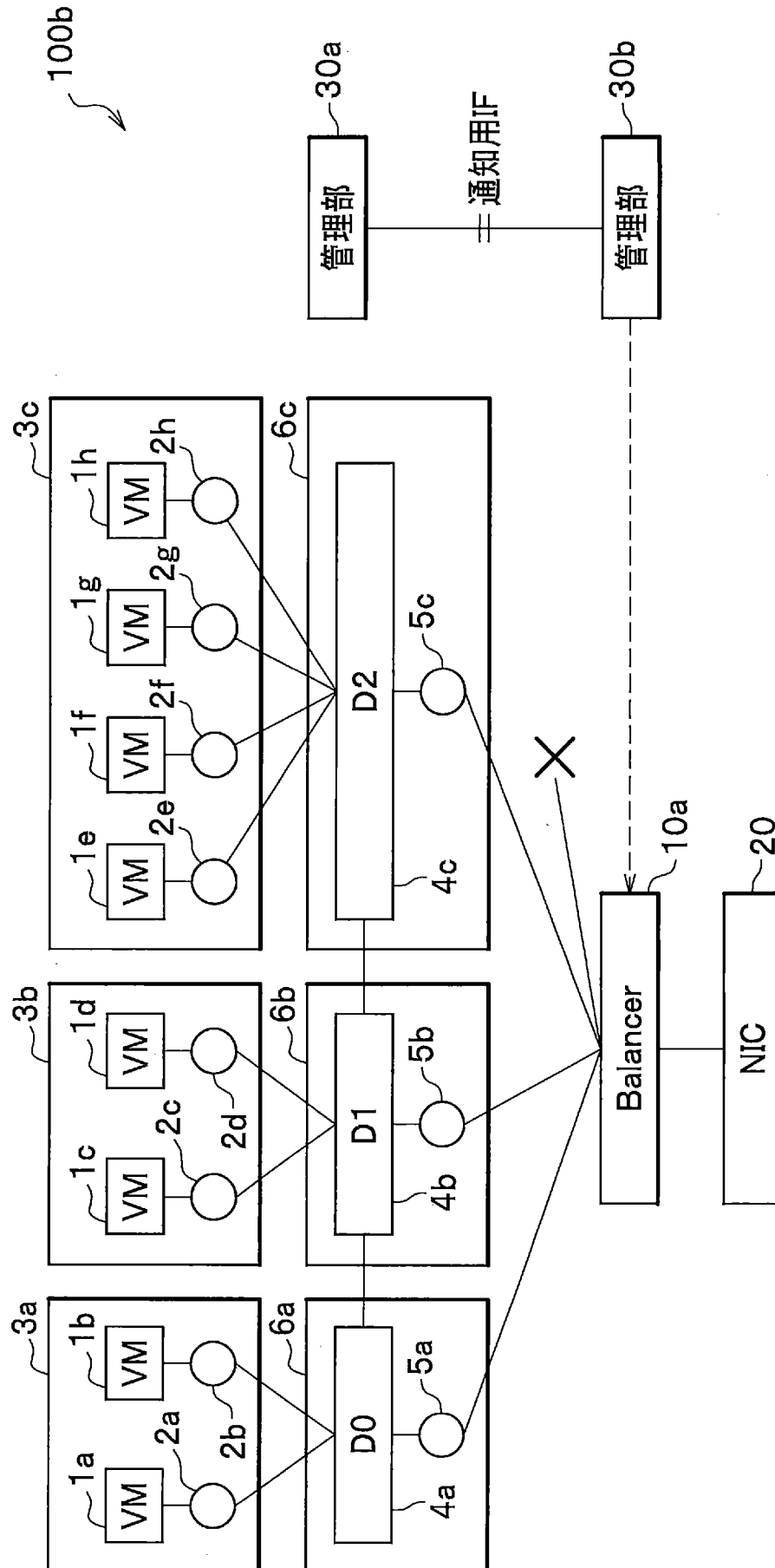
前記振分回路が振り分けたパケットを処理する複数の制御部を備える制御装置が実行される制御方法であって、

前記P L Dが異なる種類の振分部に再構成させられるステップを有することを特徴とする制御方法。

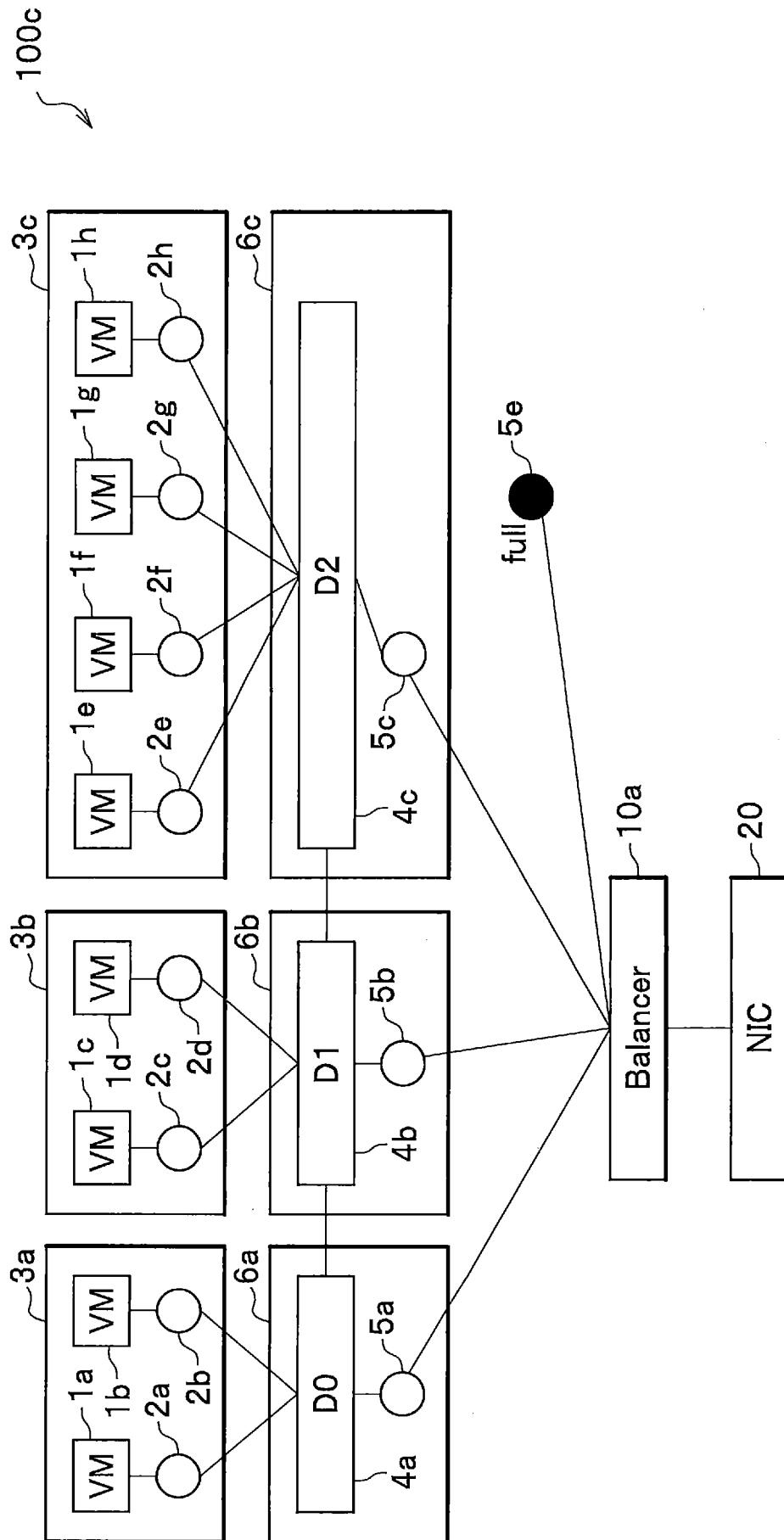
[図1]



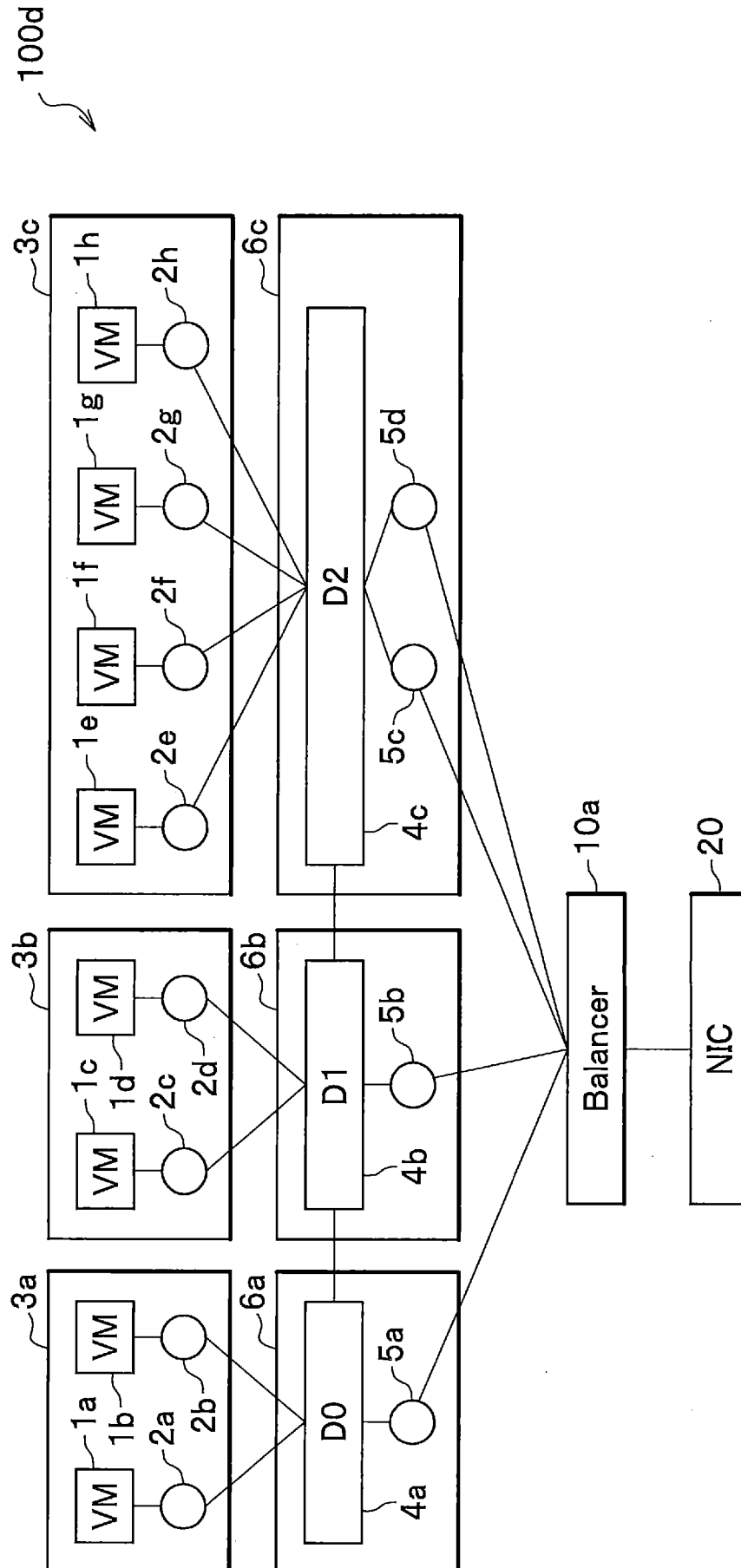
[図2]



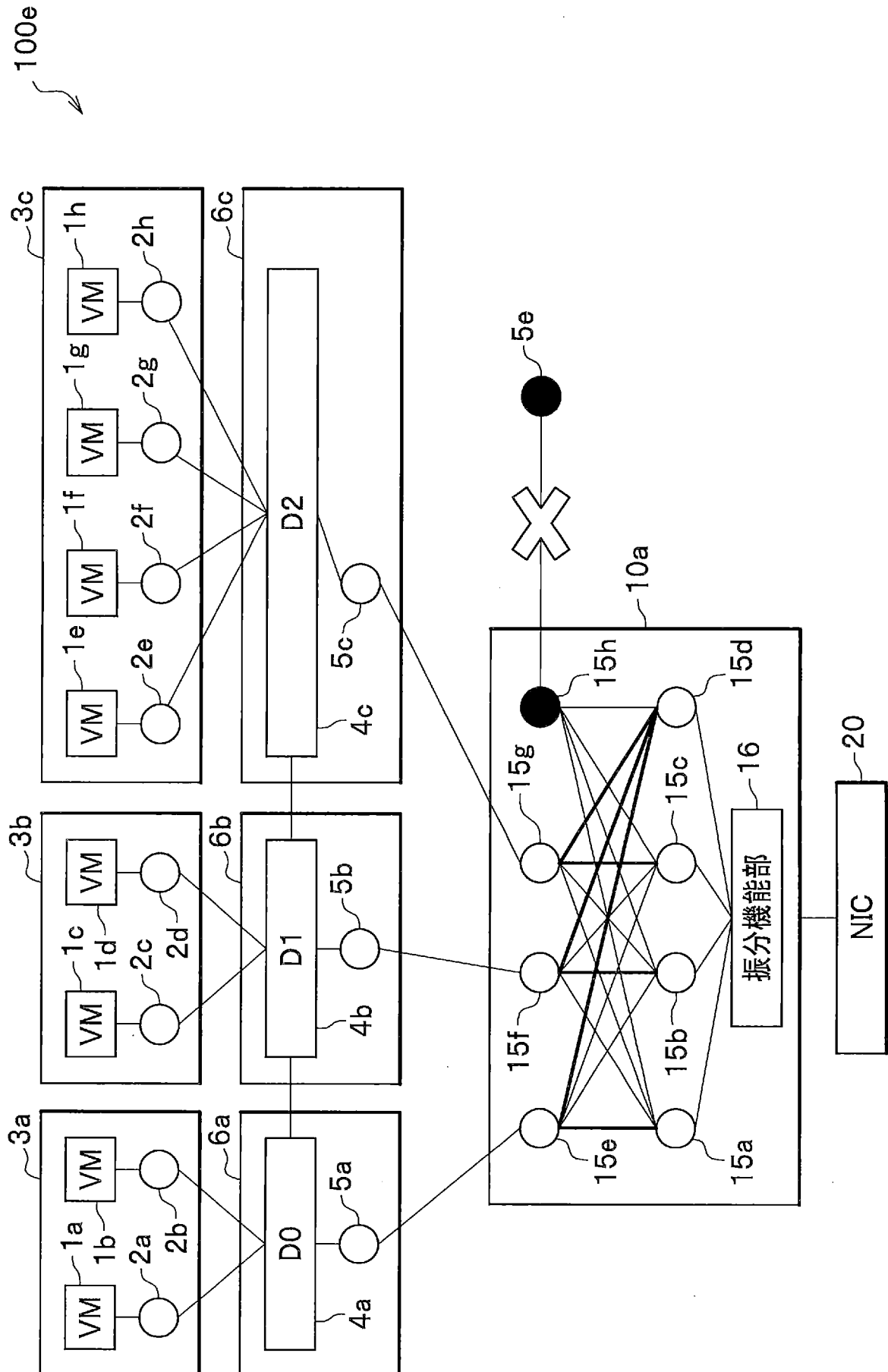
[図3]



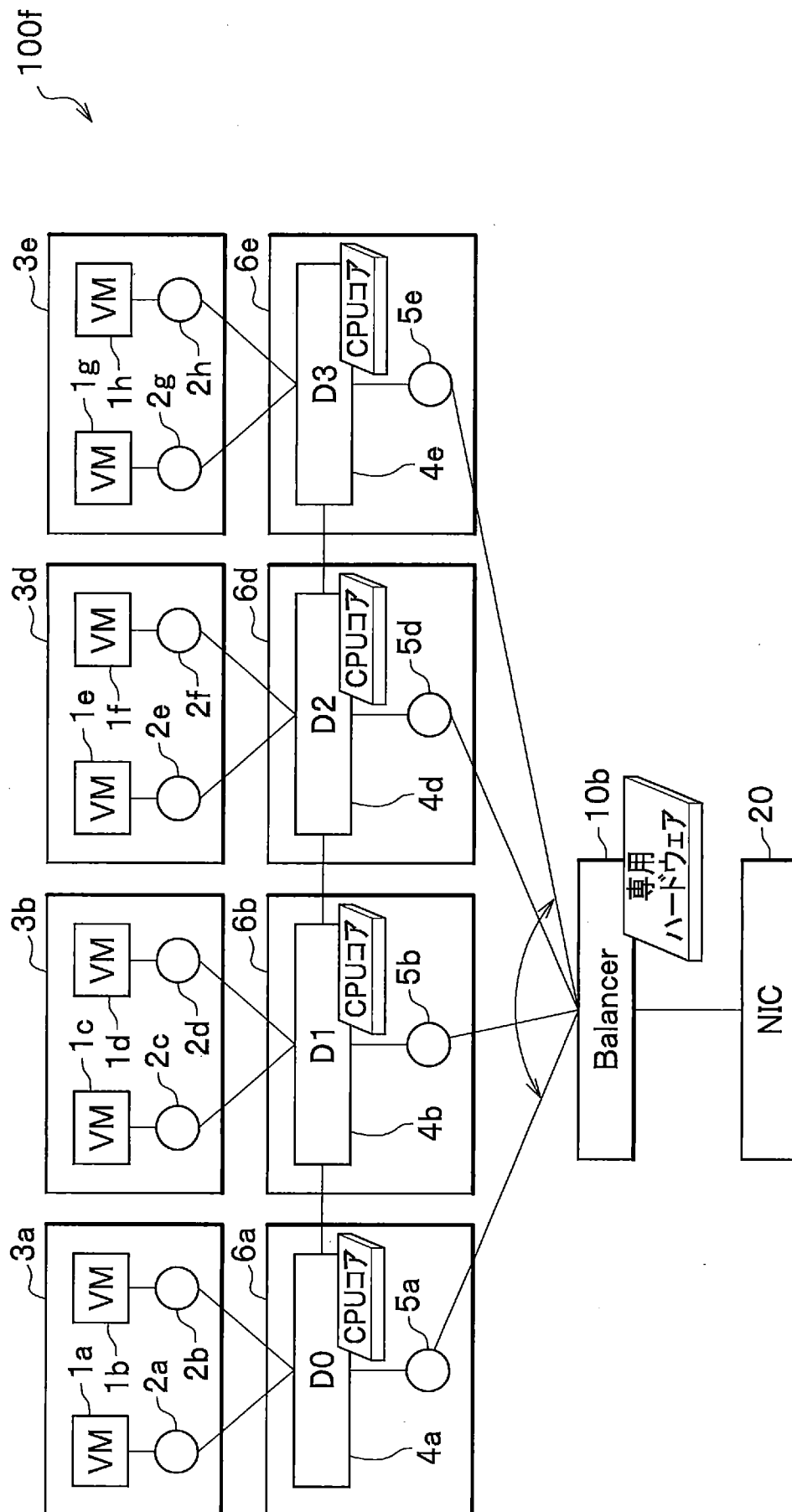
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/006614

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl. H04L12/803 (2013.01) i, G06F9/50 (2006.01) i, H04L12/70 (2013.01) i According to International Patent Classification (IPC) or to both national classification and IPC										
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl. H04L12/803, G06F9/50, H04L12/70 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched <table border="0"> <tr> <td>Published examined utility model applications of Japan</td> <td>1922-1996</td> </tr> <tr> <td>Published unexamined utility model applications of Japan</td> <td>1971-2019</td> </tr> <tr> <td>Registered utility model specifications of Japan</td> <td>1996-2019</td> </tr> <tr> <td>Published registered utility model applications of Japan</td> <td>1994-2019</td> </tr> </table> Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)			Published examined utility model applications of Japan	1922-1996	Published unexamined utility model applications of Japan	1971-2019	Registered utility model specifications of Japan	1996-2019	Published registered utility model applications of Japan	1994-2019
Published examined utility model applications of Japan	1922-1996									
Published unexamined utility model applications of Japan	1971-2019									
Registered utility model specifications of Japan	1996-2019									
Published registered utility model applications of Japan	1994-2019									
C. DOCUMENTS CONSIDERED TO BE RELEVANT										
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.								
Y	JP 2013-105308 A (NIPPON TELEGRAPH AND TELEPHONE CORP.) 30 May 2013, paragraphs [0021], [0036], [0055], [0069]-[0073], fig. 2, 7 (Family: none)	1-8								
Y	JP 2017-139597 A (NIPPON TELEGRAPH AND TELEPHONE CORP.) 10 August 2017, paragraph [0019] (Family: none)	1-8								
☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.										
<table border="0"> <tr> <td> * Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed </td> <td> "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family </td> </tr> </table>			* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family						
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family									
Date of the actual completion of the international search 17 April 2019 (17.04.2019)		Date of mailing of the international search report 07 May 2019 (07.05.2019)								
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.								

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/006614

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-160041 A (NEC CORP.) 18 August 2011, paragraph [0082] & US 2013/0042317 A1, paragraph [0128] & WO 2011/093228 A1 & EP 2530886 A1 & CN 102763382 A	2
Y	JP 2017-220846 A (NIPPON TELEGRAPH AND TELEPHONE CORP.) 14 December 2017, paragraphs [0030], [0045]-[0046], fig. 1, 4 (Family: none)	3-5
Y	JP 2014-106728 A (CANON MARKETING JAPAN INC.) 09 June 2014, paragraph [0076], fig. 9 (Family: none)	6
Y	JP 2014-32530 A (NIPPON TELEGRAPH AND TELEPHONE CORP.) 20 February 2014, paragraphs [0032]-[0034], fig. 2 (Family: none)	7

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H04L12/803(2013.01)i, G06F9/50(2006.01)i, H04L12/70(2013.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H04L12/803, G06F9/50, H04L12/70

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で利用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2013-105308 A（日本電信電話株式会社） 2013.05.30, 段落[0021], [0036], [0055], [0069]-[0073], 図2, 7 (ファミリーなし)	1-8
Y	JP 2017-139597 A（日本電信電話株式会社） 2017.08.10, 段落[0019] (ファミリーなし)	1-8

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

17.04.2019

国際調査報告の発送日

07.05.2019

国際調査機関の名称及びあて先

日本国特許庁（I S A/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

鈴木 肇

電話番号 03-3581-1101 内線 3596

5 X

9 8 4 7

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2011-160041 A (日本電気株式会社) 2011.08.18, 段落[0082] & US 2013/0042317 A1, 段落[0128] & WO 2011/093228 A1 & EP 2530886 A1 & CN 102763382 A	2
Y	JP 2017-220846 A (日本電信電話株式会社) 2017.12.14, 段落[0030], [0045]-[0046], 図1, 4 (ファミリーなし)	3-5
Y	JP 2014-106728 A (キャノンマーケティングジャパン株式会社) 2014.06.09, 段落[0076], 図9 (ファミリーなし)	6
Y	JP 2014-32530 A (日本電信電話株式会社) 2014.02.20, 段落[0032]-[0034], 図2 (ファミリーなし)	7