

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(10) 国际公布号

WO 2018/006446 A1

(43) 国际公布日
2018 年 1 月 11 日 (11.01.2018)

(51) 国际专利分类号:
H01L 27/12 (2006.01)

(21) 国际申请号: PCT/CN2016/090845

(22) 国际申请日: 2016 年 7 月 21 日 (21.07.2016)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201610523648.6 2016 年 7 月 5 日 (05.07.2016) CN

(71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: 卢马才 (LU, Macai); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 广州三环专利代理有限公司 (GUANGZHOU SCIHEAD PATENT AGENT CO., LTD.); 中国广东省广州市越秀区先烈中路 80 号汇华商贸大厦 1508 室, Guangdong 510070 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU,

(54) Title: THIN FILM TRANSISTOR ARRAY SUBSTRATE AND METHOD FOR MANUFACTURING SAME

(54) 发明名称: 薄膜晶体管阵列基板及其制造方法

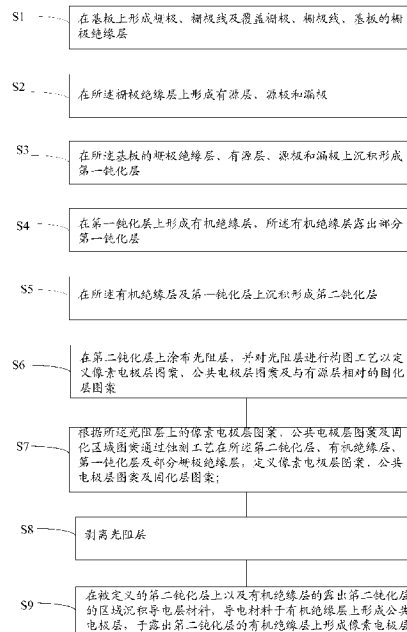


图 1

- S1 Forming a gate electrode, a gate electrode line and a gate electrode insulation layer covering the gate electrode and the gate electrode line on a substrate
- S2 Forming an active layer, a source electrode and a drain electrode on the gate electrode insulation layer
- S3 Forming, by means of deposition, a first passivation layer on the gate electrode insulation layer, the active layer, the source electrode and the drain electrode of the substrate
- S4 Forming an organic insulation layer on the first passivation layer, the organic insulation layer exposing a part of the first passivation layer
- S5 Forming, by means of deposition, a second passivation layer on the organic insulation layer and the first passivation layer
- S6 Coating a light resistance layer on the second passivation layer, and performing a patterning process on the light resistance layer so as to define patterns of a pixel electrode layer, a common electrode layer and a curing layer corresponding to the active layer
- S7 Defining, by means of an etching process, the patterns of the pixel electrode layer, the common electrode layer and the curing layer on the second passivation layer, the organic insulation layer, the first passivation layer and a part of the gate electrode insulation layer according to the patterns of the pixel electrode layer, the common electrode layer and the curing layer region on the light resistance layer
- S8 Stripping the light resistance layer
- S9 Depositing a material of a conductive layer on the defined second passivation layer and a region, exposed by the second passivation layer, of the organic insulation layer, and the conductive material forming the common electrode layer on the organic insulation layer and forming the pixel electrode layer on the organic insulation layer exposed by the second passivation layer

(57) Abstract: Disclosed is a method for manufacturing a thin film transistor. The method comprises: successively forming, by means of deposition, a first passivation layer (16), an organic insulation layer (17) and a second passivation layer (18) on a gate electrode insulation layer (12), an active layer (13), a source electrode (14) and a drain electrode (15) of a substrate (10); coating a light resistance layer (19) on the second passivation layer (18), and performing a patterning process on the light resistance layer (19) so as to define patterns of a pixel electrode layer, a common electrode layer and a curing layer corresponding to the active layer; defining, by means of

RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH,
TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA,
ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

an etching process, the patterns of the pixel electrode layer, the common electrode layer and the curing layer on the second passivation layer (18), the organic insulation layer (17), the first passivation layer (16) and a part of the gate electrode insulation layer (12), and stripping the light resistance layer (19); and forming the common electrode layer (21) on the defined second passivation layer (18), and forming the pixel electrode layer (20) on the organic insulation layer (17) exposed by the second passivation layer (18).

(57) 摘要: 一种薄膜晶体管的制造方法, 其包括: 在基板 (10) 的栅极绝缘层 (12)、有源层 (13)、源极 (14) 和漏极 (15) 上依次沉积形成第一钝化层 (16)、有机绝缘层 (17) 及第二钝化层 (18); 在第二钝化层 (18) 上涂布光阻层 (19), 并对光阻层 (19) 进行构图工艺以定义像素电极层图案、公共电极层图案及与有源层相对的固化层图案; 通过蚀刻工艺在所述第二钝化层 (18)、有机绝缘层 (17)、第一钝化层 (16) 及部分栅极绝缘层 (12), 定义像素电极层图案、公共电极层图案及固化层图案, 剥离光阻层 (19); 在被定义的第二钝化 (18) 层上形成公共电极层 (21), 于露出第二钝化层 (18) 的有机绝缘层 (17) 上形成像素电极层 (20)。

薄膜晶体管阵列基板及其制造方法

5 本发明要求 2016 年 7 月 5 日递交的发明名称为“薄膜晶体管阵列基板及其制造方法”的申请号 201610523648.6 的在先申请优先权，上述在先申请的内容以引入的方式并入本文本中。

技术领域

本发明涉及薄膜晶体管的制造领域，尤其涉及一种薄膜晶体管阵列基板及其制造方法。

背景技术

10 现有技术中的（Fringe Field Switching 简称 FFS）模式的薄膜晶体管拥有较大视角及透过率目前广泛应用，通常在薄膜晶体管管阵列基板制作过程通常需要 6-8 次 mask（曝光），分别用于形成栅线及栅极，有源层，蚀刻阻挡层，源漏极，钝化层、电极及过孔等，生产工艺要复杂，制作成本相应增加。

发明内容

本发明提供一种薄膜晶体管阵列基板及制造方法，能减少曝光次数，够简化制造工艺，降低成本。

20 本发明所述薄膜晶体管的制造方法包括：

在基板上形成栅极、栅极线及覆盖栅极、栅极线基板的栅极绝缘层；

在所述栅极绝缘层上形成有源层、源极和漏极；

在所述基板的栅极绝缘层、有源层、源极和漏极上沉积形成第一钝化层；

在第一钝化层上形成有机绝缘层，所述有机绝缘层露出部分第一钝化层；

25 在所述有机绝缘层及第一钝化层上沉积形成第二钝化层；

在第二钝化层上涂布光阻层，并对光阻层进行构图工艺以定义像素电极层图案、公共电极层图案及与有源层相对的固化层图案；

根据所述光阻层上的像素电极层图案、公共电极层图案及固化区域图案通过蚀刻工艺在所述第二钝化层、有机绝缘层、第一钝化层及部分栅极绝缘层，

定义像素电极层图案、公共电极层图案及固化层图案；其中，有机绝缘层具有露出第二钝化层的区域，所述第二钝化层上的每一图案区域的相对两侧凸出被其覆盖的所述有机绝缘层的两侧；

剥离光阻层；

- 5 在被定义的所述第二钝化层上以及有机绝缘层的露出第二钝化层的区域沉积导电层材料，导电材料于有机绝缘层上形成像素电极层，于露出第二钝化层的有机绝缘层上形成公共电极层。

其中，所述在第一钝化层上形成有机绝缘层步骤包括在有机绝缘层上形成第一过孔与第二过孔，所述第一过孔与第二过孔露出部分第一钝化层，第一过孔用于与漏极连接并且第一过孔内设有像素电极，第二过孔用于与栅极线连
10 通。

其中，步骤根据所述光阻层上的像素电极层图案、公共电极层图案及固化区域图案通过蚀刻所述第二钝化层、有机绝缘层、第一钝化层及部分栅极绝缘层，定义像素电极层图案、公共电极层图案及固化层图案包括使用第一干蚀刻
15 气体对所述第二钝化层、有机绝缘层、第一钝化层及部分栅极绝缘层进行蚀刻，以及增加第二干蚀刻气体与第一蚀刻气体蚀刻露出第二钝化层的有机绝缘层的区域。

其中，第二蚀刻气体与第一蚀刻气体相同或者为氧气。

其中，步骤根据所述光阻层上的像素电极层图案、公共电极层图案及固化
20 区域图案通过蚀刻所述第二钝化层、有机绝缘层、第一钝化层及部分栅极绝缘层，定义像素电极层图案、公共电极层图案及固化层图案包括使用氧气补充蚀刻所述有机绝缘层。

其中，所述第一钝化层与第二钝化层通过化学气相沉淀方式形成。

其中，所述像素电极层的每一电极与被所述第二钝化层覆盖的所述有机绝
25 缘层的两侧具有间隙。

其中，所述第一钝化层与第二钝化层材料为 SiN_x 或 SiO 。

本发明还提供一种薄膜晶体管阵列基板，至少包括基板，形成与所述基板的栅极、栅极线及覆盖栅极、栅极线基板的栅极绝缘层；

形成于所述栅极绝缘层上的有源层、源极和漏极；

形成于所述基板的栅极绝缘层、有源层、源极和漏极上的第一钝化层；

形成与第一钝化层上的有机绝缘层及第二钝化层，所述有机绝缘层包括露出第二钝化层的区域；

形成于第二钝化层的像素电极层以及形成于露出第二钝化层的有机绝缘层上形成公共电极层；

其中，所述第二钝化层上的每一图案区域的相对两侧凸出被其覆盖的所述有机绝缘层的两侧。

其中，所述像素电极层的每一电极与被所述第二钝化层覆盖的所述有机绝缘层的两侧具有间隙。

10 本发明所述的薄膜晶体管制造方法的像素电极层与公共电极层通过沉积形成，供形成像素电极层与公共电极层的第二钝化层及有机绝缘层通过一次蚀刻形成，因此整个薄膜晶体管制造相对与现有技术节省了至少一次构图工艺，简化薄膜晶体管的加工工艺步骤，降低薄膜晶体管的制作成本。

15 附图说明

为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

20 图 1 为本发明一较佳实施方式的薄膜晶体管的制造方法的流程图。

图 2 至图 9 为本发明较佳实施方式的薄膜晶体管的各个制造流程中薄膜晶体管的示意图。

具体实施方式

25 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

请参阅图 1，其为本发明一较佳实施方式的薄膜晶体管的制造方法的流程

图。所述薄膜晶体管（thin film transistor， TFT）的制造方法包括如下步骤。

步骤 S1：在基板上形成栅极、栅极线及覆盖栅极、栅极线、基板的栅极绝缘层。

请参阅图 2，具体包括，步骤 S11，在所述基板 10 的一表面上上形成第一金属层（图未示），通过构图工艺使第一金属层形成包括栅极 11 及栅极线 111 的图案；所述第一金属层的材质选自铜、钨、铬、铝及其组合的其中之一。本实施方式中通过现有技术的涂光阻、曝光、显影等构图工艺对所述第一金属层构图工艺形成栅极 11。

步骤 S12，在栅极 11、栅极线 111、基板 10 上形成栅极绝缘层 12，请参阅图 3，栅极绝缘层 12 覆盖所述基板 10 的表面及所述栅极 11。具体的在所述基板 10 未覆盖所述第一金属层的表面及所述栅极 11、栅极线 111 上形成所述栅极绝缘层 12。所述栅极绝缘层 12 的材质选择氧化硅、氮化硅层，氮氧化硅层及其组合的其中之一。

请参阅图 3，步骤 S2：在所述栅极绝缘层 12 上形成有源层 13、源极 14 和漏极 15。具体为，在所述栅极绝缘层 12 上形成氧化物半导体层及覆盖半导体层的第二金属层，通过构图工艺使氧化物半导体层形成有源层 13、源极 14 和漏极 15，也就是说此处可以使用现有技术工艺采用的一道光罩工艺形成。当然也可以分为两道光罩先形成有源层，然后在有源层 13 及裸露的栅极绝缘层 12 上形成第二金属层，通过构图工艺所述第二金属层，形成所述薄膜晶体管的源极 14 和漏极 15，其中，所述源极 14 和漏极 15 均与所述有源层 13 连接。所述第二金属层的材质选自铜、钨、铬、铝及其组合的其中之一。

请参阅图 4，步骤 S3：在所述基板 10 的栅极绝缘层 12、有源层 13、源极 14 和漏极 15 上沉积形成第一钝化层 16；主要通过化学气相沉淀方式形成。

请参阅图 5，步骤 S4：在第一钝化层 16 上形成有机绝缘层 17，所述有机绝缘层 17 露出部分第一钝化层 16；主要包括通过构图工艺在有机绝缘层 17 上形成第一过孔 171 与第二过孔 172，所述第一过孔 171 与第二过孔 172 露出部分第一钝化层 16，第一过孔 171 用于与漏极 15 连接并且第一过孔 171 内设有像素电极，第二过孔 172 用于与栅极线 111 连通。

请参阅图 6，步骤 S5：在所述有机绝缘层 17 及第一钝化层 16 上沉积形成

第二钝化层 18。第二钝化层 18 通过化学气相沉淀方式形成，材料为 SiN_x 或 SiO_2 ，也可以为其他有机物或无机物材料。所述第二钝化层 18 覆盖所述第一过孔 171 与第二过孔 172 的孔壁。

请参阅图 7，步骤 S6：在第二钝化层 18 上涂布光阻层 19，并对光阻层 19 进行构图工艺以定义像素电极层图案、公共电极层图案及与有源层相对的固化层图案。具体的，在所述光阻层 19 上形成多个通过缺口断开的图案区域，包括多个第一缺口 191、通过多个缺口 191 间隔的第一图案区域 192，与所述第一过孔 171 贯通的第二缺口 193 以及与第二过孔 172 贯通的第三缺口 194。所述第二缺口 193 远离第一图案区域 192 的一侧为固化层图案 195。第三缺口 194 远离第一图案区域 192 的一侧也为第一图案区域 192。

请参阅图 8，步骤 S7：根据所述光阻层 19 上的像素电极层图案、公共电极层图案及固化区域图案通过蚀刻工艺在所述第二钝化层 18、有机绝缘层 17、第一钝化层 16 及部分栅极绝缘层 12，定义像素电极层图案、公共电极层图案及固化层图案。其中，有机绝缘层 17 具有露出第二钝化层 18 的区域，所述第二钝化层 18 上的每一图案区域的相对两侧凸出被其覆盖的所述有机绝缘层 17 的两侧。具体的，有机绝缘层 17 具有露出第二钝化层 18 的区域是通过第一缺口 191 露出的，并且第一缺口 191 延伸至部分有机绝缘层 17 内。所述第一图案区域 192 覆盖的为第二钝化层 18 的图案区域 181。所述第二钝化层 18 上的每一图案区域 181 的相对两侧 182 凸出被其覆盖的所述有机绝缘层 17 的两侧，也就是说通过第一缺口 191 间隔开的机绝缘图案 171 的两侧，如此在第二钝化层 18 上沉积导电层时，垂直落下来的导电层会分层形成于所述第二钝化层 18 上的每一图案区域 181 上，以及有机绝缘层 17 通过第一缺口露出第二钝化层 18 的区域，而被第一缺口 191 间隔开的机绝缘图案 171 的两侧不会沾上导电层，同时，由于每一图案区域 181 的相对两侧 182 凸出，在有机绝缘层 17 具有露出第二钝化层 18 的区域内的导电层不与机绝缘图案 171 的两侧接触。

本步骤中，包括使用第一干蚀刻气体对所述第二钝化层 18、有机绝缘层 17、第一钝化层 16 及部分栅极绝缘层 12 进行蚀刻，以及增加第二干蚀刻气体与第一蚀刻气体蚀刻露出第二钝化层 18 的有机绝缘层 17 的区域，也就是通过第一缺口 191 间隔开的机绝缘图案 171 的区域，使机绝缘图案 171 的两侧被蚀

刻量增多,进而实现所述第二钝化层 18 上的每一图案区域 181 的相对两侧 182 凸出被其覆盖的所述机绝缘图案 171 的两侧。本实施例中,第二蚀刻气体与第一蚀刻气体相同或者为氧气。其它实施方式中还可以使用氧气补充蚀刻所述有机绝缘层 17 的所述机绝缘图案 171 的两侧。

5 步骤 S8: 剥离光阻层 19。

请参阅图 9, 步骤 S9: 在被定义的所述第二钝化层 18 上以及有机绝缘层 17 的露出第二钝化层 18 的区域沉积导电层材料, 导电材料于第二钝化层 18 上形成像素电极层 20, 包括第一过孔内的部分; 于露出有机绝缘层 17 的有机绝缘层 17 上形成公共电极层 21。其中, 所述像素电极层 20 的每一电极与被
10 所述第二钝化层 18 覆盖的所述有机绝缘层的两侧, 也就是说机绝缘图案 171 的两侧具有间隙 172, 可以防止像素电极与公共电极接触短路。在第二钝化层 18 上沉积导电层时, 垂直落下来的导电层会分层形成于所述第二钝化层 18 上的每一图案区域 181 上, 以及有机绝缘层 17 通过第一缺口露出第二钝化层 18 的区域, 而被第一缺口 191 间隔开的机绝缘图案 171 的两侧不会沾上导电层,
15 同时, 由于每一图案区域 181 的相对两侧 182 凸出, 在有机绝缘层 17 具有露出第二钝化层 18 的区域内的导电层不与机绝缘图案 171 的两侧接触, 此工艺节省了光罩步骤, 简化了加工过程。

本发明所述的薄膜晶体管制造方法的像素电极层与公共电极层通过沉积形成, 供形成像素电极层与公共电极层的第二钝化层 18 及有机绝缘层通过一
20 次蚀刻形成, 因此整个薄膜晶体管制造只用了四道光罩, 减少了光罩工艺次数, 可以节约制作成本。

本发明提供一种薄膜晶体管, 所述薄膜晶体管至少包括基板 10, 形成所述基板 10 的栅极 11、栅极线 111 及覆盖栅极 11、栅极线 111 基板的栅极绝缘层 12。

25 形成于所述栅极绝缘层 12 的有源层 13 及与有源层 13 连接的源极 14 和漏极 15。

形成于所述基板 10 的栅极绝缘层 12、有源层 13、源极 14 和漏极 15 上的第一钝化层 16。

依次形成与第一钝化层 16 上的有机绝缘层 17 及第二钝化层 18, 所述有

机绝缘层 17 包括露出第二钝化层 18 的区域；具体通过第一过孔及第二过孔露出。

形成于第二钝化层上的像素电极层 20 以及形成于露出有第二钝化层的有机绝缘层 17 上形成公共电极层 21。

5 其中，所述第二钝化层 18 上的每一图案区域的相对两侧凸出被其覆盖的所述有机绝缘层 17 的两侧。所述像素电极层 20 的每一电极与被所述第二钝化层覆盖的所述有机绝缘层的两侧具有间隙。

10 本发明针对上述两种实施例还提供了薄膜晶体管的制造方法，在阐述具体制备方法之前，应该理解，在本发明中，所述构图工艺即是指构图工艺，可包括光刻工艺，或，包括光刻工艺以及刻蚀步骤，同时还可以包括打印、喷墨等其他用于形成预定图形的工艺；光刻工艺，是指包括成膜、曝光、显影，等工艺过程的利用光刻胶、掩模板、曝光机等形成图形的工艺。可根据本发明中所形成的结构选择相应的构图工艺。

15 通过本发明实施例薄膜晶体管的制造方法形成的显示器件，可以为：液晶面板、液晶电视、液晶显示器、OLED 面板、OLED 电视、电子纸、数码相框、手机等。

以上所揭露的仅为本发明一种较佳实施例而已，当然不能以此来限定本发明之权利范围，本领域普通技术人员可以理解实现上述实施例的全部或部分流程，并依本发明权利要求所作的等同变化，仍属于发明所涵盖的范围。

权利要求

1. 一种薄膜晶体管的制造方法，其中，所述薄膜晶体管的制造方法包括：
在基板上形成栅极、栅极线及覆盖栅极、栅极线基板的栅极绝缘层；
5 在所述栅极绝缘层上形成有源层、源极和漏极；
在所述基板的栅极绝缘层、有源层、源极和漏极上沉积形成第一钝化层；
在第一钝化层上形成有机绝缘层，所述有机绝缘层露出部分第一钝化层；
在所述有机绝缘层及第一钝化层上沉积形成第二钝化层；
在第二钝化层上涂布光阻层，并对光阻层进行构图工艺以定义像素电极层
10 图案、公共电极层图案及与有源层相对的固化层图案；
根据所述光阻层上的像素电极层图案、公共电极层图案及固化区域图案通过蚀刻工艺在所述第二钝化层、有机绝缘层、第一钝化层及部分栅极绝缘层，定义像素电极层图案、公共电极层图案及固化层图案；其中，有机绝缘层具有露出第二钝化层的区域，所述第二钝化层上的每一图案区域的相对两侧凸出被
15 其覆盖的所述有机绝缘层的两侧；
剥离光阻层；
在被定义的所述第二钝化层上以及有机绝缘层的露出第二钝化层的区域沉积导电层材料，导电材料于有机绝缘层上形成公共电极层，于露出第二钝化层的有机绝缘层上形成像素电极层。
- 20 2、如权利要求 1 所述的薄膜晶体管的制造方法，其中，所述在第一钝化层上形成有机绝缘层步骤包括在有机绝缘层上形成第一过孔与第二过孔，所述第一过孔与第二过孔露出部分第一钝化层，第一过孔用于与漏极连接并且第一过孔内设有像素电极，第二过孔用于与栅极线连通。
- 25 3、如权利要求 1 所述的薄膜晶体管的制造方法，其中，步骤根据所述光阻层上的像素电极层图案、公共电极层图案及固化区域图案通过蚀刻所述第二钝化层、有机绝缘层、第一钝化层及部分栅极绝缘层，定义像素电极层图案、公共电极层图案及固化层图案包括使用第一干蚀刻气体对所述第二钝化层、有机绝缘层、第一钝化层及部分栅极绝缘层进行蚀刻，以及增加第二干蚀刻气体与第一蚀刻气体蚀刻露出第二钝化层的有机绝缘层的区域。

4、如权利要求 3 所述的薄膜晶体管的制造方法，其中，第二蚀刻气体与第一蚀刻气体相同或者为氧气。

5、如权利要求 1 所述的薄膜晶体管的制造方法，其中，步骤根据所述光阻层上的像素电极层图案、公共电极层图案及固化区域图案通过蚀刻所述第二钝化层、有机绝缘层、第一钝化层及部分栅极绝缘层，定义像素电极层图案、公共电极层图案及固化层图案包括使用氧气补充蚀刻所述有机绝缘层。

6、如权利要求 1 所述的薄膜晶体管的制造方法，其中，所述第一钝化层与第二钝化层通过化学气相沉淀方式形成。

10 7、如权利要求 1 所述的薄膜晶体管的制造方法，其中，所述像素电极层的每一电极与被所述第二钝化层覆盖的所述有机绝缘层的两侧具有间隙。

8、如权利要求 1 所述的薄膜晶体管的制造方法，其中，所述第一钝化层与第二钝化层材料为 SiN_x 或 SiO 。

15 9、一种薄膜晶体管阵列基板，其中，所述薄膜晶体管至少包括基板，形成与所述基板的栅极、栅极线及覆盖栅极、栅极线基板的栅极绝缘层；
形成于所述栅极绝缘层上的有源层、源极和漏极；
形成于所述基板的栅极绝缘层、有源层、源极和漏极上的第一钝化层；
形成与第一钝化层上的有机绝缘层及第二钝化层，所述有机绝缘层包括露出第二钝化层的区域；

20 形成于第二钝化层的像素电极层以及形成于露出第二钝化层的有机绝缘层上形成公共电极层；

其中，所述第二钝化层上的每一图案区域的相对两侧凸出被其覆盖的所述有机绝缘层的两侧。

10、如权利要求 9 所述的薄膜晶体管阵列基板，其中，所述像素电极层的每一电极与被所述第二钝化层覆盖的所述有机绝缘层的两侧具有间隙。

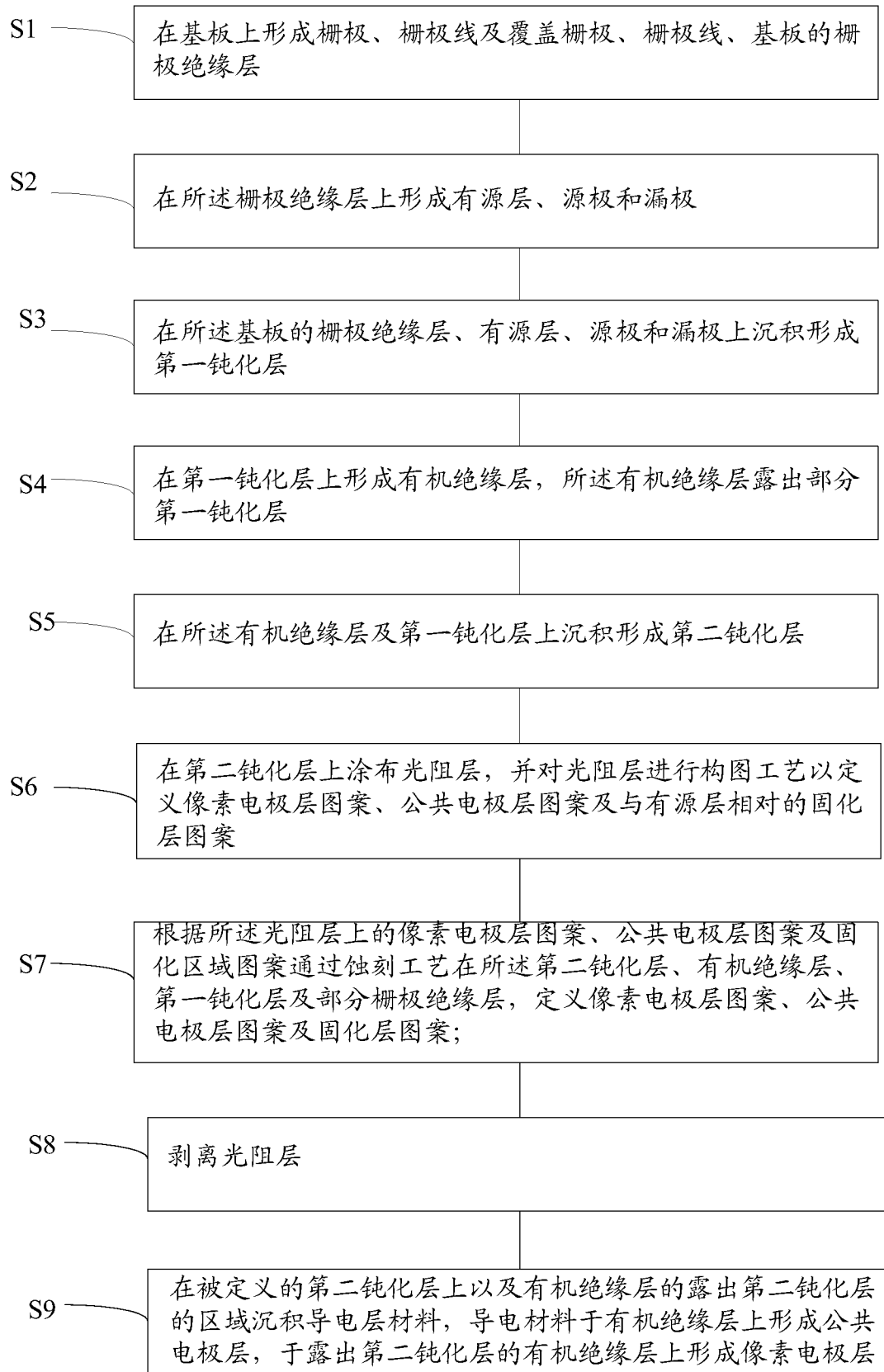


图 1

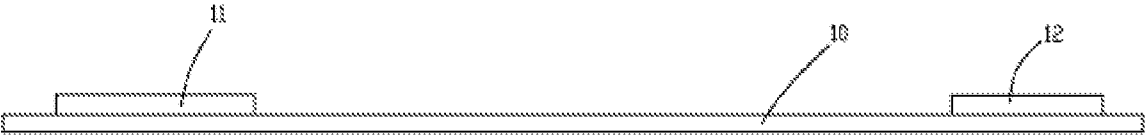


图 2

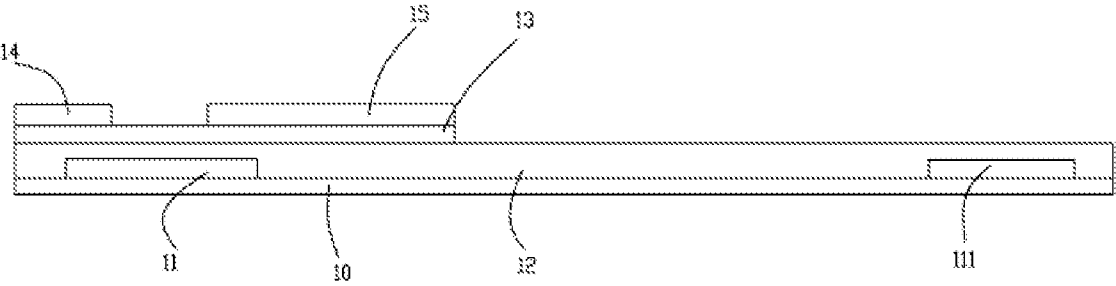


图 3

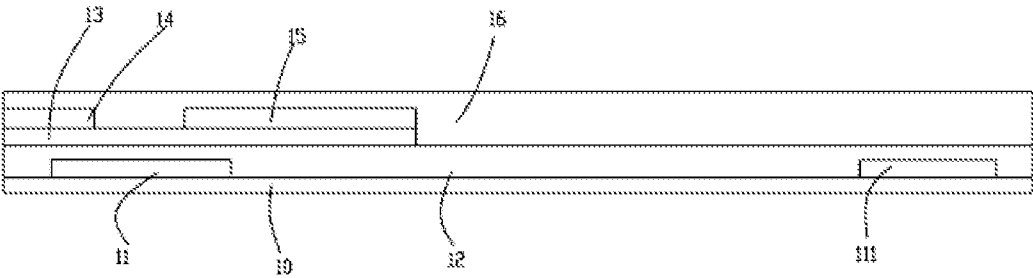


图 4

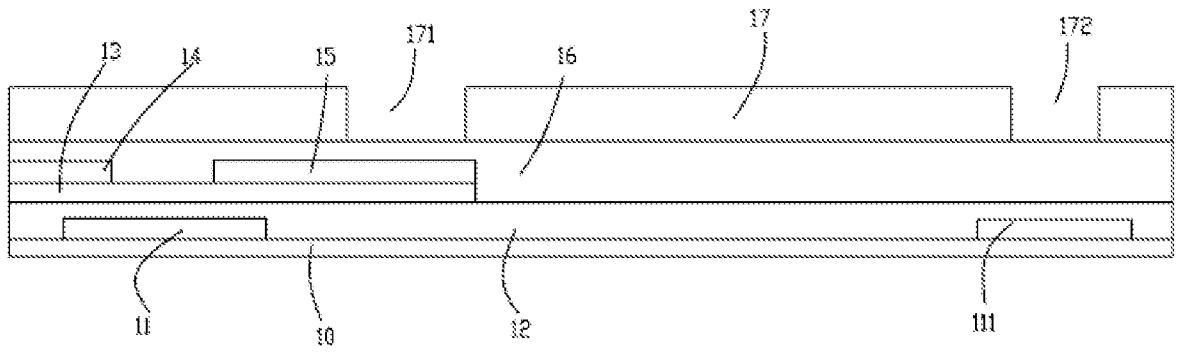


图 5

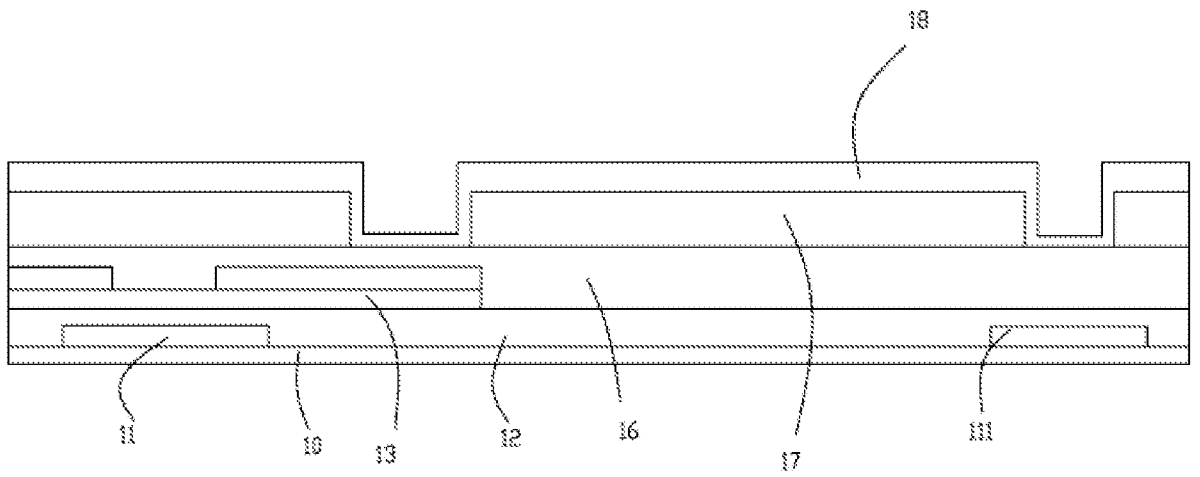


图 6

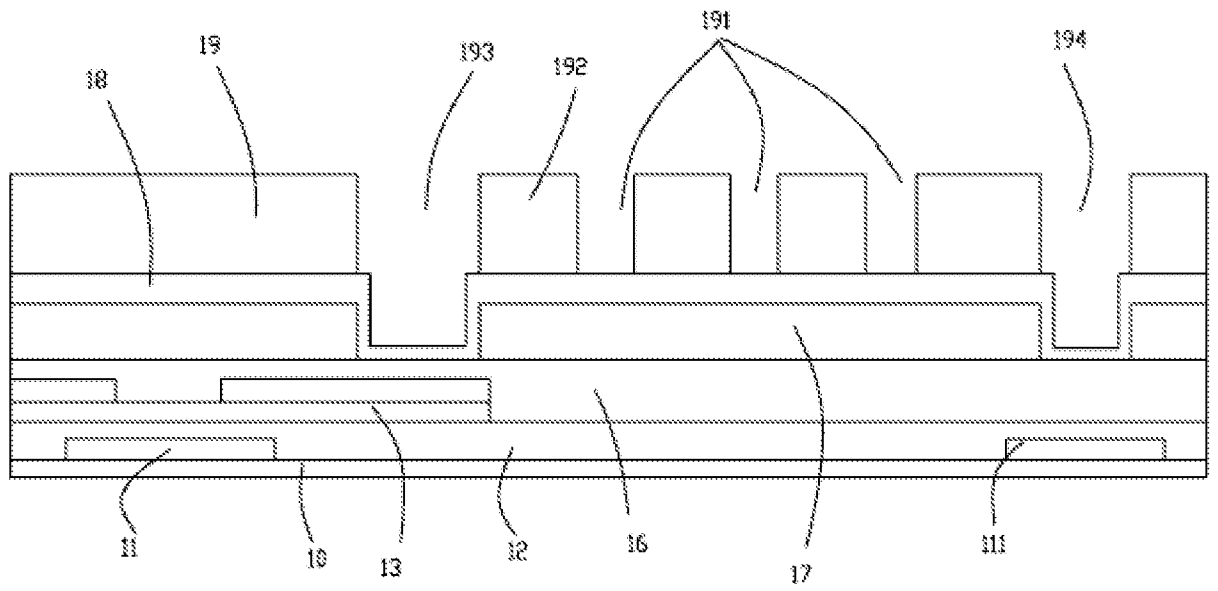


图 7

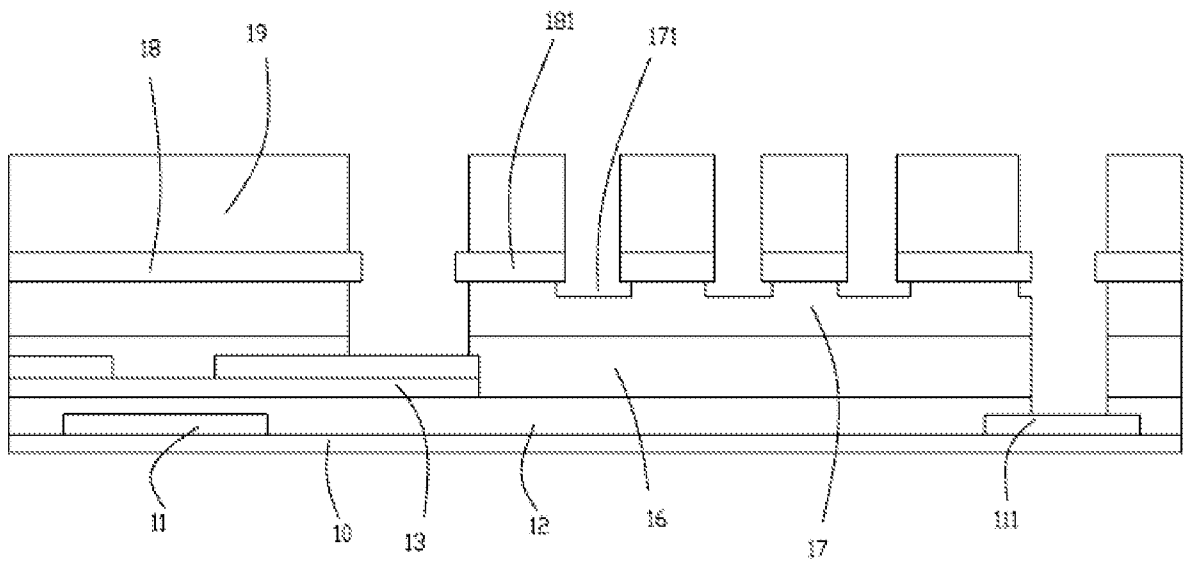


图 8

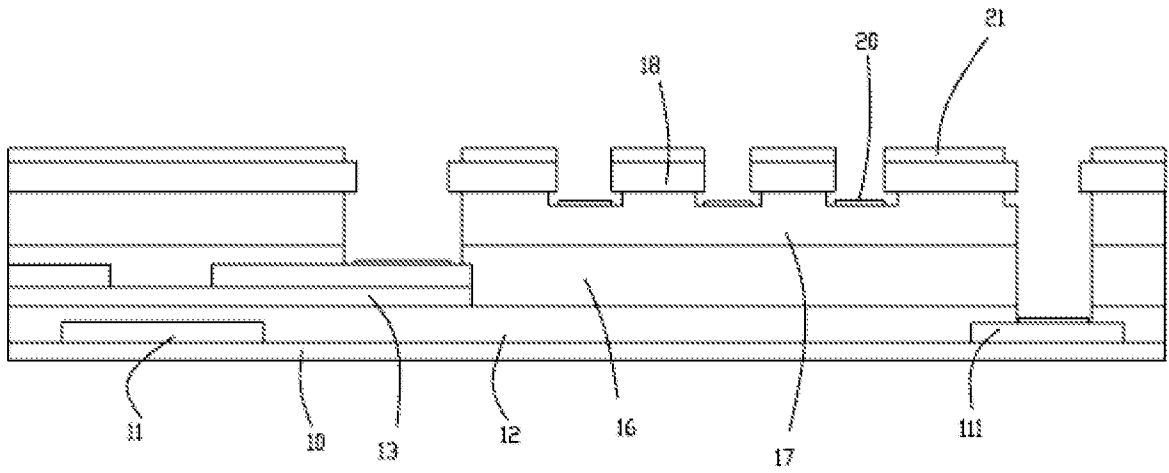


图 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/090845

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, CNKI, IEEE: photoresistance, passivation layer, patterning, photomask, TFT, thin film transistor, array substrate, insulating layer, pattern, photoresist, mask, photolithography, reduce, protruding

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 103151304 A (AU OPTRONICS CORP.), 12 June 2013 (12.06.2013), description, paragraphs [0027]-[0040], and figures 1-10	1-10
A	CN 105336626 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 17 February 2016 (17.02.2016), the whole document	1-10
A	CN 105140178 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 09 December 2015 (09.12.2015), the whole document	1-10
A	CN 103123911 A (AU OPTRONICS CORP.), 29 May 2013 (29.05.2013), the whole document	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 15 March 2017 (15.03.2017)	Date of mailing of the international search report 10 April 2017 (10.04.2017)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer LIU, Zhenling Telephone No.: (86-10) 62414057

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2016/090845

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103151304 A	12 June 2013	CN 103151304 B	18 February 2015
		TW 201418855 A	16 May 2014
		TW I477869 B	21 March 2015
CN 105336626 A	17 February 2016	None	
CN 105140178 A	09 December 2015	WO 2017016042 A1	02 February 2017
CN 103123911 A	29 May 2013	TW 201416781 A	01 May 2014
		TW I460516 B	11 November 2014
		CN 103123911 B	07 January 2015

国际检索报告

国际申请号

PCT/CN2016/090845

A. 主题的分类

H01L 27/12(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI, EPODOC, CNPAT, CNKI, IEEE: 薄膜晶体管, 阵列基板, 光阻, 绝缘层, 钝化层, 图案化, 光罩, 光刻, 减少, 突, 凸, TFT, thin film transistor, array substrate, insulating layer, pattern, photoresist, mask, photolithography, reduce, protruding

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 103151304 A (友达光电股份有限公司) 2013年 6月 12日 (2013 - 06 - 12) 说明书第[0027]段至第[0040]段、附图1-10	1-10
A	CN 105336626 A (深圳市华星光电技术有限公司) 2016年 2月 17日 (2016 - 02 - 17) 全文	1-10
A	CN 105140178 A (深圳市华星光电技术有限公司) 2015年 12月 9日 (2015 - 12 - 09) 全文	1-10
A	CN 103123911 A (友达光电股份有限公司) 2013年 5月 29日 (2013 - 05 - 29) 全文	1-10

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2017年 3月 15日

国际检索报告邮寄日期

2017年 4月 10日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

刘振玲

电话号码 (86-10)62414057

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/090845

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103151304	A	2013年 6月 12日	CN	103151304	B	2015年 2月 18日
				TW	201418855	A	2014年 5月 16日
				TW	I477869	B	2015年 3月 21日
CN	105336626	A	2016年 2月 17日	无			
CN	105140178	A	2015年 12月 9日	WO	2017016042	A1	2017年 2月 2日
CN	103123911	A	2013年 5月 29日	TW	201416781	A	2014年 5月 1日
				TW	I460516	B	2014年 11月 11日
				CN	103123911	B	2015年 1月 7日

表 PCT/ISA/210 (同族专利附件) (2009年7月)