(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년11월07일
(11) 등록번호 10-2727771
(24) 등록일자 2024년11월05일

(51) 국제특허분류(Int. Cl.)
H01L 27/146 (2006.01)
(52) CPC특허분류
H01L 27/14683 (2013.01)
H01L 27/14601 (2013.01)
(21) 출원번호 10-2021-7021571
(22) 출원일자(국제) 2019년12월11일
심사청구일자 2022년09월28일
(85) 번역문제출일자 2021년07월09일
(65) 공개번호 10-2021-0091349
(43) 공개일자 2021년07월21일
(86) 국제출원번호 PCT/US2019/065575
(87) 국제공개번호 WO 2020/123571
국제공개일자 2020년06월18일
(30) 우선권주장
62/778,445 2018년12월12일 미국(US)
16/562,396 2019년09월05일 미국(US)
(56) 선행기술조사문헌
JP2010093229 A*
JP2017509142 A*
KR1020150005964 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
케이엘에이 코포레이션
미합중국, 캘리포니아 95035, 밀피타스, 원 테크놀로지 드라이브
(72) 발명자
추앙 융-호 알렉스
미국 캘리포니아주 95014 쿠퍼티노 사우스 스텔링 로드 10734
천 젠-후아 하워드
미국 캘리포니아주 95037 모건 힐 그레이프바인 코트 16921
(뒷면에 계속)
(74) 대리인
김태홍, 김진희

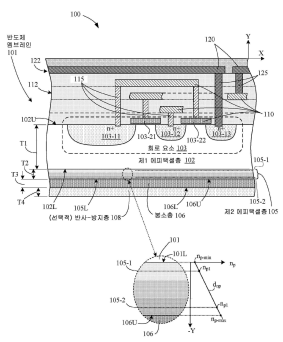
전체 청구항 수 : 총 28 항 심사관 : 이현석

(54) 발명의 명칭 **후방-조명되는 센서 및 센서를 제조하는 방법**

(57) 요 약

이미지 센서는 순수 붕소층, 및 p-형 도펀트 농도 구배를 갖는 제2 에피택셜층을 활용하여 DUV, VUV 또는 EUV 방사의 감지를 향상시킨다. 감지(회로) 요소들 및 연관된 금속 상호연결부들은 제1 에피택셜층의 상부 표면 상에 제조되고, 이어서 제2 에피택셜층은 제1 에피택셜층의 하부 표면 상에 형성되고, 이어서 순수 붕소층이 제2 에피택셜층 상에 형성된다. p-형 도펀트 농도 구배는, 제2 에피택셜층의 최저 p-형 도펀트 농도가 제1 에피택셜층과의 계면에 바로 근접하여 발생하도록, 그리고 제2 에피택셜층의 최고 p-형 도펀트 농도가 순수 붕소층과의 계면에 바로 근접하여 발생하도록, 제2 에피택셜층의 퇴적/성장 동안 사용되는 가스에서 p-형 도펀트의 농도를 체계적으로 증가시킴으로써 생성된다.

대 표 도 - 도1



(72) 발명자

필덴 존

미국 캘리포니아주 94024 로스 알토스 빅토리아 코트 2020

장 징징

미국 캘리포니아주 95135 산 호세 테라 코타 드라이브 3257

브라운 데이비드 엘.

미국 캘리포니아주 95032 로스 가토스 우디드 뷰 드라이브 120

야라만치리 시시르

미국 캘리포니아주 95035 밀피타스 테크놀로지 드라이브 1

명 세 서

청구범위

청구항 1

이미지 센서를 제조하는 방법으로서,

기판 상에 제1 에피택셜층을 형성하는 단계;

상기 제1 에피택셜층의 제1 표면 상에 회로 요소를 형성하는 단계;

상기 기판을 시닝(thinning)하여 시닝된 기판을 생성하는 단계 - 상기 시닝된 기판은 상기 제1 에피택셜층의 제2 표면의 적어도 표면 부분을 노출시키고, 상기 제2 표면은 상기 회로 요소가 위에 배치된 상기 제1 표면 반대측에 있음 - ;

상기 제1 에피택셜층의 노출된 부분 상에 제2 에피택셜층을 형성하는 단계; 및

상기 제2 에피택셜층 상에 순수 붕소층(pure boron layer)을 형성하는 단계

를 포함하고,

상기 제2 에피택셜층을 형성하는 단계는, 상기 제2 에피택셜층의 제1 층 부분이 상기 제2 에피택셜층의 후속하여 형성되는 제2 층 부분보다 낮은 p-형 도펀트 농도를 가지며, 상기 제2 에피택셜층의 최고 p-형 도펀트 농도가 상기 순수 붕소층에 인접하도록, 상기 제2 에피택셜층의 형성 동안 사용되는 p-형 도펀트의 농도를 점진적으로 증가시킴으로써 상기 제2 에피택셜층에 p-형 도펀트 농도 구배를 생성하는 단계를 포함하는 것인, 이미지 센서를 제조하는 방법.

청구항 2

제1항에 있어서, 상기 p-형 도펀트는 붕소를 포함하는 것인, 이미지 센서를 제조하는 방법.

청구항 3

제1항에 있어서, 상기 제2 에피택셜층을 형성하는 단계는, 약 350℃ 미만의 온도에서 붕소 원소(elemental boron)를 함유하는 가스를 활용하는 단계를 포함하는 것인, 이미지 센서를 제조하는 방법.

청구항 4

제3항에 있어서, 상기 제2 에피택셜층을 형성하는 단계는, 분자-빔 에피택셜 성장을 사용하여 상기 제2 에피택셜층을 성장시키는 단계를 포함하는 것인, 이미지 센서를 제조하는 방법.

청구항 5

제1항에 있어서, 상기 방법은, 상기 순수 붕소층의 표면 상에 반사-방지층을 퇴적하는 단계를 더 포함하는 것인, 이미지 센서를 제조하는 방법.

청구항 6

제1항에 있어서, 상기 방법은, 상기 순수 붕소층의 표면 상에 금속 보호층을 퇴적하는 단계를 더 포함하는 것인, 이미지 센서를 제조하는 방법.

청구항 7

제1항에 있어서, 상기 방법은, 상기 기판을 시닝하기 전에 상기 회로 요소 위에 상기 제1 에피택셜층에 핸들링 웨이퍼를 부착하는 단계를 더 포함하는 것인, 이미지 센서를 제조하는 방법.

청구항 8

이미지 센서를 제조하는 방법으로서,

기판 상에 제1 에피택셜층을 형성하는 단계;

상기 제1 에피택셜층 상에 회로 요소를 형성하는 단계;

상기 기판을 시닝하여 시닝된 기판을 생성하는 단계 - 상기 시닝된 기판은 상기 제1 에피택셜층의 적어도 표면 부분을 노출시킴 - ;

상기 제1 에피택셜층의 노출된 부분 상에 제2 에피택셜층을 형성하는 단계; 및

상기 제2 에피택셜층 상에 순수 붕소층을 형성하는 단계

를 포함하고,

상기 제2 에피택셜층을 형성하는 단계는, 상기 제2 에피택셜층의 제1 층 부분이 상기 제2 에피택셜층의 후속하여 형성되는 제2 층 부분보다 낮은 p-형 도펀트 농도를 가지며, 상기 제2 에피택셜층의 최고 p-형 도펀트 농도가 상기 순수 붕소층에 인접하도록, 상기 제2 에피택셜층의 형성 동안 사용되는 p-형 도펀트의 농도를 점진적으로 증가시킴으로써 상기 제2 에피택셜층에 p-형 도펀트 농도 구배를 생성하는 단계를 포함하고,

상기 방법은,

상기 기판을 시닝하기 전에 상기 회로 요소 위에 상기 제1 에피택셜층에 핸들링 웨이퍼를 부착하는 단계, 및

상기 기판을 시닝하기 전에 상기 제1 에피택셜층 및 상기 핸들링 웨이퍼 중 적어도 하나에 비아를 형성하는 단계

를 더 포함하는 것인, 이미지 센서를 제조하는 방법.

청구항 9

제8항에 있어서, 상기 방법은, 상기 순수 붕소층을 형성한 후에 상기 비아를 노출시키는 단계를 더 포함하는 것인, 이미지 센서를 제조하는 방법.

청구항 10

제1항에 있어서, 상기 제2 에피택셜층을 형성하는 단계는, 약 450℃ 미만의 온도에서 플라즈마-강화 화학 기상 퇴적 프로세스를 활용하는 단계를 포함하는 것인, 이미지 센서를 제조하는 방법.

청구항 11

심 자외선(deep ultraviolet; DUV) 방사, 진공 자외선(vacuum ultraviolet; VUV) 방사, 극 자외선(extreme ultraviolet; EUV) 방사, 및 하전 입자 중 적어도 하나를 감지하기 위한 이미지 센서로서,

제1 에피택셜층을 포함하며 상기 제1 에피택셜층의 제1 표면 상에 형성된 회로 요소 및 금속 상호연결부를 포함하는 반도체 멤브레인;

상기 제1 에피택셜층의 제2 표면 상에 형성된 제2 에피택셜층; 및

상기 제2 에피택셜층 상에 형성된 순수 붕소층

을 포함하고,

상기 제2 에피택셜층은, 상기 제1 에피택셜층의 제2 표면에 인접한 최소 p-형 도핑 농도를 가지며 상기 순수 붕소층에 바로 인접한 최대 p-형 도핑 농도를 갖는 p-형 도펀트 농도 구배를 포함하는 것인, 심 자외선(DUV) 방사, 진공 자외선(VUV) 방사, 극 자외선(EUV) 방사, 및 하전 입자 중 적어도 하나를 감지하기 위한 이미지 센서.

청구항 12

제11항에 있어서, 상기 제1 에피택셜층은 약 10 ㎛ 내지 약 40 ㎛의 범위 내의 두께를 갖는 것인, 이미지 센서.

청구항 13

제12항에 있어서, 상기 순수 붕소층은 2 ㎚ 내지 20 ㎚의 범위 내의 두께를 갖는 것인, 이미지 센서.

청구항 14

제11항에 있어서, 상기 순수 붕소층 상에 퇴적된 반사-방지 코팅을 더 포함하는, 이미지 센서.

청구항 15

제11항에 있어서, 상기 회로 요소 위에 상기 제1 에피택셜층에 부착된 핸들링 웨이퍼를 더 포함하는, 이미지 센서.

청구항 16

제11항에 있어서, 상기 회로 요소 위에 상기 제1 에피택셜층 상에 형성된 보호층을 더 포함하는, 이미지 센서.

청구항 17

제11항에 있어서, 상기 p-형 도펀트는 붕소를 포함하는 것인, 이미지 센서.

청구항 18

제13항에 있어서, 상기 이미지 센서는 전하-결합 디바이스(charge-coupled device; CCD) 또는 CMOS 디바이스를 포함하는 것인, 이미지 센서.

청구항 19

심 자외선(DUV) 방사, 진공 자외선(VUV) 방사, 극 자외선(EUV) 방사, 및 하전 입자 중 적어도 하나를 감지하기 위한 이미지 센서로서,

제1 에피택셜층을 포함하며, 상기 제1 에피택셜층의 제1 표면 상에 형성된 회로 요소, 및 상기 회로 요소 중 적어도 하나에 연결된 금속 상호연결부를 포함하는 반도체 멤브레인;

상기 제1 에피택셜층의 제2 표면 상에 형성된 제2 에피택셜층; 및

상기 제2 에피택셜층 상에 형성된 순수 붕소층

을 포함하고,

상기 제2 에피택셜층은, 상기 제2 에피택셜층의 제1 층 부분이 상기 제2 에피택셜층의 제2 층 부분보다 낮은 p-형 도펀트 농도를 갖고, 상기 순수 붕소층에 바로 인접한 p-형 도펀트 최대 농도가 포함되도록 구성된 p-형 도펀트 농도 구배를 포함하고, 상기 제2 에피택셜층은 상기 제1 층 부분과 상기 순수 붕소층 사이에 배치되는 것인, 심 자외선(DUV) 방사, 진공 자외선(VUV) 방사, 극 자외선(EUV) 방사, 및 하전 입자 중 적어도 하나를 감지하기 위한 이미지 센서.

청구항 20

제19항에 있어서,

상기 순수 붕소층은 2 ㎚ 내지 20 ㎚의 범위 내의 두께를 갖고,

상기 반도체 멤브레인은 10 ㎛ 내지 40 ㎛의 범위 내의 두께를 갖는 것인, 이미지 센서.

청구항 21

제19항에 있어서, 상기 이미지 센서는 상기 순수 붕소층 상에 배치된 반사-방지층 및 보호층 중 하나를 더 포함하고, 상기 순수 붕소층은 3 ㎚ 내지 10 ㎚ 두께인 것인, 이미지 센서.

청구항 22

제19항에 있어서, 상기 p-형 도펀트는 붕소로 구성되는 것인, 이미지 센서.

청구항 23

제8항에 있어서, 상기 p-형 도펀트는 붕소를 포함하는 것인, 이미지 센서를 제조하는 방법.

청구항 24

제8항에 있어서, 상기 제2 에피택셜층을 형성하는 단계는, 약 350℃ 미만의 온도에서 붕소 원소를 함유하는 가스를 활용하는 단계를 포함하는 것인, 이미지 센서를 제조하는 방법.

청구항 25

제24항에 있어서, 상기 제2 에피택셜층을 형성하는 단계는, 분자-빔 에피택셜 성장을 사용하여 상기 제2 에피택셜층을 성장시키는 단계를 포함하는 것인, 이미지 센서를 제조하는 방법.

청구항 26

제8항에 있어서, 상기 방법은, 상기 순수 붕소층의 표면 상에 반사-방지층을 퇴적하는 단계를 더 포함하는 것인, 이미지 센서를 제조하는 방법.

청구항 27

제8항에 있어서, 상기 방법은, 상기 순수 붕소층의 표면 상에 금속 보호층을 퇴적하는 단계를 더 포함하는 것인, 이미지 센서를 제조하는 방법.

청구항 28

제8항에 있어서, 상기 제2 에피택셜층을 형성하는 단계는, 약 450℃ 미만의 온도에서 플라즈마-강화 화학 기상 퇴적 프로세스를 활용하는 단계를 포함하는 것인, 이미지 센서를 제조하는 방법.

발명의 설명

기 술 분 야

[0001] 본 출원은, 2018년 12월 12일에 출원되고 발명의 명칭이 "BACK-ILLUMINATED SENSOR AND A METHOD OF MANUFACTURING A SENSOR"인 미국 가특허 출원 제62/778,445호로부터 우선권을 주장하며, 상기 출원은 참조로 본원에 통합된다. 본 출원은 또한, 모두 Chern 등에 의해 출원되고 발명의 명칭이 모두 "Back-illuminated sensor with boron layer"인 미국 특허 번호 제9,496,425호, 제9,818,887호 및 제10,121,914호와 관련된다. 이들 특허들 및 출원들은 참조로 본원에 통합된다.

[0002] 본 출원은 심 UV(deep UV; DUV) 및 진공 UV(vacuum UV; VUV) 파장들의 방사를 감지하기에 적합한 이미지 센서들, 및 그러한 이미지 센서들을 제조하기 위한 방법들에 관한 것이다. 이들 센서들은 포토마스크, 레티클, 또는 웨이퍼 검사 시스템들에서 그리고 다른 애플리케이션들에 대해 사용하기에 적합하다.

배 경 기 술

[0003] 다음의 설명 및 예들은 이들을 이 섹션에 포함하는 것에 의해 종래 기술인 것으로 인정되지는 않는다.

[0004] 집적 회로 산업은 집적 회로들, 포토마스크들, 레티클들, 태양 전지들, 전하 결합 디바이스들 등의 점점 더 작은 피처들을 분해할 뿐만 아니라, 그러한 피처 크기들 정도 또는 그보다 작은 크기들을 갖는 결함들을 검출하기 위해 점점 더 높은 분해능을 갖는 검사 도구들을 요구한다.

[0005] 짧은 파장들, 예를 들어, 약 250 nm보다 짧은 파장들에서 동작하는 검사 시스템들은 많은 경우들에서 그러한 분해능을 제공할 수 있다. 특히, 포토마스크 또는 레티클 검사를 위해, 리소그래피에 사용될 파장과 동일하거나 가까운 파장, 즉, 현재 생성 리소그래피의 경우 193.4 nm에 가깝고 미래의 EUV 리소그래피의 경우 13.5 nm에 가까운 파장을 사용하여 검사하는 것이 바람직한데, 이는, 패턴들에 의해 야기되는 검사 광의 위상-시프트들이 리소그래피 동안 야기된 것들과 동일하거나 매우 유사할 것이기 때문이다. 반도체 패터닝된 웨이퍼들을 검사하기 위해, 비교적 넓은 범위의 파장들, 이를테면 근 UV, DUV 및/또는 VUV 범위들의 파장들을 포함하는 파장 범위에 걸쳐 동작하는 검사 시스템들이 유리할 수 있는데, 그 이유는, 넓은 범위의 파장들이 개별적인 파장에서 반사율의 큰 변화들을 야기할 수 있는, 층 두께들 또는 패턴 치수들의 작은 변화들에 대한 감도를 감소시킬 수 있기 때문이다.

[0006] 포토마스크들, 레티클들 및 반도체 웨이퍼들 상의 작은 결함들 또는 입자들을 검출하기 위해, 높은 신호-대-잡음비들이 요구된다. 검출된 광자들의 수(포아송(Poisson) 잡음)의 통계적 변동들이 신호-대-잡음비에 대한 근

본적인 한계이기 때문에, 고속으로 검사할 때 높은 신호-대-잡음비들을 보장하기 위해 높은 광자 플럭스 밀도들이 요구된다. 많은 경우들에서, 픽셀 당 대략 100,000개 이상의 광자들이 필요하다. 검사 시스템들은 통상적으로 단지 짧은 중단들로 하루 24시간 사용되기 때문에, 센서들은 단지 몇 달의 동작 후에 많은 양의 방사선에 노출된다.

[0007] 250 ㎚의 진공 파장을 갖는 광자는 대략 5 eV의 에너지를 갖는다. 실리콘 이산화물의 밴드갭은 약 10 eV이다. 이러한 파장 광자들은 실리콘 이산화물에 의해 흡수될 수 없는 것처럼 보일 수 있지만, 실리콘 이산화물 구조는 실리콘 결정의 구조에 완벽하게 매칭할 수 없기 때문에, 실리콘 표면 상에서 성장된 실리콘 이산화물은 실리콘과의 계면에서 일부 댕글링(dangling) 결합들을 가져야 한다. 또한, 단일 이산화물이 비정질이기 때문에, 재료 내에 댕글링 결합들이 있을 것이다. 실제로, DUV 파장들을 갖는 광자들, 특히 파장이 약 220 ㎚ 미만인 광자들을 흡수할 수 있는, 산화물 내에서 뿐만 아니라 하부 반도체에 대한 계면에서 결함들 및 불순물들의 무시할 수 없는 밀도가 있을 것이다. 더욱이, 높은 방사 플럭스 밀도 하에서, 2개의 고-에너지 광자들이 매우 짧은 시간 간격(나노초 또는 피코초) 내에 동일한 위치 근처에 도달할 수 있으며, 이는 빠르게 연속되는 2개의 흡수 이벤트들에 의해 또는 2-광자 흡수에 의해 전자들이 실리콘 이산화물의 전도 대역으로 여기되게 할 수 있다.

[0008] 검사, 계측 및 관련 애플리케이션들에 사용되는 센서들에 대한 추가 요건은 고감도이다. 전술된 바와 같이, 높은 신호대 잡음비들이 요구된다. 센서가 입사 광자들의 많은 부분을 신호로 변환하지 않으면, 더 효율적인 센서를 갖는 검사 또는 계측 시스템과 비교하여 동일한 검사 또는 측정 속도를 유지하기 위해 더 높은 세기의 광원이 요구될 것이다. 더 높은 세기의 광원은 기구 옵틱스 및 검사 또는 측정되는 샘플을 더 높은 광 세기들에 노출시켜서, 가능하게는 시간이 지남에 따라 손상 또는 열화를 야기할 것이다. 더 높은 세기의 광원은 또한 더 비싸거나, 특히 DUV 및 VUV 파장들에서 이용가능하지 않을 수 있다. 실리콘은 그 위에 입사되는 높은 비율의 DUV 및 VUV 광을 반사시킨다. 예를 들어, 193 ㎚ 파장 근처에서, 그 표면 상에 2 ㎚ 산화물층(이를 테면, 자연 산화물층)을 갖는 실리콘은 그에 입사되는 광의 대략 65%를 반사시킨다. 실리콘 표면 상에 약 21 ㎚의 산화물층을 성장시키는 것은 193 ㎚ 근처의 파장들에 대해 반사율을 40%에 가깝게 감소시킨다. 40% 반사율을 갖는 검출기가 65% 반사율을 갖는 검출기보다 상당히 더 효율적이지만, 더 낮은 반사율, 및 그에 따른 더 높은 효율이 바람직하다.

[0009] 반사-방지 코팅들은 일반적으로 렌즈들 및 미러들과 같은 광학 요소들 상에서 사용된다. 그러나, 광학 요소들에 일반적으로 사용되는 많은 코팅 재료들 및 프로세스들은 종종 실리콘-기반 센서들과 호환가능하지 않다. 예를 들어, 전자 및 이온-보조 퇴적 기술들이 일반적으로 광학 코팅들에 사용된다. 그러한 코팅 프로세스들은 일반적으로 반도체 디바이스들을 코팅하기 위해 사용될 수 없는데, 그 이유는, 전자들 또는 이온들이 반도체 디바이스의 표면 상에 충분한 전하를 퇴적하여 반도체 상에 제조된 회로들에 대한 손상을 초래하는 전기적 파괴를 야기할 수 있기 때문이다.

[0010] DUV 및 VUV 파장들은 실리콘에 의해 강하게 흡수된다. 그러한 파장들은 실리콘의 표면의 약 10 ㎚ 또는 수십 ㎚ 내에서 대부분 흡수될 수 있다. DUV 또는 VUV 파장들에서 동작하는 센서의 효율은, 흡수된 광자들에 의해 생성된 전자들의 일부가 전자들이 재결합되기 전에 얼마나 많이 수집될 수 있는지에 의존한다. 실리콘 이산화물은 낮은 밀도의 결함들을 갖는 실리콘과의 고품질 계면을 형성할 수 있다. 반사-방지 코팅들에 일반적으로 사용되는 재료들 중 다수를 포함하는 대부분의 다른 재료들은, 실리콘 상에 직접 퇴적되는 경우, 실리콘의 표면에서 매우 높은 밀도의 전기적 결함들을 초래한다. 실리콘의 표면 상의 높은 밀도의 전기적 결함들은 가시적인 파장들에서 동작하도록 의도된 센서에 대해 문제가 되지 않을 수 있는데, 그 이유는, 그러한 파장들이 전형적으로 흡수되기 전에 실리콘 내로 약 100 ㎚ 이상 이동할 수 있고, 따라서 실리콘 표면 상의 전기적 결함들에 의해 거의 영향받지 않을 수 있기 때문이다. 그러나, DUV 및 VUV 파장들은 실리콘 표면에 너무 가깝게 흡수되어서, 표면 상의 전기적 결함들 및/또는 표면상의 층(들) 내에 포획된 전하들은, 생성된 전자들의 상당한 부분이 실리콘 표면에서 또는 그 근처에서 재결합되고 손실되게 하여 저효율 센서를 야기할 수 있다.

[0011] 모두 Chern 등에 의한 미국 특허 제9,496,425호, 제9,818,887호 및 제10,121,914호는 적어도, 이미지 센서의 노출된 후면 상에 퇴적된 붕소층을 포함하는 이미지 센서들을 제조하는 방법들 및 이미지 센서 구조들을 설명한다. 약 400-450℃의 범위 및 약 700-800℃의 범위를 포함하는, 붕소의 퇴적을 위한 상이한 범위들의 온도들이 개시된다. 본 발명자들은, 붕소에 대한 더 높은 퇴적 온도, 이를테면 약 600℃ 내지 약 900℃의 퇴적 온도의 하나의 장점이, 그러한 온도들에서 붕소가 실리콘 내로 확산되어 감광성 후면 상에 매우 얇고 p-형이 많이 도핑된 실리콘층을 제공하는 것임을 발견하였다. 이 p-형 도핑된 실리콘층은 DUV 및 VUV 방사에 대한 높은 양자 효율을 보장하기 위해 중요한데, 그 이유는, 이것이 표면으로부터 실리콘층으로 멀리 전자들을 가속하는 표면 근처의 정적 전기장을 생성하기 때문이다. p-형 실리콘은 또한 실리콘의 후면의 전도도를 증가시키며, 이는 센서

의 전면 상의 전극들 상의 신호들의 스위칭에 의해 유도된 접지 전류들에 대한 리턴 경로가 필요하기 때문에, 이미지 센서의 고속 동작에 중요하다.

[0012] 그러나, 450℃ 초과의 프로세싱 온도들은 종래의 CMOS 회로들을 포함하는 반도체 웨이퍼들 상에서 사용될 수 없는데, 이는 450℃가 CMOS 디바이스들을 제조하는 데 일반적으로 사용되는 알루미늄 및 구리와 같은 금속들의 용융점에 가깝기 때문이다. 450℃ 초과의 온도들과 같은 고온들에서, 이들 금속들은 팽창하고, 연화되며, 박리될 수 있다. 게다가, 고온들에서, 구리는 실리콘을 통해 쉽게 확산될 수 있으며, 이는 CMOS 회로들의 전기적 속성들을 수정할 것이다. 임의의 금속들이 그 위에 퇴적되기 전에 웨이퍼를 시닝(thinning)하는 것은, 전술된 특허들에서 설명된 바와 같이, 붕소층이 600 내지 900℃의 온도로 후면 상에 퇴적될 수 있게 하여, 붕소층의 퇴적 동안 또는 그 후에 붕소가 표면 내로 확산될 수 있게 한다. 후속하여, 금속 상호연결부들이 전면 상에 형성될 수 있다. 웨이퍼의 이미지 센서 영역들이, 예를 들어 약 25 ㎛ 또는 더 얇은 두께로 시닝된 후에, 시닝된 영역은 상당히 뒤틀릴 수 있고, 수십 미크론 이상의 피크-투-밸리(peak-to-valley) 비-평탄성을 가질 수 있다. 따라서, 비-평탄성에 의해 야기된 임의의 오정렬에도 불구하고, 라인들 및 비아들이 연결되는 것을 보장하기 위해, 비교적 넓은 이를테면, 수 미크론 폭 이상의 금속 상호연결 라인들 및 비아들을 사용할 필요가 있다. 그러한 넓은 금속 상호연결부들 및 비아들은 그러한 라인들 및 비아들과 연관된 단위 면적당 커패시턴스를 증가시킨다. 게다가, 넓은 상호연결부들 및 비아들은 대면적 센서 상의 모든 신호들을 약 백만개 이상의 픽셀들로 상호연결하는 것을 어렵게 하거나 불가능하게 할 수 있다. 일부 경우들에서, 금속 상호연결부들을 함께 연결하기 위해 폴리실리콘 점퍼들이 필요할 수 있지만, 폴리실리콘은 임의의 금속보다 훨씬 더 높은 저항률을 가지며, 따라서 그러한 점퍼들의 사용은 센서의 최대 동작 속도를 제한할 수 있다.

[0013] Hoenk 등의 미국 특허 제5,376,810호는 450℃ 이하의 온도에서 수행될 수 있는 이미지 센서들에 대한 델타-도핑(delta-doping) 기술을 설명한다. 이 기술은 공칭적으로 도핑되지 않은 실리콘의 1.5 ㎚ 캡층을 포함한다. 이 캡층은 의도적으로 산화될 수 있거나, 환경 내의 물 및 산소로 인해 산화될 수 있다. 이 산화물층은 높은 세기의 DUV, VUV, EUV 또는 하전 입자 방사 하에서 열화될 것이며, 센서가 열화되게 할 수 있다.

[0014] 따라서, 위의 단점들 중 일부 또는 전부를 극복하며 저하시키지 않는 고-에너지 광자들을 효율적으로 검출할 수 있는 이미지 센서에 대한 필요성이 발생된다. 특히, 비교적 평탄한 웨이퍼(즉, 약 10 ㎛ 이하의 평탄도를 가짐) 상에 금속 상호연결부들의 형성을 가능하게 하면서, 그 후면 상에 붕소층 및 붕소 도핑을 갖는 후방-시닝된 이미지 센서를 제조하는 방법은, 더 미세한 설계 규칙들(이를테면, 0.35 ㎛ 프로세스 또는 더 미세한 프로세스에 대응하는 설계 규칙들)의 사용을 허용할 것이다. 그러한 방법은 플로팅 확산과 같은 임계 피처들에 연결되는 더 좁은 금속 라인들을 가능하게 하여, 더 작은 플로팅-확산 커패시턴스 및 더 높은 전하 대 전압 변환 비율들을 가능하게 할 것이다. 더 미세한 설계 규칙들은 또한 센서의 단위 면적당 더 많은 상호연결 라인들을 허용하고, 이미지 센서 상의 회로들을 연결할 때 더 많은 유연성을 허용한다.

발명의 내용

[0015] 이미지 센서들 및 DUV, VUV, EUV, X-선들 및/또는 하전 입자들(이를테면, 전자들)을 촬영하기 위한 고-양자-효율을 갖는 이미지 센서들을 제조하는 방법들이 설명된다. 이들 이미지 센서들은 높은 방사 플럭스들 하에서 긴 수명 동작이 가능하다. 이러한 방법들은 반도체(바람직하게는 실리콘) 웨이퍼 상의 층에 감광성 능동 및/또는 수동 회로 요소들을 형성할 뿐만 아니라 센서의 전기 요소들 사이에 금속 상호연결부들을 형성하기 위한 프로세스 단계들을 포함한다. 이러한 이미지 센서들은 미세 금속 상호연결부들 및 비아들(이를테면, 약 0.35 ㎛ 또는 더 미세한 설계 규칙들을 준수하는 것)을 포함할 수 있는 한편, 비정질 붕소층으로 코팅된 후면을 갖고 붕소층에 바로 근접한 고농도로 도핑된 p-형 실리콘층을 갖는다. 금속 상호연결부들은 공지된 CMOS 프로세스들에서 상호연결부들을 제조하는 데 사용되는 텅스텐, 알루미늄, 구리 또는 다른 금속들을 포함할 수 있다.

[0016] 이미지 센서를 제조하는 예시적인 방법은 기판 상에 제1 에피택셜 실리콘층을 형성하는 단계, 제1 에피택셜 실리콘층 상에 게이트층을 형성하는 단계 - 게이트층은 실리콘 이산화물 및 실리콘 질화물과 같은 유전체 재료들의 하나 이상의 층들을 포함함 -, 폴리실리콘 및 유전체 재료들을 포함하는 게이트층 상에 회로 요소들을 형성하는 단계, 이러한 회로 요소들 중 적어도 일부를 함께 연결하기 위해 금속 비아들 및 금속 상호연결부들을 형성하는 단계, 제1 에피택셜 실리콘층의 적어도 일부를 노출시키기 위해 기판을 시닝하는 단계(노출된 제1 에피택셜 실리콘층은 본 명세서에서 반도체 멤브레인으로 지칭됨), 제1 에피택셜층의 노출된 부분들 상에 직접 제2 에피택셜 실리콘층을 성장시키는 단계 - 제2 에피택셜 실리콘층은 붕소와 같은 p-형 도펀트의 농도 구배를 통합함 -, 제2 에피택셜 실리콘층의 표면 상에 직접 비정질 순수 붕소층을 형성하는 단계, 및 선택적으로 비정질 붕소층의 표면 상에 직접 하나 이상의 반사-방지층들을 형성하는 단계를 포함한다. 본 명세서에서 사용되는 바와

같이, "회로 요소들"이라는 문구는 전하-결합 디바이스들 및 포토다이오드들과 같은 감광성 디바이스들, 트랜지스터들, 다이오드들, 저항기들 및 커패시터들과 같은 다른 반도체 디바이스들, 및 이들 사이의 전기적 상호연결부들(종종 금속 상호연결부들 또는 상호연결부들로 지칭됨)을 지칭한다. 이들 회로 요소들은 포토리소그래피, 퇴적, 에칭, 이온 주입 및 어닐링을 포함하지만, 이에 제한되지 않는 표준 반도체 제조 프로세스들을 사용하여 형성된다. 제2 에피택셜 실리콘층은, 제1 에피택셜 실리콘층의 표면에 근접한 저 농도의 p-형 도펀트 및 순수 붕소층에 근접한 고농도의 p-형 도펀트를 갖는 에피택셜 실리콘층을 포함할 수 있다. 제2 에피택셜 실리콘층은 분자-빔 에피택시(molecular-beam epitaxy; MBE)에 의해 형성될 수 있다. 기판(예를 들어, 웨이퍼)을 시닝하는 것은 반응성 이온 에칭, 화학적 에칭 및/또는 연마를 사용하여 수행될 수 있다. 특히, 이러한 시닝은 후면에 충돌하는 광에 대한 이미지 센서의 감도를 증가시킬 수 있다. 반사-방지 코팅이 붕소층 상에 형성될 수 있다. 대안적으로, 얇은 금속 코팅이 붕소층 상에 퇴적될 수 있다. 얇은 금속 코팅은, 센서가 하전 입자들(이를테면, 전자들), EUV 또는 X-선들을 검출하는 데 사용될 때 특히 유용할 수 있다. 그러한 얇은 금속 코팅은 미광에 대한 센서의 감도를 감소시킬 수 있고, 센서의 표면을 보호할 수 있고, 센서 표면으로부터의 탄소 및 유기 분자들과 같은 오염물들의 인-시튜(in-situ) 세정을 용이하게 할 수 있다.

[0017] 이미지 센서를 제조하는 다른 방법은 기판 상에 제1 에피택셜 실리콘층을 형성한 다음, 제1 에피택셜 실리콘층 상에 회로 요소들을 형성하는 단계를 포함한다. 이 단계는 금속 상호연결부들을 형성하는 것을 포함한다. 금속 상호연결부들은 텅스텐, 몰리브덴, 알루미늄, 구리 또는 다른 금속을 포함할 수 있다. 회로 요소들 상에 보호층이 형성될 수 있다. 회로 요소들을 포함하는 표면에 핸들 웨이퍼가 본딩될 수 있다. 이어서, 기판은 제1 에피택셜 실리콘층의 적어도 일부를 노출시키도록 시닝된다. 앞서 표시된 바와 같이, 이러한 시닝은 후면 상에 충돌하는 광에 대한 이미지 센서의 감도를 증가시킬 수 있다. 반도체 막의 노출된 표면 상에 제2 에피택셜 실리콘층이 성장된다. 제2 에피택셜층은 붕소와 같은 p-형 도펀트로 도핑된다. 제2 에피택셜 실리콘층은 약 450 ℃ 또는 그 미만의 온도에서 성장될 수 있다. p-형 도펀트는 성장 프로세스 동안 성장 챔버에 도펀트(이를테면, 붕소) 또는 도펀트 전구체(이를테면, 디보란(diborane))를 포함시킴으로써, 그 층의 성장 동안 제2 에피택셜 실리콘층에 통합될 수 있다. 도펀트 또는 도펀트 전구체의 부분 압력은, 제2 에피택셜 실리콘층이 성장함에 따라 시간에 따라 증가되어, 제2 에피택셜 실리콘층의 외측 표면에서 가장 높고 제1 에피택셜 실리콘층에 바로 근접한 표면에서 가장 낮은 제2 에피택셜 실리콘층 내의 도펀트 농도 프로파일을 형성할 수 있다. p-형 도핑된 에피택셜 실리콘층의 표면 상에 순수 붕소층이 형성된다. 순수 붕소층은 약 300℃ 내지 약 450℃의 온도로 퇴적될 수 있다. 붕소층 상에 반사-방지 코팅이 형성될 수 있다. 반사-방지 코팅은 원자 층 퇴적(atomic-layer deposition; ALD) 또는 다른 프로세스에 의해 형성될 수 있다. 대안적으로, 얇은 금속 코팅이 붕소층 상에 퇴적될 수 있다. 얇은 금속 코팅은, 센서가 하전 입자들(이를테면, 전자들), EUV 또는 X-선들을 검출하는 데 사용될 때 특히 유용할 수 있다. 그러한 얇은 금속 코팅은 미광에 대한 센서의 감도를 감소시킬 수 있고, 센서의 표면을 보호할 수 있고, 센서 표면으로부터의 탄소 및 유기 분자들과 같은 오염물들의 인-시튜 세정을 용이하게 할 수 있다.

[0018] DUV, VUV, EUV 및/또는 X-선 방사에 대한 고-양자-효율 및 긴-수명 동작을 갖는 이미지 센서들이 설명된다. 이러한 이미지 센서들은 제1 에피택셜 실리콘층의 적어도 일부를 노출시키기 위해 후면으로부터 시닝되어, 이들은 이미지 센서들의 후방-측 상에 충돌하는 방사에 매우 민감하다(여기서, 이러한 이미지 센서들은 후방-조명된다). 제2 에피택셜 실리콘층은 제1 에피택셜 실리콘층의 노출된 후면 상에서 직접 성장된다. 제2 에피택셜 실리콘층은, p-형 도펀트의 농도가 제1 에피택셜층의 표면으로부터 멀어지게 증가하도록, p-형 도펀트로 인-시튜 도핑된다. 얇은(예를 들어, 약 2 nm 내지 약 20 nm 두께), 고-순도의 비정질 붕소층이 제2 에피택셜 실리콘층 상에 퇴적된다. 일부 실시예들에서, 재료의 하나 이상의 추가적인 층들이 붕소 상에 코팅될 수 있다. 각각의 층의 두께 및 재료는 관심 파장의 이미지 센서로의 투과를 증가시키도록 그리고/또는 붕소층을 손상으로부터 보호하도록 선택될 수 있다.

[0019] 본 명세서에서 설명되는 이미지 센서들은 CCD(charge coupled device) 또는 CMOS(complementary metal oxide semiconductor) 기술을 사용하여 제조될 수 있다. 이미지 센서들은 2차원 영역 센서들 또는 1차원 어레이 센서들일 수 있다.

도면의 간단한 설명

[0020] 도 1은 본 발명에 따라 생성된 예시적인 이미지 센서를 도시하는 단면도이다.

도 2는 이미지 센서를 제조하기 위한 예시적인 기술을 예시한다.

도 3a, 도 3b 및 도 3c는 이미지 센서를 제조하기 위한 예시적인 방법을 예시한다.

도 4a, 도 4b, 도 4c, 도 4d, 도 4e, 도 4f, 도 4g 및 도 4h는 도 2를 참조하여 설명된 방법을 겪는 웨이퍼의 일부의 예시적인 단면들을 예시한다.

도 5는 이미지 센서, 실리콘 인터포저(interposer), 및 다른 전자장치를 통합하는 예시적인 검출기 조립체를 예시한다.

발명을 실시하기 위한 구체적인 내용

[0021] 청구되는 주제는 소정 실시예들의 관점에서 설명될 것이지만, 본 명세서에 기술되는 이점들 및 특징들 모두를 제공하지는 않는 실시예들을 포함하는 다른 실시예들이 또한 본 개시의 범주 내에 있다. 본 개시의 범주로부터 벗어남이 없이 다양한 구조적, 논리적, 프로세스 단계 및 전자적 변화들이 이루어질 수 있다. 따라서, 본 개시의 범주는 오직 첨부된 청구항들을 참조하여 정의된다.

[0022] 하기 설명은 당업자가 특정 애플리케이션 및 그의 요건들의 맥락에서 제공되는 바와 같이 본 개시를 실시 및 사용하게 하도록 제시된다. 본 명세서에서 사용되는 바와 같이, 방향성 용어들, 이를테면 "최상부", "바닥", "전방", "후방", "위", "아래", "상부", "상향", "하부", "아래", 및 "하향"은 설명의 목적들을 위해 상대적 위치들을 제공하도록 의도되며, 절대적인 기준 프레임을 지정하도록 의도되지 않는다. 바람직한 실시예에 대한 다양한 수정들은 당업자들에게 용이하게 자명할 것이며, 본 명세서에 정의된 일반적인 원리들은 다른 실시예들에 적용될 수 있다. 따라서, 본 개시는 설명되고 도시된 특정 실시예들로 제한되는 것으로 의도되는 것이 아니라, 본 명세서에 개시된 원리들 및 신규한 특징들에 일치하는 가장 넓은 범위를 따라야 한다.

[0023] 도 1은 본 발명의 예시적인 실시예에 따른, 심 자외선(DUV) 방사, 진공 자외선(VUV) 방사, 극 자외선(EUV) 방사 또는 하전 입자들을 감지하도록 구성된 이미지 센서(100)의 일부분을 도시하는 측단면도이다. 이미지 센서(100)는 제1 에피택셜층의 상부(제1) 표면(102U) 상에 형성된 회로 요소(103) 및 회로 요소(103) 위에 형성된 금속 상호연결부들(110 및 120), 제1 에피택셜층(101)의 하부(제2) 표면(101L) 상에 배치된 제2 에피택셜층(105), 제2 에피택셜층(105)의 하부 표면(105L) 상에 배치된 순수 붕소층(106), 및 순수 붕소층(106)의 하부(외향) 표면(106L) 상에 배치된 선택적인 반사-방지 코팅(108)을 포함하는 반도체 멤브레인(101)을 포함한다.

[0024] 일 실시예에서, 제1 에피택셜층(101)은 10 ㎛ 내지 40 ㎛ 범위의 두께(T1) 및 약 10^{13} cm^{-3} 내지 10^{14} cm^{-3} 범위의 p-형(예를 들어, 붕소) 도펀트 농도를 갖는 적게 p-형 도핑된 에피택셜 실리콘의 층을 포함한다.

[0025] 회로 요소(103)는 공지된 기술들을 사용하여 제1 에피택셜층(101)의 상부(제1) 표면(101U) 상에(즉, 내부 및 위에) 형성되는 센서 디바이스(예를 들어, 감광성 디바이스, 이를테면 포토다이오드) 및 연관된 제어 트랜지스터들을 포함한다. 도시된 예시적인 실시예에서, 회로 요소(103)는 상부 표면(101U)으로부터 에피택셜층(101)의 대응하는 부분들로 연장되는 이격된 n+ 도핑된 확산 영역들(103-11, 103-12 및 103-12), 및 개재된 게이트 산화물층들에 의해 상부 표면(101U)으로부터 각각 분리된 다결정 실리콘(폴리실리콘) 게이트 구조들(103-21 및 103-22)을 포함한다. 제1 금속 상호연결부들(110) 및 제2 금속 상호연결부들(120)은 대응하는 제1 금속 비아들(115) 및 제2 금속 비아들(125)과 함께, 회로 요소(113) 위에 형성되고, 공지된 기술들을 사용하여 회로 요소(113)의 연관된 구역들에 동작가능하게 전기적으로 연결된다. 제1 금속 상호연결부들(110)은 회로 요소(113) 위에 퇴적된 하나 이상의 유전체층들(112) 내에 또는 상에 형성되고, 제1 금속 비아들(115)은 공지된 비아 형성 기술들을 사용하여 유전체층들(112)을 통해 연장된다. 제2 금속 상호연결부들(120)은 제1 금속 상호연결부들(110) 위에 배치된 제2 유전체층(122)에 형성되고, 제2 금속 비아들(125)은 유전체층들(112 및 122) 중 하나 또는 둘 모두를 통해 연장된다. 일 실시예에서, 제1 금속 상호연결부들(110)과 제2 금속 상호연결부들(120) 사이에 보호층(도 1에 도시되지 않음)이 형성되고, 모든 제2 금속 비아들(125)은 알루미늄 및 구리 중 적어도 하나를 포함하고 이러한 보호층을 통해 연장된다. 예시적인 금속 상호연결부들(110 및 120) 및 금속 비아들(115 및 125)과 함께, 도 1에 도시된 회로 요소(103)를 형성하는 예시적인 확산 영역들 및 게이트 구조들은 예시적인 목적들을 위해 임의로 구성되며, 단지 예시적인 회로 요소를 설명하기 위한 목적으로 제공되고, 기능적 센서 디바이스를 표현하거나 첨부된 청구항들을 제한하도록 의도되지 않는다.

[0026] 제2 에피택셜층(101)은 제1 에피택셜층(101)의 하부 표면(101L) 상에 배치되고, 1 ㎚ 내지 100 ㎚의 범위 내의, 더 바람직하게는 약 2 ㎚ 내지 약 20 ㎚의 범위 내의 두께(T2)를 갖는다.

[0027] 도 1의 바닥에 위치된 버블을 참조하면, 본 발명의 일 양상에 따라, 제2 에피택셜층(105)이 하부 표면(102L)에

서 최소(최저) p-형 도핑 농도 n_{p-min}으로부터 상부 표면(106U)에서 최대(최고) p-형 도핑 농도 n_{p-max}까지 체계적으로 증가하는 p-형 도펀트 농도 구배 d_{np}를 갖도록, 제2 에피택셜층(105)은 아래에서 설명되는 프로세싱 기술들을 사용하여 형성된다. 이러한 방식으로 p-형 도펀트 농도 구배 d_{np} 및 제2 에피택셜층(105)을 동시에 형성함으로써 획득되는 이점은, 제1 에피택셜층(101) 내에 유사한 p-형 도펀트 농도 구배를 형성하도록 요구되는 것보다 상당히 낮은 프로세싱 온도들(즉, 약 450℃ 이하)에서 p-형 도펀트 농도 구배 d_{np}를 형성하여(즉, p-형 도펀트를 제1 에피택셜층(101)으로 확산시킴으로써 유사한 구배를 형성하는 것은 적어도 700℃, 바람직하게는 약 800℃ 이상의 프로세싱 온도를 요구함), 저비용 금속화 재료들(예를 들어, 알루미늄 및 구리)의 사용을 용이하게 함으로써 열 버짓을 보존하고 전체 제조 비용을 감소시키는 능력이다. 또한, 제2 에피택셜층(105) 내에 p-형 도펀트 농도 구배 d_{np}를 형성하는 것은, 구배 d_{np} 내에서 p-형 도펀트 농도가 변하는 레이트에 대한 제어를 크게 향상시키며, 이는, 이미지 센서(회로 요소)(103)의 능력을 추가로 향상시켜 고-에너지 광자들을 효율적으로 검출하기 위해 사용될 수 있는 상이한 구배 패턴들(예를 들어, 선형 또는 포물선)을 용이하게 한다. 예를 들어, 도 1의 예시적인 실시예는 음의 Y-축 방향의 함수로써 연속적인 선형 증가로서 p-형 도펀트 농도 구배 d_{np}의 체계적인 증가를 도시한다. 다른 실시예들에서, p-형 도펀트 농도 구배 d_{np}의 점진적인 증가는 두께(음의 Y-축) 방향의 임의의 함수, 이를테면, 연속적으로 만곡된 증가(예를 들어, 층 두께의 함수가 포물선 곡선을 따름에 따라 도핑 농도의 변화) 또는 제2 에피택셜층 형성 프로세스 동안 P-형 도펀트 재료의 도입을 변경하는 것에 의한 불연속적(단계적) 증가에 의해 정의될 수 있다. 임의의 경우에, 제1 형성될 층 부분들(즉, 제2 에피택셜층 형성 프로세스에서 비교적 조기에 발생하는 주어진 시간 기간 동안 생성된 증분층 부분들)은 적어도 하나의 후속하여 형성된 층 부분보다 낮은 p-형 도핑 농도를 갖는다. 예를 들어, 제2 에피택셜층(105)의 (제1) 중간층 부분(105-1)의 p-형 도펀트 농도 np1은 제2 에피택셜층(105)의 (제2) 중간층 부분(105-1)의 p-형 도펀트 농도 np2와 동일하거나 더 낮다. (예를 들어, 도 1에 도시된 예에 도시된 선형 함수와 일치하거나 또는 포물선 방식으로 증가하는 레이트에 기초하여) p-형 도펀트 농도 구배 d_{np}가 두께에 대해 연속적으로 증가하는 방식으로 변할 때, 중간층 부분(105-1)의 p-형 도펀트 농도 np1은 최소 p-형 도핑 농도 n_{p-min}보다 높고(크고), 중간층 부분(105-2)의 p-형 도펀트 농도 np2는 최대 p-형 도핑 농도 n_{p-max}보다 낮다(적다). 그러나, p-형 도펀트 농도 구배 d_{np}가 단계적으로 증가하는 방식으로 변할 때, 특정 p-형 도펀트 농도는 제2 에피택셜층(105)의 두께-별 영역들에 대해 동일하게 유지될 수 있다(예를 들어, 중간층 부분(105-1)의 p-형 도펀트 농도 np1은 최소 p-형 도핑 농도 n_{p-min}과 동일할 수 있다). 예시적인 실시예에서, 최대 p-형 도핑 농도 n_{p-max}는 대략 10^{20} cm^{-3}이고, 최소 p-형 도핑 농도 n_{p-min}은 제1 에피택셜층(101)의 도펀트 농도보다 크거나 또는 대략 동일하다.

[0028] 일 실시예에서, 순수 붕소층(106)이 2 ㎚ 내지 10 ㎚의 범위 내의 두께(T3)를 갖도록, 아래에서 설명되는 기술들을 사용하여 순수 붕소층(106)이 형성된다. 일 실시예에서, 순수 붕소층(106)은 80% 이상의 붕소 농도를 포함하며, 상호-확산된 실리콘 원자들 및 산소 원자들은 주로 나머지 20% 이하를 구성한다.

[0029] 하나의 특정 실시예에서, 순수 붕소층(106)의 두께(T3)는 3 ㎚ 내지 10 ㎚의 범위 내이고, 선택적인 반사-방지 코팅(108)은 순수 붕소층(106)의 하부(외향) 표면(106L) 상에 퇴적된 실리콘 이산화물층을 포함한다.

[0030] 도 2는 이미지 센서를 제조하기 위한 예시적인 기술(200)을 예시한다. 이 실시예에서, 회로 요소들은 리소그래피, 퇴적, 이온 주입, 어닐링 및 에칭을 포함하는 표준 반도체 프로세싱 단계들을 사용하여 단계(201)에서 생성될 수 있다. 일 실시예에서, CCD 및/또는 CMOS 센서 요소들 및 디바이스들은 또한 단계(201)에서 생성될 수 있다. 이들 회로 요소들은 웨이퍼의 전방-측 표면 상의 제1 에피택셜(epi)층에 생성된다. 바람직한 실시예들에서, 제1 에피택셜층은 두께가 약 10 ㎛ 내지 40 ㎛이다. 제1 에피택셜층은 약하게 p(p-) 도핑된다. 일 실시예에서, 제1 에피택셜층 저항률은 약 10 내지 100 Ω㎝이다. 단계(201)에서, 알루미늄, 구리, 텅스텐, 몰리브덴 또는 코발트를 포함하는 임의의 적합한 금속을 사용하여 금속 상호연결부들이 생성된다. 제1 금속 상호연결부들 및 연관된 금속 비아들을 형성하기 위한 내화성 금속들, 이를테면 텅스텐 또는 몰리브덴의 사용은 후속 단계들, 특히 단계들(209 및/또는 211)에서 높은 온도들(이를테면, 약 600℃ 초과의 온도들)을 허용할 수 있다. 그러나, 후속 단계들에서의 온도들이 약 450℃ 이하로 제한될 때, 구리 및 알루미늄을 포함하는 임의의 편리한 금속이 제2 금속 상호연결부들 및 연관된 금속 비아들을 형성하는 데 사용될 수 있다.

[0031] 단계(203)에서, 웨이퍼의 전방-측 표면이 보호될 수 있다. 이러한 보호는 단계(201) 동안 형성된 회로 요소들의 최상부 상에 하나 이상의 보호층들을 퇴적하는 것을 포함할 수 있다. 하나 이상의 보호층들은 실리콘 이산

화물, 실리콘 질화물 또는 다른 재료를 포함할 수 있다. 이러한 보호는, 실리콘 웨이퍼, 석영 웨이퍼, 또는 다른 재료로 제조된 웨이퍼와 같은 핸들링 웨이퍼에 웨이퍼를 부착하는 것을 포함할 수 있다. 핸들링 웨이퍼는 회로 요소들에 연결하기 위한 웨이퍼 관통 비아들을 포함할 수 있다.

[0032] 단계(205)는 적어도, 활성 센서 영역들에서 제1 에피택셜층을 노출시키도록, 후방-측으로부터 웨이퍼를 시닝하는 것을 수반한다. 이 단계는 연마, 에칭, 또는 둘 모두를 수반할 수 있다. 일부 실시예들에서, 전체 웨이퍼가 후방-시닝된다. 다른 실시예들에서, 활성 센서 영역들만이 제1 에피택셜층까지 시닝된다.

[0033] 단계(207)는 제2 에피택셜층의 퇴적 전에 후방-측 표면을 세정 및 준비하는 것을 포함한다. 이러한 세정 동안, 유기물들 및 금속들을 포함하는 임의의 오염물들 및 자연 산화물이 후방-측 표면으로부터 제거되어야 한다. 일 실시예에서, 이러한 세정은 희석된 HF 용액을 사용하여 또는 RCA 세정 프로세스를 사용하여 수행될 수 있다. 세정 후에, 웨이퍼는 마랑고니(Marangoni) 건조 기술 또는 유사한 기술을 사용하여 건조되어, 표면을 건조하게 유지하고 워터 마크들이 제거할 수 있다.

[0034] 바람직한 실시예들에서, 웨이퍼는, 세정 후에 자연 산화물 재성장을 최소화하기 위해, 단계들(207 및 208) 사이의 제어된 환경에서(예를 들어, 진공 환경에서 또는 질소와 같은 건조한 불활성 가스로 퍼징된 환경에서) 보호된다.

[0035] 단계(208)에서, 제2 에피택셜 실리콘층은 적어도 제1 에피택셜층의 노출된 부분 상에서 성장(퇴적)된다. 일 실시예에서, 제2 에피택셜층은 약 350℃ 이하의 온도에서 분자-빔 에피택시(MBE) 또는 다른 프로세스에 의해 성장된다. 다른 실시예에서, 제2 에피택셜층은 약 450℃ 이하의 온도에서 화학 기상 증착(CVD) 또는 플라즈마-강화 CVD(PECVD) 프로세스에 의해 성장된다. 도 3a 내지 도 3c에 도시된 바와 같이, 제2 에피택셜층(105A)은, p-도핑된 에피택셜 실리콘층을 생성하기 위해, 실리콘 및 붕소와 같은 p-형 도펀트 둘 모두를 함유하는 가스(G)를 사용하여 반응 챔버에서 성장될 수 있다. 도 3a를 참조하면, 퇴적 프로세스 초기에 가스(G)는 비교적 적은 양(P0)의 p-형 도펀트를 포함하며, 이로써 최소 p-형 도펀트 농도 n_{p-min}이 제1 epi층(102)의 표면(102L)에 근접하게 생성되도록 제1 층 부분(105A0)이 형성된다. 퇴적이 진행됨에 따라, 제1 에피택셜층으로부터 추가로 배치된 제2 에피택셜층 부분들 내의 p-형 도펀트 농도가 증가되도록 동일한 양의 실리콘을 유지하면서, 선택된 스케줄에 따라 가스(G) 내의 p-형 도펀트의 양(농도)이 증가된다. 예를 들어, 도 3b에 표시된 바와 같이, 에피택셜 퇴적 프로세스의 중간 스테이지 동안, 퇴적 프로세스 가스(G)는 도 3a에 표시된 포인트에서 사용된 양(P0)보다 더 많은 중간 양(P1)의 p-형 도펀트를 포함하고, 그에 의해, 중간층 부분(105A1)은 최소 p-형 도펀트 농도 n_{p-min}보다 더 큰 중간 p-형 도펀트 농도 n_{p-int}로 형성된다. 유사하게, 도 3c에 표시된 바와 같이, 에피택셜 퇴적 프로세스의 최종 스테이지 동안, 퇴적 프로세스 가스(G)는 중간 량(P1)보다 더 많은 최종 양(P2)의 p-형 도펀트를 포함하고, 그에 의해, 최종층 부분(105A2)은 중간 p-형 도펀트 농도 n_{p-int}보다 더 큰 최대 p-형 도펀트 농도 n_{p-max}로 형성된다. 대안적인 실시예들에서, 제2 에피택셜층을 성장시키기 위해 사용되는 가스(G)는 원소 형태의 실리콘 또는 붕소를 포함할 수 있거나, 또는 실리콘을 위한 실란(silane) 또는 붕소를 위한 디보란(diborane)과 같은 전구체들을 포함할 수 있다.

[0036] 단계(209)에서, 제2 에피택셜층의 표면 상에 붕소가 퇴적된다. 하나의 바람직한 실시예에서, 이러한 퇴적은 약 300℃ 내지 약 450℃의 온도로 질소로 희석된 디보란 또는 디보란-수소 혼합물을 사용하여 수행될 수 있으며, 그에 의해 고-순도 비정질 붕소층을 생성한다. 대안적인 실시예에서, 퇴적은, 예를 들어, 붕소 원소(elemental boron)를 함유하는 가스를 사용함으로써, 약 350℃ 미만의 온도에서 수행될 수 있다. 퇴적된 붕소층의 두께는 센서에 대한 의도된 애플리케이션에 의존한다. 전형적으로, 붕소층 두께는 약 2 ㎚ 내지 20 ㎚, 바람직하게는 약 3 ㎚ 내지 10 ㎚일 것이다. 최소 두께는 핀홀이 없는 균일한 막에 대한 필요성에 의해 설정되는 반면, 최대 두께는 붕소에 의한 관심 광자들 또는 하전 입자들의 흡수뿐만 아니라 퇴적 온도에서 웨이퍼가 유지될 수 있는 최대 시간 길이에 의존한다.

[0037] 디보란 가스로부터 붕소를 퇴적하는 것에 대한 더 많은 세부사항들은 "Chemical vapor deposition of a-boron layers on silicon for controlled nanometer-deep p+-n junction formation," Sarubbi et al., J. Electron. Material, vol. 39, pp. 162-173, 2010에서 발견될 수 있고, 이는 본원에 참조로 통합된다.

[0038] 단계(209) 후에, 다른 층들이 붕소층의 최상부 상에 퇴적될 수 있다. 이들 다른 층들은 하나 이상의 재료들, 이를테면, 실리콘 이산화물, 실리콘 질화물, 알루미늄 산화물, 하프늄 이산화물, 마그네슘 불화물, 및 리튬 불화물로 구성된 반사-방지 코팅들을 포함할 수 있다. 이들 다른 층들은 알루미늄, 루테늄, 텅스텐 또는 몰리브덴과 같은 금속을 포함하는 얇은 보호층을 포함할 수 있다. 이들 다른 층들 중 하나 이상은 ALD를 사용하여 퇴

적될 수 있다. 이들 층들을 퇴적하기 위해 ALD 프로세스를 사용하는 이점은, ALD 프로세스들이 전형적으로 퇴적된 층(들)의 두께의 매우 정밀한(단일 단층) 제어를 허용한다는 것이다. 대안적인 실시예에서, 다른 층들이 단계(213) 후에 붕소층의 최상부 상에 퇴적될 수 있다.

[0039] 일 실시예에서, 보호 전방-측 층은 단계(213)에서 제거될 수 있다. 다른 실시예에서, 단계(213)에서, 홀들 또는 비아들이 핸들링 웨이퍼 및/또는 보호 전방-측 층에서 개방 또는 노출될 수 있거나, 또는 디바이스의 에지들 주위의 실리콘 관통 비아들이 노출될 수 있고, 이로써 회로 요소들에 대한 연결을 가능하게 할 수 있다.

[0040] 단계(215)에서, 결과적인 구조는 적합한 패키지에 패킹될 수 있다. 패킹 단계는 기판에 대한 디바이스의 플립-칩 본딩 또는 와이어 본딩을 포함할 수 있다. 패키지는 관심 파장들을 투과시키는 윈도우를 포함할 수 있거나, 또는 진공 밀봉부에 대한 계면을 위한 플랜지 또는 밀봉부를 포함할 수 있다.

[0041] 도 4a 내지 도 4g는 방법(200)(도 2)을 거친 웨이퍼의 예시적인 단면들을 예시한다. 도 4a는 기판(401)의 전방 측 상에 형성된 제1 에피택셜(epi)층(402)을 예시한다. 제1 epi층(402)은 바람직하게는 p-epi층이다. 일 실시예에서, 제1 epi층 저항률은 약 100 내지 1000 Ω㎝이다.

[0042] 도 4b는 위의 단계(201)에서 설명된 바와 같이 제1 epi층(402) 상에 형성될 수 있는 상호연결부들을 포함하는 다양한 회로 요소들(403)을 예시한다. 기판이 여전히 수백 미크론 두께이고 따라서 심하게 뒤틀리지 않는 동안 상호연결부들이 웨이퍼 상에 형성되기 때문에, 이들 상호연결부들은 정상 서브-미크론 CMOS 프로세싱 기술들을 사용하여 형성될 수 있고, 고밀도 금속 상호연결부들의 다수의 층들을 포함할 수 있다. 금속 상호연결부들은 구리, 알루미늄, 텅스텐, 몰리브덴 또는 코발트와 같은 금속을 포함한다. 일 실시예에서, 금속 상호연결부들은 전적으로 내화성 금속들로 이루어진다. 일 실시예에서, 회로 요소들(403)에 대한 연결을 허용하기 위해, 다수의 실리콘 관통 비아들(TSV)(403A)이 이미지 센서 어레이의 하나 이상의 에지들 주위에 생성된다.

[0043] 도 4c는 회로 요소들(403) 위의 제1 epi층(402)의 최상부 표면에 부착된 핸들링 웨이퍼(404)를 예시한다(단계(203)). 실리콘 관통 비아들이 도시되지만, 도면들을 지나치게 복잡하게 하지 않도록 라벨링되지 않음에 유의한다. 대안적인 실시예에서, 웨이퍼(404)를 핸들링하는 대신에 또는 그에 추가하여, 보호층이 사용될 수 있다. 일 실시예(도시되지 않음)에서, 회로 요소들(403)에 대한 연결을 가능하게 하기 위해, 비아들이 핸들링 웨이퍼(404)에 형성된다.

[0044] 도 4d는 위에서 언급된 반도체 멤브레인을 형성하기 위해 기판(예를 들어, 도 4c에 도시된 기판(401))이 후방-시닝되거나 또는 제1 epi층(402)의 후방-측(하부) 표면(402L)(즉, 회로 요소들(403)이 형성되거나 핸들링 웨이퍼(404)가 부착되는 표면 반대쪽)을 노출시키기 위해 제거된 후의 웨이퍼를 예시한다. 도 4d에 도시된 바와 같이, 후방-측 표면(402L) 상에 자연 산화물이 형성될 수 있으며, 이는 후방-시닝 프로세스에 의해 노출된다.

[0045] 도 4e는 제2 에피택셜(epi)층의 형성을 위해 제1 epi층(402)을 준비하기 위해 후방-측 표면(402L)의 세정 및 준비가 완료(단계(207))된 후의 웨이퍼를 예시한다.

[0046] 도 4f는 제2 epi층(405)이 제1 epi층(402)의 후방-측 표면(402L) 상에 형성되고, 순수 붕소층(406)이 제2 epi층(405)의 하부 표면(405L) 상에 각각 형성된 후의 웨이퍼를 예시한다(단계들(208및 209)). (단계(208)에 대해 위에서 설명된 바와 같이) 성장 동안 제2 epi층(405)의 인-시튜 p-형 도핑은 제1 epi층(402)의 바닥(후방-측) 표면(402L)으로부터 순수 붕소층(406)의 하부 표면(405L)으로 증가하는 도펀트 농도 프로파일을 생성한다.

[0047] 도 4g는 순수 붕소층(406)의 바닥/하부 표면(406L)이 퇴적된 하나 이상의 선택적인 반사-방지 또는 보호층들(408)을 예시한다. 층들 중 적어도 하나는 ALD 프로세스를 사용하여 퇴적될 수 있다.

[0048] 도 4h는 TSV들(403A)에 대한 전기적 연결을 가능하게 하기 위해 에칭 및 퇴적 단계들이 금속 패드들(407)을 생성한 후의 웨이퍼를 예시한다(단계(213)). 비아들이 핸들링 웨이퍼(404)에 형성되면, 금속 패드(407)가 핸들링 웨이퍼(404)의 최상부 표면 상에 형성되어야 한다는 것에 유의한다.

[0049] 위의 예들은 본원에 개시된 본 발명의 범위를 제한하는 것으로 의도되지 않는다. 이들은 단지 p-형 도핑된 제2 에피택셜층이 제1 에피택셜층의 후방-측 표면 상에 퇴적될 수 있는 방법의 예시들로서의 의미이다. 제2 에피택셜층은 후속하여 그의 감광성 표면 상에 붕소층으로 코팅된다. 제2 에피택셜층은 붕소에 근접한 그의 최대 값을 갖는 p-형 도펀트의 농도 구배를 포함하기 때문에, 이미지 센서는 에피택셜층들 내로 단지 수 ㎚, 또는 수십 ㎚ 침투할 수 있는 단파장 광 또는 저-에너지 하전 입자들에 대해서도 높은 효율을 갖는다.

[0050] 도 5는 본 발명의 특정 실시예들에 따른, 이미지 센서(504), 실리콘 인터포저(502) 및 다른 전자장치를 통합하

는 예시적인 검출기 조립체(500)를 예시한다.

[0051] 본 발명의 일 양상에서, 검출기 조립체(500)는 인터포저(502)의 표면 상에 배치된 하나 이상의 감광성 센서들(504)을 포함할 수 있다. 일 실시예에서, 조립체(500)의 하나 이상의 인터포저들(502)은 실리콘 인터포저를 포함할 수 있지만 이에 제한되지 않는다. 본 발명의 추가적인 양상에서, 조립체(500)의 하나 이상의 감광성 센서들(504)은 후방-시닝되고 위에서 설명된 바와 같이 붕소층 및 붕소층에 근접한 p-형 도핑된 제2 에피택셜층을 포함하는 후방-조명을 위해 추가로 구성된다.

[0052] 본 발명의 다른 양상에서, 조립체(500)의 다양한 회로 요소들은 인터포저(502) 상에 배치되거나 또는 그 안에 구축될 수 있다. 일 실시예에서, 하나 이상의 증폭 회로들(예를 들어, 전하 변환 증폭기)(도시되지 않음)이 인터포저(502) 상에 배치되거나 또는 그 안에 구축될 수 있다. 다른 실시예에서, 하나 이상의 변환 회로들(508)(예를 들어, 아날로그-디지털 변환 회로들, 즉, 디지타이저들(508))이 인터포저(502) 상에 배치되거나 또는 그 안에 구축될 수 있다. 다른 실시예에서, 하나 이상의 구동기 회로들(506)이 인터포저(502) 상에 배치되거나 또는 그 안에 구축될 수 있다. 예를 들어, 하나 이상의 구동기 회로들(506)은 타이밍/직렬 구동 회로를 포함할 수 있다. 예를 들어, 하나 이상의 구동기 회로들(506)은 클록 구동기 회로부 또는 리셋 구동기 회로부를 포함할 수 있지만 이에 제한되지 않는다. 다른 실시예에서, 하나 이상의 디커플링 커패시터들(도시되지 않음)이 인터포저(502) 상에 배치되거나 또는 그 안에 구축될 수 있다. 추가적인 실시예에서, 하나 이상의 직렬 송신기들(도 5에 도시되지 않음)이 인터포저(502) 상에 배치되거나 또는 그 안에 구축될 수 있다. 다른 실시예에서, 증폭 회로들, 아날로그-디지털 변환기 회로들 및 구동기 회로들 중 하나 이상이 감광성 센서(504)에 포함될 수 있어서, 506 및 508과 같은 회로들의 수를 감소시킬 수 있다(또는 이에 대한 필요성을 제거함).

[0053] 본 발명의 다른 양상에서, 센서(504)에 대한 물리적 지지를 제공하기 위해, 감광성 어레이 센서(504)의 바닥 표면과 인터포저(502)의 최상부 표면 사이에 하나 이상의 지지 구조들이 배치될 수 있다. 일 실시예에서, 센서(504)에 대한 물리적 지지를 제공하기 위해, 감광성 어레이 센서(504)의 바닥 표면과 인터포저(502)의 최상부 표면 사이에 복수의 솔더 볼들(516)이 배치될 수 있다. 본 명세서에서, 센서(504)의 촬영 영역이 외부 전기 연결부들을 포함하지 않을 수 있지만, 센서(504)의 후방-시닝은 센서(504)가 점점 더 유연해지게 한다는 것이 인식된다. 따라서, 솔더 볼들(516)은 센서(504)의 촬영 부분을 강화하는 방식으로 센서(504)를 인터포저(502)에 연결하기 위해 활용될 수 있다. 대안적인 실시예에서, 센서(504)에 대한 물리적 지지를 제공하기 위해, 감광성 어레이 센서(504)의 바닥 표면과 인터포저(502)의 최상부 표면 사이에 언더필(underfill) 재료가 배치될 수 있다. 예를 들어, 감광성 어레이 센서(504)의 바닥 표면과 인터포저(502)의 최상부 표면 사이에 에폭시 수지가 배치될 수 있다.

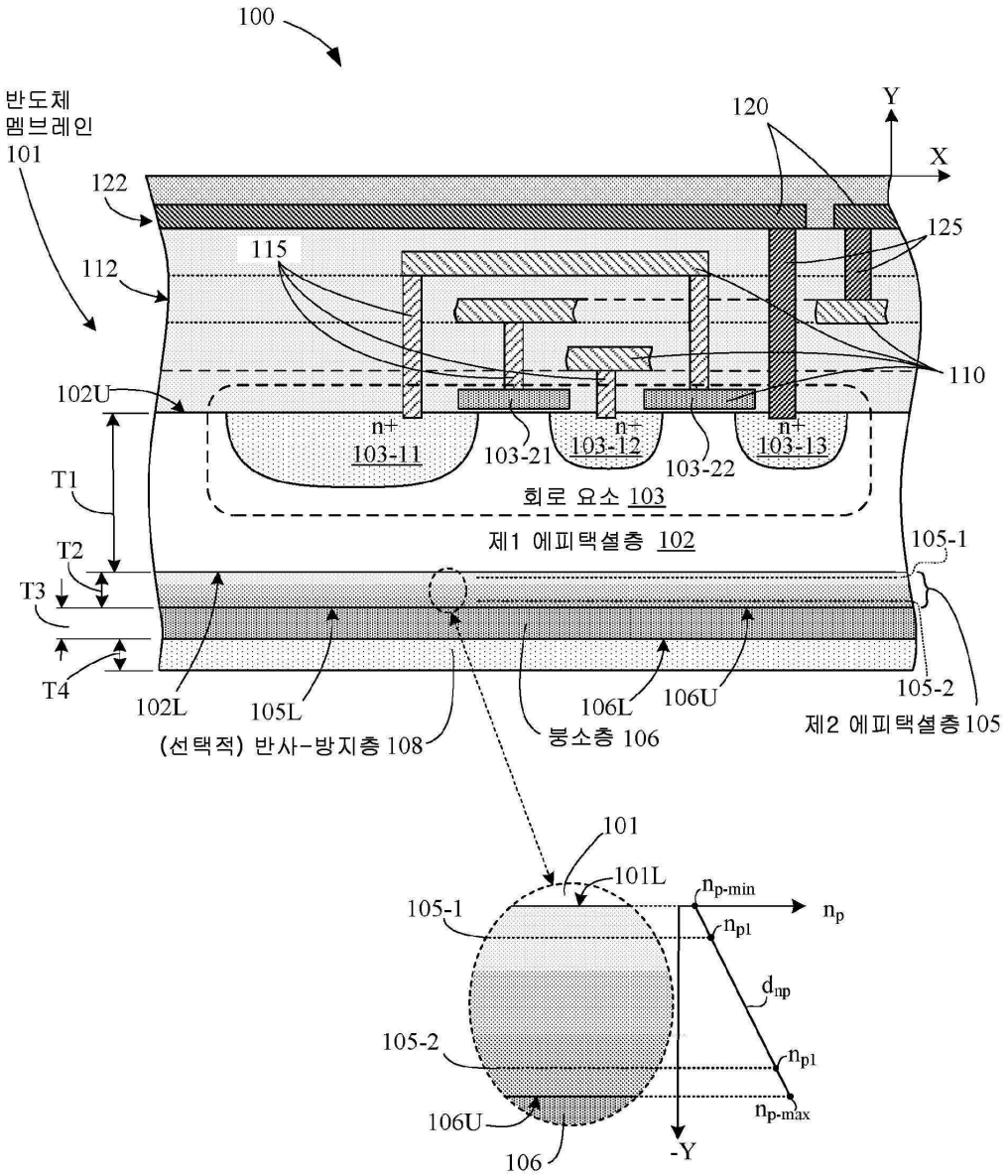
[0054] 본 발명의 다른 양상에서, 인터포저(502) 및 다양한 추가적인 회로부(예를 들어, 증폭 회로, 구동기 회로들(506), 디지타이저 회로들(508) 등)는 기판(510)의 표면 상에 배치된다. 추가적 양상에서, 기판(510)은 높은 열 전도도를 갖는 기판(예를 들어, 세라믹 기판)을 포함한다. 이와 관련하여, 기판(510)은 센서(504)/인터포저(502) 조립체에 물리적 지지를 제공하는 한편, 조립체(500)가 촬영 센서(504) 및 다양한 다른 회로부(예를 들어, 디지타이저(506), 구동기 회로부(508), 증폭기 등)로부터 멀리 열을 효율적으로 전도하기 위한 수단을 또한 제공하도록 구성된다. 기판이 당해 기술 분야에 공지된 임의의 강성 고열 전도성 기판 재료를 포함할 수 있다는 것이 본 명세서에서 인식된다. 예를 들어, 기판(510)은 세라믹 기판을 포함할 수 있지만 이에 제한되지 않는다. 예를 들어, 기판(510)은 알루미늄 질화물을 포함할 수 있지만 이에 제한되지 않는다.

[0055] 다른 실시예에서, 기판(510)은 소켓 또는 하부 인쇄 회로 기판(PCB)에 대한 계면을 제공하도록 구성될 수 있다. 예를 들어, 도 5에 도시된 바와 같이, 기판(510)은 상호연결부들(512)을 통해 인터포저(502)와 소켓 또는 PCB 사이의 상호연결부를 제공할 수 있다. 당업자들은 기판(510)이 하부 PCB에 동작가능하게 결합될 수 있고, 다양한 방식들로 소켓 또는 PCB에 추가로 전기적으로 결합될 수 있으며, 이들 모두가 본 발명의 범위 내에 있는 것으로 해석된다는 것을 인식할 것이다.

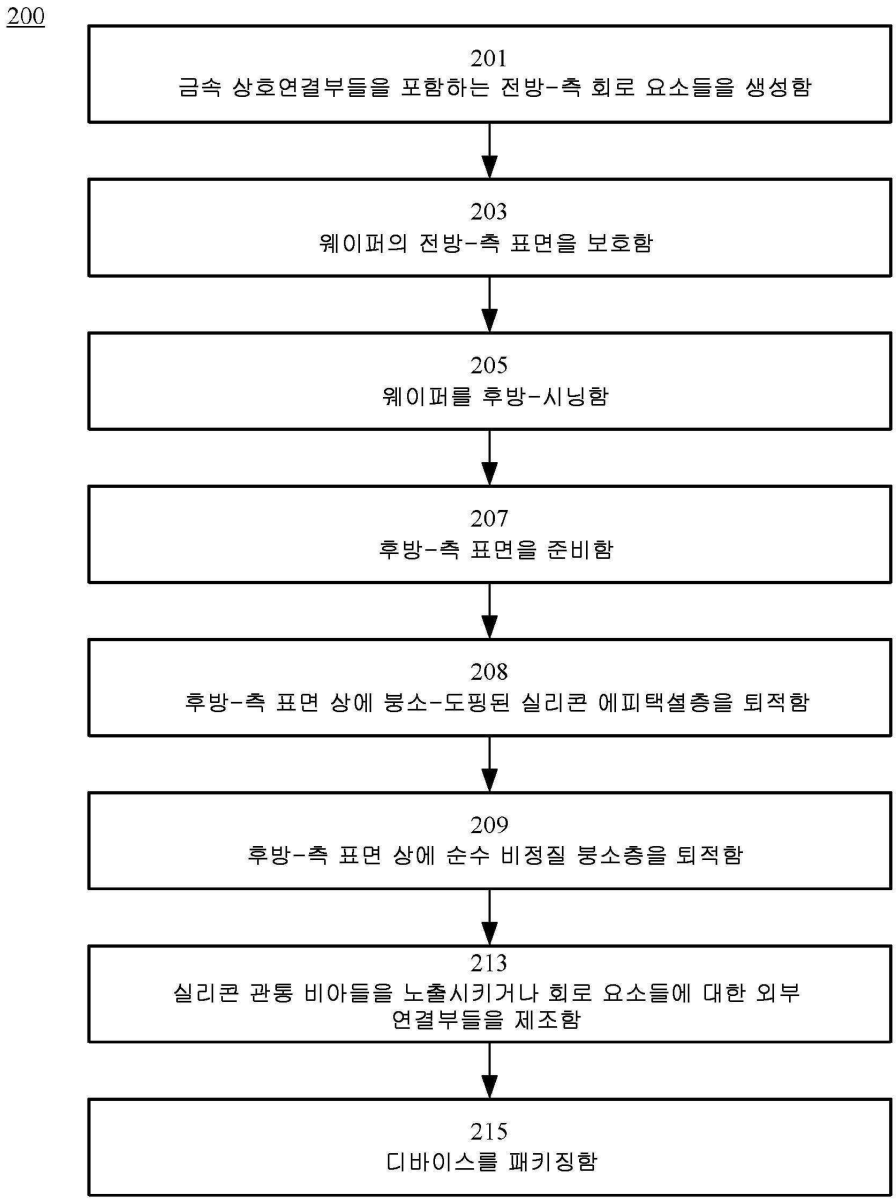
[0056] 위에서 설명된 본 발명의 구조들 및 방법들의 다양한 실시예들은 단지 본 발명의 원리들을 예시하는 것이며, 본 발명의 범위를 설명된 특정 실시예들로 제한하도록 의도되지 않는다. 예를 들어, 도 2에 도시된 흐름도에 추가적인 단계들이 추가될 수 있거나, 또는 도시된 단계들 중 일부는 도시된 것과 상이한 시퀀스로 수행될 수 있다. 따라서, 본 발명은 다음의 청구항들 및 이들의 등가물들에 의해서만 제한된다.

도면

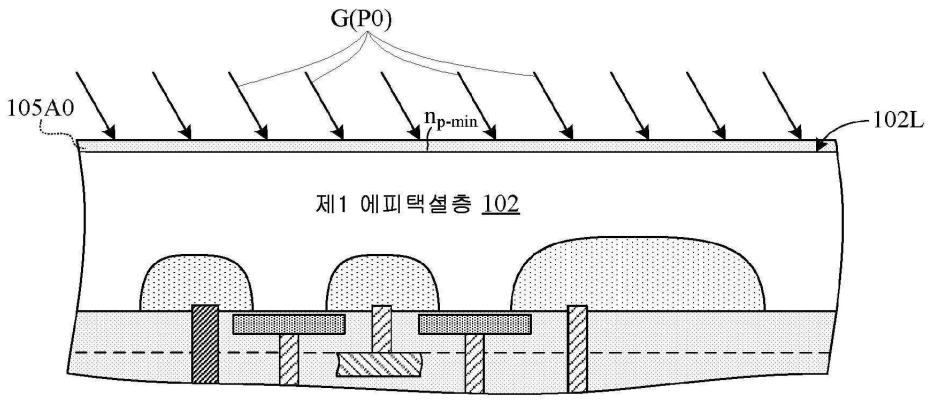
도면1


100
반도체
멤브레인
101
120
Y
X
122
125
115
112
110
102U
n+
103-11
103-21
n-
103-12
103-22
n+
103-13
회로 요소 103
제1 에피택셜층 102
105-1
T1
T2
T3
T4
102L
105L
106L
106U
105-2
제2 에피택셜층 105
(선택적) 반사-방지층 108
붕소층 106
101
101L
105-1
$n_{p\text{-}min}$
n_p
n_{p1}
d_{np}
105-2
n_{p1}
$n_{p\text{-}max}$
106U
106
-Y

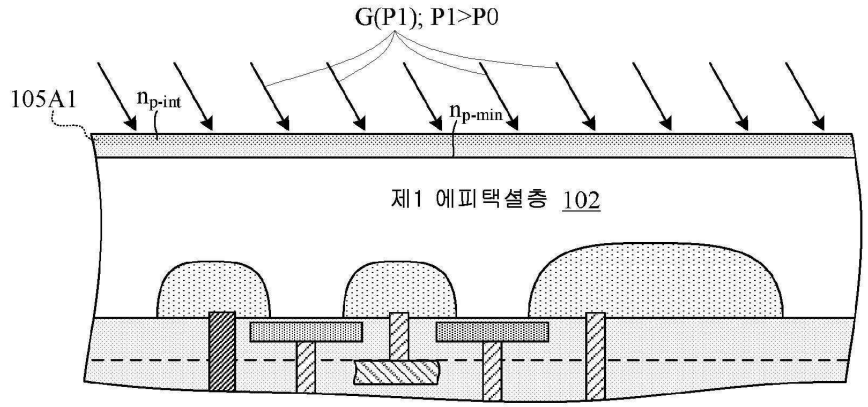
도면2


200
201
금속 상호연결부들을 포함하는 전방-측 회로 요소들을 생성함
203
웨이퍼의 전방-측 표면을 보호함
205
웨이퍼를 후방-시닝함
207
후방-측 표면을 준비함
208
후방-측 표면 상에 붕소-도핑된 실리콘 에피택셜층을 퇴적함
209
후방-측 표면 상에 순수 비정질 붕소층을 퇴적함
213
실리콘 관통 비아들을 노출시키거나 회로 요소들에 대한 외부 연결부들을 제조함
215
디바이스를 패키징함

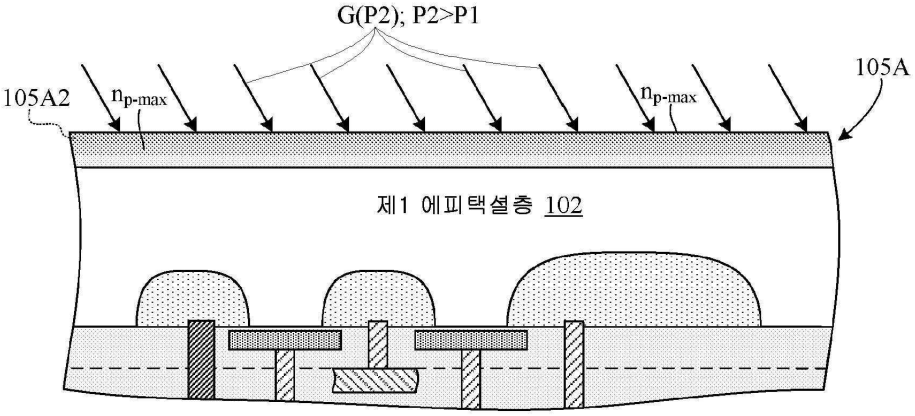
도면3a


G(P0)
105A0
$n_{p\text{-}min}$
102L
제1 에피택셜층 102

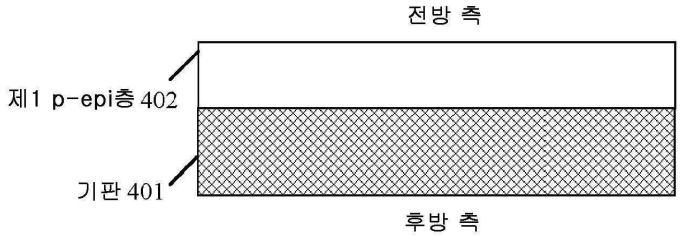
도면3b



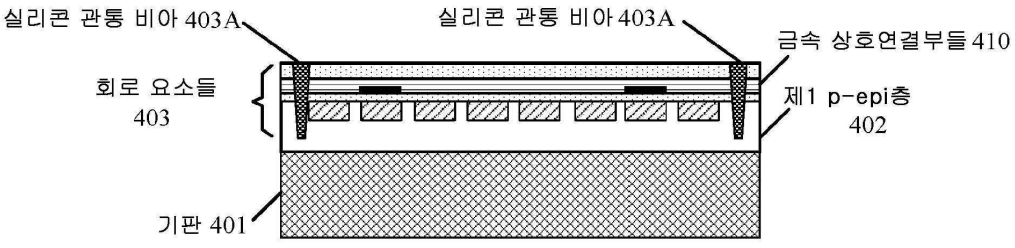
도면3c



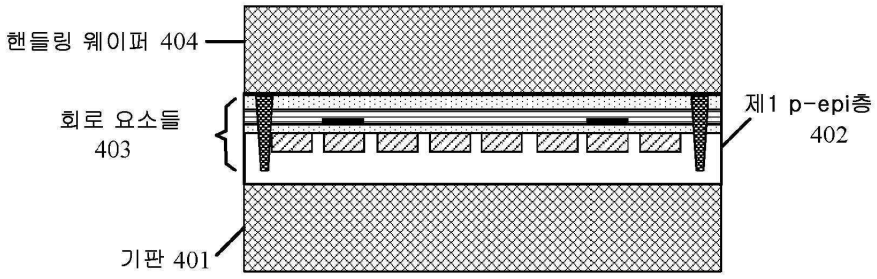
도면4a



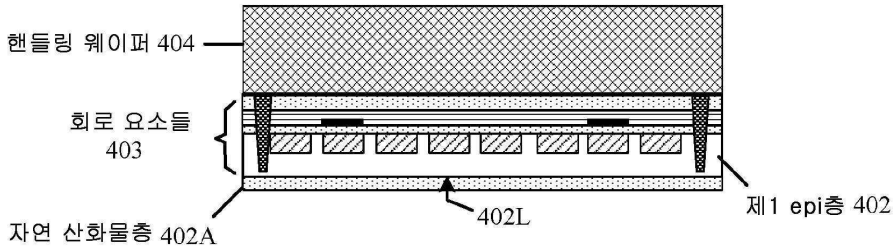
도면4b



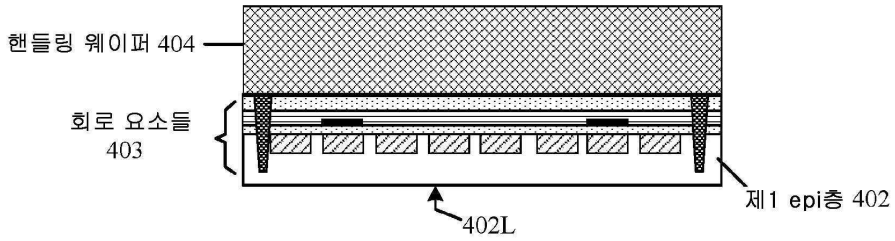
도면4c



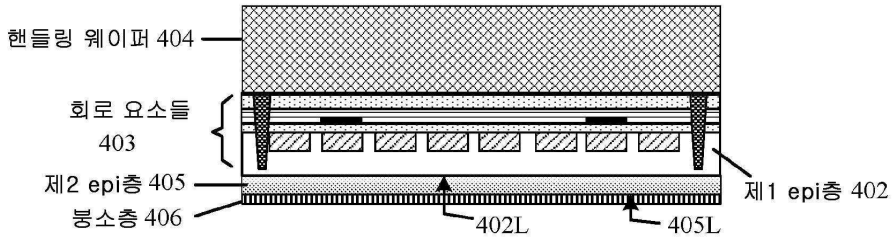
도면4d



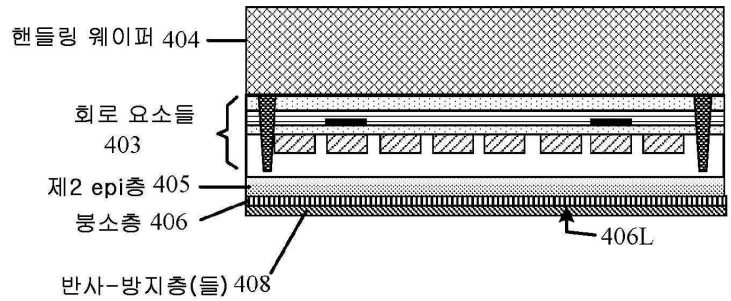
도면4e



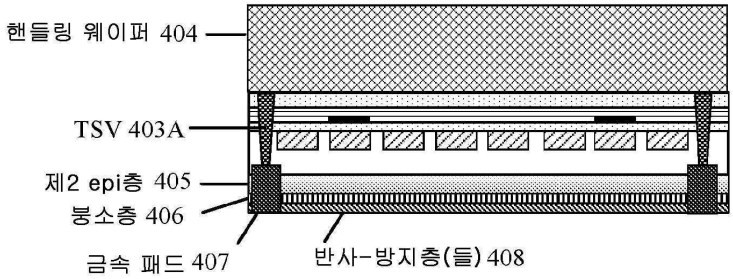
도면4f



도면4g


핸들링 웨이퍼 404
회로 요소들
403
제2 epi층 405
붕소층 406
406L
반사-방지층(들) 408

도면4h


핸들링 웨이퍼 404
TSV 403A
제2 epi층 405
붕소층 406
금속 패드 407
반사-방지층(들) 408

도면5

