



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0112862
(43) 공개일자 2010년10월20일

(51) Int. Cl.

H01L 27/115 (2006.01) *G11C 16/02* (2006.01)

(21) 출원번호 10-2009-0031368

(22) 출원일자 2009년04월10일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

정재훈

경기 수원시 영통구 영통동 신동탄대우푸르지오아파트 305동 1206호

김한수

경기도 수원시 영통구 영통동 청명로 100 삼성래미안아파트 431동 601호

(뒷면에 계속)

(74) 대리인

오세준, 송윤호, 권혁수

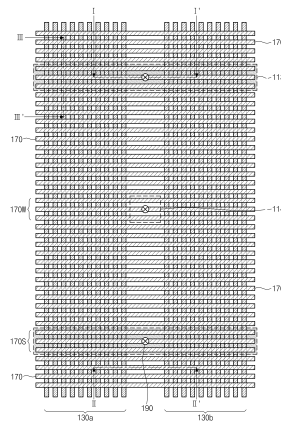
전체 청구항 수 : 총 9 항

(54) 비휘발성 메모리 장치

(57) 요약

3차원 구조의 비휘발성 메모리 장치가 제공된다. 이 비휘발성 메모리 장치는 반도체 기판 상에 3차원적으로 배열된 복수의 라인 형태의 도전 패턴들을 각각 가지되, 서로 이격된 셀 어레이들, 반도체 기판으로부터 연장되어 도전 패턴들의 일 측벽들을 가로지르는 반도체 패턴들, 도전 패턴들이 연장되는 방향으로 반도체 패턴들 하부의 반도체 기판 내에 제공되는 공통 소오스 영역들, 도전 패턴들과 교차하는 방향으로 연장되어 공통 소오스 영역들을 전기적으로 연결하도록, 반도체 기판 내에 제공되는 공통 소오스 라인 스트래핑 영역, 및 이격된 셀 어레이들 사이의 공통 소오스 라인 스트래핑 영역의 일부를 노출하는 제 1 콘택 홀을 포함한다.

대표도 - 도2a



(72) 발명자

장재훈

경기 성남시 분당구 수내동 양지마을청구아파트
210동 103호

조후성

경기 용인시 기흥구 구갈동 강남마을 코오롱하늘채
수 101동 303호

김경훈

경기도 용인시 수지구 죽전동 한솔노블빌리지 117
동 201호

특허청구의 범위

청구항 1

반도체 기관 상에 3차원적으로 배열된 복수의 라인 형태의 도전 패턴들을 각각 가지되, 서로 이격된 셀 어레이들;

상기 반도체 기관으로부터 연장되어 상기 도전 패턴들의 일 측벽들을 가로지르는 반도체 패턴들;

상기 도전 패턴들이 연장되는 방향으로 상기 반도체 패턴들 하부의 상기 반도체 기관 내에 제공되는 공통 소오스 영역들;

상기 도전 패턴들과 교차하는 방향으로 연장되어 상기 공통 소오스 영역들을 전기적으로 연결하도록, 상기 반도체 기관 내에 제공되는 제 1 불순물 영역; 및

상기 이격된 셀 어레이들 사이의 상기 제 1 불순물 영역의 일부를 노출하는 제 1 콘택 홀을 포함하는 비휘발성 메모리 장치.

청구항 2

제 1항에 있어서,

상기 셀 어레이들 사이의 이격 거리는 상기 도전 패턴들 사이의 이격 거리보다 큰 것을 특징으로 하는 비휘발성 메모리 장치.

청구항 3

제 1항에 있어서,

상기 제 1 불순물 영역은 상기 공통 소오스 영역들의 도전형과 동일한 도전형을 갖는 것을 특징으로 하는 비휘발성 메모리 장치.

청구항 4

제 1항에 있어서,

상기 제 1 콘택 홀을 채우는 콘택 플러그; 및

상기 콘택 플러그에 전기적으로 연결되면서, 상기 제 1 불순물 영역이 연장되는 방향 또는 상기 제 1 불순물 영역과 교차하는 방향으로 제공되는 공통 소오스 라인을 더 포함하는 것을 특징으로 하는 비휘발성 메모리 장치.

청구항 5

제 1항에 있어서,

상기 제 1 불순물 영역으로부터 이격되어 상기 이격된 셀 어레이들 사이에 제공되는 제 2 불순물 영역을 더 포함하되,

상기 제 2 불순물 영역은 상기 제 1 불순물 영역의 도전형과 다른 도전형을 갖는 것을 특징으로 하는 비휘발성 메모리 장치.

청구항 6

제 5항에 있어서,

상기 제 2 불순물 영역의 일부를 노출하는 제 2 콘택 홀을 더 포함하는 것을 특징으로 하는 비휘발성 메모리 장치.

청구항 7

반도체 기관 상에 차례로 적층된 평판 형태의 도전 패턴들을 가지되, 서로 이격된 셀 어레이들;

상기 반도체 기관으로부터 수직하게 연장되어 상기 도전 패턴들을 관통하는 반도체 패턴들;

상기 반도체 기판 내의 전면에 제공되는 공통 소오스 영역; 및

상기 이격된 셀 어레이들 사이의 상기 공통 소오스 영역의 일부를 노출하는 제 1 콘택 홀을 포함하는 비휘발성 메모리 장치.

청구항 8

제 7항에 있어서,

상기 도전 패턴들 각각의 면적은 상기 반도체 기판으로부터 적층되는 방향으로 갈수록 작아지는 것을 특징으로 하는 비휘발성 메모리 장치.

청구항 9

제 7항에 있어서,

상기 제 1 콘택 홀을 채우는 콘택 플러그; 및

상기 콘택 플러그에 전기적으로 연결되면서, 상기 셀 어레이들이 연장되는 방향 또는 상기 셀 어레이들과 교차하는 방향으로 제공되는 공통 소오스 라인을 더 포함하는 것을 특징으로 하는 비휘발성 메모리 장치.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 비휘발성 메모리 장치에 관한 것으로, 더 구체적으로 셀 어레이의 크기를 증가시키지 않으면서 보다 높은 집적도를 갖는 3차원 구조의 비휘발성 메모리 장치에 관한 것이다.

배경 기술

[0002] 일반적으로 비휘발성 메모리 장치(nonvolatile memory device)란, 전기적으로 데이터(data)의 소거(erase) 및 저장(program)이 가능하고 전원이 차단되어도 데이터의 보존이 가능한 소자이다. 이에 따라 최근 다양한 분야에서 비휘발성 메모리 장치의 사용이 증가하고 있다.

[0003] 이러한 비휘발성 메모리 장치는 다양한 형태의 메모리 셀 트랜지스터(memory cell transistor)로 구성되어 있으며, 셀 어레이(cell array) 구조에 따라 크게 낸드형(NAND type)과 노어형(NOR type)으로 구분된다. 낸드형 비휘발성 메모리 장치와 노어형 비휘발성 메모리 장치는 고집적화와 고속성으로 대별되는 각각의 장단점을 가지고 있다.

[0004] 특히, 낸드형 비휘발성 메모리 장치는 다수의 메모리 셀 트랜지스터들을 직렬적으로 연결한 셀 스트링(cell string) 구조로 인해, 고집적화에 유리하다. 그리고, 낸드형 비휘발성 메모리 장치는 복수의 메모리 셀 트랜지스터들에 저장된 정보를 동시에 변경하는 동작 방식을 채택하기 때문에, 정보 갱신(update) 속도가 노어형 비휘발성 메모리 장치에 비해 월등히 빠르다. 이러한 높은 집적도 및 빠른 정보 갱신 속도에 의해, 낸드형 비휘발성 메모리 장치는 디지털 카메라(digital camera) 또는 MP3 플레이어 등과 같이 대용량 저장 장치(mass storage device)를 필요로 하는 휴대용 기기(portable device)에 주로 사용된다.

[0005] 이와 같은 낸드형 비휘발성 메모리 장치들의 장점들을 계속해서 촉진 및 부각시키는 방향으로 연구가 개발되고 있으며, 이에 따라 3차원 구조의 낸드형 비휘발성 메모리 장치가 개발되고 있다.

발명의 내용

해결 하고자 하는 과제

[0006] 본 발명이 해결하고자 하는 과제는 셀 어레이의 크기를 증가시키지 않으면서 보다 높은 집적도를 갖는 3차원 구조의 낸드형 비휘발성 메모리 장치를 제공하는 데 있다.

[0007] 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제에 제한되지 않으며, 언급되지 않은 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제 해결수단

- [0008] 상기한 과제를 달성하기 위하여, 본 발명은 3차원 구조의 비휘발성 메모리 장치를 제공한다. 이 비휘발성 메모리 장치는 반도체 기판 상에 3차원적으로 배열된 복수의 라인 형태의 도전 패턴들을 각각 가지되, 서로 이격된 셀 어레이들, 반도체 기판으로부터 연장되어 도전 패턴들의 일 측벽들을 가로지르는 반도체 패턴들, 도전 패턴들이 연장되는 방향으로 반도체 패턴들 하부의 반도체 기판 내에 제공되는 공통 소오스 영역들, 도전 패턴들과 교차하는 방향으로 연장되어 공통 소오스 영역들을 전기적으로 연결하도록, 반도체 기판 내에 제공되는 공통 소오스 라인 스트래핑 영역, 및 이격된 셀 어레이들 사이의 공통 소오스 라인 스트래핑 영역의 일부를 노출하는 제 1 콘택 홀을 포함할 수 있다.
- [0009] 셀 어레이들 사이의 이격 거리는 도전 패턴들 사이의 이격 거리보다 클 수 있다.
- [0010] 공통 소오스 라인 스트래핑 영역은 공통 소오스 영역들의 도전형과 동일한 도전형을 가질 수 있다.
- [0011] 제 1 콘택 홀을 채우는 제 1 콘택 플러그 및 콘택 플러그에 전기적으로 연결되면서, 공통 소오스 라인 스트래핑 영역이 연장되는 방향 또는 공통 소오스 라인 스트래핑 영역과 교차하는 방향으로 제공되는 공통 소오스 라인을 더 포함할 수 있다.
- [0012] 공통 소오스 라인 스트래핑 영역으로부터 이격되어 이격된 셀 어레이들 사이의 반도체 기판 내에 제공되는 불순물 영역을 더 포함할 수 있다. 불순물 영역은 공통 소오스 라인 스트래핑 영역의 도전형과 다른 도전형을 가질 수 있다.
- [0013] 불순물 영역의 일부를 노출하는 제 2 콘택 홀을 더 포함할 수 있다.
- [0014] 또한, 본 발명은 3차원 구조의 다른 비휘발성 메모리 장치를 제공한다. 이 비휘발성 메모리 장치는 반도체 기판 상에 차례로 적층된 평판 형태의 도전 패턴들을 가지되, 서로 이격된 셀 어레이들, 반도체 기판으로부터 수직하게 연장되어 도전 패턴들을 관통하는 반도체 패턴들, 반도체 기판 내의 전면에 제공되는 공통 소오스 영역, 및 이격된 셀 어레이들 사이의 공통 소오스 영역의 일부를 노출하는 제 1 콘택 홀을 포함할 수 있다.
- [0015] 도전 패턴들 각각의 면적은 반도체 기판으로부터 적층되는 방향으로 갈수록 작아질 수 있다.
- [0016] 제 1 콘택 홀을 채우는 제 1 콘택 플러그 및 콘택 플러그에 전기적으로 연결되면서, 셀 어레이들이 연장되는 방향 또는 셀 어레이들과 교차하는 방향으로 제공되는 공통 소오스 라인을 더 포함할 수 있다.

효 과

- [0017] 상술한 바와 같이, 본 발명의 과제 해결 수단에 따르면 공통 소오스 영역 또는/및 웰 영역의 스트래핑을 위한 공간을 제공하기 위해 셀 어레이들이 서로 이격되는 구조를 가짐으로써, 3차원 구조의 비휘발성 메모리 장치의 워드라인이 끊임없이 형성될 수 있다. 이에 따라, 셀 어레이의 크기를 증가시키지 않으면서 보다 높은 집적도를 갖는 3차원 구조의 비휘발성 메모리 장치를 포함하는 반도체 장치들이 제공될 수 있다.

발명의 실시를 위한 구체적인 내용

- [0018] 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면들과 함께 상세하게 후술되어 있는 실시예를 참조하면 명확해질 것이다. 그러나 본 발명은 여기서 설명되는 실시예에 한정되는 것이 아니라 서로 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전문에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0019] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다(comprises)' 및/또는 '포함하는(comprising)'은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다. 또한, 바람직한 실시예에 따른 것이기 때문에, 설명의 순서에 따라 제시되는 참조 부호는 그 순서에 반드시 한정되지는 않는다. 이에 더하여, 본 명세서에서, 어떤 막이 다른 막 또는 기판 상에 있다고 언급되는 경우에 그것은 다른 막 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 막이 개재될 수도 있다는 것을 의미한다.

- [0020] 또한, 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 예시도인 단면도 및/또는 평면도들을 참고하여 설명될 것이다. 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 예를 들면, 직각으로 도시된 식각 영역은 라운드지거나 소정 곡률을 가지는 형태일 수 있다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이며 발명의 범주를 제한하기 위한 것이 아니다.
- [0021] 도 1은 본 발명의 실시예들에 따른 비휘발성 메모리 장치의 간략적인 회로도이다.
- [0022] 도 1을 참조하면, 본 발명의 일 실시예에 따른 비휘발성 메모리 장치는, 다수의 스트링들(STR)을 포함하는 셀 어레이를 포함한다. 셀 어레이는 복수의 비트 라인들(BL1~BL3, bitline), 워드 라인들(WL1~WL4, wordline), 상부 및 하부 선택 라인들(USL1~USL3 및 LSL, upper and lower selection lines) 및 공통 소오스 라인(CSL, common source line)을 포함한다. 그리고, 비트라인들(BL1~BL3)과 공통 소오스 라인(CSL) 사이에 복수의 스트링들(STR)이 포함된다.
- [0023] 각각의 스트링(STR)은, 상부 및 하부 선택 트랜지스터들(UST 및 LST, upper and lower selection transistor)과, 상부 및 하부 선택 트랜지스터들(UST 및 LST) 사이에 직렬로 연결된 복수의 메모리 셀 트랜지스터들(MC)을 포함한다. 그리고, 상부 선택 트랜지스터들(UST)의 드레인(drain)은 비트라인들(BL1~BL3)과 연결되며, 하부 선택 트랜지스터들(LST)의 소오스(source)는 공통 소오스 라인(CSL)과 연결된다. 공통 소오스 라인(CSL)은 하부 선택 트랜지스터들(LST)의 소오스가 공통으로 연결된 라인이다.
- [0024] 또한, 상부 선택 트랜지스터들(UST)은 상부 선택 라인들(USL1~USL3)과 연결되며, 하부 선택 트랜지스터들(LST)은 각각 하부 선택 라인(LSL)과 연결된다. 또한, 각각의 메모리 셀 트랜지스터들(MC)은 워드라인들(WL1~WL4)에 연결된다.
- [0025] 이와 같은 셀 어레이는 3차원 구조로 배열되어 있어, 스트링들(STR)은 기판의 상부면과 평행한 X-Y 평면에 대해 수직인 Z-축 방향으로 메모리 셀들(MC)이 직렬 연결된 구조를 갖는다. 이에 따라, 상부 및 하부 선택 트랜지스터들(UST 및 LST), 및 메모리 셀 트랜지스터들(MC)의 채널이 X-Y 평면에 대해 수직으로 제공될 수 있다.
- [0026] 3차원 구조를 갖는 비휘발성 메모리 장치는, 각각의 X-Y 평면마다 m개의 메모리 셀들이 제공될 수 있으며, m개의 메모리 셀들을 갖는 X-Y 평면이 Z-축 방향으로 n개 적층될 수 있다.(여기서, m 및 n은 자연수이다.)
- [0027] 도 2a는 본 발명의 실시예에 따른 비휘발성 메모리 장치를 설명하기 위한 평면도이고, 도 2b, 도 2c 및 도 2d는 각각 도 2a의 I-I' 선, II-II' 선 및 III-III' 선을 따라 절단한 단면도들이다.
- [0028] 도 2a 내지 도 2d를 참조하면, 반도체 기판(110) 상에 서로 이격된 제 1 셀 어레이(130a) 및 제 2 셀 어레이(130b)가 배치될 수 있다. 제 1 및 제 2 셀 어레이들(130a 및 130b)은 각각 반도체 기판(110) 상에 절연층과 도전층이 교대로 반복되어 배치된 것일 수 있다.
- [0029] 보다 상세히 설명하면, 절연층은 라인 형태(line type)의 절연막 패턴들(120)을 포함하며, 도전층은 라인 형태의 게이트 전극들(130, 워드라인)을 포함한다. 절연막 패턴들(120)과 게이트 전극들(130)은 반도체 기판(110) 상에 번갈아 적층되어 라인 형태의 적층 구조물을 형성할 수 있다. 그리고, 동일한 층에서 절연막 패턴들(120) 및 게이트 전극들(130)은 서로 이격되어 배치될 수 있다. 즉, 게이트 전극들(130)이 반도체 기판(110) 상에 3차원적으로 배열될 수 있다. 반도체 기판(110) 상에 3차원적으로 배치되는 게이트 전극들(130)은 에피택시얼 성장(epitaxial growth) 공정을 통해 형성된 다결정(poly crystal) 반도체막일 수 있다. 또한, 게이트 전극들(130)은 도금(plating) 공정을 통해 형성된 금속막일 수 있다.
- [0030] 절연막 패턴들(120) 및 게이트 전극들(130)이 번갈아 적층된 적층 구조물들의 제 1 측벽들은 서로 소정 간격 이격되어 배치되며, 미러(mirror) 대칭될 수 있다. 즉 인접하는 적층 구조물들은 제 1 측벽들이 서로 마주보도록 배치될 수 있다.
- [0031] 절연막 패턴들(120) 및 게이트 전극들(130)이 번갈아 적층된 적층 구조물의 제 1 측벽들 사이에는 채널용 반도체 패턴들(140)이 배치된다. 채널용 반도체 패턴들(140)은 반도체 기판(100)과 수직인 방향으로 신장되어 있으며, 각 채널용 반도체 패턴(140)의 측벽에, 복수의 게이트 전극들(130)이 가로질러 제공된다. 반도체 기판(110)과 수직인 방향으로 신장된 채널용 반도체 패턴들(140)은 게이트 전극들(130)을 가로지르는 비트라인들(170)과 전기적으로 연결된다. 비트라인들(170)은 채널용 반도체 패턴들(140)의 상면과 직접 접촉하거나, 비트라인

콘택들(160)을 통해 전기적으로 연결될 수 있다.

- [0032] 도시된 영역 바깥의 제 1 및 제 2 셀 어레이들(130a 및 130b)은 이들의 연장 방향으로 절연막 패턴들(120) 및 게이트 전극들(130)이 계단식으로 적층된 형태를 가질 수 있다. 이는 계단식으로 적층된 형태는 게이트 전극들(130) 각각에 워드라인 선택라인을 전기적으로 연결하기 위한 공간을 확보하기 위한 것일 수 있다.
- [0033] 절연막 패턴들(120) 및 게이트 전극들(130)이 번갈아 적층된 적층 구조물의 제 2 측벽들 사이에는 절연막(150)이 제공될 수 있다. 또한, 서로 이격된 제 1 및 제 2 셀 어레이들(130a 및 130b) 사이에도 절연막(150)이 제공될 수 있다. 도시되지 않았지만, 각 채널용 반도체 패턴(140)이 적층 구조물의 제 1 측벽들에 얇게 제공되어 분리된 2개의 채널용 반도체 패턴들로 제공될 경우, 2개의 채널용 반도체 패턴들 사이에도 절연막이 제공될 수 있다. 또한, 채널용 반도체 패턴들(140) 및 게이트 전극들(130)의 제 1 측벽 사이에는 전하 저장막(미도시, charge storage layer)이 배치될 수 있다. 이러한 전하 저장막은 전하 터널링막(charge tunneling layer), 전하 트랩핑막(charge trapping layer) 및 전하 블록킹막(charge blocking layer)을 포함할 수 있으며, 전하 터널링막이 채널용 반도체 패턴(140)과 접하도록, 그리고 전하 블록킹막이 게이트 전극들(130)과 접하도록 제공된다.
- [0034] 게이트 전극들(130)이 연장되는 방향으로 채널용 반도체 패턴들(120) 하부의 반도체 기판(110) 내에 제공되는 공통 소오스 영역들(112)이 포함될 수 있다. 즉, 공통 소오스 영역들(112)은 반도체 기판(110)에 수평한 방향으로 서로 이격된 게이트 전극들(130) 사이의 반도체 기판(110) 내에 제공될 수 있다. 이에 따라, 공통 소오스 영역들(112)은 반도체 기판(110)의 전체에 걸쳐 제공되지 않고, 반도체 기판(110)의 일부 영역들에 제공될 수 있다.
- [0035] 게이트 전극들(130)과 교차하는 방향으로 연장되어 공통 소오스 영역들(112)을 전기적으로 연결하도록, 반도체 기판(110) 내에 제공되는 공통 소오스 라인 스트래핑(strapping) 영역들(113)이 포함될 수 있다. 공통 소오스 라인 스트래핑 영역들(113)의 도전형은 공통 소오스 영역들(112)의 도전형과 동일할 수 있다. 이에 따라, 공통 소오스 영역들(112)이 공통 소오스 라인 스트래핑 영역들(113)에 의해 전기적으로 연결됨으로써, 공통 소오스 영역들(112)은 공통 소오스 라인 스트래핑 영역(113)에 인가되는 전압에 의해 동시에 동작될 수 있다.
- [0036] 또한, 공통 소오스 영역들(112)로부터 이격되어 서로 이격된 제 1 및 제 2 셀 어레이들(130a 및 130b) 사이의 반도체 기판(110) 내에 웰 영역(114, well)이 제공될 수 있다. 웰 영역(114)은 공통 소오스 라인 스트래핑 영역들(113)과 다른 도전형을 가질 수 있다.
- [0037] 서로 이격된 제 1 및 제 2 셀 어레이들(130a 및 130b) 사이의 반도체 기판(110) 내에 제공되는 공통 소오스 라인 스트래핑 영역들(113)의 일부 및 웰 영역(114)의 일부를 노출하는 콘택 홀들(190)이 제공된다. 제 1 및 제 2 셀 어레이들(130a 및 130b) 사이의 이격 거리는 라인 형태의 적층 구조물들 사이의 이격 거리보다 클 수 있다. 이에 따라, 콘택 홀들(190)을 형성하기 위한 공정 마진이 충분히 확보될 수 있다.
- [0038] 콘택 홀들(190)을 채우는 콘택 플러그들(191)이 제공된다. 콘택 플러그들(191) 상에는, 콘택 플러그들(191)에 전기적으로 연결되면서, 공통 소오스 라인 스트래핑 영역(113)의 연장 방향인 장축 방향으로 제공되는 공통 소오스 라인들(170S) 및 웰 라인(170W)이 제공될 수 있다. 공통 소오스 라인들(170S) 및 웰 라인(170W)은 비트라인들(170)과 평행한 방향으로 제공될 수 있다. 이에 따라, 비트라인(170), 공통 소오스 라인들(170S) 및 웰 라인(170W)은 한 번의 공정으로 형성될 수 있다. 이와는 달리, 공통 소오스 라인들 및 웰 라인은 게이트 전극들(130)의 연장 방향과 평행하도록 콘택 플러그(191)에 전기적으로 연결되면서, 콘택 플러그(191) 상에 제공될 수 있다. 이때, 앞서 설명된 공통 소오스 라인 스트래핑 영역(113)의 연장 방향인 장축 방향으로 제공되는 공통 소오스 라인들(170S) 및 웰 라인(170W)은 제공되지 않거나, 제조 공정의 편의성을 위한 더미(dummy) 비트라인들로 제공될 수 있다.
- [0039] 도 3a는 본 발명의 다른 실시예에 따른 비휘발성 메모리 장치를 설명하기 위한 평면도이고, 도 3b 및 도 3c는 각각 도 3a의 IV-IV' 선 및 V-V' 선을 따라 절단한 단면도들이다.
- [0040] 도 3a 내지 도 3c를 참조하면, 반도체 기판(210) 상에 서로 이격된 제 1 셀 어레이(230a) 및 제 2 셀 어레이(230b)가 배치될 수 있다. 제 1 및 제 2 셀 어레이들(230a 및 230b)은 각각 반도체 기판(210) 상에 절연층과 도전층이 반복되어 적층된 것일 수 있다.
- [0041] 보다 상세히 설명하면, 절연층은 절연막 패턴들(220)을 포함하며, 도전층은 평판 형태(plate type)의 워드라인(230)을 포함한다. 절연막 패턴들(220)과 게이트 워드라인들(230)은 반도체 기판(210) 상에 번갈아 적층되어 평판 형태의 적층 구조물을 형성할 수 있다. 즉, 워드라인들(230)이 반도체 기판(210) 상에 3차원적으로 적층될

수 있다. 반도체 기관(210) 상에 3차원적으로 적층되는 게이트 전극들(230)은 에피택시얼 성장 공정을 통해 형성된 다결정 반도체막일 수 있다. 또한, 워드라인들(230)은 도금 공정을 통해 형성된 금속막일 수 있다.

[0042] 도시된 영역 바깥의 제 1 및 제 2 셀 어레이들(230a 및 230b)은 이들의 연장 방향으로 절연막 패턴들(220) 및 워드라인들(230)이 계단식으로 적층된 형태를 가질 수 있다. 이는 계단식으로 적층된 형태는 워드라인들(230) 각각에 워드라인 선택라인을 전기적으로 연결하기 위한 공간을 확보하기 위한 것일 수 있다. 이에 따라, 절연막 패턴들(220) 및 워드라인들(230)이 반복되어 적층된 적층 구조물들의 워드라인들(230) 각각의 면적은 반도체 기관(210)으로부터 적층 방향으로 갈수록 작아지는 형태를 가질 수 있다.

[0043] 워드라인들(230)이 적층 방향으로 중첩된 부위에 반도체 기관(210)으로부터 수직하게 연장되어 워드라인들(230)을 관통하는 채널용 반도체 패턴들(265)이 제공될 수 있다. 반도체 기관(210)과 수직한 방향으로 신장된 채널용 반도체 패턴들(265)은 워드라인들(230)을 가로지르는 비트라인들(170)과 전기적으로 연결된다. 비트라인들(170)은 채널용 반도체 패턴들(265)의 상면과 직접 접촉하거나, 비트라인 콘택들을 통해 전기적으로 연결될 수 있다.

[0044] 서로 이격된 제 1 및 제 2 셀 어레이들(230a 및 230b) 사이에 절연막(150)이 제공될 수 있다. 도시되지 않았지만, 각 채널용 반도체 패턴(265)이 관통된 워드라인들(230)의 내부면에 얇게 제공되어 실린더 형상을 가질 경우, 채널용 반도체 패턴(265)의 내부에도 절연막이 제공될 수 있다. 또한, 채널용 반도체 패턴들(265) 및 워드라인들(230) 사이에는 전하 저장막(미도시)이 배치될 수 있다. 이러한 전하 저장막은 전하 터널링막, 전하 트랩핑막 및 전하 블록킹막을 포함할 수 있으며, 전하 터널링막이 채널용 반도체 패턴(240)과 접하도록, 그리고 전하 블록킹막이 워드라인들(230)과 접하도록 제공된다.

[0045] 반도체 기관(210) 내의 전면에 제공되는 공통 소오스 영역(212)이 포함될 수 있다. 서로 이격된 제 1 및 제 2 셀 어레이들(230a 및 230b) 사이의 반도체 기관(210) 내에 제공되는 공통 소오스 영역(212)의 일부를 노출하는 콘택 홀들(290)이 제공된다.

[0046] 콘택 홀들(290)을 채우는 콘택 플러그들(291)이 제공된다. 콘택 플러그들(291)에 상에는, 콘택 플러그들(291)에 전기적으로 연결되면서, 제 1 및 제 2 셀 어레이들(230a 및 230b)과 교차하는 방향으로 제공되는 공통 소오스 라인들(270S)이 제공될 수 있다. 즉, 공통 소오스 라인들(270S) 비트라인들(270)과 평행한 방향으로 제공될 수 있다. 이에 따라, 비트라인(270) 및 공통 소오스 라인들(270S)은 한 번의 공정으로 형성될 수 있다. 이와는 달리, 공통 소오스 라인들은 워드라인들(230)의 연장 방향과 평행하도록 콘택 플러그(291)에 전기적으로 연결되면서, 콘택 플러그(291) 상에 제공될 수 있다. 이때, 앞서 설명된 제 1 및 제 2 셀 어레이들(230a 및 230b)과 교차하는 방향으로 제공되는 공통 소오스 라인들(270S) 제공되지 않거나, 제조 공정의 편의성을 위한 더미 비트라인들로 제공될 수 있다.

[0047] 상기한 본 발명의 실시예들에 따른 공통 소오스 영역 또는/및 웰 영역의 스트래핑을 위해 서로 이격된 셀 어레이들 사이의 공간을 이용함으로써, 3차원 구조의 비휘발성 메모리 장치의 워드라인이 끊임없이 형성될 수 있다. 이에 따라, 종래의 3차원 구조의 공통 소오스 영역 및 웰 영역의 스트래핑을 위한 공정 및 공간에 비해 보다 간단한 공정 및 적은 공간이 소요될 수 있다. 또한, 서로 이격된 셀 어레이들 사이의 미리 정해진 이격된 공간을 스트래핑 영역으로 이용하기 때문에, 셀 밀도를 높이기 위해 더 많은 수로 적층되는 3차원 구조의 비휘발성 메모리 장치에서도 동일한 공간이 소요될 수 있다. 이에 따라, 신뢰성이 높은면서, 셀 밀도가 높은 비휘발성 메모리 소자가 제공될 수 있다.

[0048] 도 4는 본 발명의 실시예들에 따른 비휘발성 메모리 장치를 포함하는 메모리 시스템의 일 예를 나타내는 개략적인 블록도이다.

[0049] 도 4를 참조하면, 메모리 시스템(1100, memory system)은 개인 휴대용 정보 단말기(Personal Digital Assistant : PDA), 휴대용 컴퓨터(portable computer), 웹 타블렛(web tablet), 무선 전화기(wireless phone), 이동 전화(mobile phone), 디지털 음악 재생기(digital music player), 메모리 카드(memory card), 또는 정보를 무선환경에서 송신 및/또는 수신할 수 있는 모든 소자에 적용될 수 있다.

[0050] 메모리 시스템(1100)은 컨트롤러(1110, controller), 키패드(key pad), 키보드(key board) 및 표시 장치(display)와 같은 입/출력(Input/Output : I/O) 장치(1120), 메모리(1130), 인터페이스(1140, interface), 및 버스(1150, bus)를 포함한다. 메모리(1130)와 인터페이스(1140)는 버스(1150)를 통해 상호 소통된다.

[0051] 컨트롤러(1110)는 적어도 하나의 마이크로 프로세서(microprocessor), 디지털 시그널 프로세서(digital signal processor), 마이크로 컨트롤러(microcontroller), 또는 그와 유사한 다른 프로세스 장치들을 포함한다. 메모리

(1130)는 컨트롤러(1110)에 의해 수행된 명령을 저장하는 데에 사용될 수 있다. 입/출력 장치(1120)는 시스템(1100) 외부로부터 데이터 또는 신호를 입력받거나 또는 시스템(1100) 외부로 데이터 또는 신호를 출력할 수 있다. 예를 들어, 입/출력 장치(1120)는 키보드, 키패드 또는 표시 장치를 포함할 수 있다.

[0052] 메모리(1130)는 본 발명의 실시예들에 따른 비휘발성 메모리 장치를 포함한다. 메모리(1130)는 또한 다른 종류의 메모리, 임의의 수시 접근이 가능한 휘발성 메모리, 기타 다양한 종류의 메모리를 더 포함할 수 있다.

[0053] 인터페이스(1140)는 데이터를 통신 네트워크(network)로 송출하거나, 통신 네트워크로부터 데이터를 받는 역할을 한다.

[0054] 도 5는 본 발명의 실시예에 따른 비휘발성 메모리 장치를 구비하는 메모리 카드의 일 예를 나타내는 개략적인 블록도이다.

[0055] 도 5를 참조하면, 고용량의 데이터 저장 능력을 지원하기 위한 메모리 카드(1200, memory card)는 본 발명에 따른 플래시 메모리 장치(1210)를 장착한다. 본 발명에 따른 메모리 카드(1200)는 호스트(host)와 플래시 메모리 장치(1210) 간의 제반 데이터 교환을 제어하는 메모리 컨트롤러(1220)를 포함한다.

[0056] 에스램(1221, Static Random Access Memory : SRAM)은 프로세싱 유닛(processing unit)인 중앙 처리 장치(1222, Central Processing Unit : CPU)의 동작 메모리로서 사용된다. 호스트 인터페이스(1223, host I/F)는 메모리 카드(1200)와 접속되는 호스트의 데이터 교환 프로토콜(protocol)을 구비한다. 오류 정정 부호 블록(1224, Error Correction Coding block: ECC block)은 멀티 비트(multi-bit) 특성을 갖는 플래시 메모리 장치(1210)로부터 독출된 데이터에 포함되는 오류를 검출 및 정정한다. 메모리 인터페이스(1225, memory I/F)는 본 발명의 플래시 메모리 장치(1210)와 인터페이싱 한다. 중앙 처리 장치(1222)는 메모리 컨트롤러(1220)의 데이터 교환을 위한 제반 제어 동작을 수행한다. 비록 도면에는 도시되지 않았지만, 본 발명에 따른 메모리 카드(1200)는 호스트와의 인터페이싱을 위한 부호 데이터를 저장하는 롬(미도시, Read Only Memory : ROM) 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

[0057] 이상의 본 발명의 플래시 메모리 장치, 메모리 카드 또는 메모리 시스템에 따르면, 더미 셀들(dummy cell)의 소거 특성이 개선된 플래시 메모리 장치를 통해서 신뢰성 높은 메모리 시스템을 제공할 수 있다. 특히, 최근 활발히 진행되고 있는 솔리드 스테이트 드라이브(Solid State Drive : SSD) 장치와 같은 메모리 시스템에 본 발명의 플래시 메모리 장치가 제공될 수 있다. 이 경우, 더미 셀로부터 야기되는 읽기 오류를 차단함으로써 신뢰성 높은 메모리 시스템을 구현할 수 있다.

[0058] 도 6은 본 발명에 따른 실시예에 따른 비휘발성 메모리 장치를 장착하는 정보 처리 시스템의 일 예를 나타내는 개략적인 블록도이다.

[0059] 도 6을 참조하면, 이동 기기(mobile device)나 데스크톱 컴퓨터(desktop computer)와 같은 정보 처리 시스템에 본 발명의 플래시 메모리 시스템(1310)이 장착된다. 본 발명에 따른 정보 처리 시스템(1300)은 플래시 메모리 시스템(1310)과 각각 시스템 버스(1360)에 전기적으로 연결된 모뎀(1320, Modulator and DEModulator : MODEM), 중앙 처리 장치(1330), 램(1340), 유저 인터페이스(1350, user interface)를 포함한다. 플래시 메모리 시스템(1310)은 앞서 언급된 메모리 시스템 또는 플래시 메모리 시스템과 실질적으로 동일하게 구성될 것이다. 플래시 메모리 시스템(1310)에는 중앙 처리 장치(1330)에 의해서 처리된 데이터 또는 외부에서 입력된 데이터가 저장된다. 여기서, 상술한 플래시 메모리 시스템(1310)이 솔리드 스테이트 드라이브로 구성될 수 있으며, 이 경우 정보 처리 시스템(1300)은 대용량의 데이터를 플래시 메모리 시스템(1310)에 안정적으로 저장할 수 있다. 그리고 신뢰성의 증대에 따라, 플래시 메모리 시스템(1310)은 오류 정정에 소요되는 자원을 절감할 수 있어 고속의 데이터 교환 기능을 정보 처리 시스템(1300)에 제공할 것이다. 도시되지 않았지만, 본 발명에 따른 정보 처리 시스템(1300)에는 응용 칩셋(application chipset), 카메라 이미지 신호 프로세서(Image Signal Processor : ISP), 입/출력 장치 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

[0060] 또한, 본 발명에 따른 플래시 메모리 장치 또는 메모리 시스템은 다양한 형태들의 패키지(package)에 실장될 수 있다. 예를 들면, 본 발명에 따른 플래시 메모리 장치 또는 메모리 시스템은 패키지 온 패키지(Package on Package : PoP), 볼 그리드 어레이(Ball Grid Arrays : BGAs), 칩 스케일 패키지(Chip Scale Packages : CSPs), 플라스틱 리드드 칩 캐리어(Plastic Leaded Chip Carrier : PLCC), 플라스틱 듀얼 인라인 패키지(Plastic Dual In-line Package : PDIP), 다이 인 와플 팩(die in wafer pack), 다이 인 웨이퍼 폼(die in wafer form), 칩 온 보드(Chip On Board : COB), 세라믹 듀얼 인라인 패키지(CERamic Dual In-line Package : CERDIP), 플라스틱 메트릭 쿼드 플랫 팩(plastic Metric Quad Flat Pack : MQFP), 씰 쿼드 플랫 팩(Thin Quad

Flat Pack : TQFP), 스몰 아웃라인 집적 회로(Small-Outline Integrated Circuit : SOIC), 쓰링크 스몰 아웃라인 패키지(Shrink Small-Outline Package : SSOP), 썬 스몰 아웃라인 패키지(Thin Small-Outline Package : TSOP), 썬 쿼드 플랫 팩(Thin Quad Flat Pack : TQFP), 시스템 인 패키지(System In Package : SIP), 멀티 칩 패키지(Multi Chip Package : MCP), 웨이퍼 레벨 패키지(Wafer-level Fabricated Package : WFP) 또는 웨이퍼 레벨 적층 패키지(Wafer-level processed Stack Package(WSP) 등과 같은 방식으로 패키징되어 패키지에 실장될 수 있다.

[0061] 이상, 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면의 간단한 설명

[0062] 도 1은 본 발명의 실시예들에 따른 비휘발성 메모리 장치의 간략적인 회로도;

[0063] 도 2a는 본 발명의 실시예에 따른 비휘발성 메모리 장치를 설명하기 위한 평면도이고, 도 2b, 도 2c 및 도 2d는 각각 도 2a의 I-I' 선, II-II' 선 및 III-III' 선을 따라 절단한 단면도들;

[0064] 도 3a는 본 발명의 다른 실시예에 따른 비휘발성 메모리 장치를 설명하기 위한 평면도이고, 도 3b 및 도 3c는 각각 도 3a의 IV-IV' 선 및 V-V' 선을 따라 절단한 단면도들;

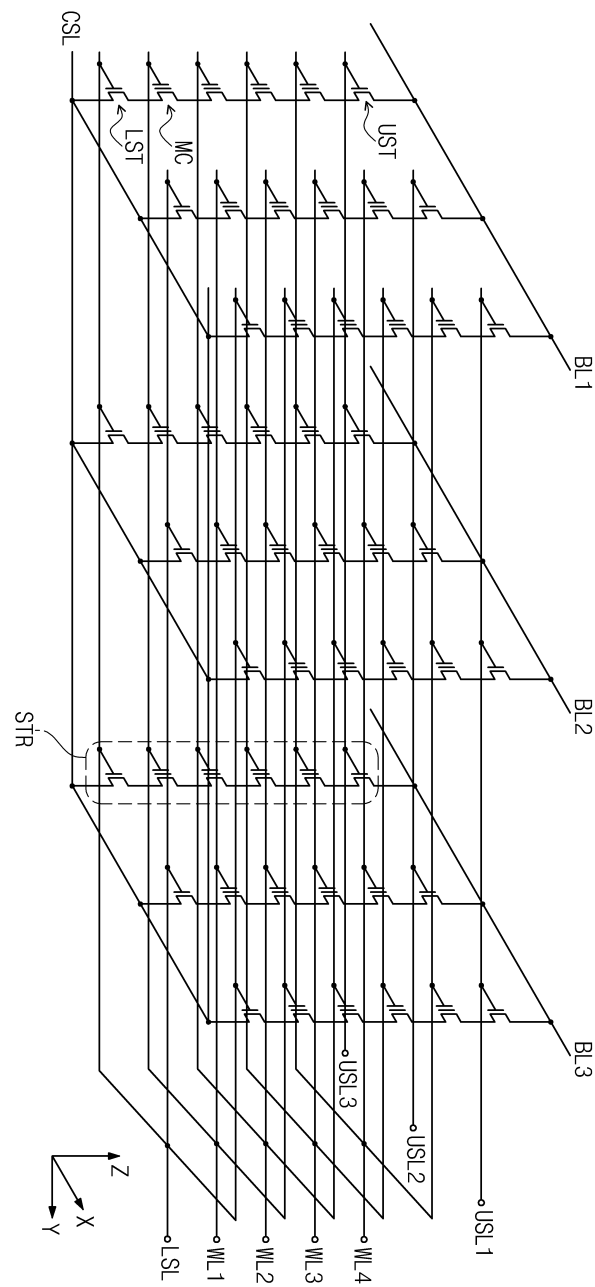
[0065] 도 4는 본 발명의 실시예들에 따른 비휘발성 메모리 장치를 포함하는 메모리 시스템의 일 예를 나타내는 개략적인 블록도;

[0066] 도 5는 본 발명의 실시예에 따른 비휘발성 메모리 장치를 구비하는 메모리 카드의 일 예를 나타내는 개략적인 블록도;

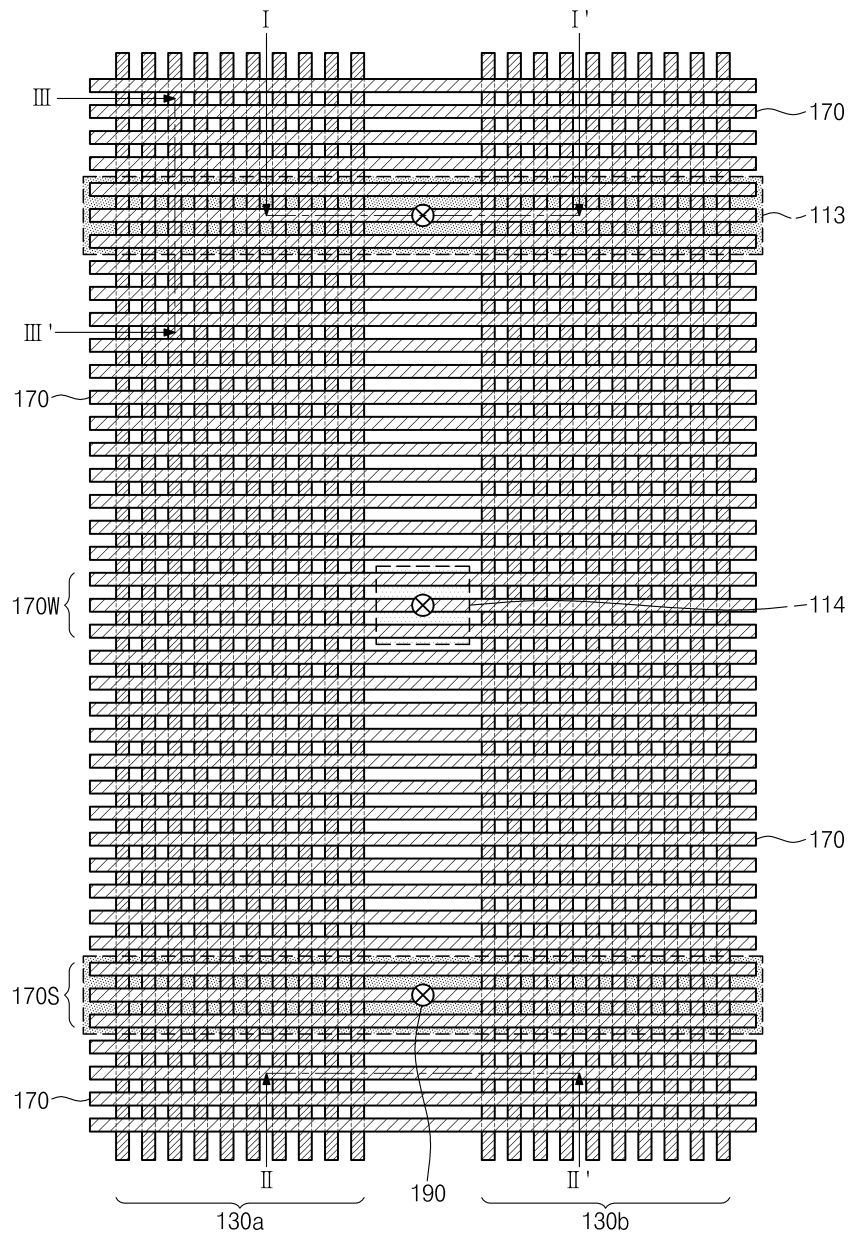
[0067] 도 6은 본 발명에 따른 실시예에 따른 비휘발성 메모리 장치를 장착하는 정보 처리 시스템의 일 예를 나타내는 개략적인 블록도.

도면

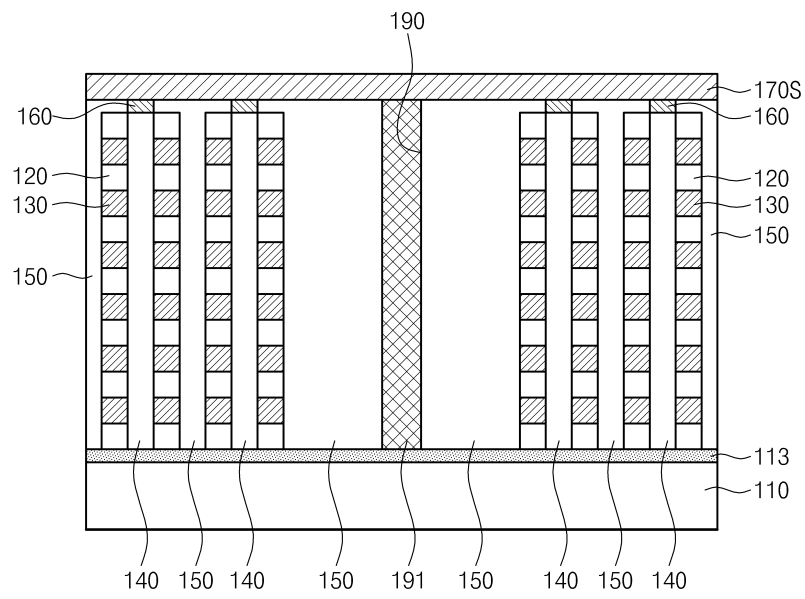
도면1



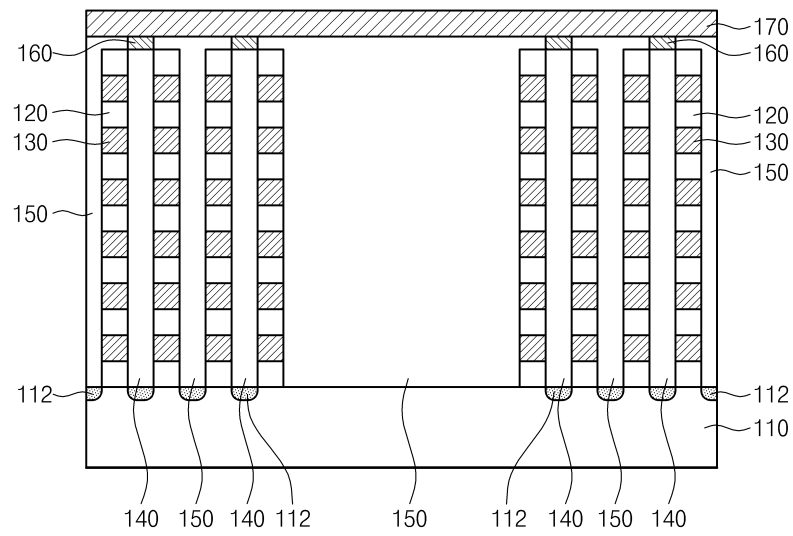
도면2a



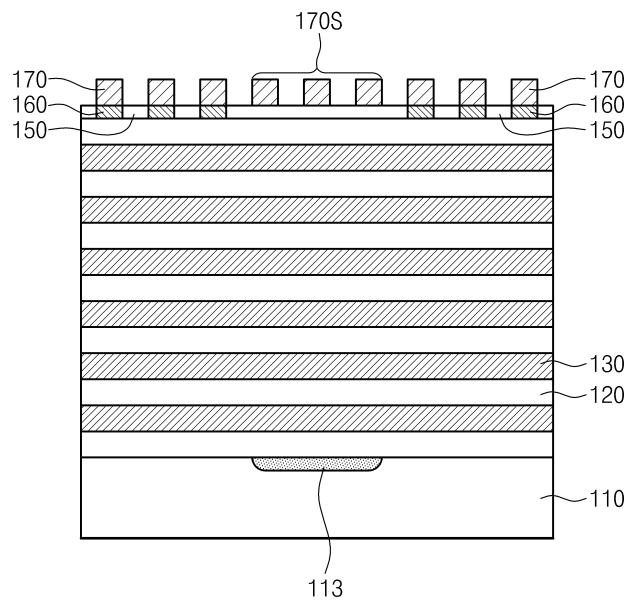
도면2b



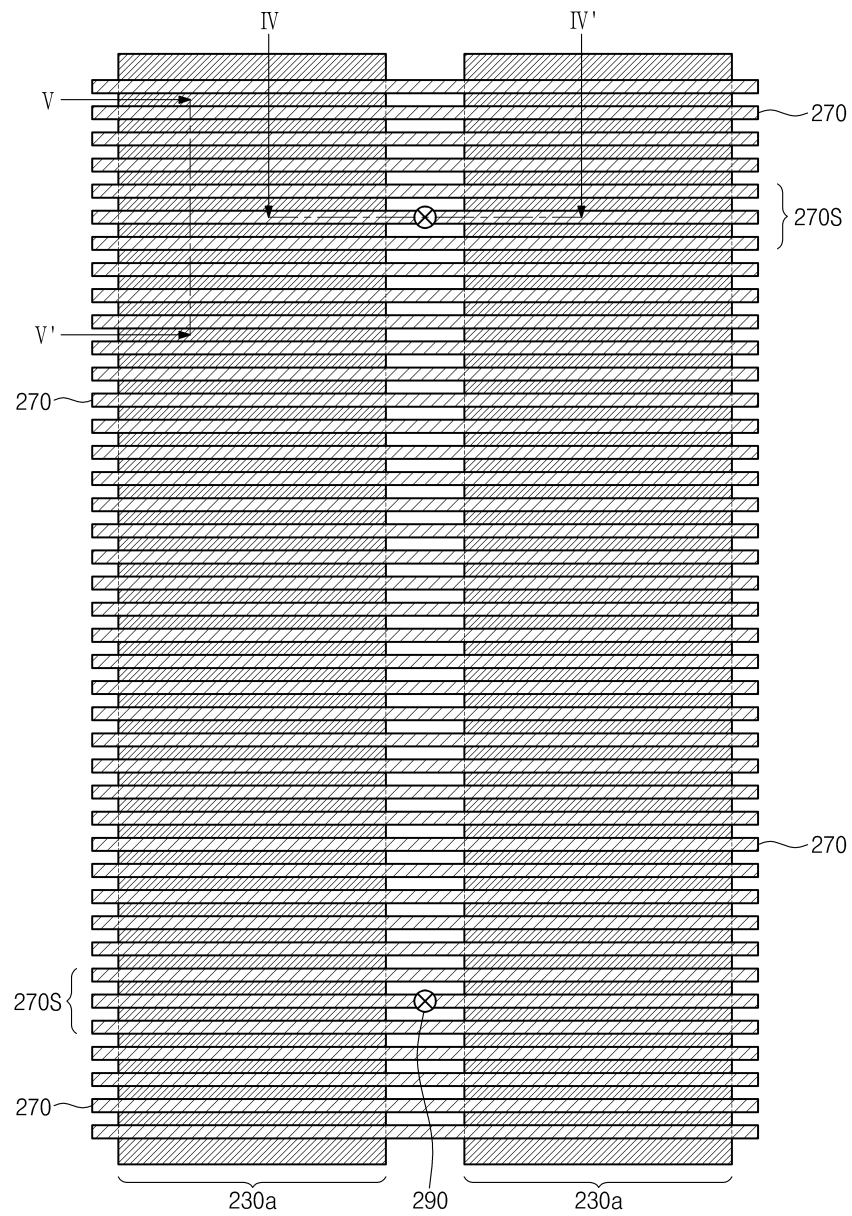
도면2c



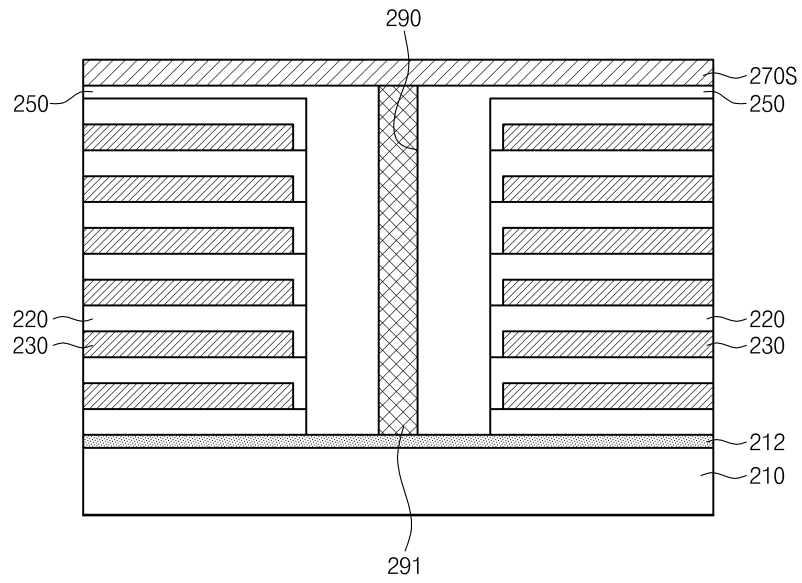
도면2d



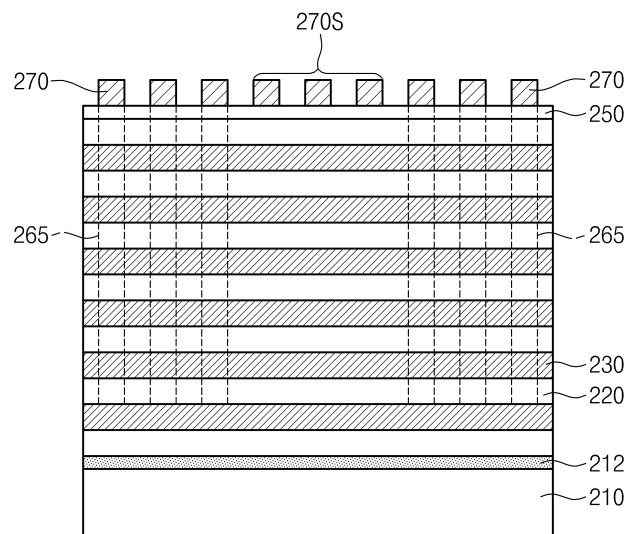
도면3a



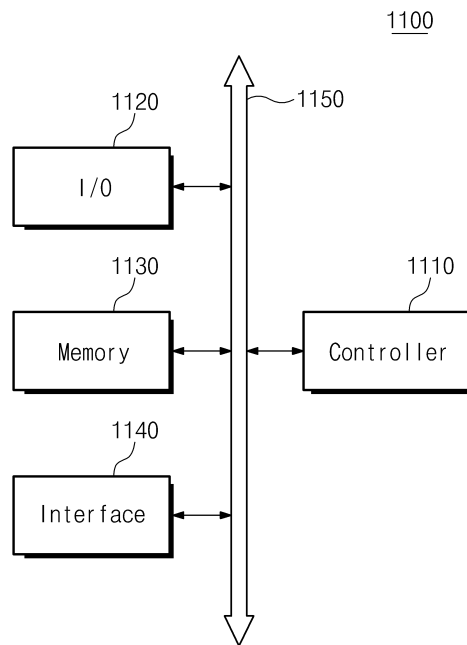
도면3b



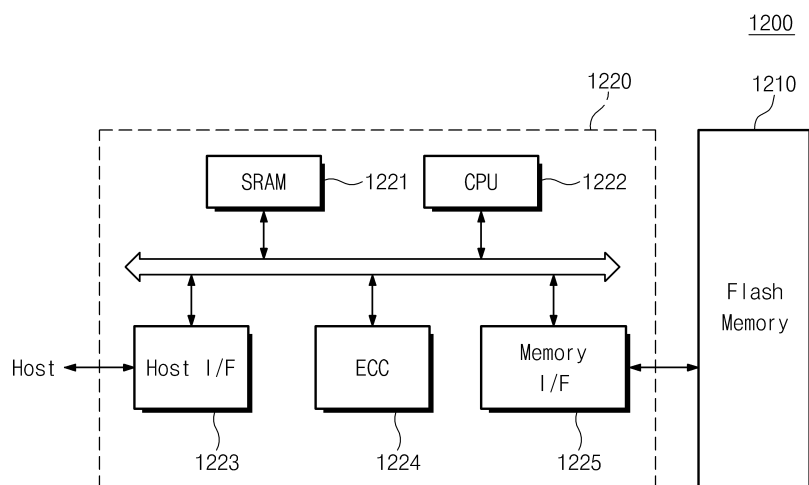
도면3c



도면4



도면5



도면6

