

申請日期	91 年 11 月 27 日
案 號	91134518
類 別	G09G3/20, G09F9/30

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	顯示裝置以及使用該裝置之顯示系統
	英 文	Display device and display system using the same
二、發明 創作人	姓 名	(1) 黑川義元 (2) 池田隆之
	國 籍	(1) 日本國神奈川縣厚木市長谷三九八番地 半導體能源研究所股份有限公司內
	住、居所	(2) 日本國神奈川縣厚木市長谷三九八番地 半導體能源研究所股份有限公司內
三、申請人	姓 名 (名稱)	(1) 半導體能源研究所股份有限公司 株式会社半導体エネルギー研究所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國神奈川縣厚木市長谷三九八番地
	代 表 人 姓 名	(1) 山崎舜平

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本 2001 年 11 月 30 日 2001-366774 ☒有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

技術領域

本發明相關於一種顯示裝置和一種使用該裝置的顯示系統，特別相關於一種低功耗、高清晰度和多灰度影像顯示的顯示裝置及使用該裝置的顯示系統。

背景技術

近些年來，在帶有絕緣層的玻璃基底或塑膠基底等基底上形成多晶矽薄膜的技術快速發展。在使用 TFT(薄膜電晶體)作為像素部分轉換元件的顯示裝置之研究以及開發係活躍的，其中 TFT 是使用多晶矽薄膜作為其主動層而形成的，以及主動矩陣顯示裝置，其中驅動像素的電路是在像素部分的週邊形成的。

上述顯示裝置的最大優點通常是薄、重量輕、功耗低。因為這些優點，這種顯示裝置用作筆記型電腦等可攜式資訊處理設備的顯示部分或可攜式小遊戲機的顯示部分。

在個人電腦或小遊戲機中，顯示系統通常在顯示裝置後面安裝一個影像處理設備。這裏，顯示系統指功能為執行下列處理的系統：接收中央處理單元(下文中簡稱 CPU)中執行的運算處理結果並在顯示部分顯示影像。此外，影像處理設備指接收 CPU 中執行的運算結果並形成發送給顯示系統中顯示裝置的影像資料的設備。此外，顯示裝置指將影像處理設備中形成的影像資料在顯示部分顯示為影像的設備。顯示部分指包含多數個像素並在其中顯示影像的區域。

五、發明說明(2)

爲了執行大量影像資料的高速顯示，影像處理設備通常包括用於影像處理的運算處理設備(下文簡稱為 GPU：圖形處理單元)、作爲儲存影像資料的儲存設備的視頻隨機存取記憶體、顯示處理設備等。

這裏，GPU 指特定功能爲執行形成影像資料的運算處理的專用電路或其中一部分電路的功能爲執行形成影像資料的運算處理的電路。因此，如果在 CPU 中執行部分或全部形成影像資料的運算處理，則 CPU 包括 GPU。此外，影像資料指顯示影像的顏色和灰度資訊，指能夠儲存在記憶體設備中的這一類電子信號。VRAM 儲存一面板的影像資料。此外，顯示處理設備包括功能爲根據影像資料形成發送給顯示裝置的影像信號的電路。影像信號指在顯示裝置中改變顯示部分灰度的電子信號。例如，在使用液晶顯示器的情況下，影像信號對應於應用於像素電極的電壓信號。

圖 2A 是第一習知例的方塊結構圖，圖 2B 是第二習知例的方塊結構圖。在圖 2A 中，顯示系統 200 包括影像處理設備 202、顯示裝置 203 和顯示控制器 204，與 CPU 201 交換資料和控制信號。影像處理設備 202 包括 GPU 205、VRAM 206 和顯示處理電路 207。另一方面，在圖 2B 中，顯示系統 201 包括影像處理設備 212、顯示裝置 213 和顯示控制器 213，與 CPU 211 交換資料和控制信號。影像處理設備 212 包括 GPU 215、GPU 216、VRAM 217、VRAM 218 和顯示處理電路 219。VRAM 206、217 和 218

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(3)

通常使用雙埠 RAM，其中一個埠用於寫，另一個埠用於讀。

在下文中，用於描述顯示系統工作的顯示影像中構成影像的結構分量(下文中簡稱結構分量)為字元 301 和背景 302，其中字元 301 四處行動，如圖 3 所示。

首先講述圖 2A 中的第一習知例。CPU 201 執行關於字元 301 的位置和方向、背景 302 的位置等資料運算。運算結果傳遞給顯示系統 200，由 GPU 205 接收。GPU 205 執行將 CPU 201 的運算結果轉換成影像資料的運算處理。例如，GPU 205 執行下列運算處理：形成字元 301 的影像資料、形成背景 302 的影像資料、覆蓋影像資料等等，從而將顯示影像的顏色和灰度轉換成二進位數字表示的資料。影像資料儲存在 VRAM 206 中，根據顯示定時定期讀取。讀取的影像資料在顯示處理電路 207 中轉換成影像信號，然後傳輸給顯示裝置 203。這裏，例如在使用液晶顯示裝置的情況下，顯示處理電路 207 對應於執行轉換到電壓信號的電路，例如 DAC(DC 轉換器)，影像信號對應於與顯示部分的像素灰度一致的類比資料。顯示裝置 203 的顯示定時控制由顯示控制器 204 執行。

接下來解釋圖 2B 中顯示的第二習知例。CPU 211 執行關於字元 301 的位置和方向、背景 302 的位置等資料運算。運算結果傳遞給顯示系統 210，GPU 215 和 GPU 215 分別接收執行運算所必須的結果。在該習知例中，GPU 215 接收 CPU 的運算結果中關於字元 301 位元置和方

五、發明說明(4)

向的運算結果。此外，GPU 216 接收 CPU 運算結果中關於背景 302 位元置的運算結果。隨後，GPU 215 形成字元 301 的影像資料。形成的字元影像資料儲存在 VRAM 217 中。此外，GPU 216 形成背景 302 的影像資料。形成的背景影像資料儲存在 VRAM 218 中。然後，GPU 215 和 GPU 216 彼此同步，讀取儲存在 VRAM 217 中的字元影像資料和儲存在 VRAM 218 中的背景影像資料，GPU 216 負責合成影像資料。合成的整個影像資料根據顯示處理電路 219 中的顯示定時轉換成影像信號，然後傳輸給顯示裝置 213。顯示控制器 214 負責顯示裝置 213 的顯示定時控制。

在圖 2A 顯示的第一習知例中，字元和背景的影像資料是在 GPU 205 中形成的，所以，在經常更新字元和背景的影像資料的情況下運算量是巨大的。另一方面，要求 VRAM 206 的儲存容量要足夠儲存一面板的影像資料。此外，每次在顯示裝置中執行各圖框顯示影像的重新成像(下文中稱作影像更新)時，要從 VRAM 206 中讀取對應於一面板的影像資料。因此，即使是在根本不更新顯示影像的情況下也要進行讀取，所以 VRAM 206 的功耗高。對應的，當執行高清晰度和多灰度影像顯示時，GPU 205 運算量進一步增加，VRAM 206 的儲存容量進一步增加，這導致影像更新時功耗增加。

另一方面，在圖 2B 顯示的第二習知例中，GPU 215 和 GPU 216 分別執行字元影像資料的形成和背景影像資料的形成。因此，即使常常更新字元和背景的影像資料，

五、發明說明(5)

各個 GPU 的運算處理量也小於第一習知例中的 GPU 205。但是，需要保留兩個 VRAM，即需要有大量的儲存容量。此外，每次在顯示裝置中執行影像更新時需要執行字元影像資料和背景影像資料的覆蓋處理。因此，也需要周期性的從 VRAM 217 和 VRAM 218 中讀取影像資料。即，即使是在根本不更新字元影像資料或背景影像資料的情況下也要進行讀取，所以功耗大。對應的，當執行高清晰度和多灰度影像顯示時，VRAM 217 和 VRAM 218 的功耗增加。

如上所述，習知顯示系統的結構在顯示裝置中以高成像速度執行高清晰度和多灰度影像顯示時會產生下列問題。即，出現的問題有(1)需要 GPU 有可觀的運算能力，因此增加了 GPU 的晶片大小，問題(2)需要 VRAM 有大的儲存容量，因此增加了 VRAM 的晶片大小。這些問題導致影像處理設備的安裝面積或安裝體積增加。出現的問題還有(3)每次更新影像時需要從 VRAM 中讀取大量影像資料，因此導致功耗的增加。

發明內容

鑒於上述問題提出了本發明，因此目標是提供這樣一種顯示裝置，(1)能夠減少 GPU 的運算處理量，(2)在顯示裝置外部不需要儲存對應於一面板影像資料的儲存設備，(3)在每次更新影像時不需要從 VRAM 中周期性的讀取資料就能夠顯示，以及提供一種使用該顯示裝置的顯示系

(請先閱讀背面之注意事項再填寫本頁)

訂

終

五、發明說明(6)

統。

根據本發明，顯示裝置由各自包括一個儲存電路、運算處理電路和顯示處理電路的像素和各自具有在任意儲存電路中儲存影像資料功能的電路構成。顯示系統由具有上述結構的顯示裝置和包括一個 GPU 的影像處理設備構成。在顯示系統中，藉由 GPU 中的運算處理形成構成影像的各個結構分量的影像資料。在各個像素的運算處理電路中，根據影像資料是否對應於預定義影像資料，確定是否輸出儲存的各個影像結構分量的影像資料。然後，在顯示處理電路中將影像資料轉換成影像信號。

使用上述使用上述顯示裝置的顯示系統，由此部分在現有技術中在 GPU 中執行的運算處理可以在像素中執行，剩餘的處理在 GPU 中執行。因此，在根據本發明的顯示系統中可以減少 GPU 的運算處理量。此外，根據本發明的顯示系統不需要安裝 VRAM。從而可以減少構成顯示系統的部件數量。而且執行影像更新不需要執行周期性的從 VRAM 中讀取對應於一面板的影像資料。因此，在顯示靜態影像的情況下，或在只改變部分影像資料的情況下，能夠大量減少功耗。

在該說明中提出的根據本發明的結構相關於一種顯示裝置，包括多數個像素，每個像素包括第一儲存電路、第二儲存電路、運算處理電路和顯示處理電路，其特徵在於：第一儲存電路儲存第一影像資料並輸出資料到運算處理電路；第二儲存電路儲存第二影像資料並輸出資料到運算

五、發明說明(7)

處理電路；在第二影像資料等於預定義影像資料的情況下，運算處理電路輸出第一影像資料到顯示處理電路，在第二影像資料不等於預定義影像資料的情況下，運算處理電路輸出第二影像資料到顯示處理電路；顯示處理電路根據運算處理電路輸出的第一影像資料或第二影像資料形成影像信號。

根據本發明的另一種結構相關於一種包括多數個像素的顯示裝置，每個像素包括包括第一儲存電路、第二儲存電路、運算處理電路和顯示處理電路，其特徵在於：第一儲存電路儲存第一影像資料並輸出資料到運算處理電路；第二儲存電路儲存第二影像資料並輸出資料到運算處理電路；在第二影像資料等於預定義影像資料的情況下，運算處理電路輸出第一影像資料到顯示處理電路，在第二影像資料不等於預定義影像資料的情況下，運算處理電路輸出第二影像資料到顯示處理電路；顯示處理電路根據運算處理電路輸出的第一影像資料或第二影像資料形成影像信號；第一儲存電路具有儲存對應於一圖框的第一影像資料的裝置；第二儲存電路具有儲存對應於一圖框的第二影像資料的裝置。

根據本發明的另一種結構相關於一種包括多數個像素的顯示裝置，每個像素包括包括第一儲存電路、第二儲存電路、運算處理電路和顯示處理電路，其特徵在於：第一儲存電路儲存第一影像資料並輸出資料到運算處理電路；第二儲存電路儲存第二影像資料並輸出資料到運算處理電

五、發明說明(8)

路；在第二影像資料等於預定義影像資料的情況下，運算處理電路輸出第一影像資料到顯示處理電路，在第二影像資料不等於預定義影像資料的情況下，運算處理電路輸出第二影像資料到顯示處理電路；顯示處理電路根據從運算處理電路藉由 D/A 轉換輸出的第一影像資料或第二影像資料形成影像信號。

根據本發明的另一種結構相關於一種包括多數個像素的顯示裝置，每個像素包括包括第一儲存電路、第二儲存電路、運算處理電路和顯示處理電路，其特徵在於：第一儲存電路儲存第一影像資料並輸出資料到運算處理電路；第二儲存電路儲存第二影像資料並輸出資料到運算處理電路；在第二影像資料等於預定義影像資料的情況下，運算處理電路輸出第一影像資料到顯示處理電路，在第二影像資料不等於預定義影像資料的情況下，運算處理電路輸出第二影像資料到顯示處理電路；顯示處理電路根據從運算處理電路藉由 D/A 轉換輸出的第一影像資料或第二影像資料形成影像信號；第一儲存電路具有儲存對應於一圖框的第一影像資料的裝置；第二儲存電路具有儲存對應於一圖框的第二影像資料的裝置。

在上述任一種結構中，第一影像資料和第二影像資料中至少有一個的影像資料可以是 1 位元的。

在上述任一種結構中，第一影像資料和第二影像資料中至少有一個的影像資料可以是 2 位元或 2 位元以上的。

在上述任一種結構中，需要提供根據影像信號改變像

五、發明說明(9)

素灰度的裝置。

在上述任一種結構中，需要提供將影像資料順序輸入每個位元的儲存電路的裝置。

在上述任一種結構中，每個儲存電路可以包括一個靜態隨機存取記憶體(SRAM)。

在上述任一種結構中，每個儲存電路可以包括一個動態隨機存取記憶體(DRAM)。

在上述任一種結構中，儲存電路、運算處理電路和顯示處理電路最好是由薄膜電晶體構成，每個薄膜電晶體包括一個在半導體薄膜上形成的主動層，半導體薄膜是在一個基底上形成的，該基底從由單晶半導體基底、石英基底、玻璃基底、塑膠基底、不銹鋼基底和 SOI 基底構成的組中選擇的。

在上述任一種結構中，具有順序驅動各個位元儲存電路功能的電路最好在與像素部分相同的基底上形成。

在上述任一種結構中，具有將影像資料順序輸入到各個位元儲存電路功能的電路最好在與像素部分相同的基底上形成。

在上述任一種結構中，半導體薄膜最好藉由使用連續振盪雷射器的結晶方法形成。

具有上述任一種結構的顯示裝置加入到電子設備中是有效的。

顯示系統可以由具有上述任一種結構的顯示裝置和用於影像處理的運算處理設備構成。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

具有上述結構的顯示系統加入到電子設備中是有效的

。

圖形之簡要描述

在圖式中：

圖 1A 和 1B 是解釋根據本發明的顯示裝置結構和使用該顯示裝置的顯示系統的方塊圖；

圖 2A 和圖 2B 是解釋習知顯示裝置結構和使用該顯示裝置的習知顯示系統的方塊圖；

圖 3 展示一顯示影像的例子；

圖 4 是根據實施例 1 的一個像素電路圖；

圖 5 是根據實施例 2 的一個像素電路圖；

圖 6A 到 6D 是顯示根據實施例 3 的顯示裝置製造過程的截面圖；

圖 7A 到 7D 是顯示根據實施例 3 的顯示裝置製造過程的截面圖；

圖 8A 到 8D 是顯示根據實施例 4 的顯示裝置製造過程的截面圖；

圖 9A 到 9D 是顯示根據實施例 5 的顯示裝置製造過程的截面圖；

圖 10 是根據實施例 6 的鐳射系統的示意圖；

圖 11 顯示根據實施例 6 的結晶半導體膜的 SEM 照片；

圖 12 顯示根據實施例 7 的結晶半導體膜的 SEM 照片

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

終

五、發明說明 (11)

；

圖 13 顯示根據實施例 7 的結晶半導體膜的拉曼光譜

；

圖 14A 到 14H 是顯示根據實施例 8 的 TFT 製造過程的截面圖；

圖 15A 到 15B 顯示根據實施例 8 的 TFT 的電子特性曲線；

圖 16A 到 16C 是顯示根據實施例 9 的 TFT 製造過程的截面圖；

圖 17A 到 17B 顯示根據實施例 9 的 TFT 的電子特性曲線；

圖 18A 到 18B 顯示根據實施例 9 的 TFT 的電子特性曲線；

圖 19A 到 19B 顯示根據實施例 9 的 TFT 的電子特性曲線；

圖 20A 到 20G 顯示根據實施例 10 的電子設備。

主要元件對照表

100	顯示系統
102	影像處理裝置
103	顯示裝置
101	中央處理單元
104	繪圖處理單元
105	像素部份

經濟部智慧財產局員工消費合作社印製

五、發明說明 (12)

106	列解碼器
107	行解碼器
111 to 114	儲存構件
115	像素運算處理電路
116	像素顯示處理電路
109,110	像素儲存電路

具體實施方式

在實施例形式中，將描述根據本發明的顯示裝置的典型結構和使用根據本發明的顯示裝置的顯示系統。

在下文中，將參考圖 1A 和圖 1B 中的方塊圖解釋顯示裝置和使用該顯示裝置的顯示系統。圖 1A 顯示根據本發明實施例形式的顯示裝置和使用該裝置的顯示系統的方塊圖。顯示系統 100 包括影像處理設備 102 和顯示裝置 103，並與 CPU 101 交換資料和控制信號。影像處理設備 102 包括 GPU 104。此外，顯示裝置 103 包括像素部分 105、行解碼器 106 和列解碼器 107。像素部分 105 包括多數個像素 108。此外，圖 1B 是像素 108 的詳細方塊圖，像素 108 包括像素儲存電路 109 和 110、像素運算處理電路 115 和像素顯示處理電路 116。像素儲存電路 109(110) 包括儲存構件 111 和 112(113 和 114)。請注意，在一個像素中可以包括三個或三個以上的像素儲存電路。

此外，與習知顯示系統不同的是，該實施例形式中的顯示系統不需要儲存對應於一面板影像資料的儲存設備。

五、發明說明 (13)

另外，不一定需要顯示控制器。

在像素部分 105，像素 108 按矩陣排列。行解碼器 106 和列解碼器 107 可以選擇特定的像素儲存電路。列解碼器 107 或行解碼器 106 包括一個具有將影像資料寫入選定像素儲存電路 109 和 110 的裝置的電路。像素儲存電路 109 和 110 包括 1、2 或更多位元儲存構件。像素儲存電路 109 和 110 各自包括多位記憶元件，因此能夠執行，例如多灰度顯示。在這種情況下，行解碼器 106 和列解碼器 107 選擇特定像素的特定位元儲存構件 111 到 114，列解碼器 107 可以包括一個具有將影像資料寫入選定儲存構件 111 到 114 的裝置的電路。像素運算處理電路 115 包括一個執行儲存在各個像素儲存電路中的影像資料合成的邏輯電路。像素顯示處理電路 116 具有將影像資料轉換成影像信號的功能。

接下來，為了解釋根據本發明的顯示裝置的特定驅動方法，將講述圖 3 中顯示的影像的顯示方法，其中字元 301 四處行動，影像由字元 301 和背景 302 構成。

首先，CPU 101 執行關於字元 301 的中心位置、方向等資料運算和滾動背景 302 的運算等等。CPU 101 的運算結果由 GPU 104 中的運算處理轉換成影像資料。例如，根據字元 301 的方向資料形成字元 301 的影像資料，影像資料轉換成以二進位數字表示各個像素的顏色和灰度的資料。在該實施例中，字元 301 的影像資料和背景 302 的影像資料分別儲存在像素儲存電路 109 和 110 中。

五、發明說明 (14)

然後，在像素運算處理電路 115 中，執行儲存在像素儲存電路 109 中的字元 301 的影像資料和儲存在像素儲存電路 110 中的背景 302 的影像資料的覆蓋。這裏，覆蓋的意思是在字元 301 的影像資料與預定義影像資料一致的情況下輸出背景 302 的影像資料，在字元 301 的影像資料與預定義影像資料不一致的情況下輸出字元 301 的影像資料。然後由各個像素的像素顯示處理電路 116 將輸出影像資料轉換成影像信號。例如，在使用液晶顯示裝置的情況下，影像資料轉換成一個應用於液晶元件一個電極的電壓值。像素顯示處理電路 116 是一個用於將影像資料轉換成具有類比灰度的影像信號的電路，例如 DAC。

該實施例形式的特徵在於顯示系統是使用顯示裝置構成的，顯示裝置中各個像素中的電路具有執行部分在現有技術中在 GPU 中執行的運算處理的功能，或具有儲存顯示必需的、對應於一面板的影像資料的儲存電路。使用上面的顯示裝置能夠減少 GPU 中的運算處理量。此外，能夠減少影像處理設備必需的部件數量，從而能夠使顯示系統小型化並減少重量。此外，在顯示靜態影像的情況下或在只改變部分顯示影像的情況下，能夠顯著減少功耗。對應的，提供了適用於高清晰度和大尺寸影像顯示的顯示裝置。

顯示裝置可以包括一個具有同時選擇多個像素並將影像資料儲存到選定像素的像素儲存電路中的裝置的電路。例如，解碼器電路能夠每行同時選擇八個像素，可以包括

五、發明說明 (15)

將資料寫入八個像素的像素儲存電路的電路。此外，在執行彩色顯示的情況下，可以包括一個具有選擇 R(紅色)、G(綠色)和 B(藍色)中一到三個像素的裝置的電路。使用上述結構可以縮短將資料寫入像素儲存電路的時間，從而能夠顯示更高清晰度和更大尺寸的影像。

在該實施例形式中的顯示裝置中，影像處理設備和顯示裝置可以安裝在同一個基底上，也可以安裝在獨立的基底上。在影像處理設備和顯示裝置安裝在同一個基底上的情況下，可以使用 TFT 構成 GPU。該結構能夠簡化接線，從而降低功耗。

該實施例形式可以用於使用自發光元件的液晶顯示裝置及其驅動方法。

實施例 1

在該實施例中，作為使用實施例形式中所示結構的顯示裝置的例子，給出了一個包含像素的液晶顯示裝置，每個像素包括兩個儲存電路，每個儲存電路包括 2 位元記憶元件、像素運算處理電路和由 DAC 構成的像素顯示處理電路。在下文中，將講述根據本發明的液晶顯示裝置的像素的電路結構及各個像素的顯示方法。請注意，在該實施例中解釋了單色顯示的像素，但是在執行彩色顯示的情況下，與該實施例中相同的結構可以用於 RGB 的各個分量。

圖 4 是該實施例中液晶顯示裝置的像素的電路圖。在

五、發明說明 (16)

圖 4 中顯示像素 401、像素儲存電路 402 和 403、像素運算處理電路 404 和像素顯示處理電路 405。液晶元件 406 位於像素電極 407 與共用電位線 409 之間。液晶電容器元件 408 顯示為標有電容 CL 的電容器元件，同時包括液晶元件 406 的電容器元件和用於保持電荷的儲存電容器。

源接線 410 與閘接線 411 到 414 相交，選擇電晶體 415 到 418 排列在各個相交點上。選擇電晶體 415 到 418 的閘極與閘接線 411 到 414 電連接，其源極或汲極與源接線 410 電連接，而另一個電極與記憶元件 419 到 422 的一組電極電連接。記憶元件 419 到 422 的另一組電極與像素運算處理電路 404 的各個輸出電連接。在該實施例中，記憶元件 419 到 422 分別包括一個由兩個反相電路以環形排列而成的電路。選擇電晶體 417 和 418 以及記憶元件 421 和 422 構成了像素儲存電路 402，選擇電晶體 415 和 416 以及記憶元件 419 和 420 構成了像素儲存電路 403。

該實施例顯示一個像素運算處理電路包含一個 NOR 電路、兩個 AND-NOR 電路和兩個反相電路的例子。

像素顯示處理電路 405 是一個電容分級型 DAC，包括高電位選擇電晶體 423 和 424、低電位選擇電晶體 425 和 426、電容器元件 427 和 428、高電位線 429 和 430、低電位線 431 和 432、重定電晶體 433、重定信號線 434、液晶電容器元件 408 和共用電位線 409。

這裏，在像素顯示處理電路 405 中，引用符號 C1 表示電容器元件 427 的電容，引用符號 C2 表示電容器元件

五、發明說明 (17)

428 的電容，引用符號 VH 表示各個高電位線 429 和 430 的電壓，引用符號 VL 表示各個低電位連線 431 和 432 的電壓，引用符號 COM 表示共用電位線 409 的電壓。此外，引用符號 V1 表示藉由使高電位選擇電晶體 423 和低電位選擇電晶體 425 之一導電而選擇的電位 (VH 或 VL)，引用符號 V2 表示藉由使高電位選擇電晶體 424 和低電位選擇電晶體 426 之一導電而選擇的電位 (VH 或 VL)。此時，加在像素電極 407 上的電位 VP 等於 $(C1 \cdot V1 + C2 \cdot V2 + CL \cdot COM) / (C1 + C2 + CL)$ 。在該實施例中，設定 $C1:C2:CL=2:1:1$ ， $COM=0$ 。因此在下文中滿足 $VP=(2V1+V2)/4$ 。

接下來講述了一種使用該實施例中的顯示裝置顯示影像的方法。結合圖 3 中顯示的、由字元 301 和背景 302 構成的影像講述了字元 301 四處行動的影像的顯示。在下文中，“H”指外加電位為 5V，“L”指外加電位為 0V。此外，使用了一種一般稱作白雜訊的模式，其中光透射率在加在液晶元件 406 上的電位為 0V 的情況下達到最大，因此，光透射率隨外加電壓絕對值的增大而減小。此外，字元 301 的影像資料的高位元和低位元分別儲存在儲存構件 422 和 421 中，背景 302 的影像資料的高位元和低位元分別儲存在儲存構件 420 和 419 中。

首先，重定信號線 434 設置為“H”，使重定電晶體 433 導電。這樣使像素電極 407 的電位等於共用電位線 409 的電位 (0V)，從而輕鬆啟動重寫影像資料之後的顯示。

五、發明說明 (18)

接下來，對於字元 301 和背景 302，GPU 中運算處理形成的影像資料以 2 位元資料(4 個灰度)的形式儲存在像素儲存電路 402 和 403 對應的儲存構件 419 到 422 中。這裏，例如，在字元 301 影像資料的高位元為“1”的情況下，當“H”電信號傳遞給源接線 410 且將 8V 電位加到閘接線 414 時，“1”儲存到儲存構件 422 中。此外，當“L”電信號傳遞給源接線 410 且將 8V 電位加到閘接線 411 時，“0”儲存到儲存構件 419 中。

請注意，關於閘接線 411 到 414 的選擇方法，例如，可以在 GPU 中形成表示應該儲存影像資料的一行像素的信號(行位址信號)，可以根據解碼器電路中的行位址信號形成一個選擇閘接線 411 到 414 中任一個的信號。

在像素運算處理電路 404 中，根據儲存在儲存構件 419 到 422 中影像資料形成一個選擇高電位選擇電晶體 423 和低電位選擇電晶體 425 之一和高電位選擇電晶體 424 和低電位選擇電晶體 426 之一的信號。在該實施例中，完成字元 301 的影像資料和背景 302 的影像資料的合成。這裏，預定義的影像資料為“11”。即，在字元 301 的影像資料等於“11”的情況下，選擇背景 302 的影像資料，而在相反的情況下，選擇字元 301 的影像資料。表 1 中顯示合成之後的影像資料。這裏，在選擇信號的高位元為“1”(“0”)的情況下，高電位選擇電晶體 423(低電位選擇電晶體 425)導電。另外，在選擇信號的低位元元為“1”(“0”)的情況下，高電位選擇電晶體 424(低電位選擇

五、發明說明 (19)

電晶體 426)導電。

然後，將重定信號線 434 設置為“L”，使重定電晶體 433 不導電。此外，電位 VH(例如，3V)加到高電位線 429 和 430，電位 LH(例如，1V)加到低電位線 431 和 432。

高電位線 429 和低電位線 431 之一的電位和高電位線 430 和低電位線 432 之一的電位分別加到電容器元件 427 和 428 上。因此，加在像素電極 407 上的導電電壓由像素顯示處理電路中的電容器 DAC 確定，如表 1 所示。同時，可以步進式的改變液晶元件 406 的光透射率。

五、發明說明 (20)

表 1

字元		背景		合成影像		
高位元	低位元	高位元	低位元	低位元	高位元	像素電極電壓 (V)
0	0	0	0	0	0	0.75
		0	1			
		1	0			
		1	1			
0	1	0	0	0	1	1.25
		0	1			
		1	0			
		1	1			
1	0	0	0	1	0	1.75
		0	1			
		1	0			
		1	1			
1	1	0	0	0	0	0.75
		0	1	0	1	1.25
		1	0	1	0	1.75
		1	1	1	1	2.25

根據 GPU 中運算處理的結果，在改變影像資料的情況下，將重定信號線 434 設置為“H”，使重定電晶體

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (21)

433 導電。然後重複與上面相同的方法。

此外，因為當長時間將同一個電位連續加在液晶元件上時導致燒毀，所以電位最好在 V_H 和 V_L 之間周期性的改變。例如，對於每個顯示周期， $V_H(V_L)$ 從 $+3V(+1V)$ 改變到 $-3V(-1V)$ ，或從 $-3V(-1V)$ 改變到 $+3V(+1V)$ 。在這種情況下，重定信號線 434 一旦設置為“H”使重定電晶體 433 導電，然後再次將重定信號線 434 設置為“L”使重定電晶體 433 不導電。這樣電位在 V_H 和 V_L 之間改變。

請注意，該實施例中顯示的工作電壓只是舉例，本發明不限於這些電壓值。

在該實施例中，對於根據本發明的顯示裝置，顯示一個像素中的兩個像素儲存電路分別由 2 位元 SRAM 構成的例子。但是可以使用 3 位元或更多位的 SRAM。多位元 SRAM 增加了影像的色彩數，使影像以高清晰度顯示。此外，可以將三個或三個以上的像素儲存電路加入像素中。藉由合併大量的像素儲存電路能夠處理顯示更為複雜影像的情況。此外，像素儲存電路之間的位元數可以不同。

此外，在該實施例中，對於根據本發明的顯示裝置，顯示一個像素儲存電路包括一個 SRAM 的例子。但是，像素儲存電路可以包括另一種已知的記憶元件，例如 DRAM。例如，當使用 DRAM 時，可以減小記憶元件的面積，這將能夠容易的使用多位元結構。因此，能夠增加顯示影像的色彩數，能夠實現高清晰度的影像顯示。在這種情況下，儲存資訊與電容器元件中累積的電荷量一致，累積的

五、發明說明(22)

電荷隨時間消失。因此，記憶元件的儲存資訊需要周期性的重寫。

此外，在該實施例中使用電容分級型 DAC 作為像素顯示處理電路，但是像素顯示處理電路可以包括另一種已知方式的 DAC，例如電阻分級型 DAC。此外，在該實施例中像素顯示處理電路由 DAC 組成，但可以根據另一種將關於面積灰度的數位資料轉換成影像信號的方法來排列。因為最優結構隨各種情況而變，所以使用者可以選擇合適的結構。

請注意，該實施例中顯示的結構可以應用於使用自發光元件的顯示裝置，例如液晶顯示裝置後面的 OLED 顯示裝置。

如上所述，在使用具有該實施例中所示結構的顯示裝置的顯示系統中，現有技術中在 GPU 中執行的部分運算處理可以在顯示裝置中執行，從而能夠減少 GPU 中的運算處理量。此外，能夠減少影像處理設備必需的部件數量，由此能夠使顯示系統小型化並減少重量。此外，在實現靜態影像的情況下，或在只有部分顯示影像改變的情況下，重寫非常少量的影像資料就足夠了，所以能夠顯著減小功耗。因此，可以實現適用於高清晰度和大尺寸影像顯示的顯示裝置和使用該顯示裝置的顯示系統。

實施例 2

在該實施例中，使用了一個液晶顯示裝置的例子，其

五、發明說明 (23)

中像素運算處理電路和像素顯示處理電路的結構與實施例 1 的結構不同。在下文中，講述了該實施例中液晶顯示裝置像素的電路結構和用於各個像素的顯示方法。請注意，該實施例中說明了單色顯示的像素，但在實現彩色顯示的情況下，該實施例的結構可以適用於 RGB 的各個分量。

圖 5 是該實施例中的液晶顯示裝置的像素的電路圖。在圖 5 中，顯示一個像素 501，其中液晶元件 502 在像素電極 503 和共用電位線 504 之間。液晶電容元件 505 顯示為標有 CL 的電容器元件，同時包括液晶元件 502 的電容器元件和用於保持電荷的儲存電容器。

源接線 506 與閘接線 507 到 510 相交，選擇電晶體 511 到 514 排列在各個相交點上。選擇電晶體 511 到 514 的閘極與閘接線 507 到 510 電連接，其源極或汲極與源接線 506 電連接，而另一個電極與記憶元件 515 到 518 電連接。在該實施例中，記憶元件 515 到 518 分別包括一個由兩個反相電路以環形排列而成的電路。選擇電晶體 511 和 512 以及記憶元件 515 和 516 構成了第一像素儲存電路(沒有顯示)，選擇電晶體 513 和 514 以及記憶元件 517 和 518 構成了第二像素儲存電路(沒有顯示)。

在該實施例中，像素運算處理電路 519 由四個類比開關組成。

像素顯示處理電路(沒有顯示)包括高電位選擇電晶體 520 和 523、低電位選擇電晶體 524 和 527、電容器元件 528 和 531(電容 C1 到 C4)、高電位線 532 和 535、低電位

五、發明說明 (24)

線 536 和 540、重定電晶體 540、重定信號線 541、液晶電容器元件 505 和共用電位線 504。請注意，在該實施例中，設定 $C1:C2:C3:C4:CL=2:1:2:1:1$ ， $COM=0$ 。

接下來講述了一種使用該實施例中的顯示裝置的顯示方法。結合圖 3 中顯示的、由字元 301 和背景 302 構成的影像講述了字元 301 四處行動的影像的顯示。在下文中，“H”指外加電位為 5V，“L”指外加電位為 0V。此外，使用了一個一般稱作白雜訊的模式，其中光透射率在加在液晶元件 502 上的電位為 0V 的情況下達到最大，因此，光透射率隨外加電壓絕對值的增大而減小。此外，字元 301 的影像資料的高位元和低位元分別儲存在儲存構件 517 和 518 中，背景 302 的影像資料的高位元和低位元分別儲存在儲存構件 515 和 516 中。

首先，將重定信號線 541 設置為“H”，使重定電晶體 540 導電。這樣使像素電極 503 的電位等於共用電位線 504 的電位(0V)，從而輕鬆啟動重寫影像資料之後的顯示。

接下來，對於字元 301 和背景 302，GPU 中運算處理形成的影像資料以 2 位元資料(4 個灰度)的形式儲存在像素儲存電路 402 和 403 對應的儲存構件 515 到 518 中。這裏，例如，在字元 301 影像資料的高位元為“1”的情況下，當“H”電信號傳遞給源接線 506 且將 8V 電位加到閘接線 509 時，“1”儲存到儲存構件 517 中。此外，當“L”電信號傳遞給源接線 506 且將 8V 電位加到閘接線

五、發明說明 (25)

510 時，“0”儲存到儲存構件 518 中。

請注意，關於閘接線 507 到 510 的選擇方法，例如，可以在 GPU 中形成表示應該儲存影像資料的一行像素的信號(行位址信號)，可以根據解碼器電路中的行位址信號形成一個選擇閘接線 507 到 510 中任一個的信號。

然後，將重定信號線 541 設置為“L”，使重定電晶體 540 不導電。此外，電位 VH(例如，3V)加到高電位線 532 和 535，電位 LH(例如，1V)加到低電位線 536 和 539。

在該實施例中，預定義的影像資料為“11”。即，在字元 301 的影像資料等於“11”的情況下，選擇背景 302 的影像資料，而在相反的情況下，選擇字元 301 的影像資料。表 1 中顯示合成之後的影像資料。

在儲存在記憶元件 517 的資料和儲存在記憶元件 518 的資料都等於“1”的情況下，由像素運算處理電路 519 構成。電容分級型 DAC 的結構包括電容器元件 528 和 529、液晶電容器元件 505、高電位選擇電晶體 520 和 521、低電位選擇電晶體 524 和 525、高電位線 532 和 533 以及低電位線 536 和 537。

此外，在儲存在記憶元件 517 的資料和儲存在記憶元件 518 的資料中至少有一個等於“0”的情況下，由像素運算處理電路 519 構成。電容分級型 DAC 的結構包括電容器元件 530 和 53、液晶電容器元件 505、高電位選擇電晶體 522 和 523、低電位選擇電晶體 526 和 527、高電位

五、發明說明 (26)

線 534 和 535 以及低電位線 538 和 539。

使用 DAC 形成影像信號的方法與實施例 1 中顯示的方法相同，因此省略了方法說明。在該實施例中，加在像素電極 503 上的電壓也按表 1 所示確定。同時，可以步進式的改變液晶元件 406 的光透射率。

根據 GPU 中運算處理的結果，在影像資料改變的情況下，將重定信號線 541 設置為“H”，使重定電晶體 540 導電。然後重複與上面相同的方法。

此外，因為當長時間將同一個電位連續加在液晶元件上時會導致燒毀，所以電位最好在 V_H 和 V_L 之間周期性的改變。例如，對於每個顯示周期， $V_H(V_L)$ 從 $+3V(+1V)$ 改變到 $-3V(-1V)$ ，或從 $-3V(-1V)$ 改變到 $+3V(+1V)$ 。在這種情況下，重定信號線 541 一旦設置為“H”使重定電晶體 540 導電，然後再次將重定信號線 541 設置為“L”使重定電晶體 540 不導電。這樣電位在 V_H 和 V_L 之間改變。

請注意，該實施例中顯示的工作電壓只是舉例，本發明不限於這些電壓值。

在該實施例中，對於根據本發明的顯示裝置，顯示一個像素中的兩個像素儲存電路分別由 2 位元 SRAM 構成的例子。但是可以使用 3 位元或更多位的 SRAM。多位元 SRAM 增加了影像的色彩數，使影像以高清晰度顯示。此外，可以將三個或三個以上的像素儲存電路加入像素中。藉由合併大量的像素儲存電路能夠處理顯示更為複雜影像的情況。此外，像素儲存電路之間的位元數可以不同。

五、發明說明(27)

此外，在該實施例中，對於根據本發明的顯示裝置，顯示一個像素儲存電路包括一個 SRAM 的例子。將是，像素儲存電路可以包括另一種已知的記憶元件，例如 DRAM。例如，當使用 DRAM 時，可以減小記憶元件的面積，這將能夠容易的使用多位元結構。因此，能夠增加顯示影像的彩色數，能夠實現高清晰度的影像顯示。在這種情況下，儲存資訊與電容器元件中累積的電荷量一致，累積的電荷隨時間消失。因此，記憶元件的儲存資訊需要周期性的重寫。

此外，在該實施例中使用電容分級型 DAC 作為像素顯示處理電路，但是像素顯示處理電路可以包括另一種已知方式的 DAC，例如電阻分級型 DAC。此外，在該實施例中像素顯示處理電路由 DAC 組成，但可以根據另一種將關於面積灰度的數位資料轉換成影像信號的方法來排列。因為最優結構隨各種情況而變，所以使用者可以選擇合適的結構。

請注意，該實施例中顯示的結構可以應用於使用自發光元件的顯示裝置，例如液晶顯示裝置後面的 OLED 顯示裝置。

如上所述，在使用具有該實施例中顯示的結構的顯示裝置的顯示系統中，現有技術中在 GPU 中執行的部分運算處理可以在顯示裝置中執行，因此，能夠減少 GPU 中的運算處理量。此外，能夠減少影像處理設備必需的部件數量，由此能夠使顯示系統小型化並減少重量。此外，在

五、發明說明 (28)

實現靜態影像的情況下，或在只有部分顯示影像改變的情況下，重寫非常少量的影像資料就足夠了，所以能夠顯著減小功耗。因此，可以實現適用於高清晰度和大尺寸影像顯示的顯示裝置和使用該顯示裝置的顯示系統。

實施例 3

在該實施例中，講述了一種同時形成根據本發明的顯示裝置中像素部分及安裝在其後面的驅動電路(行解碼器電路、列解碼器電路)的 TFT 的方法。請注意，爲了方便起見，在該說明中形成驅動電路的基底指主動矩陣基底，其中驅動電路包括一個 CMOS 電路和一個具有轉換 TFT 和驅動 TFT 的像素部分。在該實施例中參照圖 6A 到 7D 講述了主動矩陣基底的製造過程。請注意，在該實施例中 TFT 使用了頂部閘極結構。但是，TFT 也可以使用底部閘極結構或雙閘極結構實現。

在表面上形成一層絕緣膜的石英基底、矽基底或金屬或不銹鋼基底用作基底 5000。此外，也可以使用能夠承受製造過程中處理溫度的耐熱塑膠基底。在該實施例中，使用的基底 5000 是由硼矽酸鋇玻璃或硼矽酸鋁玻璃等玻璃製成的。

接下來，在基底 5000 上形成包括一個如氧化矽膜、氮化矽膜或氧氮化矽膜等絕緣膜的基薄膜 5001。該實施例中的基薄膜 5001 使用兩層結構。但是可以使用單層絕緣膜結構或兩層以上絕緣膜層疊的結構。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (29)

在該實施例中，對於基薄膜 5001 的第一層，是使用等離子 CVD 法、用 SiH_4 、 NH_3 和 N_2O 作為反應氣體形成的氧氮化矽膜 5001a，厚度為 10 到 200 nm(較佳是 50 到 100 nm)。在該實施例中，形成的氧氮化矽膜 5001a 的厚度為 50 nm。然後，對於基薄膜 5001 的第二層，是使用等離子 CVD 法、用 SiH_4 和 N_2O 作為反應氣體形成的氧氮化矽膜 5001b，厚度為 50 到 200 nm(較佳是 100 到 150 nm)。在該實施例中，形成的氧氮化矽膜 5001b 的厚度為 100 nm。

隨後在基薄膜 5001 上形成半導體層 5002 到 5005。對於半導體層 5002 到 5005，半導體膜是由已知方式(噴鍍法、LPCVD 法、等離子 CVD 法等)形成的，厚度為 25 到 80 nm(較佳是 30 到 60 nm)。然後使用已知的結晶方法(鐳射結晶方法、使用 RTA 或爐內退火的熱結晶方法、使用促進結晶的金屬元素的熱結晶方法等等)結晶半導體膜。然後，將由此得到的結晶半導體膜製成想要的形狀，形成半導體層 5002 到 5005。請注意，非結晶半導體膜、微晶半導體膜、結晶半導體膜、非結晶矽鍍膜等具有非結晶結構的合成半導體膜等可以用作半導體膜。

在該實施例中，使用等離子 CVD 法形成 55 nm 厚的矽膜。然後，使用含鎳的溶液浸泡非結晶矽膜、使非結晶矽膜脫氫(500℃，1 小時)、然後對其進行熱結晶(500℃，4 小時)，從而形成結晶矽膜。此後，藉由使用光刻方法的成形過程形成半導體層 5002 到 5005。

五、發明說明 (30)

請注意，連續振盪或脈衝振盪型氣體雷射器或固體雷射器可以用作在藉由鐳射結晶方法形成結晶半導體膜的情況下使用的雷射器。對於前面的氣體雷射器，可以使用受激準分子雷射器、YAG雷射器、YVQ₄雷射器、YLF雷射器、YAlO₃雷射器、紅寶石雷射器、Ti:藍寶石雷射器等。此外，對於後面的固體雷射器，可以使用使用了摻雜了Cr、Nd、Er、Ho、Ce、Co、Ti或Tm的YAG、YVO₄、YLF或YAlO₃等晶體的雷射器。關心的雷射器基波隨摻雜的金屬不同而不同，獲得了基波為1 μ m的鐳射。藉由使用非線性光學元件可以得到相對於基波的諧波。請注意，在非結晶半導體膜的結晶過程中，最好是使用能夠實現連續振盪的固體雷射器，為了得到大顆粒尺寸的晶體，使用相對於基波的第二諧波到第四諧波。典型是使用Nd:YVO₄雷射器(基波為1064 nm)的第二諧波(532 nm)或第三諧波(355 nm)。

此外，輸出功率為10 W的連續振盪型YVO₄雷射器發射的鐳射藉由非線性光學元件轉換成諧波。此外，有一種方法將YVO₄晶體和非線性光學元件放入到諧振器中，從而發射出諧波。光學系統使諧波在照射面上形成矩形或橢圓形的鐳射，鐳射照射在要處理的物件上。此時需要的能量密度為大約0.01到100 MW/cm²(較佳是0.1到10 MW/cm²)。然後使用鐳射照射半導體膜，同時半導體膜相對於鐳射以大約10到2000 cm/s的速度行動。

此外，在使用上述雷射器的情況下，鐳射振盪器發射

五、發明說明 (31)

的雷射光束最好由光學系統聚焦成線形照射到半導體膜。適當的設置結晶條件。但是，在使用受激準分子雷射器的情況下，最好是脈衝振盪頻率為 300 Hz，鐳射能量密度為 100 到 700 mJ/cm²(典型是 200 到 300 mJ/cm²)。此外，在使用 YAG 雷射器的情況下，最好是脈衝振盪頻率為 1 到 300 Hz，鐳射能量密度為 300 到 1000 mJ/cm²(典型是 350 到 500 mJ/cm²)。聚焦成寬度為 100 到 1000 μ m(較佳為 400 μ m)的線形鐳射照射到整個基底表面。此時線性光束的覆蓋比可以是 50 到 98%。

但是，在該實施例中，因為非結晶矽膜的結晶是藉由使用促進結晶的金屬元素來實現的，所以金屬元素保持在結晶矽膜中。由此，在結晶矽膜上形成了厚度為 50 到 100 nm 的非結晶矽膜，在該處執行熱處理(使用 RTA 或爐內退火的熱退火或類似處理)，將金屬元素擴散到非結晶矽膜中。在熱處理之後，藉由執行蝕刻去除非結晶矽膜。結果是能夠去除或減少結晶矽膜中金屬元素的含量。

請注意，在形成半導體層 5002 和 5005 之後，可以進行摻雜少量雜質元素(硼或磷)以控制 TFT 的閾值。

隨後形成覆蓋半導體層 5002 到 5005 的閘極絕緣膜 5006。閘極絕緣膜 5006 是使用等離子 CVD 法或噴鍍方法形成的含矽絕緣膜，厚度為 40 到 150 nm。在該實施例中，對於閘極絕緣膜 5006，藉由等離子 CVD 法形成了厚度為 115 nm 的氧氮化矽膜。當然，閘極絕緣膜 5006 不限於氧氮化矽膜，可以使用單層結構或層疊結構的另一種含矽

五、發明說明 (32)

絕緣膜。

請注意，在使用氧化矽膜作為閘極絕緣膜 5006 的情況下，可以這樣形成閘極絕緣膜：藉由等離子 CVD 法混合 TEOS(四乙基原矽酸鹽)和 O_2 ；設置反應壓力為 40 Pa，基底溫度為 300 到 400℃；以 0.5 到 0.8 W/cm² 的高頻 (13.56 MHz) 功率密度執行放電。藉由上述步驟形成的氧化矽膜藉由隨後 400 到 500℃ 的熱退火能夠達到符合作為閘極絕緣膜 5006 的特性。

然後，在閘極絕緣膜 5006 上形成層疊的厚度為 20 到 100 nm 的第一導電膜 5007 和厚度為 100 到 400 nm 的第二導電膜 5008。在該實施例中，由 30 nm 厚的 TaN 膜構成的第一導電膜 5007 和由 370 nm 厚的 W 膜構成的第二導電膜 5008 是以層疊形式形成的。

在該實施例中，藉由噴鍍方法在含氮氣體中使用 Ta 對電極形成了作為第一導電膜 5007 的 TaN 膜。此外，藉由噴鍍方法使用 W 對電極形成了作為第二導電膜 5008 的 W 膜。此外，可以藉由使用六氟化鎢 (WF_6) 的熱 CVD 法形成 W 膜。在任一種情況下，為了用作閘極，W 膜需要具有較低的阻抗，W 膜的電阻率最好是 20 $\mu\Omega$ 或更低。藉由加大結晶顆粒能夠降低 W 膜的阻抗。但是，在 W 膜中存在大量氧等大量雜質元素的情況下，抑制了結晶，產生了較高的阻抗。因此，在使用高純度(純度為 99.9999%)W 對電極的噴鍍方法執行的膜澱積中，為了在汽相不混合雜質，要充分注意 W 膜的形成。因此，能夠實現 9 到 20 μ

(請先閱讀背面之注意事項再填寫本頁)

訂

終

五、發明說明 (33)

Ω 的電阻率。

請注意，在該實施例中 TaN 膜和 W 膜分別用作第一導電膜 5007 和第二導電膜 5008，但是沒有特別限制構成第一導電膜 5007 和第二導電膜 5008 的材料。分別形成第一導電膜 5007 和第二導電膜 5008 可以是由 Ta、W、Ti、Mo、Al、Cu、Cr 和 Nd 組成的組中選擇的一種元素或以該元素作為主成分的合金材料或複合材料。此外，形成導電膜的可以是以摻雜了磷或 AgPdCu 合金等雜質元素的多晶矽膜為代表的半導體膜。

接下來，使用微縮術形成由抗蝕劑製成的遮罩 5009，並執行形成電極和接線的第一蝕刻處理。第一蝕刻處理是在第一和第二蝕刻條件下執行的。(圖 6B)

在該實施例中，對於第一蝕刻條件，使用 ICP(感應耦合電漿)蝕刻法執行蝕刻，其中蝕刻氣體使用 CF_4 、 CL_2 和 O_2 ；氣體流速設置為 25:25:10 sccm；在 1.0 Pa 的氣壓下將線圈形電極加上 500 W 的 RF(13.56 MHz)功率以產生電漿。基底端(取樣級)還加上 150 W 的 RF(13.56 MHz)功率，並將其加上足夠的負的自偏壓。然後，在第一蝕刻條件下蝕刻 W 膜，將第一導電膜 5007 的尾部製成錐形。

隨後第一蝕刻條件在不去除由抗蝕劑製成的遮罩 5009 的情況下改變到第二蝕刻條件。蝕刻執行大約 15 秒，其中蝕刻氣體使用 CF_4 和 CL_2 ；氣體流速設置為 30:30:15 sccm；在 1.0 Pa 的氣壓下將線圈形電極加上 500 W 的 RF(13.56 MHz)功率以產生電漿。基底端(取樣級)還

五、發明說明 (34)

加上 20 W 的 RF(13.56 MHz)功率，並將其加上足夠的負的自偏壓。在第二蝕刻條件下，第一導電層 5007 和第二導電層 5008 蝕刻到完全相同的程度。為了執行蝕刻且不在閘極絕緣膜 5006 上留下殘餘物，要以大約 10 到 20% 的速度增加蝕刻時間。

在第一蝕刻處理中，將抗蝕劑形成的遮罩製成合適的形狀，借此因為加在基底端的偏壓的作用，第一導電層 5007 和第二導電層 5008 的尾部形成了錐形。以這種方式，藉由第一蝕刻處理形成了分別由第一導電層 5007 和第二導電層 5008 構成的第一形態導電層 5010 到 5014。在閘極絕緣膜 5006 中，由於沒有被第一形態導電層 5010 到 5014 覆蓋的區域蝕刻了 20 到 50 nm，所以區域的厚度減小了。

接下來，在不去除由抗蝕劑製成的遮罩 5009 的情況下執行第二蝕刻處理。(圖 6C)在第二蝕刻處理中，蝕刻執行大約 25 秒，其中蝕刻氣體使用 SF_6 、 CL_2 和 O_2 ；氣體流速設置為 24:12:24 sccm；在 1.3 Pa 的氣壓下將線圈形電極加上 700 W 的 RF(13.56 MHz)功率以產生電漿。基底端(取樣級)還加上 10 W 的 RF(13.56 MHz)功率，並將其加上足夠的負的自偏壓。以這種方式選擇性的蝕刻 W 膜，形成第二形態導電層 5015 到 5019。此時，難以蝕刻第一導電層 5015a 到 5019a。

然後，在不去除由抗蝕劑製成的遮罩 5009 的情況下執行第一摻雜處理，添加低濃度的、形成 n 型傳導性的雜

五、發明說明 (35)

質元素到半導體膜層 5002 到 5005 中。第一摻雜處理可以藉由離子摻雜法或離子注入法實現。對於例子摻雜法的條件，執行摻雜時的劑量為 1×10^{13} 到 5×10^{14} atoms/cm²，加速電壓為 40 到 80 keV。在該實施例中，執行摻雜的劑量為 5.0×10^{14} atoms/cm²，加速電壓為 50 keV。屬於族 15 的元素可以用作形成 n 型傳導性的雜質元素。典型使用的是磷(P)或砷(As)，在該實施例中使用的是磷(P)。在這種情況下，第二形態導電層 5015 到 5019 作為阻隔形成 n 型傳導性的雜質元素的遮罩，以自動調整的方式形成了第一雜質區域(n 區域)5020 到 5023。然後，形成 n 型傳導性的雜質元素添加到第一雜質區域 5020 到 5023 中，濃度範圍是 1×10^{18} 到 1×10^{20} atoms/cm²。

隨後在去除由抗蝕劑製成的遮罩 5009 之後，新形成一個由抗蝕劑製成的遮罩 5024，在高於第一摻雜處理的加速電壓下執行第二摻雜處理。對於離子摻雜法的條件，執行摻雜的劑量為 1×10^{13} 到 3×10^{15} atoms/cm²，加速電壓為 60 到 120 keV。在該實施例中，執行摻雜的劑量為 3.0×10^{15} atoms/cm²，加速電壓為 65 keV。執行的第二摻雜處理使用第二導電層 5019b 到 5023b 作為阻隔雜質元素的遮罩，這樣雜質元素添加到在第一導電層 5015a 到 5019a 尾部下方的半導體層中。

執行第二摻雜處理的結果是，覆蓋第一導電層的第二雜質區域(n-區域，Lov 區域)5026 添加了濃度範圍為 1×10^{19} 到 5×10^{19} atoms/cm²、形成 n 型傳導性的雜質元素。

五、發明說明 (36)

此外，第三雜質區域(n+區域)5025和5028添加了濃度範圍為 1×10^{19} 到 5×10^{21} atoms/cm²、形成n型傳導性的雜質元素。此外，在第一和第二摻雜處理之後，在半導體層5002到5005中形成了完全沒有添加雜質元素的區域或添加了少量雜質元素的區域。在該實施例中，完全沒有添加雜質元素的區域或添加了少量雜質元素的區域稱作通道區域5027和5030。此外，在第一摻雜處理形成的第一雜質區域(n區域)5020到5023中，存在在第二摻雜處理中由抗蝕劑5024覆蓋的區域。在該實施例中繼續稱作第一雜質區域(n--區域，LDD區域)5029。

請注意，在該實施例中，第二雜質區域(n-區域)5026和第三雜質區域(n+區域)5025和5028只是由第二摻雜處理形成的，但本發明不限於此。上述區域可以由多重摻雜處理形成，同時可以適當改變摻雜處理條件。

然後，如圖7A所示，在去除由抗蝕劑製成的遮罩5024之後，新形成了一個由抗蝕劑製成的遮罩5031。其後執行第三摻雜處理。藉由第三摻雜處理，在半導體層中形成了用作p通道TFT主動層的第四雜質區域(p+區域)5032和5034以及第五雜質區域(p-區域)5033和5035，所添加雜質元素所形成的傳導性與第一傳導性相反。

在第三摻雜處理中，第二導電層5016b和5018b用作阻隔雜質元素的遮罩。以這種方式添加了形成n型傳導性的雜質元素，以自調整方式形成了第四雜質區域(p+區域)5032和5034以及第五雜質區域(p-區域)5033和5035。

五、發明說明 (37)

在該實施例中，第四雜質區域(p+區域)5032和5034以及第五雜質區域(p-區域)5033和5035是藉由使用乙硼烷(B_2H_6)的離子摻雜方法形成的。對於離子摻雜方法的條件，使用的劑量為 1×10^{16} atoms/cm²，加速電壓為80 keV。

請注意，在第三摻雜處理中形成n通道TFT的半導體層覆蓋了由抗蝕劑製成的遮罩5031。

這裏，藉由第一和第二摻雜處理，為第四雜質區域(p+區域)5032和5034以及第五雜質區域(p-區域)5033和5035添加了不同濃度的磷。但是，第四雜質區域(p+區域)5032和5034以及第五雜質區域(p-區域)5033和5035都進行了第三摻雜處理，使得形成n型傳導性的雜質元素的濃度為 1×10^{19} 到 5×10^{21} atoms/cm²。因此，第四雜質區域(p+區域)5032和5034以及第五雜質區域(p-區域)5033和5035用作p通道TFT的源極區域和汲極區域不成問題。

請注意，在該實施例中，第四雜質區域(p+區域)5032和5034以及第五雜質區域(p-區域)5033和5035只是由第三摻雜處理形成的，但本發明不限於此。上述區域可以由多重摻雜處理形成，同時可以適當改變摻雜處理條件。

然後如圖7B所示，去除由抗蝕劑製成的遮罩5031，然後形成第一層間絕緣膜5036。對於第一層間絕緣膜5036，藉由使用等離子CVD法或噴鍍法形成一個含矽絕緣膜，厚度為100到200 nm。在該實施例中，藉由等離子CVD法形成了厚度為100 nm的氧氮化矽膜。當然，第

五、發明說明 (38)

一層間絕緣膜 5036 不限於氮化矽膜，可以使用另一種單層或層疊結構的含矽絕緣膜。

然後如圖 7C 所示，執行熱處理(熱處理)恢復半導體層的結晶度，活化添加到半導體層的雜質元素。熱處理由使用爐內退火的熱退火方法實現。熱退火方法最好在氧濃度 1 ppm 以下、最好是 0.1 ppm 以下的 400 到 700℃ 氮氣中執行。在該實施例中，藉由 1 小時的 410℃ 熱處理執行活化處理。請注意，除熱退火方法之外，也可以使用鐳射退火方法或快速熱退火方法(RTA 方法)。

此外，熱處理可以在形成第一層間絕緣膜 5036 之前執行。順便提一句，在構成第一導電層 5015a 到 5019a 和第二導電層 5015b 到 5019b 的材料易受加熱影響的情況下，為了保護如該實施例中的接線等，最好在形成第一層間絕緣膜 5036(矽作為主成分的絕緣膜，例如氮化矽膜)之後執行熱處理。

如上所述，在形成第一層間絕緣膜 5036(矽作為主成分的絕緣膜，例如氮化矽膜)之後執行熱處理，由此能夠在活化處理的同時執行半導體層的氫化。在氫化步驟中，第一層間絕緣膜 5036 中包含的氫終止了半導體層的不飽和鍵。

請注意，除用於活化處理的熱處理之後還可以執行用於氫化的熱處理。

這裏，不管是否存在第一層間絕緣膜 5036 都能夠氫化半導體層。至於別的氫化方式，可以使用利用電漿激發

五、發明說明 (39)

的氫的方式(電漿氫化)或在含氫 3 到 100%的氣體中執行 1 到 12 小時的 300 到 450℃ 熱處理的方式。

接下來，在第一層間絕緣膜 5036 上形成第二層間絕緣膜 5037。第二層間絕緣膜 5037 可以使用無機絕緣膜。例如，可以使用 CVD 法形成的氧化矽膜、SOG(玻璃上旋壓)法應用的氧化矽膜等。此外，至於第二層間絕緣膜 5037 可以使用有機絕緣膜。例如，可以使用聚亞胺、聚胺、BCB(苯環丁烯)、丙烯酸等製成的膜。此外，還可以使用丙烯酸膜和氧氮化矽膜的層疊結構。

在該實施例中，形成了厚度為 1.6 μm 的丙烯酸膜。第二層間絕緣膜 5037 能夠減小由於在基底 5000 上形成 TFT 而產生的不均勻性並提供水平度。特別是提供第二層間絕緣膜 5037 主要是為了提供水平度，最好是水平度極好的膜。

接下來，使用幹蝕刻或濕蝕刻來蝕刻第二層間絕緣膜 5037、第一層間絕緣膜 5036 和閘極絕緣膜 5006，由此形成達到第三雜質區域 5025 和 5028 以及第四雜質區域 5032 和 5034 的接觸孔。

隨後形成與各自雜質區域電連接的接線 5038 到 5041 和像素電極 5042。請注意，這些接線是藉由將由 50 nm 厚的 Ti 膜和 500 nm 厚的合金膜(Al 和 Ti 的合金膜)構成的層疊膜製成形狀而形成的。當然，本發明不限於兩層結構，可以使用單層結構或三層以上的層疊結構。此外，接線的材料不限於 Al 和 Ti。例如，可以藉由將在 TaN 膜上

五、發明說明 (40)

形成 Al 膜或 Cu 膜並在其上又形成一個 Ti 膜的層疊膜製成形狀來形成接線。在任一種情況下，最好使用反射性良好的材料。

此後，在至少包括像素電極 5042 的部分上形成定向膜 5043 並在其上執行摩擦處理。請注意，在該實施例中，在形成定向膜 5043 之前在希望的位置藉由將丙烯酸膜等有機樹脂膜製成形狀形成保持基底間隔的柱形隔離物 5043。此外，除了柱形隔離物之外還可以在基底表面上散佈球形隔離物。

接下來，製備對基底 5046。在對基底 5046 上形成彩色層(色彩濾波器)5047 到 5049 以及水平層。此時，第一彩色層 5047 和第二彩色層 5048 重疊，形成光遮罩部分。此外，第一彩色層 5047 和第三彩色層 5049 可以部分重疊，形成光遮罩部分。另一種方式是第二彩色層 5048 和第三彩色層 5049 可以部分重疊，形成光遮罩部分。

以這種方式，藉由由彩色層的層疊層構成的光遮罩部分使像素之間的間隙蔽光，不用新形成光遮罩部分。因此能夠減少步驟數。

然後，在水平層 5050 至少對應於像素部分的一部分上形成由透明導電膜構成的對電極 5051，在對基底的基底上形成定向膜 5052。然後在其上執行摩擦處理。

然後，使用密封材料 5044 將上面形成了像素部分和驅動電路的主動矩陣基底和對基底相互粘合在一起。密封材料 5044 與填充劑混合，將兩個基底粘合在一起，同時

五、發明說明 (41)

藉由填充劑和柱形隔離物形成了一致的間隔。由此在兩個基底之間插入液晶材料 5053，使用密封層(沒有顯示)實現完全的密封。液晶材料 5053 可以使用已知的液晶材料。因此，圖 7D 中顯示的液晶顯示裝置是完整的。然後，如果需要的話，將主動矩陣基底或對基底切割成需要的形狀。此外，將起偏振片和 FPC(沒有顯示)粘合到液晶顯示裝置上。

如上所述製造的液晶顯示裝置的 TFT 是使用在其中形成了具有大顆粒尺寸的晶粒的半導體膜製造的，因此提供了足夠的運行特性和可靠性。此外，液晶顯示裝置可以用作各種電子設備的顯示部分。

請注意，該實施例可以應用於具有在實施例 1 或實施例 2 中描述的像素的顯示裝置製造過程。

實施例 4

在該實施例中，參考圖 8A 到 8D 講述了結構與實施例 3 中不同的主動矩陣基底的製造過程。

請注意，到圖 8B 為止的步驟與圖 6A 到 6D 和圖 7A 到 7B 中的步驟相同。

在圖 8A 到 8D 中，與圖 6A 到 6D 和圖 7A 到 7D 中相同的部分以相同的引用數位表示，並忽略了對其的講述。

在第一層間絕緣膜 5036 上形成第二層間絕緣膜 5037。第二層間絕緣膜 5037 可以使用無機絕緣膜。例如，可以使用 CVD 法形成的氧化矽膜、SOG(玻璃上旋壓)法應用

五、發明說明 (42)

的氧化矽膜等。此外，至於第二層間絕緣膜 5037 可以使用有機絕緣膜。例如，可以使用聚亞胺、聚胺、BCB(苯環丁烯)、丙烯酸等製成的膜。此外，還可以使用丙烯酸膜和氧化矽膜的層疊結構。此外，還可以使用藉由噴鍍法形成的丙烯酸膜和氮化矽膜或氧氮化矽膜的層疊結構。

在該實施例中，形成了厚度為 $1.6\ \mu\text{m}$ 的丙烯酸膜。第二層間絕緣膜 5037 能夠減小由於在基底 5000 上形成 TFT 而產生的不均勻性並提供水平度。特別是，提供第二層間絕緣膜 5037 主要是為了獲得水平度，因此最好是水平度極好的膜。

接下來，使用幹蝕刻或濕蝕刻來蝕刻第二層間絕緣膜 5037、第一層間絕緣膜 5036 和閘極絕緣膜 5006，由此形成達到第三雜質區域 5025 和 5028 以及第四雜質區域 5032 和 5034 的接觸孔。

然後形成由透明導電膜製成的像素電極 5054。透明導電膜可以使用氧化銦和氧化錫的化合物(ITO)、氧化銦和氧化鋅的化合物(ITO)、氧化鋅、氧化錫、氧化銦等等。此外，還可以使用添加了鎳的透明導電膜。像素電極是自發光元件的陽極。

在該實施例中，形成了厚度為 $110\ \text{nm}$ 的 ITO 膜並製成形狀，從而形成了像素電極 5054。

隨後形成與各自雜質區域電連接的接線 5055 到 5061。請注意，在該實施例中，藉由使用噴鍍法連續形成 100

五、發明說明 (43)

nm 厚的 Ti 膜、350 nm 厚的 Al 膜和 100 nm 厚的 Ti 膜的層疊膜並將層疊膜製成想要的形狀，得到接線 5055 到 5061。

當然，本發明不限於三層結構，可以使用單層結構、雙層結構或四層以上的層疊結構。此外，接線的材料不限於 Al 和 Ti，可以使用其他導電膜。例如，可以藉由將在 TaN 膜上形成一個 Al 或 Cu 膜，然後在其上形成一個 Ti 膜而得到的層疊膜製成形狀，從而形成接線。

因此，像素部分中 n 通道 TFT 的源極區域和汲極區域之一藉由接線 5058 與源極接線(包括層 5019a 和 5019b 的層疊膜)電連接，另一個區域藉由接線 5059 與像素部分中 p 通道 TFT 的閘極電連接。此外，像素部分中 p 通道 TFT 的源極區域和汲極區域之一藉由接線 5060 與像素電極 5063 電連接。這裏，部分像素電極 5063 和部分接線 5060 重疊，形成接線 5060 和像素電極 5063 之間的電連接。

藉由上述步驟，如圖 8D 所示，可以在同一個基底上形成具有由 n 通道 TFT 和 p 通道 TFT 構成的 CMOS 電路的驅動電路和具有轉換 TFT 和驅動 TFT 的像素部分。

驅動電路部分的 n 通道 TFT 具有與構成部分閘極的第一導電層 5015a 重疊的低濃度雜質區域 5026(Lov 區域)和用作源極區域或汲極區域的高濃度雜質區域 5025。p 通道 TFT 藉由接線 5056 與 n 通道 TFT 連接，形成 CMOS 電路，具有與構成部分閘極的第一導電層 5016a 重疊的低濃

五、發明說明 (44)

度雜質區域 5033(Lov 區域)和用作源極區域或汲極區域的高濃度雜質區域 5032。

在像素部分，n 通道型轉換 TFT 具有在閘極之外形成的低濃度雜質區域 5029(Loff 區域)和用作源極區域或汲極區域的高濃度雜質區域 5028。此外，在像素部分，p 通道型轉換 TFT 具有與構成部分閘極的第一導電層 5018a 重疊的低濃度雜質區域 5035(Lov 區域)和用作源極區域或汲極區域的高濃度雜質區域 5034。

接下來，形成第三層間絕緣膜 5062。第三層間絕緣膜可以使用無機絕緣膜或有機絕緣膜。無機絕緣膜可以使用 CVD 法形成的氧化矽膜、SOG(玻璃上旋壓)法應用的氧化矽膜、噴鍍法形成的氮化矽膜或氧氮化矽膜等等。此外，對於有機絕緣膜可以使用丙烯酸樹脂膜。

下面講述了第二層間絕緣膜 5037 和第三層間絕緣膜 5062 的組合的例子。

給出的組合中丙烯酸膜和藉由噴鍍法形成的氮化矽膜或氧氮化矽膜構成的層疊膜用作第二層間絕緣膜 5037，藉由噴鍍法形成的氮化矽膜或氧氮化矽膜用作第三層間絕緣膜 5062。給出的另一種組合中藉由等離子 CVD 法形成的氧化矽膜用作第二層間絕緣膜 5037，藉由等離子 CVD 法形成的氧化矽膜還用作第三層間絕緣膜 5062。給出的另一種組合中藉由 SOG 法形成的氧化矽膜用作第二層間絕緣膜 5037，藉由 SOG 法形成的氧化矽膜還用作第三層間絕緣膜 5062。給出的另一種組合中由藉由 SOG 法形成

五、發明說明 (45)

的氧化矽膜和等離子 CVD 法形成的氧化矽膜構成的層疊膜用作第二層間絕緣膜 5037，藉由等離子 CVD 法形成的氧化矽膜用作第三層間絕緣膜 5062。給出的另一種組合中丙烯酸膜用作第二層間絕緣膜 5037，丙烯酸膜還用作第三層間絕緣膜 5062。給出的另一種組合中由丙烯酸膜和等離子 CVD 法形成的氧化矽膜構成的層疊膜用作第二層間絕緣膜 5037，藉由等離子 CVD 法形成的氧化矽膜用作第三層間絕緣膜 5062。給出的另一種組合中藉由等離子 CVD 法形成的氧化矽膜用作第二層間絕緣膜 5037，丙烯酸膜用作第三層間絕緣膜 5062。

在第三層間絕緣膜 5062 對應於像素電極 5063 的位置形成一個開口部分。第三層間絕緣膜起一個邊沿的作用。形成開口部分時，藉由使用濕蝕刻方法可以輕鬆製成錐形的側壁。當開口部分的側壁不夠平緩時，由於一個步驟造成的自發光層變壞成爲一個顯著問題，因此需要對其給予關注。

碳粒子或金屬粒子可以加入到第三層間絕緣膜中，降低電阻率，抑制產生靜電。此時，可以調整碳粒子或金屬粒子的加入量，使電阻率爲 1×10^6 到 $1 \times 10^{12} \Omega \text{ m}$ (最好是 1×10^8 到 $1 \times 10^{10} \Omega \text{ m}$)。

接下來，在暴露在第三層間絕緣膜 5062 開口部分中的像素電極 5054 上形成自發光層 5063。

自發光層 5063 可以使用已知的有機發光材料和無機發光材料。

五、發明說明 (46)

對於有機發光材料，可以自由使用低分子量有機發光材料、高分子量有機發光材料和中分子量有機發光材料。請注意，在該說明中，中分子量有機發光材料表示沒有昇華屬性、分子數為 20 以下或鍵連接的分子的長度為 10 μm 以下的有機發光材料。

自發光層 5063 通常使用層疊結構。給定的層疊結構典型是“空子傳輸層/發光層/電子傳輸層”，是由 Eastman Kodak 公司的 Tang 等人提出的。此外，可以使用一個在陽極上的層疊結構，順序是空子注入層/空子傳輸層/發光層/電子傳輸層或空子注入層/空子傳輸層/發光層/電子傳輸層/電子注入層。在發光層中可以摻雜螢光顏料等。

在該實施例中，自發光層 5063 是藉由蒸發法使用低分子量有機發光材料形成的。特別是在使用的層疊結構中厚度為 20 nm 的銅 菁(CuPc)膜用作空子注入層，並在其上形成厚度為 70 nm 的三氨基-8- 喹啉醇鋁複合物(Alq_3)膜作為發光層。藉由添加 丫啶、二蔡嵌苯或 DCM1 到 Alq_3 中能夠控制發光顏色。

請注意，圖 8D 中只顯示一個像素，但可以使用一種其中提供了對應於多種顏色的獨立自發光層 5063 的結構，例如對應顏色 R(紅)、G(綠)和 B(藍)。

此外，對於使用高分子量有機發光材料的例子，自發光層 5063 可以由一個層疊結構組成，其中藉由旋塗法形成的厚度為 20 nm 的聚噻吩(PEDOT)用作空子注入層，在

五、發明說明 (47)

其上形成厚度為 100 nm 左右的對亞苯基 亞乙烯基 (PPV) 膜作為發光層。請注意，藉由使用 PPV 的 δ 共軛聚合材料可以在紅色到藍色的範圍內選擇發射波長。此外，碳化矽等無機材料可以用於電子傳輸層或電子注入層。

請注意，自發光層 5063 不限於使用空子注入層、空子傳輸層、發光層、電子傳輸層、電子注入層等彼此之間界限分明的層疊結構。即發光層 5063 的結構可以有一個由分別構成空子注入層、空子傳輸層、發光層、電子傳輸層、電子注入層等的材料相互混合而成的層。

例如，自發光層 5063 的結構可以在電子傳輸層和發光層之間有一個由構成電子傳輸層的材料(下文中稱作電子傳輸材料)和構成發光層的材料(下文中稱作發光材料)所構成的混合層。

接下來，在自發光層 5063 上安裝由導電膜形成的像素電極 5064。在該實施例中，鋁和鋰的合金膜用作導電膜。當然，可以使用已知的 MgAg 膜(鎂和銀的合金膜)。像素電極 5064 是自發光元件的陰極。至於陰極材料，可以自由使用由屬於周期表的族 1 或 2 構成的導電膜或添加了上述元素的導電膜。

在完成像素電極 5064 的時刻，完成了自發光元件。請注意，自發光元件表示由像素電極(陽極)5054、自發光層 5063 和像素電極(陰極)5064 構成的二極體。請注意，自發光元件可以利用單一激子發光(螢光)或三重激子發光(磷光)。

五、發明說明 (48)

爲了完全覆蓋自發光元件，提供一個鈍化膜 5065 是有效的。鈍化膜 5065 可以包括由碳膜、氮化矽膜或氧氮化矽形成的絕緣膜，是由上述絕緣膜組合而成單層或層疊層。

鈍化膜 5065 最好使用良好覆蓋的膜，使用碳膜，特別是 DLC(鑽石狀碳)膜是有效的。DLC 膜可以在室溫到 100℃ 的溫度範圍內形成，因此可以輕鬆的在低耐熱度的自發光層 5063 上形成。此外，DLC 膜具有高阻塞效應，能夠抑制自發光層 5063 的氧化。因此，能夠防止自發光層 5063 的氧化問題。

請注意，在形成第三層間絕緣膜 5062 之後，直到形成鈍化膜的步驟是藉由使用多室型(串聯型)膜沈積儀器、在不暴露到空氣中的情況下執行的，這是有效的。

請注意，當在現實中獲得如圖 8D 所示的狀態時，爲了防止進一步暴露到外部空氣中，最好使用高密封性和少量去氣的保護膜(層疊膜、紫外線凝固樹脂膜等)或半透明密封體執行封裝(密封)。在這種情況下，在密封體內部加入惰性氣體，或在其內部佈置吸濕材料(例如氧化鋇)，由此增強發光元件的可靠性。

此外，在藉由封裝等處理增加密封性之後，加上一個用於連接從在基底 5000 上形成的元件或電路上伸出的接線柱的接頭(撓性印刷電路：FPC)。從而完成了產品。

請注意，該實施例可以應用於具有在實施例 1 或實施例 2 講述的像素的顯示裝置的製造過程。

五、發明說明 (49)

實施例 5

在該實施例中，參照圖 9A 到 9D 講述了結構與實施例 3 或 4 不同的主動矩陣基底的製造過程。

請注意，到圖 9A 步驟為止的步驟與實施例 3 中圖 6A 到 6D 和圖 7A 的步驟相同。順便說一句，不同點在於構成像素部分的驅動 TFT 是一個具有在閘極之外形成的低濃度雜質區域(Loff 區域)的 n 通道 TFT。

在圖 9A 到 9D 中，與圖 6A 到 6D、圖 7A 到 7D、圖 8A 到 8D 中相同的部分以相同的引用數位表示，並忽略了對其的講述。

如圖 9A 中所示，形成了第一層間絕緣膜 5101。第一層間絕緣膜 5101 是藉由使用等離子 CVD 法或噴鍍法形成的厚度為 100 到 200 nm 的含矽絕緣膜。在該實施例中，藉由等離子 CVD 法形成的 100 nm 厚的氧氮化矽膜。當然，第一層間絕緣膜 5101 不限於氧氮化矽膜，可以使用另一種單層或層疊結構的含矽絕緣膜。

然後如圖 9B 所示，執行熱處理(熱處理)恢復半導體層的結晶度，活化添加到半導體層中的雜質元素。熱處理由使用爐內退火的熱退火方法實現。熱退火方法最好在氧濃度 1 ppm 以下、最好是 0.1 ppm 以下的 400 到 700℃ 氮氣中執行。在該實施例中，藉由 1 小時的 410℃ 熱處理執行活化處理。請注意，除熱退火方法之外，也可以使用鐳射退火方法或快速熱退火方法(RTA 方法)。

五、發明說明 (50)

此外，熱處理可以在形成第一層間絕緣膜 5101 之前執行。順便提一句，在構成第一導電層 5015a 到 5019a 和第二導電層 5015b 到 5019b 的材料易受加熱影響的情況下，爲了保護如該實施例中的接線等，最好在形成第一層間絕緣膜 5101(矽作爲主成分的絕緣膜，例如氮化矽膜)之後執行熱處理。

如上所述在形成第一層間絕緣膜 5101(矽作爲主成分的絕緣膜，例如氮化矽膜)之後執行熱處理，由此能夠在活化處理的同時執行半導體層的氫化。在氫化步驟中，第一層間絕緣膜 5101 中包含的氫終止了半導體層的不飽和鍵。

請注意，除用於活化處理的熱處理之後還可以執行用於氫化的熱處理。

這裏，不管是否存在第一層間絕緣膜 5101 都能夠氫化半導體層。此外，至於別的氫化方式，可以使用利用電漿激發的氫的方式(電漿氫化)或在含氫 3 到 100% 的氣體中執行 1 到 12 小時的 300 到 450℃ 熱處理的方式。

藉由上述步驟，能夠在同一個基底上形成一個具有包含一個 n 通道 TFT 和一個 p 通道 TFT 的 CMOS 電路的驅動電路部分和一個具有一個轉換 TFT 和一個驅動 TFT 的像素部分。

接下來，在第一層間絕緣膜 5101 上形成第二層間絕緣膜 5102。第二層間絕緣膜 5102 可以使用無機絕緣膜。例如，可以使用 CVD 法形成的氧化矽膜、SOG(玻璃上旋

五、發明說明 (51)

壓)法應用的氧化矽膜等。此外，至於第二層間絕緣膜 5102 可以使用有機絕緣膜。例如，可以使用聚 亞胺、聚 胺、BCB(苯環丁烯)、丙烯酸等製成的膜。此外，還可以使用丙烯酸膜和氧氮化矽膜的層疊結構。而且還可以使用藉由噴鍍法形成的丙烯酸膜和氮化矽膜或氧氮化矽膜的層疊結構。

接下來，使用幹蝕刻或濕蝕刻來蝕刻第一層間絕緣膜 5101、第二層間絕緣膜 5102 和閘極絕緣膜 5006，由此形成達到構成驅動電路部分和像素部分的各個 TFT 的雜質區域(第三雜質區域(n+)和第四雜質區域(p+))。

隨後形成與各個雜質區域電連接的接線 5103 到 5109。請注意，形成接線 5103 到 5109 的方法是藉由噴鍍法連續形成 100 nm 厚的 Ti 膜、350 nm 厚的 Al 膜和 100 nm 厚的 Ti 膜的層疊膜並將該層疊膜製成希望的形狀。

當然，本發明不限於三層結構，可以使用單層結構、雙層結構或四層以上的層疊結構。此外，接線的材料不限於 Al 和 Ti，可以使用其他導電膜。例如，可以藉由將在 TaN 膜上形成 Al 膜或 Cu 膜並在其上又形成一個 Ti 膜的層疊膜製成形狀來形成接線。

像素部分中轉換 TFT 的源極區域和汲極區域中的一個藉由接線 5106 與源極接線(層 5019a 和 5019b 構成的層疊層)電連接，另一個區域藉由接線 5107 與像素部分中驅動 TFT 的閘極電連接。

接下來，形成如圖 9C 所示的第三層間絕緣膜 5110。

五、發明說明 (52)

第三層間絕緣膜 5110 可以使用無機絕緣膜或有機絕緣膜。可以使用 CVD 法形成的氧化矽膜、SOG(玻璃上旋壓)法應用的氧化矽膜等等。此外，對於有機絕緣膜可以使用丙烯酸樹脂膜等。此外，可以使用丙烯酸膜和噴鍍法形成的氮化矽膜或氧氮化矽膜的層疊結構。

第三層間絕緣膜 5110 能夠減小由於在基底 5000 上形成 TFT 而產生的不均勻性並提供水平度。特別是提供第三層間絕緣膜 5110 主要是為了提供水平度，最好是水平度極好的膜。

接下來，使用幹蝕刻或濕蝕刻，由此在第三層間絕緣膜 5110 中形成達到接線 5108 的接觸孔。

接下來，藉由將導電膜製成形狀，形成像素電極 5111。在該實施例中，鋁和鋰的合金膜用作導電膜。當然，可以使用已知的 MgAg 膜(鎂和銀的合金膜)。像素電極 5111 是自發光元件的陰極。至於陰極材料，可以自由使用由屬於周期表的族 1 或 2 構成的導電膜或添加了上述元素的導電膜。

接下來，如圖 9D 所示，形成邊沿 5112，以便在像素中提供具有不同顏色的自發光層。藉由使用無機絕緣膜或有機絕緣膜形成邊沿 5112。至於無機絕緣膜，可以使用噴鍍法形成的氮化矽膜或氧氮化矽膜、CVD 法形成的氧化矽膜、SOG 法應用的氧化矽膜等。此外，至於有機絕緣膜，可以使用丙烯酸樹脂膜。

在形成邊沿 5112 時，藉由使用濕蝕刻法能夠輕鬆製

五、發明說明 (53)

成其錐形的側壁。順便說一句，當邊沿 5112 的側壁不夠平緩時，由於一個步驟造成的自發光層變壞成爲一個顯著問題，因此需要對其給予關注。

請注意，當像素電極 5111 和接線 5108 相互電連接時，也在於第三層間絕緣膜 5110 中形成的接觸孔中形成了邊沿 5112。因此，邊沿 5112 填補了由於介面孔部分的不均勻性而產生的像素電極不均勻，由此防止了由於一個步驟造成的自發光層變壞。

下面給出了第三層間絕緣膜 5110 和邊沿 5112 的組合的例子。

給出的組合中由丙烯酸膜和藉由噴鍍法形成的氮化矽膜或氧氮化矽膜構成的層疊膜用作第三層間絕緣膜 5110，藉由噴鍍法形成的氮化矽膜或氧氮化矽膜用作邊沿 5112。給出的另一種組合中藉由等離子 CVD 法形成的氧化矽膜用作第三層間絕緣膜 5110，藉由等離子 CVD 法形成的氧化矽膜還用作邊沿 5112。給出的另一種組合中藉由 SOG 法形成的氧化矽膜用作第三層間絕緣膜 5110，藉由 SOG 法形成的氧化矽膜還用作邊沿 5112。給出的另一種組合中由藉由 SOG 法形成的氧化矽膜和等離子 CVD 法形成的氧化矽膜構成的層疊膜用作第三層間絕緣膜 5110，藉由等離子 CVD 法形成的氧化矽膜用作邊沿 5112。給出的另一種組合中丙烯酸膜用作第三層間絕緣膜 5110，丙烯酸膜還用作邊沿 5112。給出的另一種組合中由丙烯酸膜和等離子 CVD 法形成的氧化矽膜構成的層疊膜用作

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (54)

第三層間絕緣膜 5110，藉由等離子 CVD 法形成的氧化矽膜用作邊沿 5112。給出的另一種組合中藉由等離子 CVD 法形成的氧化矽膜用作第三層間絕緣膜 5110，丙烯酸膜用作邊沿 5112。

碳粒子或金屬粒子可以加入到邊沿 5112 中，降低電阻率並抑制產生靜電。此時，可以調整碳粒子或金屬粒子的加入量，使電阻率為 1×10^6 到 $1 \times 10^{12} \Omega \text{ m}$ (最好是 1×10^8 到 $1 \times 10^{10} \Omega \text{ m}$)。

接下來，在由邊沿 5112 環繞並暴露出來的像素電極 5111 上形成自發光層 5113。

自發光層 5113 可以使用已知的有機發光材料和無機發光材料。

對於有機發光材料，可以自由使用低分子量有機發光材料、高分子量有機發光材料和中分子量有機發光材料。請注意，在該說明中，中分子量有機發光材料表示沒有昇華屬性、分子數為 20 以下或鍵連接的分子的長度為 $10 \mu\text{m}$ 以下的有機發光材料。

自發光層 5113 通常使用層疊結構。給定的層疊結構典型是“空子傳輸層/發光層/電子傳輸層”，是由 Eastman Kodak 公司的 Tang 等人提出的。此外，可以使用一種在陰極上的層疊結構，順序是電子傳輸層/發光層/空子傳輸層/空子注入層或電子注入層/電子傳輸層/發光層/空子傳輸層/空子注入層。在發光層中可以摻雜螢光顏料等。

五、發明說明 (55)

在該實施例中，自發光層 5113 是藉由蒸發法使用低分子量有機發光材料形成的。特別是在使用的層疊結構中厚度為 70 nm 的三基-8- 喹醇 鋁複合物 (Alq_3) 膜作為發光層，並在其上形成厚度為 20 nm 的銅 菁 (CuPc) 膜用作空子注入層。藉由添加 丫啶、二萘嵌苯或 DCM1 到 Alq_3 中能夠控制發光顏色。

請注意，圖 9D 中只顯示一個像素，但可以使用一種其中提供了對應於多種顏色的獨立自發光層 5113 的結構，例如對應顏色 R(紅)、G(綠)和 B(藍)。

此外，對於使用高分子量有機發光材料的例子，自發光層 5113 可以由一個層疊結構組成，其中藉由旋塗法形成的厚度為 20 nm 的聚噻吩 (PEDOT) 用作空子注入層，在其上形成厚度為 100 nm 左右的對亞苯基 亞乙烯基 (PPV) 膜作為發光層。請注意，藉由使用 PPV 的 π 共軛聚合材料可以在紅色到藍色的範圍內選擇發射波長。此外，碳化矽等無機材料可以用於電子傳輸層或電子注入層。

請注意，自發光層 5113 不限於使用空子注入層、空子傳輸層、發光層、電子傳輸層、電子注入層等彼此之間界限分明的層疊結構。即發光層 5113 的結構可以有一個由分別構成空子注入層、空子傳輸層、發光層、電子傳輸層、電子注入層等層的材料相互混合而成的層。

例如，自發光層 5113 的結構可以使用在電子傳輸層和發光層之間有一個由構成電子傳輸層的材料(下文中稱作電子傳輸材料)和構成發光層的材料(下文中稱作發光材

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (56)

料)所構成的混合層。

接下來，在自發光層 5113 上形成由透明導電膜製成的像素電極 5114。氧化鋰和氧化錫的混合物(ITO)、氧化鋰和氧化鋅的混合物、氧化鋅、氧化錫、氧化鋰等可以用作透明導電膜。此外，還可以使用添加了銻的透明導電膜。像素電極 5114 是自發光元件的陽極。

在完成像素電極 5114 的時刻，完成了自發光元件。請注意，自發光元件表示由像素電極(陰極)5111、自發光層 5113 和像素電極(陽極)5114 構成的二極體。請注意，自發光元件可以利用單一激子發光(螢光)或三重激子發光(磷光)。

在該實施例中，因為像素電極 5114 是由透明導電膜形成的，所以從自發光元件發射的光射到基底 5000 的另一側。此外，由於第三層間導電膜 5110，形成像素電極 5111 的層與形成接線 5106 到 5109 的層不同。因此與實施例 3 中的結構相比能夠增加孔徑比。

為了完全覆蓋自發光元件，提供一個保護膜(鈍化膜)5115 是有效的。保護膜 5115 可以包括由碳膜、氮化矽膜或氧氮化矽形成的絕緣膜，是由上述絕緣膜組合而成的單層或層疊層。

請注意，在象該實施例中一樣，自發光元件發射到光是從像素電極 5114 一側射出的情況下，需要使用透光的膜作為保護膜 5115。

請注意，在形成邊沿 5112 之後，直到形成保護膜的

五、發明說明 (57)

步驟是藉由使用多室型(串聯型)膜沈積儀器、在不暴露到空氣中的情況下執行的，這是有效的。

請注意，當在現實中獲得如圖 9D 所示的狀態時，為了防止進一步暴露到外部空氣中，最好使用高密封性和少量去氣的保護膜(層疊膜、紫外線凝固樹脂膜等)或半透明密封體執行封裝(密封)。在這種情況下，在密封體內部加入惰性氣體，或在其內部佈置吸濕材料(例如氧化鋇)，由此增強發光元件的可靠性。

此外，在藉由封裝等處理增加密封性之後，加上一個用於連接從在基底 5000 上形成的元件或電路上伸出的接線柱的接頭(撓性印刷電路：FPC)。從而完成了產品。

請注意，該實施例可以應用於具有在實施例 1 或實施例 2 講述的像素的顯示裝置的製造過程。

實施例 6

該實施例舉例顯示一種用於結晶產生包含在本發明半導體設備中的 TFT 半導體主動層的半導體膜的方法。

對於基薄膜，使用等離子 CVD 法在玻璃基底上形成厚度為 400 nm 的氧氮化矽膜(成分比例：Si = 23%、O = 59%、N = 7%、H = 2%)。然後，對於半導體膜，藉由等離子 CVD 法在玻璃基底上形成 150 nm 的非晶形矽膜。然後在其上執行三小時的 500°C 熱處理，從而釋放出半導體膜中包含的氫。然後藉由鐳射退火法結晶半導體膜。

對於用於鐳射退火法的雷射器，使用連續振盪 YVO₄

五、發明說明 (58)

雷射器。對於鐳射退火法，使用 YVO_4 雷射器的第二諧波（波長 532 nm）作為鐳射。對於預定形狀的光束，藉由使用光學系統，將鐳射照射到在基底表面上形成的半導體膜上。

照射到基底上的光束的形狀可以根據雷射器或光學系統的類型而變。以這種方式，能夠改變照射到基底上的光束能量密度的縱橫比或分佈。例如，照射到基底上的光束的各種形狀可以是線、矩形和橢圓等形狀。在該實施例中，使用光學系統將 YVO_4 雷射器的第二諧波以 $200\ \mu\text{m} \times 50\ \mu\text{m}$ 的橢圓形狀照射到半導體膜上。

圖 10 顯示一種光學系統的模組方塊圖，當鐳射照射到在基底表面上形成的半導體膜上時使用。

雷射器 1001 發射的鐳射（ YVO_4 雷射器的第二諧波）藉由鏡子 1002 進入凸透鏡 1003。鐳射斜向進入凸透鏡 1003。結果焦點位置由於散光等像差產生偏移。

然後，照射以這種方式形成的橢圓光束 1006，並在引用數位 1007 或 1008 表示的方向上行動玻璃基底 1005。於是，照射的橢圓光束 1006 在玻璃基底 1005 上形成的半導體膜 1004 上相對行動。

橢圓光束 1006 的相對掃描方向與橢圓光束 1006 的主軸垂直。

在該實施例中，形成了 $200\ \mu\text{m} \times 50\ \mu\text{m}$ 的橢圓光束，鐳射相對於凸透鏡 1003 的入射角 Φ 為 20° 左右。照射到玻璃基底 1005 上的橢圓光束以 50 cm/s 的速度行動。從

五、發明說明 (59)

而結晶半導體膜。

在以這種方式得到的結晶半導體膜上執行閉聯蝕刻。

圖 11 顯示藉由使用 SEM 放大 1000 倍觀察表面的結果。

藉由將添加劑 $K_2Cr_2O_7$ 添加到 $HF:H_2O = 2:1$ 中製成用於閉聯蝕刻的閉聯溶液。圖 11 中顯示的是以圖 11 中所示箭頭指示的方向相對掃描鐳射得到的。大晶粒是在與鐳射掃描方向平行的方向上形成的。換句話說，形成晶體以便在鐳射掃描方向上伸展。

以這種方式，藉由使用根據本實施例的方法在結晶半導體膜上形成大晶粒。因此，當半導體膜用作半導體主動層製造 TFT 時，能夠減少形成 TFT 區域的通道中晶粒介面的數量。此外，每個晶粒內部具有結晶度，基本上是單晶。因此能夠獲得與使用單晶半導體的電晶體一樣高的遷移率(場效應遷移率)。藉由使用 TFT，像素中的運算處理電路能夠高速運行，這對於本發明的顯示裝置是優良的特性。因此 TFT 是有效的。

此外，當定位 TFT 使得載體行動的方向與形成的晶粒伸展方向相同時，能夠顯著減少載體穿過晶粒介面的次數。因此能夠減小 ON 電流值變數(當 TFT 為 ON 時流過的汲極電流值)、OFF 電流值(TFT 為 OFF 時流過的汲極電流值)、閾值電壓、S 值和場效應遷移率。從而能夠顯著提高電子特性。

爲了將橢圓光束 1006 照射到大範圍的半導體膜上，在與主軸垂直的方向上掃描橢圓光束 1006，多次照射半

五、發明說明 (60)

導體膜。這裏，橢圓光束 1006 的位置在與每一次掃描的主軸平行的方向上偏移。連續掃描之間的掃描方向相反。在下文中，連續兩次掃描中的一個稱作向外掃描，另一個稱作向內掃描。

間距 d 表示橢圓光束 1006 的位置相對於與每次掃描的主軸平行的方向上的偏移量。在向外掃描中，引用數位 $D1$ 表示在具有如圖 11 所示的大晶粒的區域中，橢圓光束 1006 在垂直於橢圓光束 1006 掃描方向的方向上的長度。在向內掃描中，引用數位 $D2$ 表示在具有如圖 11 所示的大晶粒的區域中，橢圓光束 1006 在垂直於橢圓光束 1006 掃描方向的方向上的長度。在這種情況下， $D1$ 和 $D2$ 的平均值為 D 。

這裏等式 1 定義了重合度 $R_{o.L}[\%]$ 。

$$R_{o.L} = (1 - d/D) \times 100 \quad [EQ1]$$

在該實施例中，重合度 $R_{o.L}$ 為 0%。

實施例 7

該實施例在用於製造包含在本發明半導體設備中的 TFT 的半導體主動層時結晶半導體膜的方法上與實施例 6 的不同。

到形成作為半導體膜的非結晶矽膜為止的步驟與實施例 6 中的相同。在此之後使用了在日本專利申請公開號

五、發明說明 (61)

Hei 7-183540 中提出的方法。乙酸鎳溶液(重量換算濃度為 5 ppm, 容量為 10 ml)使用旋塗法塗在半導體膜上。然後, 在 500°C 氮氣中在其上執行熱處理一小時, 在 550°C 氮氣中執行十二小時。然後, 藉由鐳射退火法提高半導體膜的結晶度。

對於用於鐳射退火法的雷射器, 使用連續振盪 YVO₄ 雷射器。對於鐳射退火法, 使用 YVO₄ 雷射器的第二諧波(波長 532 nm)作為鐳射。形成了 200 μm×50 μm 的橢圓光束, 鐳射相對於如圖 10 所示的光學系統中的凸透鏡 1003 的入射角 Φ 為 20° 左右。橢圓光束以 50 cm/s 的速度行動並照射到玻璃基底 1005 上。從而提高半導體膜的結晶度。

橢圓光束 1006 的相對掃描方向與橢圓光束 1006 的主軸垂直。

在以這種方式得到的結晶半導體膜上執行閉聯蝕刻。圖 12 顯示藉由使用 SEM 放大 1000 倍觀察表面的結果。圖 12 中顯示的是以圖 12 中所示箭頭指示的方向相對掃描鐳射得到的。大晶粒在鐳射掃描方向上伸展。

以這種方式, 在根據本發明的結晶半導體膜上形成大晶粒。因此, 當半導體膜用於製造 TFT 時, 能夠減少形成 TFT 區域的通道中晶粒介面的數量。此外, 每個晶粒內部具有結晶度, 基本上是單晶。因此能夠獲得與使用單晶半導體的電晶體一樣高的遷移率(場效應遷移率)。

此外, 形成的晶粒在一個方向上排列。因此當定位

五、發明說明 (62)

TFT 使得載體行動的方向與形成的晶粒伸展的方向相同時，能夠顯著減少載體穿過晶粒介面的次數。因此能夠減小 ON 電流值變數、OFF 電流值、閾值電壓、S 值和場效應遷移率。從而能夠顯著提高電子特性。

爲了將橢圓光束 1006 照射到大範圍的半導體膜上，在與主軸垂直的方向上掃描橢圓光束 1006，多次照射半導體膜(該操作稱作掃描)。這裏，橢圓光束 1006 的位置在與每一次掃描的主軸平行的方向上偏移。連續掃描之間的掃描方向相反。在下文中，連續兩次掃描中的一個稱作向外掃描，另一個稱作向內掃描。

間距 d 表示橢圓光束 1006 的位置相對於與每次掃描的主軸平行的方向上的偏移量。在向外掃描中，引用數位 $D1$ 表示在具有如圖 12 所示的大晶粒的區域中，橢圓光束 1006 在垂直於橢圓光束 1006 掃描方向的方向上的長度。在向內掃描中，引用數位 $D2$ 表示在具有如圖 12 所示的大晶粒的區域中，橢圓光束 1006 在垂直於橢圓光束 1006 掃描方向的方向上的長度。在這種情況下， $D1$ 和 $D2$ 的平均值爲 D 。

這裏重合度 $R_{o.l}[\%]$ 的定義與等式 1 一樣。在該實施例中，重合度 $R_{o.l}$ 爲 0%。

在圖 13 中，粗線表示在藉由使用上述結晶方法得到的結晶半導體膜(圖 13 中改進的 CG-矽所示)上執行拉曼光譜法的結果。這裏爲了比較，細線表示在單晶矽(圖 13 中 ref. (100)Si Wafer 所示)上執行拉曼光譜法的結果。在

五、發明說明 (63)

圖 13 中，虛線表示在半導體膜上(圖 13 中受激準分子退火所示)上執行拉曼光譜法的結果。為了獲得半導體膜，要形成非結晶矽膜並藉由熱處理釋放半導體膜中包含的氫。然後藉由使用脈衝振盪的受激準分子雷射器結晶半導體膜。

藉由使用該實施例的方法獲得的半導體膜的拉曼偏移峰值為 517.3 cm^{-1} 。半值寬度為 4.96 cm^{-1} 。另一方面，單晶矽的拉曼偏移峰值為 520.7 cm^{-1} 。半值寬度為 4.44 cm^{-1} 。使用脈衝振盪的受激準分子雷射器結晶的半導體膜的拉曼偏移峰值為 516.3 cm^{-1} 。半值寬度為 6.16 cm^{-1} 。

根據圖 13 中的結果，藉由使用該實施例中講述的結晶方法獲得的半導體膜的結晶度比使用脈衝振盪的受激準分子雷射器結晶的半導體膜的結晶度更接近單晶矽的結晶度。

實施例 8

在該實施例中，參照圖 10、14A 到 14H 以及 15A 和 15B 講述了使用藉由使用實施例 6 中講述的方法結晶的半導體膜製造 TFT 的情形。

在該實施例中玻璃基底用作基底 2000。對於基薄膜 2001，使用等離子 CVD 法在玻璃基底上形成 50 nm 的氧氮化矽膜(成分比例：Si = 32%、O = 27%、N = 24%、H = 17%)和 100 nm 的氧氮化矽膜(成分比例：Si = 32%、O = 59%、N = 7%、H = 2%)。接下來，對於半導體膜 2002，

五、發明說明 (64)

藉由等離子 CVD 法在玻璃基底上形成 150 nm 的非晶形矽膜。然後在其上執行三小時的 500°C 熱處理，從而釋放出半導體膜中包含的氫(圖 14A)。

此後，使用連續振盪 YVO₄ 雷射器的第二諧波(波長 532 nm, 5.5 W)作為鐳射，形成 200 μm×50 μm 的橢圓光束，鐳射相對於如圖 10 所示的光學系統中的凸透鏡 1003 的入射角 Φ 為 20° 左右。橢圓光束以 50 cm/s 的速度相對掃描，照射在半導體膜 2002 上(圖 14B)。

然後，在其上執行第一摻雜處理。這是用於控制閾值的通道摻雜。材料氣體使用 B₂H₆，氣體流量為 30 sccm，電流密度為 0.05 μA，加速電壓為 60 keV，劑量為 $1 \times 10^{14}/\text{cm}^2$ (圖 14C)。

接下來，藉由成形將半導體膜 2004 蝕刻為希望的形狀之後，藉由等離子 CVD 法形成 115 nm 厚的氧氮化矽膜，作為覆蓋蝕刻後的半導體膜的閘極絕緣膜 2007。然後，在閘極絕緣膜 2007 上形成 30 nm 厚的 TaN 膜 2008 和 370 nm 厚的 W 膜，作為導電膜(圖 14D)。

藉由微縮術在其上形成由抗蝕劑製成的遮罩(沒有顯示)，並蝕刻 W 膜、TaN 膜和閘極絕緣膜。

然後，去除由抗蝕劑製成的遮罩，並形成新遮罩 2013。在其上執行第二摻雜處理，加入形成 n 型的雜質元素到半導體膜中。在這種情況下，導電層 2010 和 2011 是用於形成 n 型的雜質元素的遮罩，雜質區域 2014 是以自調整方式形成的。在該實施例中，因為半導體膜的厚度為

五、發明說明 (65)

150 nm，所以在兩個條件下執行第二摻雜處理。在該實施例中，phosfin(PH₃)用作材料氣體。使用的劑量為 $2 \times 10^{13}/\text{cm}^2$ ，加速電壓為 90 keV，然後用於處理的劑量為 $5 \times 10^{14}/\text{cm}^2$ ，加速電壓為 10 keV(圖 14E)。

接下來，去除由抗蝕劑製成的遮罩 2013，並另外形成用於執行第三摻雜處理的新遮罩 2015。藉由第三摻雜處理，形成包含形成的導電類型與半導體膜的導電類型相反的雜質元素的雜質區域 2016，該區域是 p 通道 TFT 的主動層。藉由使用導電層 2010 和 2011 作為雜質元素的遮罩，藉由添加形成 p 型的雜質元素以自調整的方式形成了雜質區域 2016。此外，因為半導體膜的厚度為 150 nm，所以在兩個條件下執行該實施例中的第三摻雜處理。在該實施例中，乙硼烷(B₂H₆)用作材料氣體。使用的劑量為 $2 \times 10^{13}/\text{cm}^2$ ，加速電壓為 90 keV，然後用於處理的劑量為 $1 \times 10^{15}/\text{cm}^2$ ，加速電壓為 10 keV(圖 14F)。

藉由這些步驟，在各個半導體層上形成雜質區域 2014 和 2016。

接下來，去除由抗蝕劑製成的遮罩 2015，藉由等離子 CVD 法形成 50 nm 厚的氧氮化膜(成分比例：Si = 32.8%、O = 63.7%、N = 3.5%)作為第一層間絕緣膜 2017。

接下來，在其上分別執行恢復半導體層的結晶度和活化添加到半導體層中的雜質元素的熱處理。然後，藉由使用退火爐的熱退火法在 550℃ 的氮氣中執行四小時的熱處

五、發明說明 (66)

理 (圖 14G)。

接下來，在第一層間絕緣膜 2017 上形成無機或有機絕緣材料製成的第二層間絕緣膜 2018。在該實施例中，在藉由 CVD 法形成 50 nm 厚的氮化矽膜之後，形成 400 nm 厚的氧化矽膜。

在熱處理之後，可以執行氫化處理。在該實施例中，使用退火爐在 410°C 的氮氣中執行一小時的熱處理。

接下來形成電連接雜質區域的接線 2019。在該實施例中，藉由將 50 nm 厚的 Ti 膜、500 nm 厚的 Al-Si 膜和 50 nm 厚的 Ti 膜構成的層疊膜製成形狀，形成接線 5019。當然結構不限於兩層結構，也可以是單層結構或三層以上的層疊結構。接線的材料不限於 Al 和 Ti。例如，可以在 TaN 膜上形成 Al 和 / 或 Cu。然後可以將具有 Ti 膜的層疊膜製成形狀來形成接線 (圖 14H)。

以這種方式，形成了 n 通道 TFT 2031 和 p 通道 TFT 2032，兩者的通道長度為 6 μm ，通道寬度為 4 μm 。

圖 15A 和 15B 顯示測量這些特性的結果。圖 15A 顯示 n 通道 TFT 2031 的電特性。圖 15B 顯示 p 通道 TFT 2032 的電特性。電特性是在閘極電壓 $V_g = -16$ 到 16V 的範圍中和汲極電壓 $V_d = 1\text{V}$ 和 5V 的範圍中的兩個測量點測量的。在圖 15A 和 15B 中，汲極電流 (I_D) 和閘電流 (I_G) 以實線表示。虛線表示遷移率 (μ_{FE})。

因為在根據本發明結晶的半導體膜上形成了大晶粒，所以當使用半導體膜製造 TFT 時，能夠減少在形成區域

五、發明說明 (67)

的通道中晶粒介面的數量。此外，因為形成的晶粒指向相同的方向，所以能夠顯著減少載體穿過晶粒介面的次數。因此，能夠獲得具有如圖 15A 和 15B 中所示的良好電特性的 TFT。特別是 n 通道 TFT 中的遷移率為 $524 \text{ cm}^2/\text{Vs}$ ，p 通道 TFT 中的遷移率為 $205 \text{ cm}^2/\text{Vs}$ 。當使用該類 TFT 製造顯示裝置時，還能夠提高運行特性和可靠性。

實施例 9

在該實施例中，參照圖 10 和圖 16A 到 19B 講述了使用藉由使用實施例 7 中講述的方法結晶的半導體膜製造 TFT 的情形。

到形成作為半導體膜的非結晶矽膜為止的步驟與實施例 8 中的相同。形成的非結晶矽膜的厚度為 150 nm (圖 16A)。

此後使用了在日本專利申請公開號 Hei 7-183540 中提出的方法。藉由旋塗法將乙酸鎳溶液(重量換算濃度為 5 ppm ，容量為 10 ml)塗在半導體膜上，形成含金屬膜 2021。然後，在 500°C 的氮氣中在其上執行熱處理一小時，在 550°C 的氮氣中執行十二小時。因而獲得半導體膜 2022(圖 16B)。

然後，藉由鐳射退火法提高半導體膜 2022 的結晶度。

對於用於鐳射退火法的雷射器，使用連續振盪 YVO_4 雷射器。對於用於鐳射退火法的條件，使用 YVO_4 雷射器

五、發明說明 (68)

的第二諧波(波長 532 nm, 5.5W)作為鐳射。形成 200 $\mu\text{m} \times 50 \mu\text{m}$ 的橢圓光束，鐳射相對於如圖 10 所示的光學系統中的凸透鏡 1003 的入射角 Φ 為 20° 左右。橢圓光束以 20 cm/s 到 50 cm/s 的速度行動並照射到基底上。因而獲得半導體膜 2023(圖 16C)。

在圖 16C 中結晶半導體膜之後的步驟與實施例 8 中顯示的圖 14C 到 14H 所示的步驟相同。以這種方式，形成了 n 通道 TFT 2031 和 p 通道 TFT 2032，兩者的通道長度為 6 μm ，通道寬度為 4 μm 。這些電特性是測量的。

圖 17A 到 19B 顯示藉由這些步驟製造的 TFT 的電特性。

圖 17A 和 17B 顯示在圖 16C 鐳射退火步驟中以 20 cm/s 的速度行動基底而製造的 TFT 的這些電特性。圖 17A 顯示 n 通道 TFT 2031 的電特性。圖 17B 顯示 p 通道 TFT 2032 的電特性。圖 18A 和 18B 顯示在圖 16C 鐳射退火步驟中以 50 cm/s 的速度行動基底而製造的 TFT 的這些電特性。圖 18A 顯示 n 通道 TFT 2031 的電特性。圖 18B 顯示 p 通道 TFT 2032 的電特性。

電特性是在閘極電壓 $V_g = -16$ 到 16V 的範圍中和汲極電壓 $V_d = 1\text{V}$ 和 5V 的範圍中測量的。在圖 17A 到 18B 中，汲極電流 (ID) 和閘電流 (IG) 以實線表示。虛線表示遷移率 (μ_{FE})。

因為在根據本發明結晶的半導體膜上形成了大晶粒，所以當使用半導體膜製造 TFT 時，能夠減少在形成區域

五、發明說明 (69)

的通道中包含的晶粒介面的數量。此外，形成的晶粒指向相同的方向。此外，少量晶粒介面處在與鐳射相對掃描方向相交的方向上。因此能夠顯著減少載體穿過晶粒介面的次數。

所以，能夠獲得具有如圖 17A 到 18B 中所示的良好電特性的 TFT。特別是圖 17A 和 17B 中的 n 通道 TFT 中的遷移率為 $510 \text{ cm}^2/\text{Vs}$ ，p 通道 TFT 中的遷移率為 $200 \text{ cm}^2/\text{Vs}$ 。圖 18A 和 18B 中的 n 通道 TFT 中的遷移率為 $595 \text{ cm}^2/\text{Vs}$ ，p 通道 TFT 中的遷移率為 $199 \text{ cm}^2/\text{Vs}$ 。當使用該類 TFT 製造顯示裝置時，還能夠提高運行特性和可靠性。

圖 19A 和 19B 顯示在圖 16C 鐳射退火步驟中以 50 cm/s 的速度行動基底而製造的 TFT 的這些電特性。圖 19A 顯示 n 通道 TFT 2031 的電特性。圖 19B 顯示 p 通道 TFT 2032 的電特性。

電特性是在閘極電壓 $V_g = -16$ 到 16V 的範圍中和汲極電壓 $V_d = 1\text{V}$ 和 5V 的範圍中測量的。

如圖 19A 和 19B 所示，能夠獲得具有良好電特性的 TFT。特別是圖 19A 中的 n 通道 TFT 中的遷移率為 $657 \text{ cm}^2/\text{Vs}$ ，圖 19B 中的 p 通道 TFT 中的遷移率為 $219 \text{ cm}^2/\text{Vs}$ 。當使用該類 TFT 製造顯示裝置時，還能夠提高運行特性和可靠性。

實施例 10

五、發明說明 (70)

根據本發明的非易失記憶體能夠加入到在所有領域中作為實現資料的儲存和讀取的記錄媒體的電子設備中。在該實施例中，說明了這種電子設備。

應用本發明的電子設備的例子包括視頻照相機、數位照相機、護目型顯示器(頭戴式顯示器)、導航系統、音頻再生系統(汽車音響系統、音頻成分立體聲系統等)、筆記型個人電腦、遊戲機、可攜式資訊終端機(行動式電腦、可攜式電話、可攜式遊戲機、電子書籍等等)和配有記錄媒體的影像重現系統(特別是播放數位化視頻光碟(DVD)等記錄媒體並配有顯示影像的顯示器的設備)。圖 20A 到 20G 中顯示電子設備的具體例子。

圖 20A 顯示一種包括外殼 1401、支架 1402 和顯示部分 1403 的顯示裝置。本發明能夠應用於顯示部分 1403。

圖 20B 顯示一種視頻照相機，包括主體 1411、顯示部分 1412、聲音輸入部分 1413、操作開關 1414、電池 1415、影像接收部分 1416 等。本發明能夠應用於顯示部分 1412。

圖 20C 顯示一種筆記型個人電腦，包括主體 1421、外殼 1422、顯示部分 1423、鍵盤 1424 等。本發明能夠應用於顯示部分 1423。

圖 20D 顯示一種可攜式資訊終端機，包括主體 1431、輸入筆 1432、顯示部分 1433、操作按鈕 1434、外部介面 1435 等。本發明能夠應用於顯示部分 1433。

圖 20E 顯示一種聲音重現系統，特別是汽車的音響系

五、發明說明 (71)

統，包括主體 1441、顯示部分 1442、操作開關 1443 和 1444 等。本發明能夠應用於顯示部分 1422。此外，這裏使用的例子是汽車的音響系統，但還可以給出可攜式或家用音響系統。

圖 20F 顯示一種數位照相機，包括主體 1451、顯示部分 A 1452、目鏡部分 1453、操作開關 1454、顯示部分 B 1455、電池 1456 等。本發明能夠應用於顯示部分 A 1452 和顯示部分 B 1455。

圖 20G 顯示一種可攜式電話，包括主體 1461、聲音輸出部分 1462、聲音輸入部分 1463、顯示部分 1464、操作開關 1465、天線 1466 等。本發明能夠應用於顯示部分 1464。

在上述電子設備中使用的顯示裝置既可以使用玻璃基底，也可以使用抗熱塑膠基底。因此能夠達到減輕電子設備的重量。

如上所述，本發明的應用範圍相當寬，因此本發明能夠應用於所有領域的電子設備。此外，該實施例中的電子設備可以使用基於實施例 1 到 9 的任何組合的結構來實現。

因此，使用根據本發明的顯示裝置和使用該顯示裝置的顯示系統，能夠實現具有高清晰度顯示和低功耗的小型輕便電子設備。

根據本發明，以前在現有技術中在 GPU 中執行的部分運算處理能夠在顯示裝置中執行，因此能夠減少 GPU

五、發明說明 (72)

的運算處理量。此外，能夠減少顯示系統需要的部件數量，由此能夠使顯示系統體積減小、重量減輕。此外，在顯示靜態影像或只有部分影像資料改變的情況下，重寫非常少量的影像資料就足夠了，因此能夠大大減小功耗。對應的，能夠實現適用於高清晰度和大尺寸影像顯示的顯示裝置和使用該顯示裝置的顯示系統。

除了那些在本發明較佳實施例中講述的顯示裝置之外，本發明還能夠應用於其他類型的顯示裝置。例如，可以使用基於矽片的主動矩陣顯示裝置。另外，薄膜電晶體可以是頂部閘極型、底部閘極型或雙閘極型。

四、中文發明摘要（發明之名稱：

顯示裝置以及使用該裝置之顯示系統

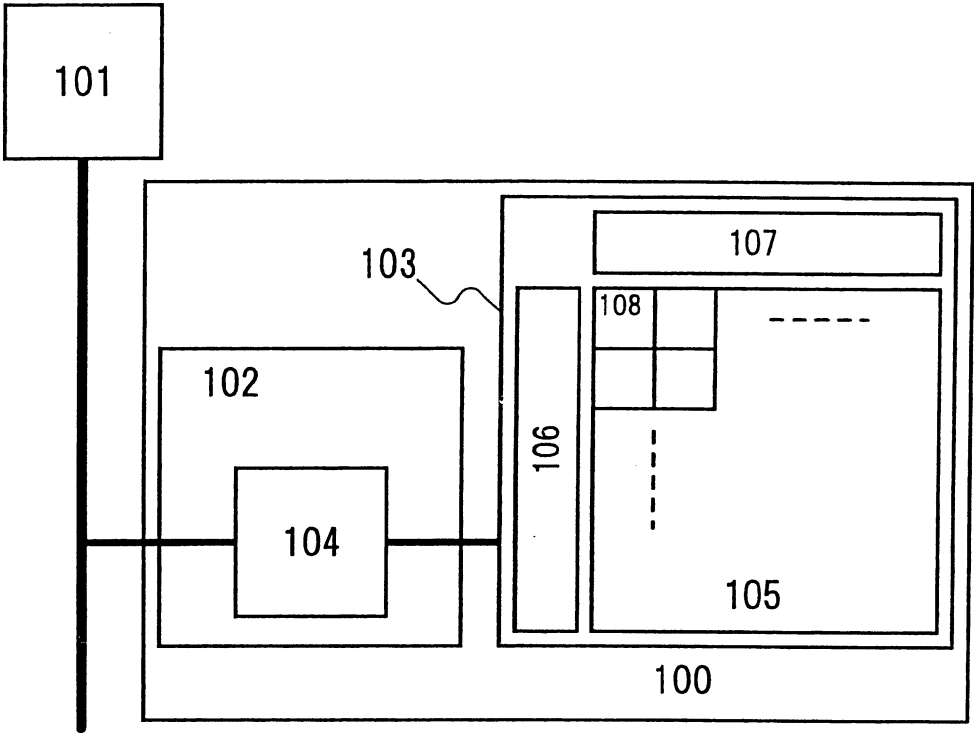
提供了一種低功耗的顯示裝置，能夠減少 GPU 的運算處理量，不需要儲存對應一面板影像資料的儲存設備，還提供了一種使用該顯示裝置的顯示系統。顯示裝置由各包括一個儲存電路、運算處理電路和顯示處理電路的像素和各自功能為在任意儲存電路中儲存影像資料的電路構成。顯示系統由顯示裝置和包含 GPU 的影像處理設備構成。藉由顯示系統中 GPU 中的運算處理形成各個結構分量的影像資料。形成的影像資料儲存在各個像素的對應儲存電路中。儲存的影像資料用於各個像素的運算處理電路的合成處理。然後在顯示處理電路中將影像資料轉換成影像信號。

（請先閱讀背面之注意事項再填寫本頁各欄）

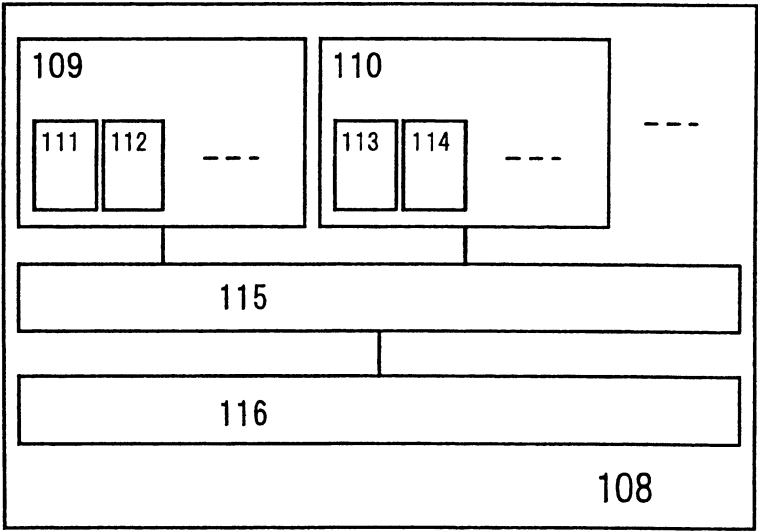
英文發明摘要（發明之名稱：

DISPLAY DEVICE AND DISPLAY SYSTEM USING THE SAME

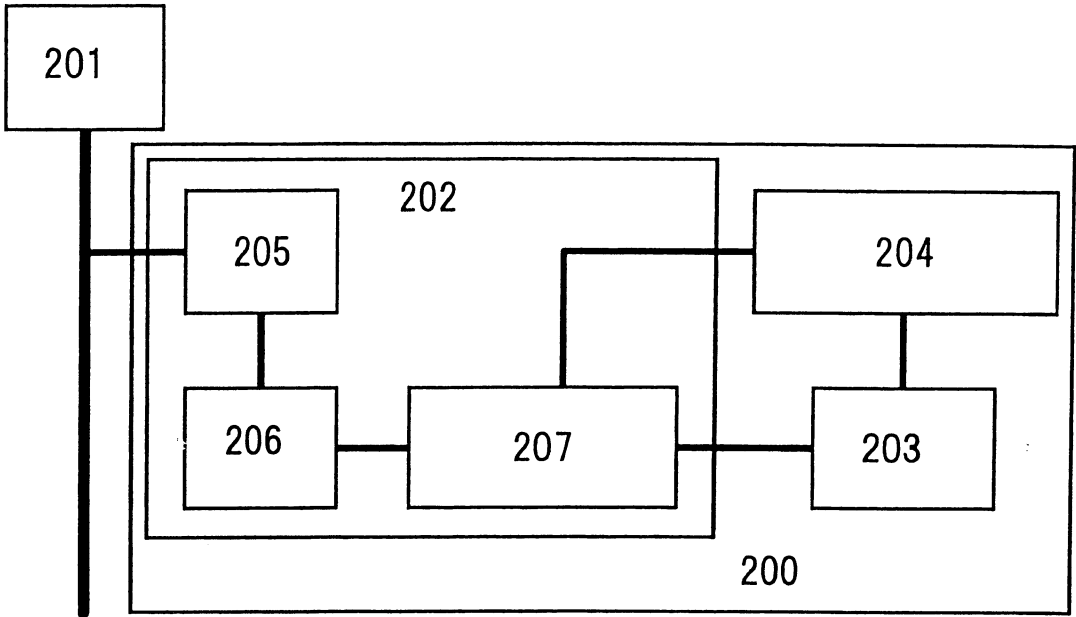
Provided are a display device with low power consumption which enables reduction of an operation processing amount of a GPU and which does not require a storage device for storing image data corresponding to one screen, and a display system using the display device. The display device is constituted by pixels each including storage circuits, an operation processing circuit, and a display processing circuit and circuits each having a function of storing image data in arbitrary storage circuits. The display system is constituted by the display device and an image processing device including the GPU. Image data is formed for each structural component through operation processing in the GPU in the display system. The formed image data is stored in the corresponding storage circuit for each pixel. The stored image data is subjected to composition processing by the operation processing circuit for each pixel. Then, the image data is converted into an image signal in the display processing circuit.



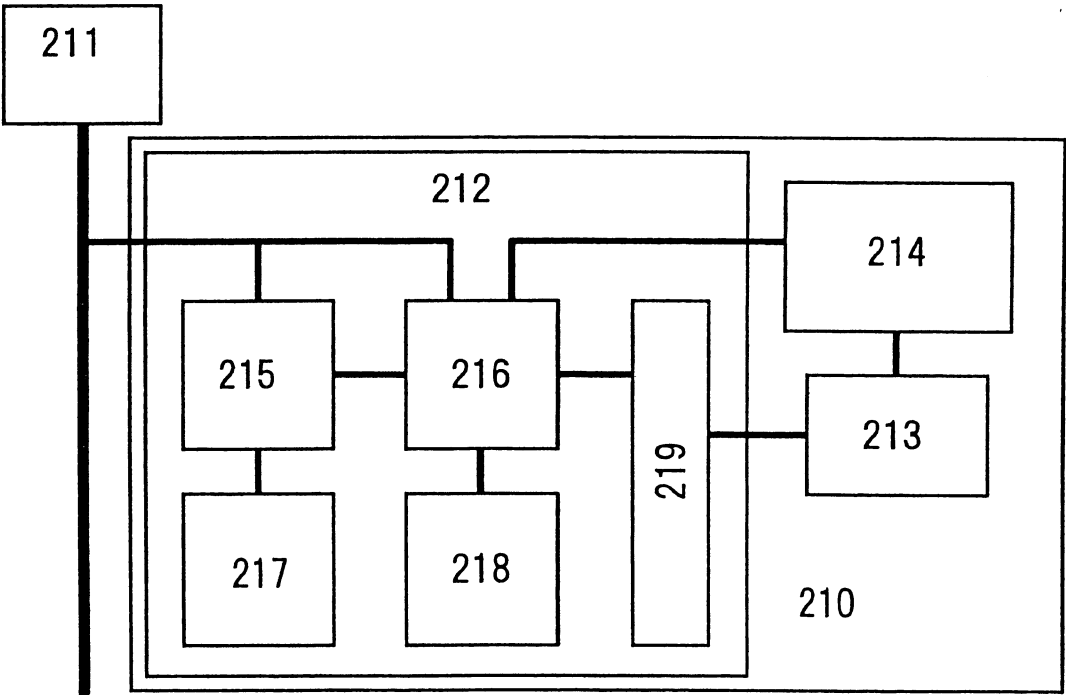
第 1 圖 A



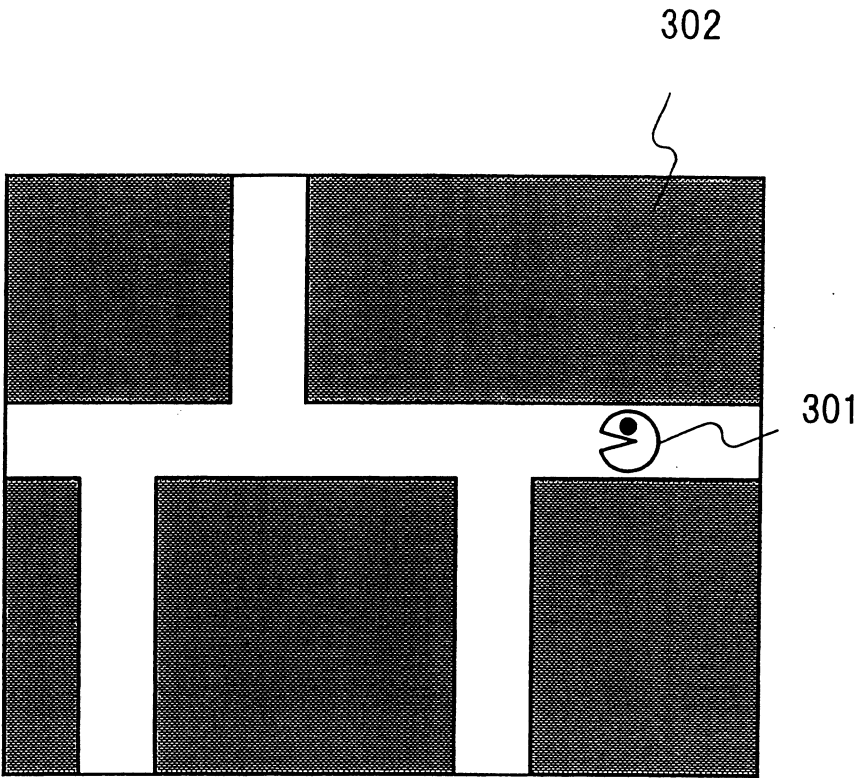
第 1 圖 B



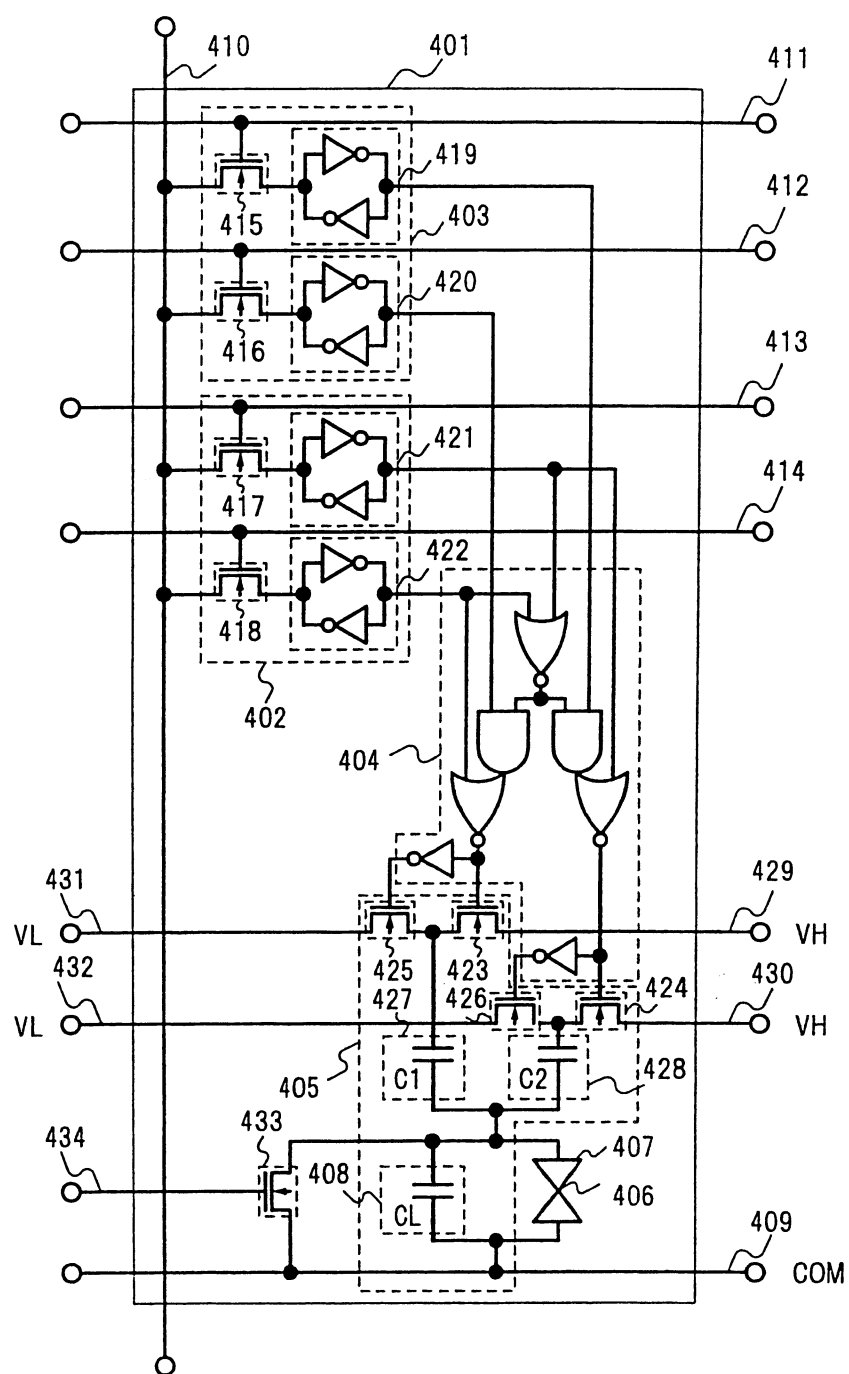
第 2 圖 A



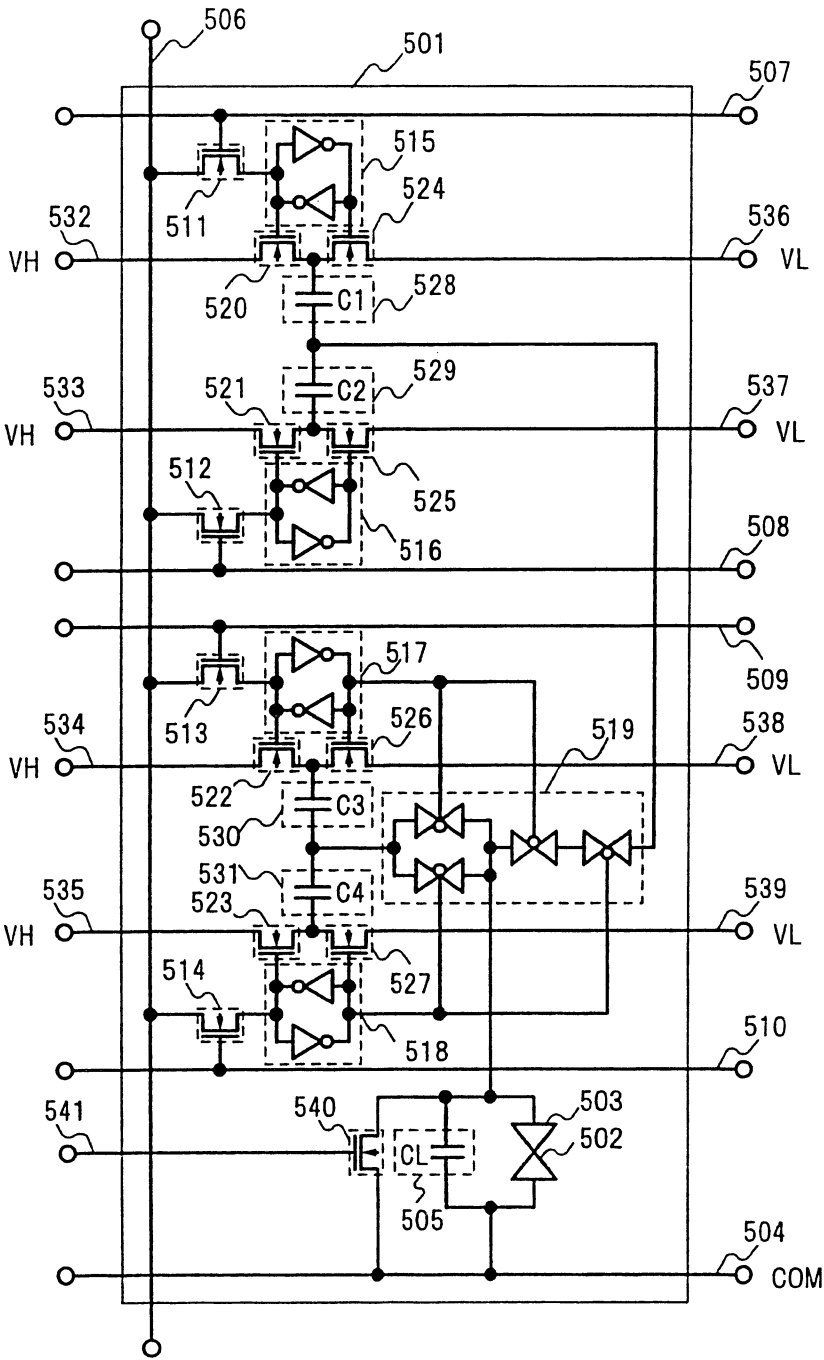
第 2 圖 B



第 3 圖

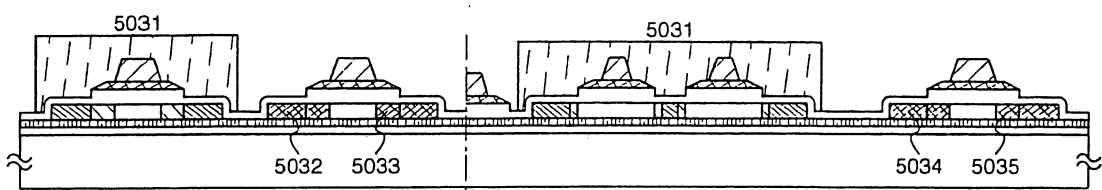


第 4 圖

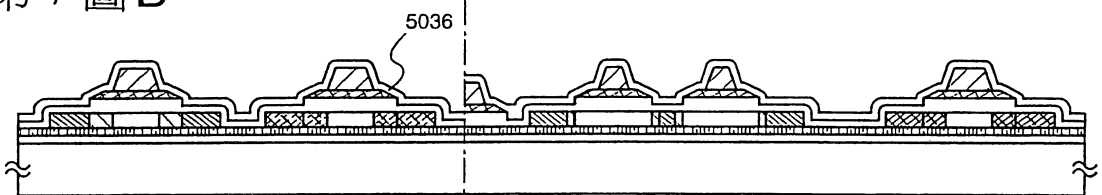


第 5 圖

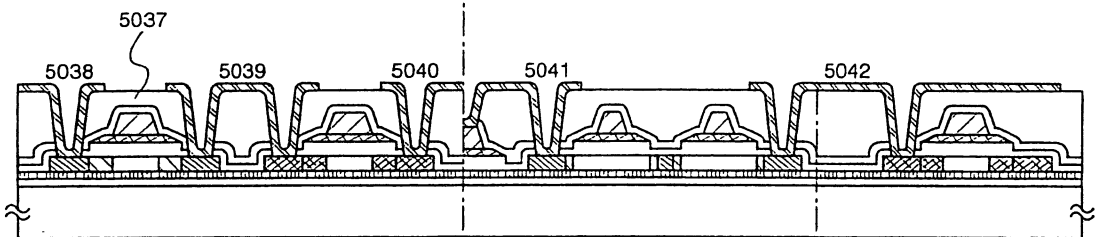
第 7 圖 A



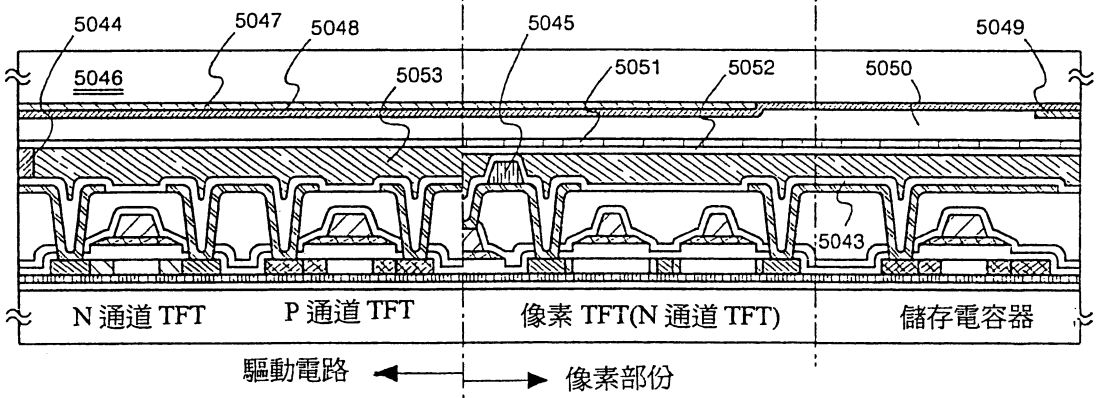
第 7 圖 B



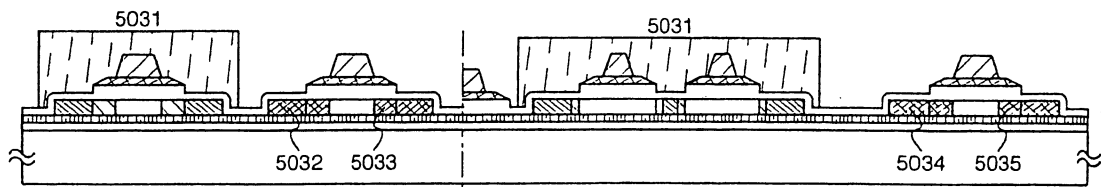
第 7 圖 C



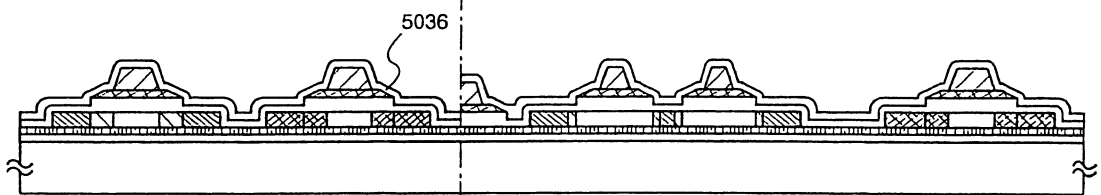
第 7 圖 D



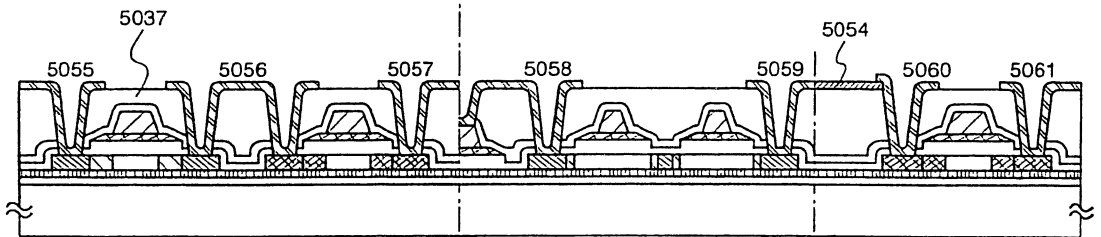
第 8 圖 A



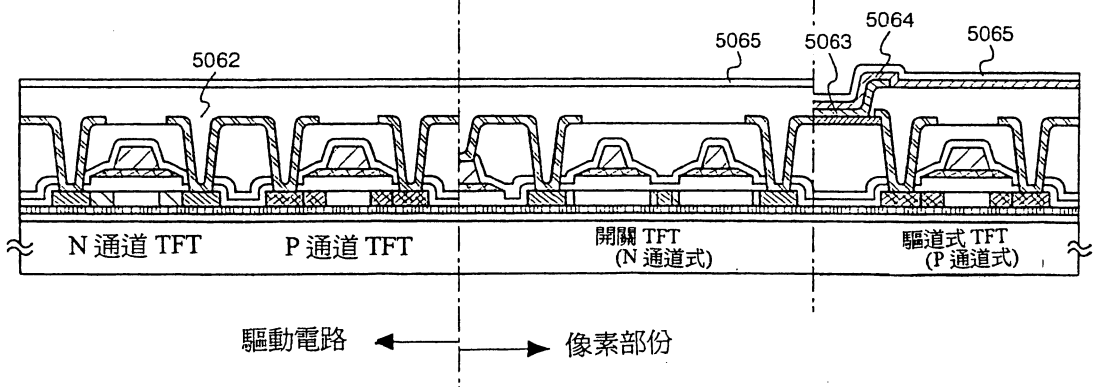
第 8 圖 B



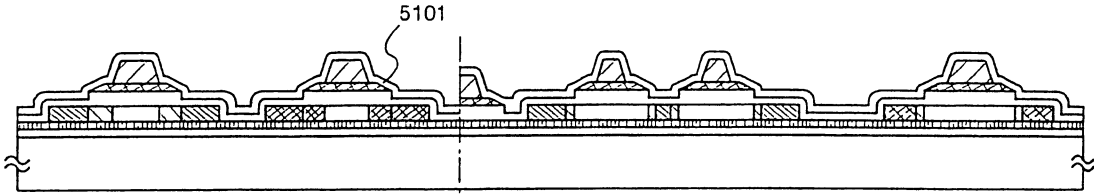
第 8 圖 C



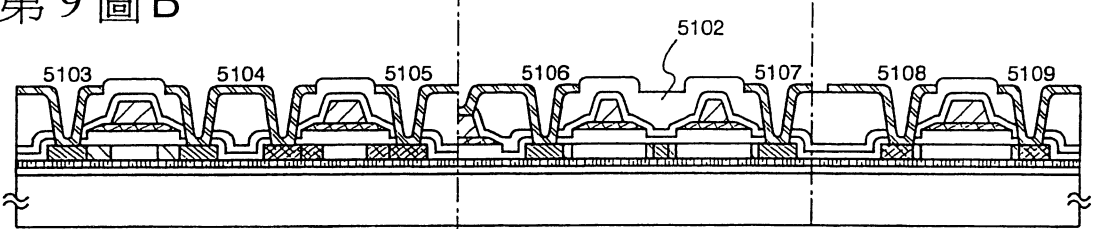
第 8 圖 D



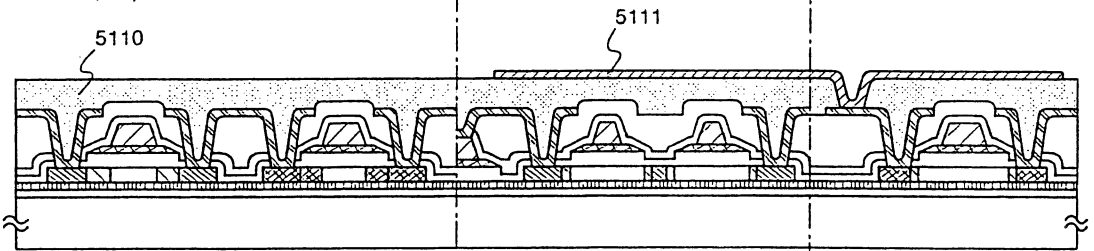
第 9 圖 A



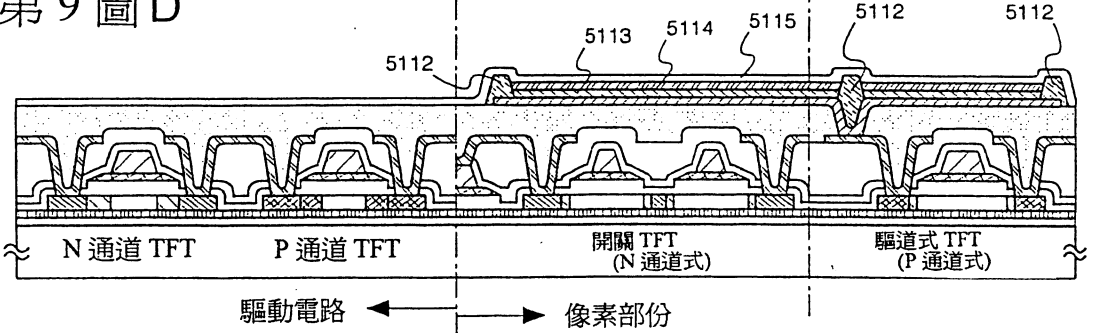
第 9 圖 B

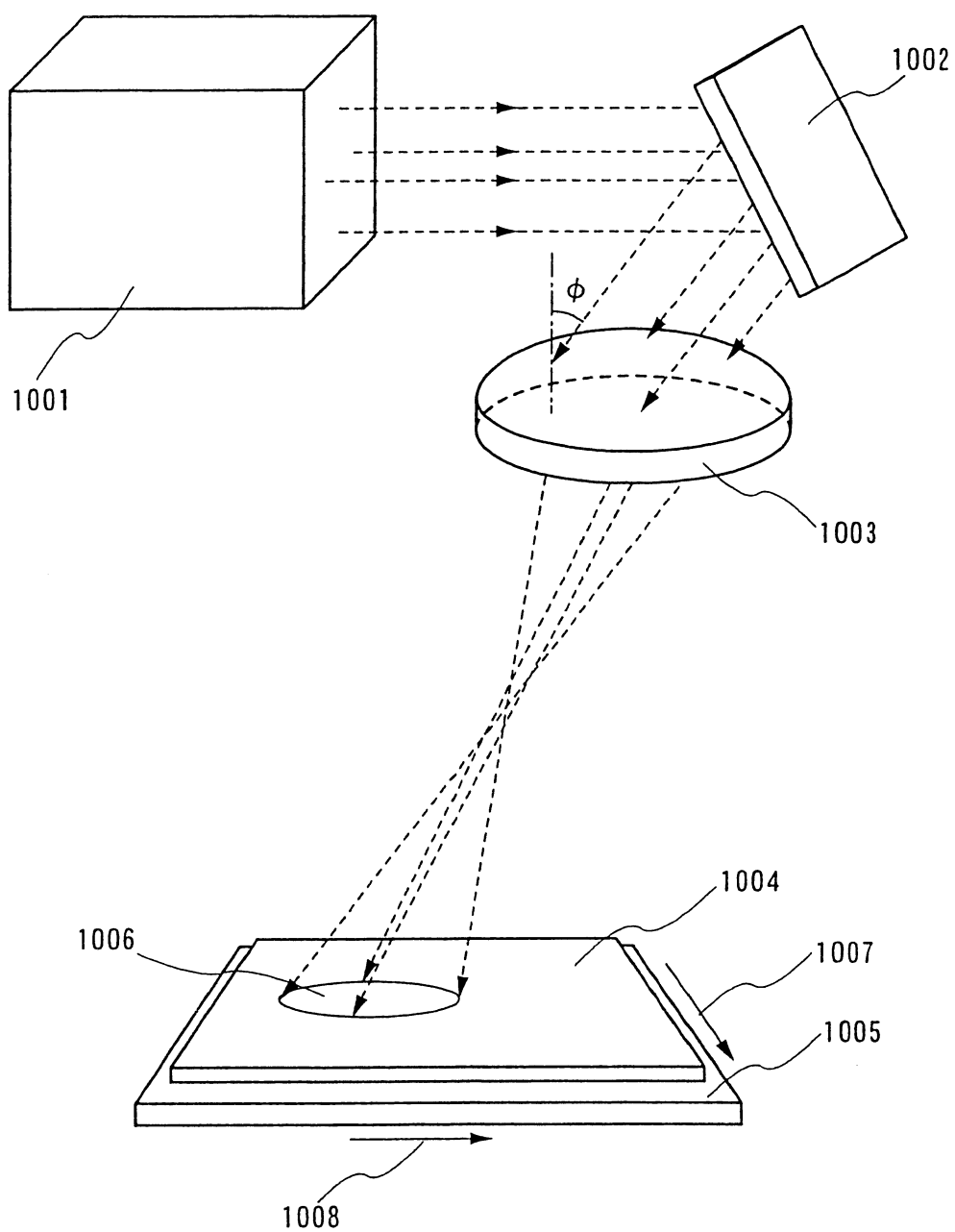


第 9 圖 C

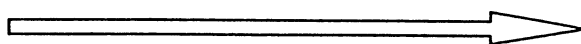
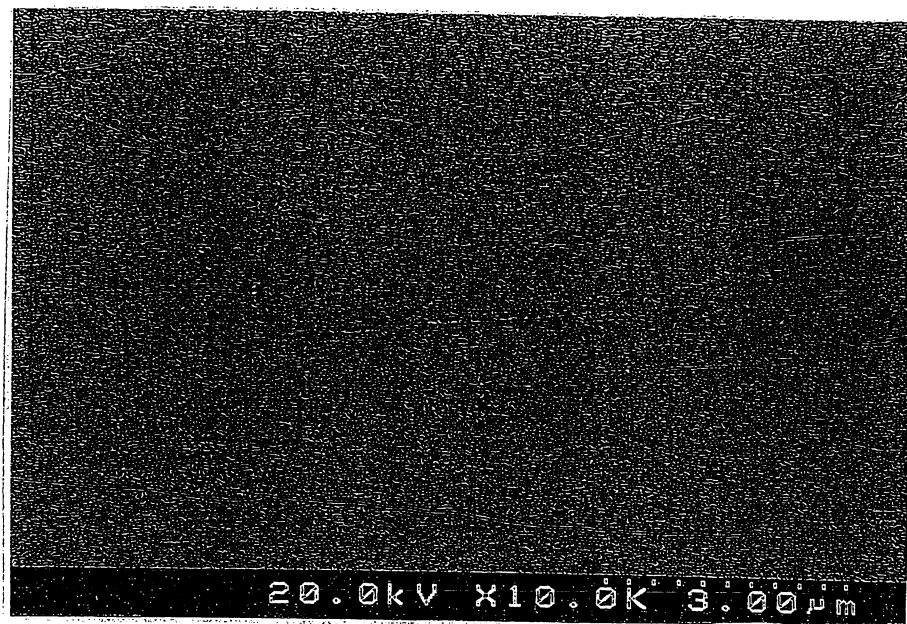


第 9 圖 D



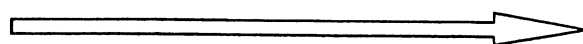
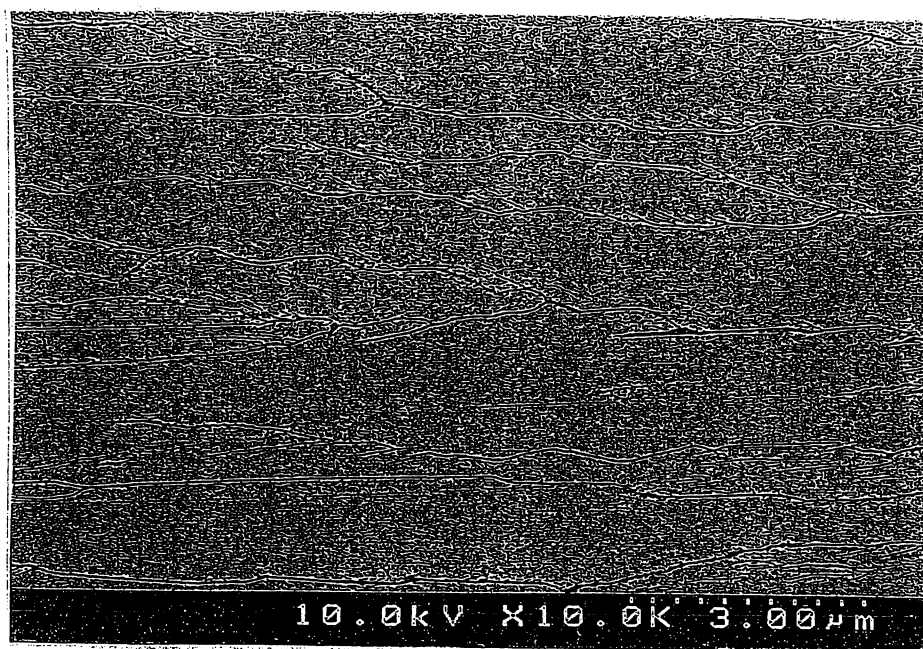


第 10 圖



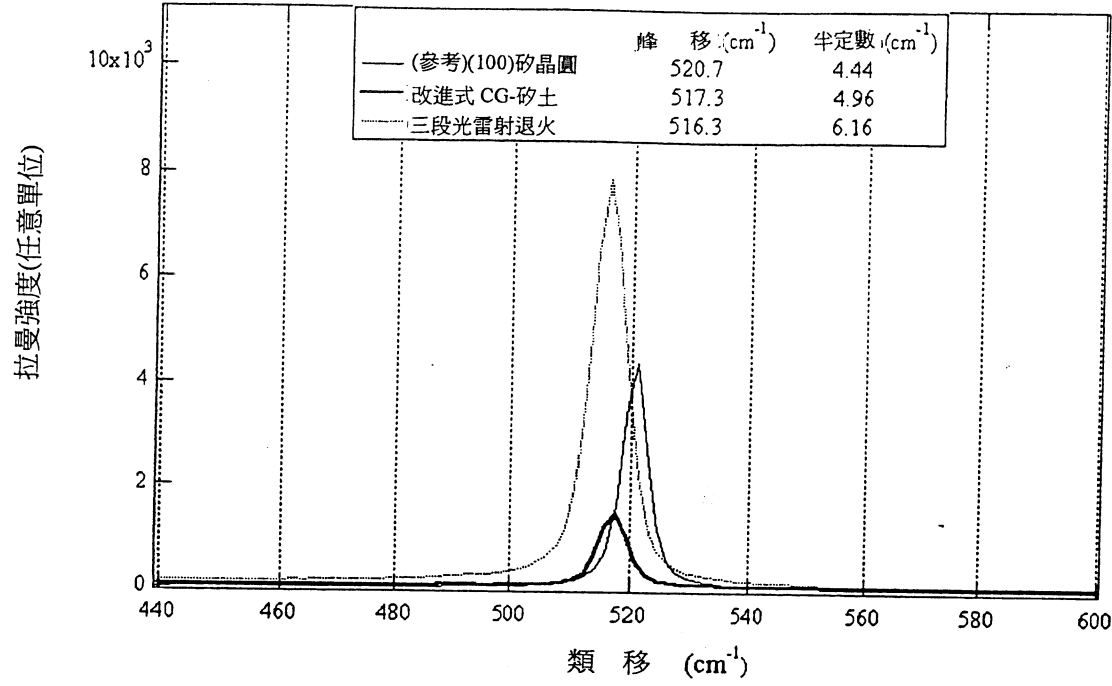
雷射光之相對掃描方向

第 11 圖

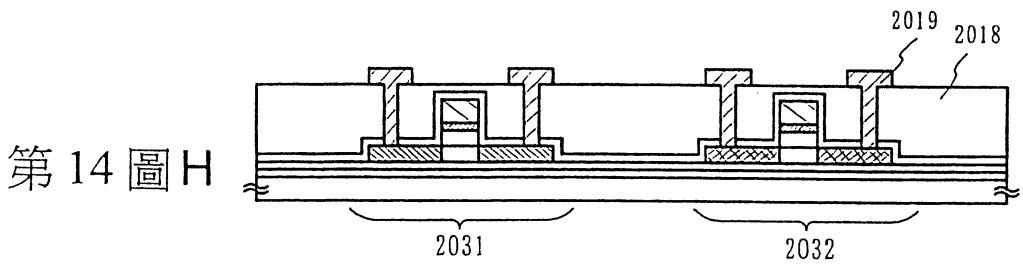
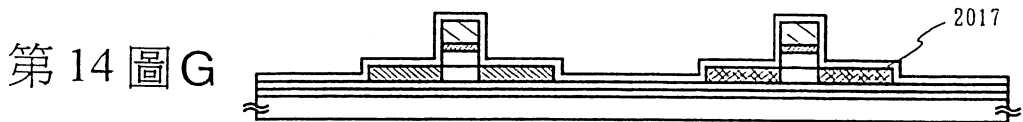
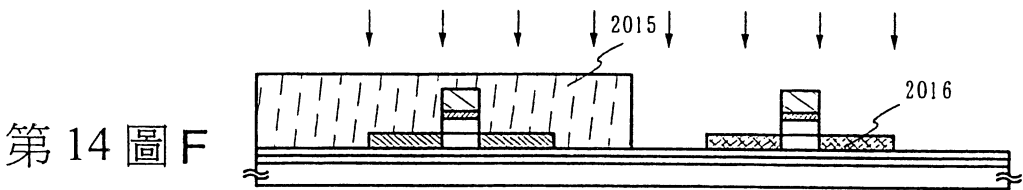
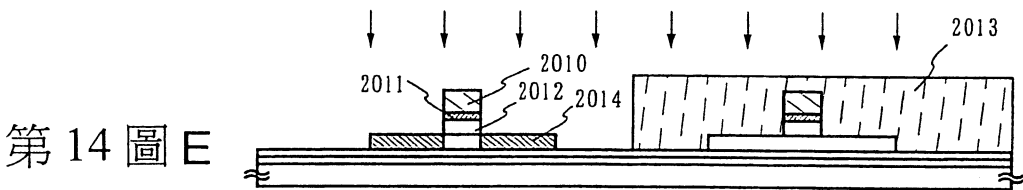
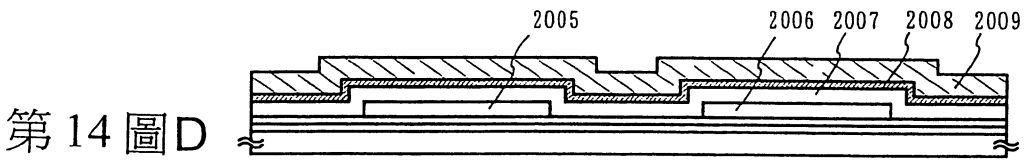
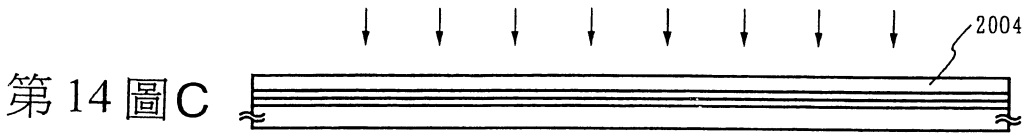
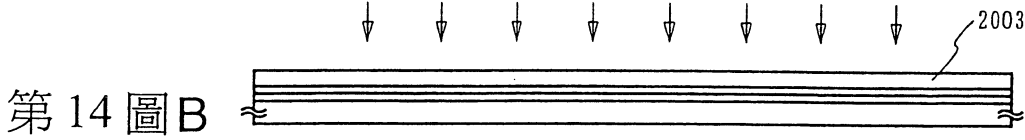
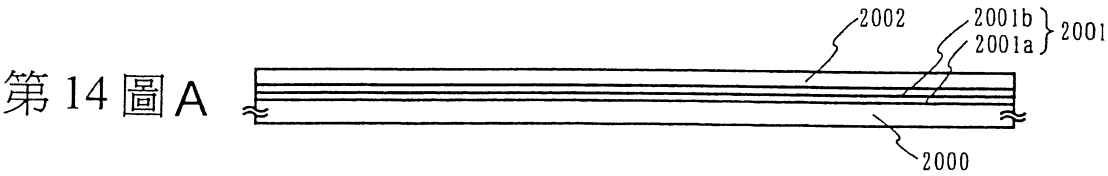


雷射光之相對掃描方向

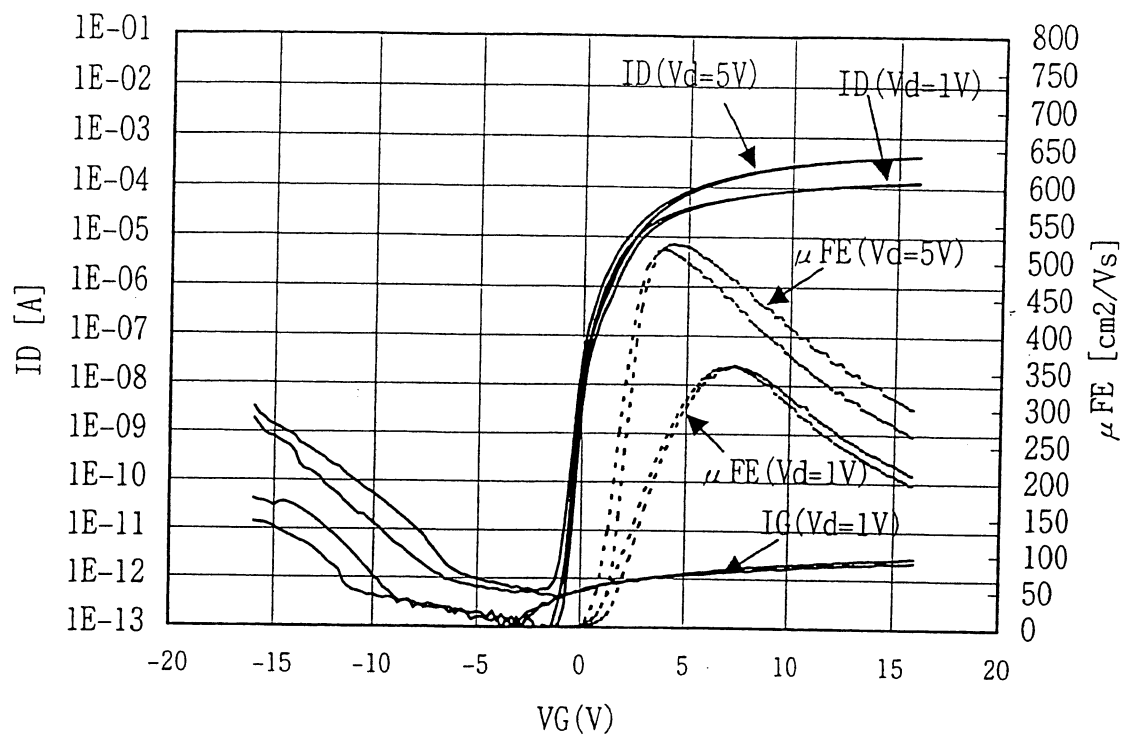
第 12 圖



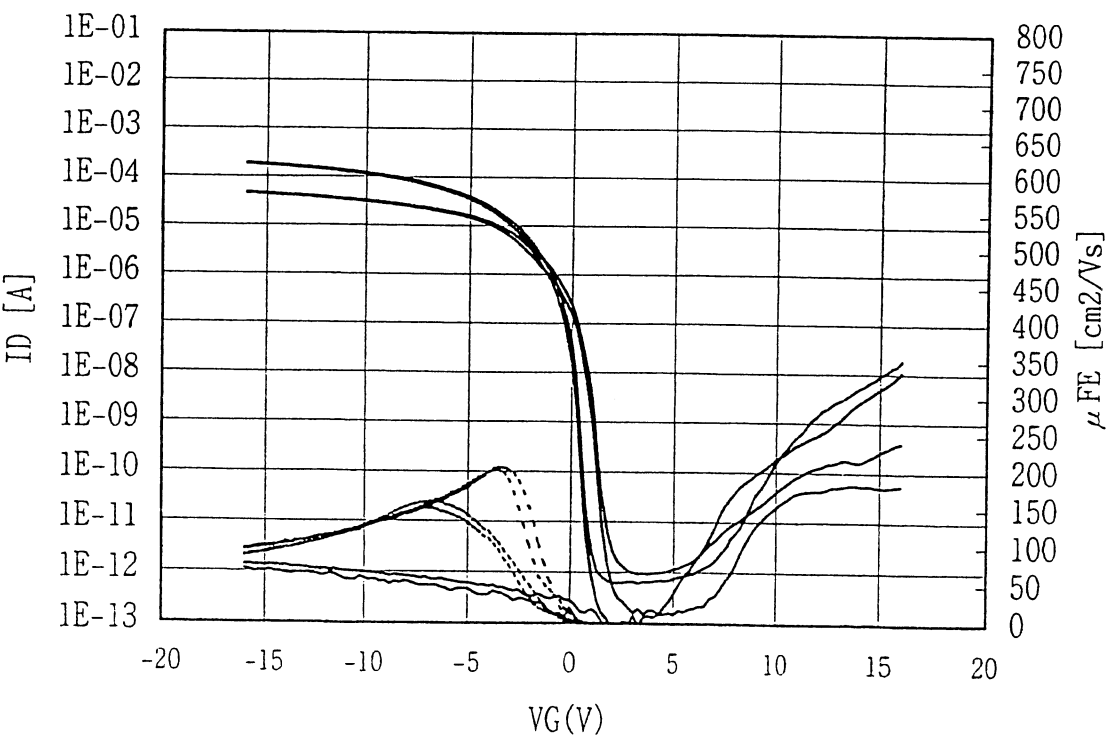
第 13 圖



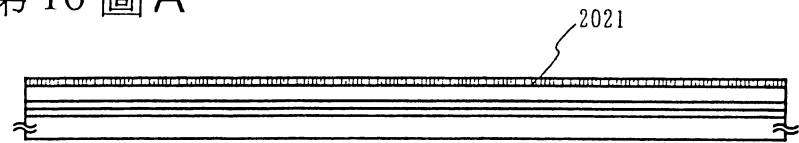
第 15 圖 A



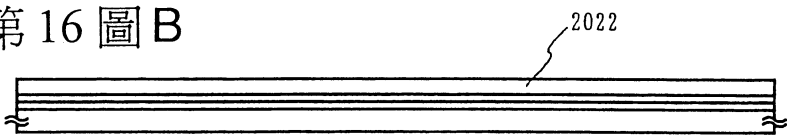
第 15 圖 B



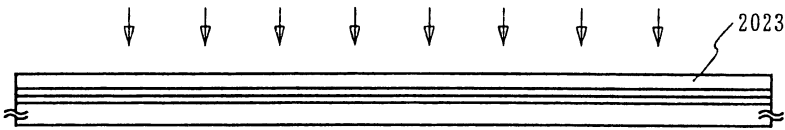
第 16 圖 A



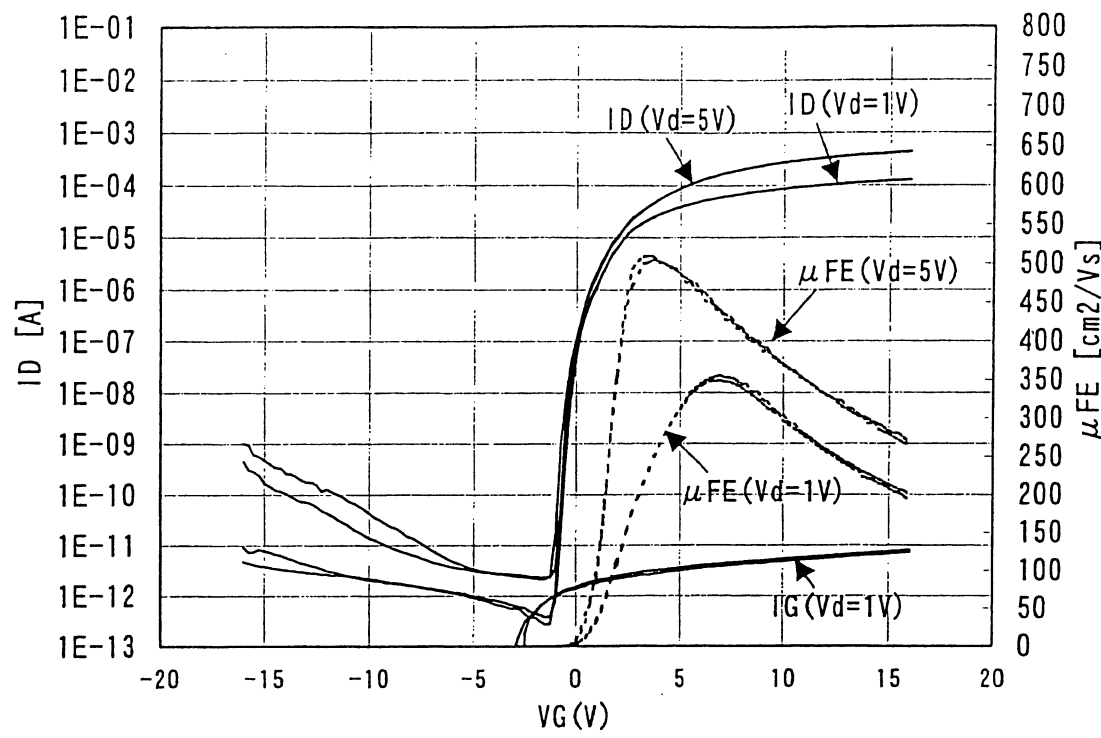
第 16 圖 B



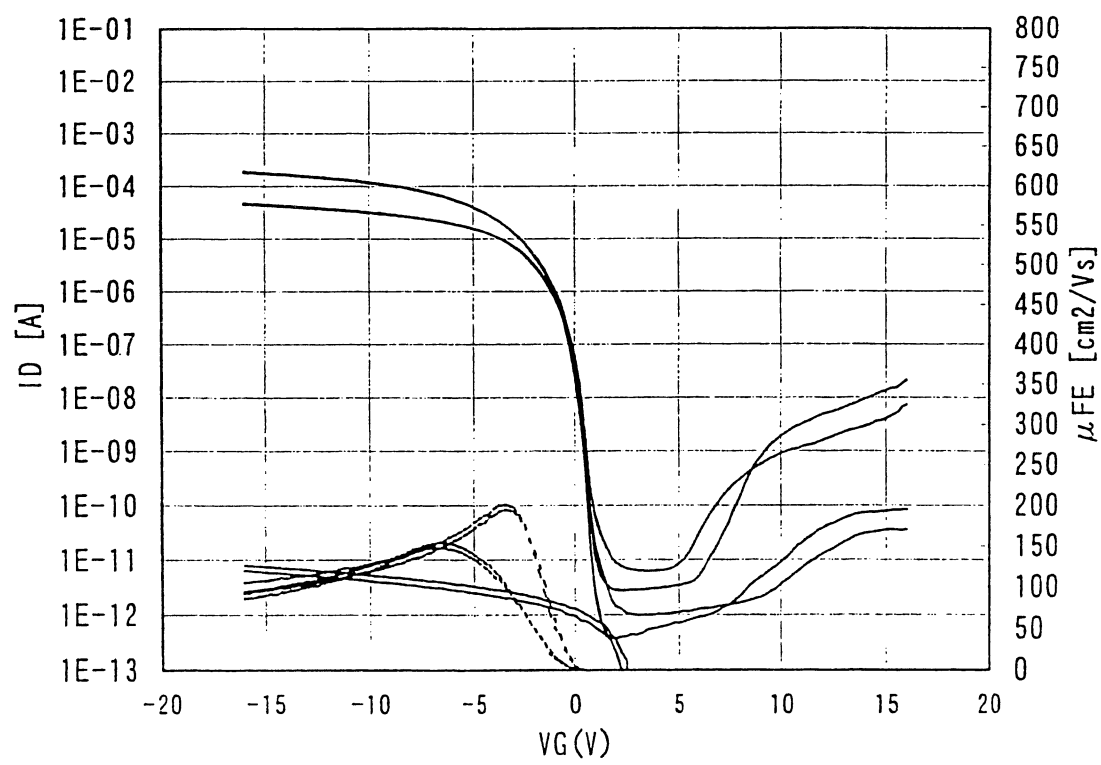
第 16 圖 C



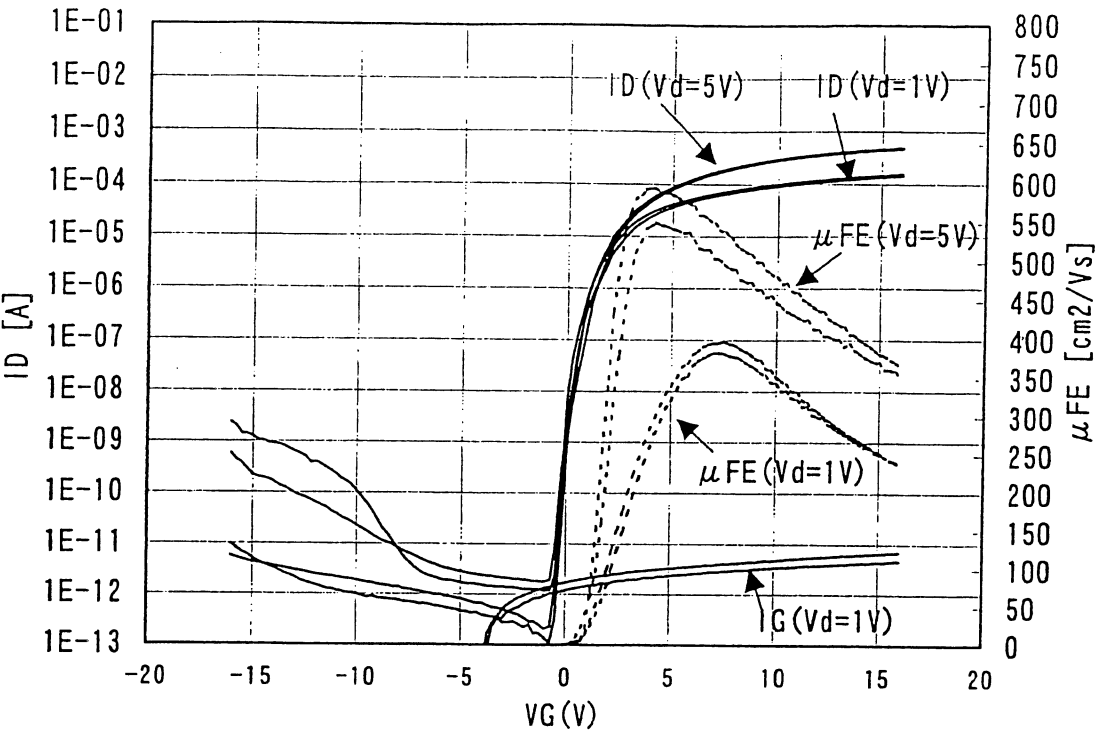
第 17 圖 A



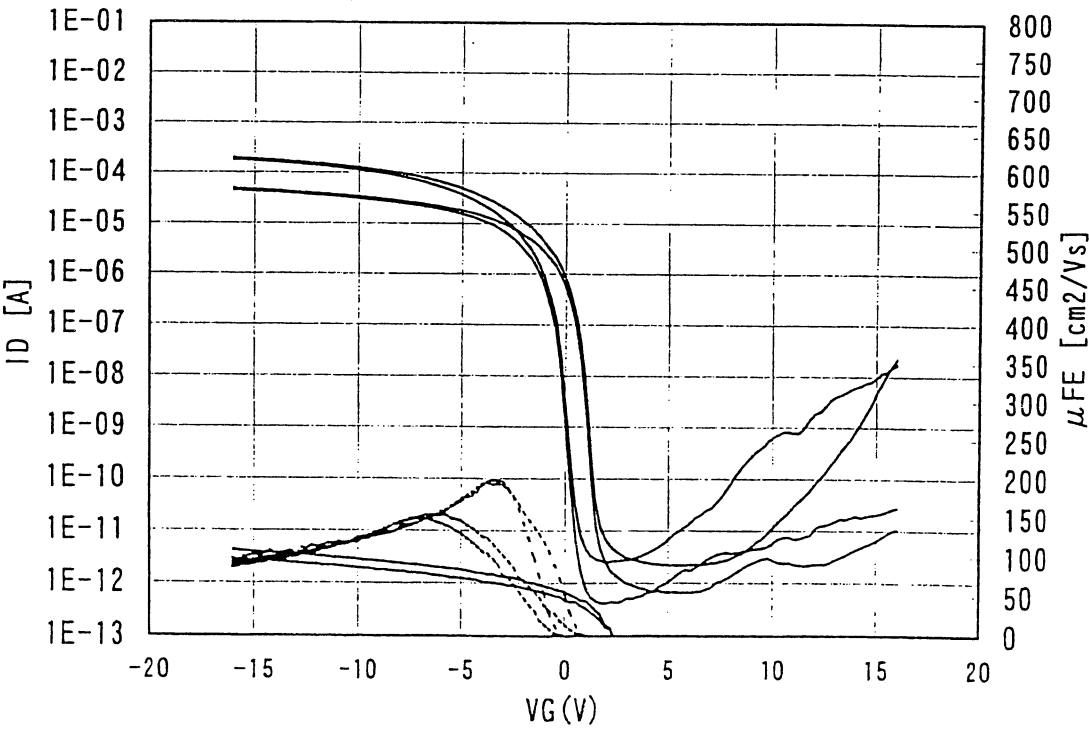
第 17 圖 B



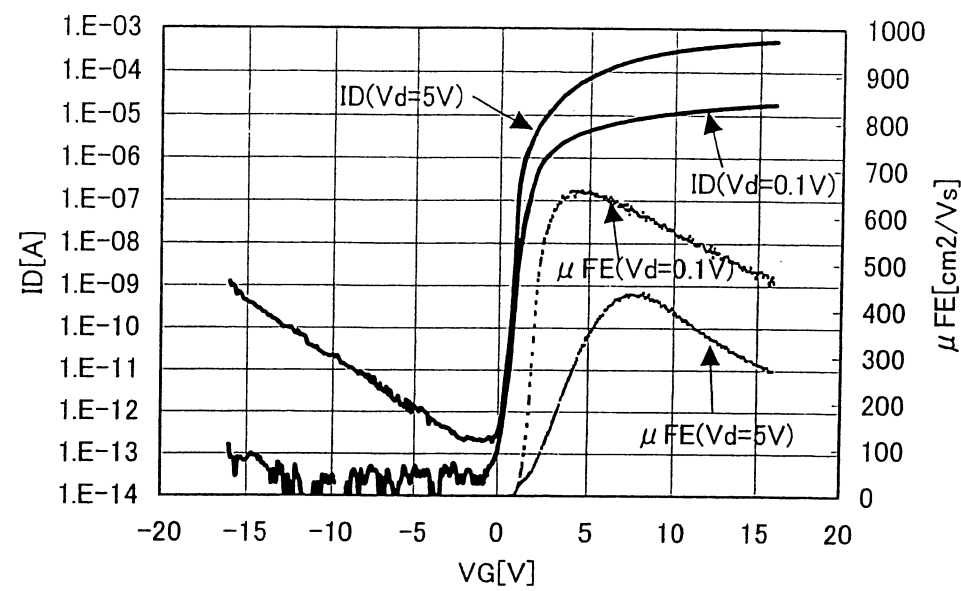
第 18 圖 A



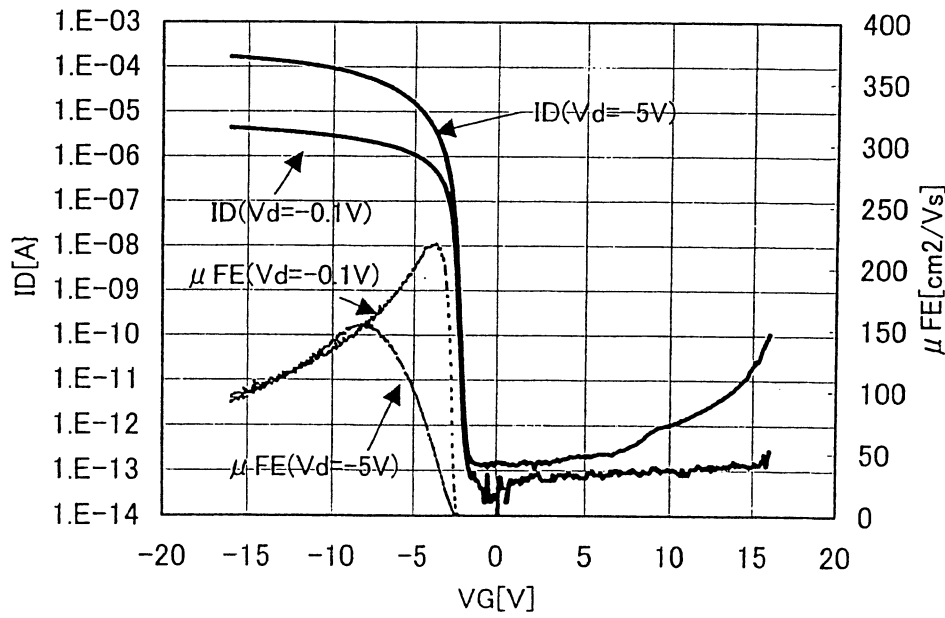
第 18 圖 B

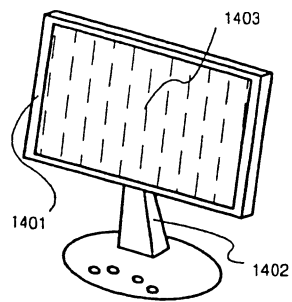


第 19 圖 A

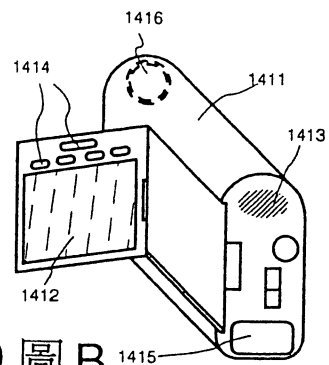


第 19 圖 B

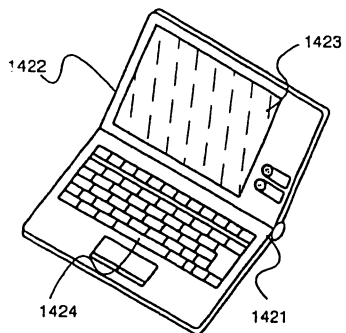




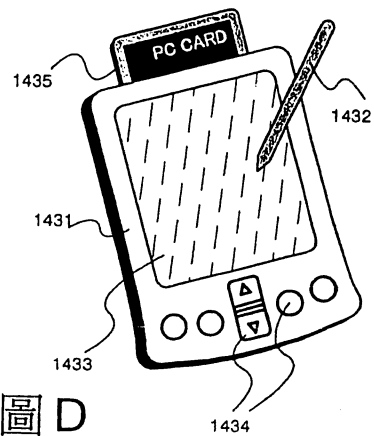
第 20 圖 A



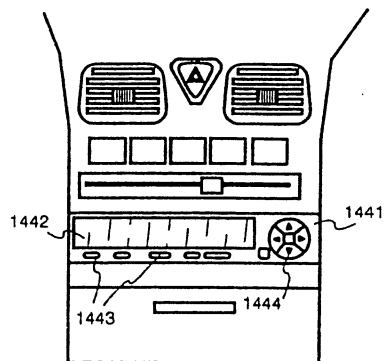
第 20 圖 B



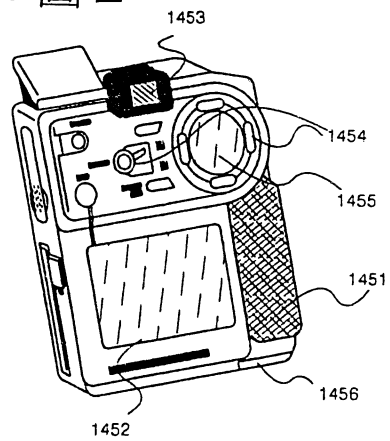
第 20 圖 C



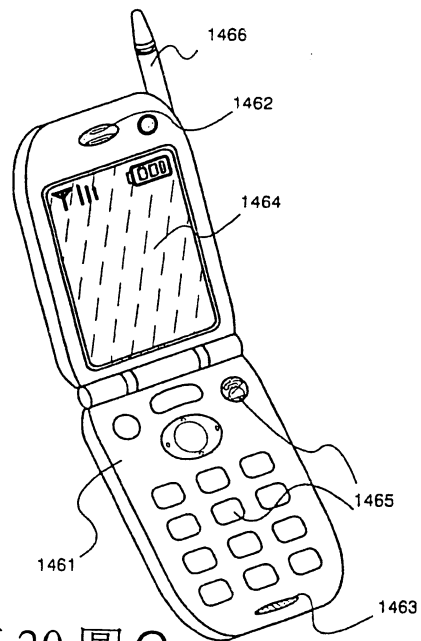
第 20 圖 D



第 20 圖 E



第 20 圖 F



第 20 圖 G

(一)、本案指定代表圖爲：第 1B 圖

(二)、本代表圖之元件代表符號簡單說明：

- 108 像素
- 109 像素儲存電路
- 110 像素儲存電路
- 111 儲存構件
- 112 儲存構件
- 113 儲存構件
- 114 儲存構件
- 115 像素運算處理電路
- 116 像素顯示處理電路

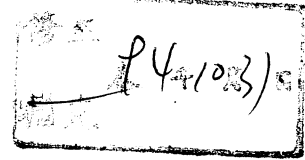
六、申請專利範圍

1

第 91134518 號 專利 申請 案

中文 申請 專利 範圍 修正 本

民國 94 年 10 月 31 日 修正



專利 申請 案

專利 申請 案

1. 一種顯示裝置，包括：
- 多數個像素，每個像素包括：
- 第一儲存電路；
- 第二儲存電路；
- 運算處理電路；以及
- 顯示處理電路，

其中：第一儲存電路儲存第一影像資料並輸出該第一資料到運算處理電路；第二儲存電路儲存第二影像資料並輸出該第二資料到運算處理電路；運算處理電路在第二影像資料等於預定義影像資料時輸出第一影像資料到顯示處理電路，在第二影像資料不等於預定義影像資料時輸出第二影像資料到顯示處理電路；顯示處理電路根據運算處理電路輸出的第一影像資料或第二影像資料形成影像信號。

2. 一種顯示裝置，包括：
- 多數個像素，每個像素包括：
- 第一儲存電路，第二儲存電路；
- 運算處理電路；以及
- 顯示處理電路，

其中：第一儲存電路儲存第一影像資料並輸出該第一資料到運算處理電路；第二儲存電路儲存第二影像資料並

(請先閱讀背面之注意事項再填寫本頁)

訂

訂

六、申請專利範圍

2

輸出該第二資料到運算處理電路；運算處理電路在第二影像資料等於預定義影像資料時輸出第一影像資料到顯示處理電路，在第二影像資料不等於預定義影像資料時輸出第二影像資料到顯示處理電路；顯示處理電路根據運算處理電路輸出的第一影像資料或第二影像資料形成影像信號；第一儲存電路具有儲存對應於一圖框的第一影像資料的裝置；第二儲存電路具有儲存對應於一圖框的第二影像資料的裝置。

3. 一種顯示裝置，包括：

多數個像素，每個像素包括：

第一儲存電路；

第二儲存電路；

運算處理電路；以及

顯示處理電路，

其中：第一儲存電路儲存第一影像資料並輸出該第一資料到運算處理電路；第二儲存電路儲存第二影像資料並輸出該第二資料到運算處理電路；運算處理電路在第二影像資料等於預定義影像資料時輸出第一影像資料到顯示處理電路，在第二影像資料不等於預定義影像資料時輸出第二影像資料到顯示處理電路；顯示處理電路根據從運算處理電路藉由 D/A 轉換輸出的第一影像資料或第二影像資料形成影像信號。

4. 一種顯示裝置，包括：

多數個像素，每個像素包括：

六、申請專利範圍

3

第一儲存電路；
第二儲存電路；
運算處理電路；以及
顯示處理電路，

其中：第一儲存電路儲存第一影像資料並輸出資料到運算處理電路；第二儲存電路儲存第二影像資料並輸出資料到運算處理電路；運算處理電路在第二影像資料等於預定義影像資料時輸出第一影像資料到顯示處理電路，在第二影像資料不等於預定義影像資料時輸出第二影像資料到顯示處理電路；顯示處理電路根據從運算處理電路藉由D/A轉換輸出的第一影像資料或第二影像資料形成影像信號；第一儲存電路具有儲存對應於一圖框的第一影像資料的裝置；第二儲存電路具有儲存對應於一圖框的第二影像資料的裝置。

5. 根據申請專利範圍第1項的顯示裝置，其中第一影像資料和第二影像資料中至少一個是1位元的影像資料。

6. 根據申請專利範圍第2項的顯示裝置，其中第一影像資料和第二影像資料中至少一個是1位元的影像資料。

7. 根據申請專利範圍第3項的顯示裝置，其中第一影像資料和第二影像資料中至少一個是1位元的影像資料。

8. 根據申請專利範圍第4項的顯示裝置，其中第一

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

4

影像資料和第二影像資料中至少一個是 1 位元的影像資料。

9. 根據申請專利範圍第 1 項的顯示裝置，其中第一影像資料和第二影像資料中至少一個是 2 位元或以上的影像資料。

10. 根據申請專利範圍第 2 項的顯示裝置，其中第一影像資料和第二影像資料中至少一個是 2 位元或以上的影像資料。

11. 根據申請專利範圍第 3 項的顯示裝置，其中第一影像資料和第二影像資料中至少一個是 2 位元或以上的影像資料。

12. 根據申請專利範圍第 4 項的顯示裝置，其中第一影像資料和第二影像資料中至少一個是 2 位元或以上的影像資料。

13. 根據申請專利範圍第 1 項的顯示裝置，還包括一個根據影像信號改變像素灰度的裝置。

14. 根據申請專利範圍第 2 項的顯示裝置，還包括一個根據影像信號改變像素灰度的裝置。

15. 根據申請專利範圍第 3 項的顯示裝置，還包括一個根據影像信號改變像素灰度的裝置。

16. 根據申請專利範圍第 4 項的顯示裝置，還包括一個根據影像信號改變像素灰度的裝置。

17. 根據申請專利範圍第 1 項的顯示裝置，還包括一個順序驅動各個位元的儲存電路的裝置。

(請先閱讀背面之注意事項再填寫本頁)

訂

像

六、申請專利範圍

5

18. 根據申請專利範圍第 2 項的顯示裝置，還包括一個順序驅動各個位元的儲存電路的裝置。

19. 根據申請專利範圍第 3 項的顯示裝置，還包括一個順序驅動各個位元的儲存電路的裝置。

20. 根據申請專利範圍第 4 項的顯示裝置，還包括一個順序驅動各個位元的儲存電路的裝置。

21. 根據申請專利範圍第 1 項的顯示裝置，還包括一個將影像資料順序輸入到各個位元的儲存電路的裝置。

22. 根據申請專利範圍第 2 項的顯示裝置，還包括一個將影像資料順序輸入到各個位元的儲存電路的裝置。

23. 根據申請專利範圍第 3 項的顯示裝置，還包括一個將影像資料順序輸入到各個位元的儲存電路的裝置。

24. 根據申請專利範圍第 4 項的顯示裝置，還包括一個將影像資料順序輸入到各個位元的儲存電路的裝置。

25. 根據申請專利範圍第 1 項的顯示裝置，其中各個儲存電路都包括一個靜態隨機存取記憶體(SRAM)。

26. 根據申請專利範圍第 2 項的顯示裝置，其中各個儲存電路都包括一個靜態隨機存取記憶體(SRAM)。

27. 根據申請專利範圍第 3 項的顯示裝置，其中各個儲存電路都包括一個靜態隨機存取記憶體(SRAM)。

28. 根據申請專利範圍第 4 項的顯示裝置，其中各個儲存電路都包括一個靜態隨機存取記憶體(SRAM)。

29. 根據申請專利範圍第 1 項的顯示裝置，其中各個儲存電路都包括一個動態隨機存取記憶體(DRAM)。

(請先閱讀背面之注意事項再填寫本頁)

訂

4

六、申請專利範圍

6

30. 根據申請專利範圍第 2 項的顯示裝置，其中各個儲存電路都包括一個動態隨機存取記憶體(DRAM)。

31. 根據申請專利範圍第 3 項的顯示裝置，其中各個儲存電路都包括一個動態隨機存取記憶體(DRAM)。

32. 根據申請專利範圍第 4 項的顯示裝置，其中各個儲存電路都包括一個動態隨機存取記憶體(DRAM)。

33. 根據申請專利範圍第 1 項的顯示裝置，其中儲存電路、運算處理電路和顯示處理電路是使用薄膜電晶體構成的，各包括一個在半導體薄膜上形成的主動層，半導體薄膜是在從由單晶半導體基底、石英基底、玻璃基底、塑膠基底、不銹鋼基底和 SOI 基底構成的組中選擇的基底上形成的。

34. 根據申請專利範圍第 2 項的顯示裝置，其中儲存電路、運算處理電路和顯示處理電路是使用薄膜電晶體構成的，各包括一個在半導體薄膜上形成的主動層，半導體薄膜是在從由單晶半導體基底、石英基底、玻璃基底、塑膠基底、不銹鋼基底和 SOI 基底構成的組中選擇的基底上形成的。

35. 根據申請專利範圍第 3 項的顯示裝置，其中儲存電路、運算處理電路和顯示處理電路是使用薄膜電晶體構成的，各包括一個在半導體薄膜上形成的主動層，半導體薄膜是在從由單晶半導體基底、石英基底、玻璃基底、塑膠基底、不銹鋼基底和 SOI 基底構成的組中選擇的基底上形成的。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

7

36. 根據申請專利範圍第 4 項的顯示裝置，其中儲存電路、運算處理電路和顯示處理電路是使用薄膜電晶體構成的，各包括一個在半導體薄膜上形成的主動層，半導體薄膜是在從由單晶半導體基底、石英基底、玻璃基底、塑膠基底、不銹鋼基底和 SOI 基底構成的組中選擇的基底上形成的。

37. 根據申請專利範圍第 1 項的顯示裝置，其中作用是順序驅動各個位元的儲存電路的電路是在與像素部分相同的基底上形成的。

38. 根據申請專利範圍第 2 項的顯示裝置，其中作用是順序驅動各個位元的儲存電路的電路是在與像素部分相同的基底上形成的。

39. 根據申請專利範圍第 3 項的顯示裝置，其中作用是順序驅動各個位元的儲存電路的電路是在與像素部分相同的基底上形成的。

40. 根據申請專利範圍第 4 項的顯示裝置，其中作用是順序驅動各個位元的儲存電路的電路是在與像素部分相同的基底上形成的。

41. 根據申請專利範圍第 1 項的顯示裝置，其中作用是將影像資料順序輸入各個位元的儲存電路的電路是在與像素部分相同的基底上形成的。

42. 根據申請專利範圍第 2 項的顯示裝置，其中作用是將影像資料順序輸入各個位元的儲存電路的電路是在與像素部分相同的基底上形成的。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

8

43. 根據申請專利範圍第 3 項的顯示裝置，其中作用是將影像資料順序輸入各個位元的儲存電路的電路是在與像素部分相同的基底上形成的。

44. 根據申請專利範圍第 4 項的顯示裝置，其中作用是將影像資料順序輸入各個位元的儲存電路的電路是在與像素部分相同的基底上形成的。

45. 根據申請專利範圍第 1 項的顯示裝置，其中半導體薄膜是藉由使用連續振盪雷射器的結晶方法形成的。

46. 根據申請專利範圍第 2 項的顯示裝置，其中半導體薄膜是藉由使用連續振盪雷射器的結晶方法形成的。

47. 根據申請專利範圍第 3 項的顯示裝置，其中半導體薄膜是藉由使用連續振盪雷射器的結晶方法形成的。

48. 根據申請專利範圍第 4 項的顯示裝置，其中半導體薄膜是藉由使用連續振盪雷射器的結晶方法形成的。

49. 根據申請專利範圍第 1 項的顯示裝置，其中顯示裝置應用於從由顯示器、視頻照相機、頭戴式顯示器、DVD 重現儀器、護目型顯示器、個人電腦、行動電路和放聲儀器構成的組中選擇的電子設備。

50. 根據申請專利範圍第 2 項的顯示裝置，其中顯示裝置應用於從由顯示器、視頻照相機、頭戴式顯示器、DVD 重現儀器、護目型顯示器、個人電腦、行動電路和放聲儀器構成的組中選擇的電子設備。

51. 根據申請專利範圍第 3 項的顯示裝置，其中顯示裝置應用於從由顯示器、視頻照相機、頭戴式顯示器、

(請先閱讀背面之注意事項再填寫本頁)

訂

多

六、申請專利範圍

9

DVD 重現儀器、護目型顯示器、個人電腦、行動電路和放聲儀器構成的組中選擇的電子設備。

52. 根據申請專利範圍第 4 項的顯示裝置，其中顯示裝置應用於從由顯示器、視頻照相機、頭戴式顯示器、DVD 重現儀器、護目型顯示器、個人電腦、行動電路和放聲儀器構成的組中選擇的電子設備。

53. 一種顯示系統，由根據申請專利範圍第 1 項的顯示裝置和專用於影像處理的運算處理設備構成。

54. 一種顯示系統，由根據申請專利範圍第 2 項的顯示裝置和專用於影像處理的運算處理設備構成。

55. 一種顯示系統，由根據申請專利範圍第 3 項的顯示裝置和專用於影像處理的運算處理設備構成。

56. 一種顯示系統，由根據申請專利範圍第 4 項的顯示裝置和專用於影像處理的運算處理設備構成。

57. 一種使用根據申請專利範圍第 53 項的顯示系統的電子設備。

58. 一種使用根據申請專利範圍第 54 項的顯示系統的電子設備。

59. 一種使用根據申請專利範圍第 55 項的顯示系統的電子設備。

60. 一種使用根據申請專利範圍第 56 項的顯示系統的電子設備。

(請先閱讀背面之注意事項再填寫本頁)

訂

線