



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 698 37 689 T2** 2007.08.23

(12) **Übersetzung der europäischen Patentschrift**

(97) **EP 1 492 120 B1**

(21) Deutsches Aktenzeichen: **698 37 689.7**

(96) Europäisches Aktenzeichen: **04 014 102.0**

(96) Europäischer Anmeldetag: **10.06.1998**

(97) Erstveröffentlichung durch das EPA: **29.12.2004**

(97) Veröffentlichungstag

der Patenterteilung beim EPA: **25.04.2007**

(47) Veröffentlichungstag im Patentblatt: **23.08.2007**

(51) Int Cl.⁸: **G11C 7/00** (2006.01)

G11C 7/22 (2006.01)

H03L 7/081 (2006.01)

H03K 5/13 (2006.01)

(30) Unionspriorität:

15542997 **12.06.1997** **JP**

225498 **08.01.1998** **JP**

7940198 **26.03.1998** **JP**

13561098 **18.05.1998** **JP**

(73) Patentinhaber:

Fujitsu Ltd., Kawasaki, Kanagawa, JP

(74) Vertreter:

**Mitscherlich & Partner, Patent- und
Rechtsanwälte, 80331 München**

(84) Benannte Vertragsstaaten:

DE, FR, GB

(72) Erfinder:

**Tamura, Hirotaka, Nakaharaku Kawasakishi
Kanagawa 211-8588, JP; Araki, Hisakatsu, -ku
Kawasaki-shi Kanagawa 211-8588, JP; Wakayama,
Shigetoshi, -ku Kawasaki-shi Kanagawa 211-8588,
JP; Gotoh, Kohtaroh, -ku Kawasaki-shi Kanagawa
211-8588, JP; Ogawa, Junji, -ku Kawasaki-shi
Kanagawa 211-8588, JP**

(54) Bezeichnung: **Zeitgeberschaltung, Vorrichtung und System für integrierten Halbleiterschaltkreis unter deren Anwendung und Signalübertragungssystem**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

[0001] Die vorliegende Erfindung bezieht sich auf einen verbesserten Phaseninterpolator.

[0002] Seit einiger Zeit hat sich die Leistung von Komponenten, welche bei Computern und anderen Informationsverarbeitungsgeräten verwendet werden, schnell verbessert; insbesondere hat sich die Leistung von dynamischen Direktzugriffsspeichern (DRAM) und Prozessoren Jahr um Jahr ungeheuer verbessert.

[0003] Die Prozessorleistung hat sich im Wesentlichen hinsichtlich der Geschwindigkeit verbessert, während DRAM-Leistungsverbesserungen sich hauptsächlich hinsichtlich der Speicherkapazität wesentlich verbessert haben. Die Verbesserung der DRAM-Geschwindigkeit war jedoch nicht so dramatisch wie der Anstieg der Speicherkapazität, wobei als Ergebnis davon sich eine Lücke zwischen der Geschwindigkeit von DRAMs und der von Prozessoren aufgeweitet hat und in vergangenen Jahren diese Geschwindigkeitslücke zu einem Flaschenhals beim Steigern von Computerleistung geworden ist.

[0004] Mit ansteigender Chipgröße ist nicht nur die Signalübertragung zwischen den Chips, sondern auch die Geschwindigkeit der Signalübertragung zwischen Einrichtungen und zwischen Schaltungsbestandteilen (Schaltungsblöcken) innerhalb eines LSI-Chips zu einem Hauptbegrenzungsfaktor bei der Chipleistung geworden.

[0005] Wenn dagegen die Signalübertragungsgeschwindigkeit zwischen LSI-Chips extrem vergrößert wird, ist es beispielsweise erforderlich, dass die Signalempfangsschaltungen so ausgebildet sein müssen, mit korrekter Zeitgabe in Bezug auf die Signale zu arbeiten, und die Verfahren, beispielsweise DLL (Delay Locked Loop) und PLL (Phase Locked Loop) sind als Adresse für dieses Erfordernis bekannt geworden.

[0006] Außerdem ist die Notwendigkeit auf Hochgeschwindigkeits-Signalübertragung zwischen LSI-Chips entstanden, beispielsweise zwischen einem DRAM und einem Prozessor (Logikschaltung) oder zwischen mehreren Einrichtungen oder Schaltungsblöcken innerhalb eines LSI-Chips. Es besteht daher eine Notwendigkeit nach einer Zeitgebersignal-Erzeugungsschaltung, welche mit einem einfachen Schaltungsaufbau und mit hoher Genauigkeit eine Vielzahl von Zeitgebersignalen erzeugen kann, die vorgeschriebene Phasendifferenzen haben, und zwar synchron mit einem Referenztakt.

[0007] Mit ansteigenden Betriebsgeschwindigkeiten von LSIs besteht außerdem die Notwendigkeit nach einem Signalübertragungssystem, mit dem eine Sig-

nalübertragung großer Kapazität mit hoher Geschwindigkeit zwischen LSIs und zwischen Vorrichtungen durchgeführt werden kann, die mit mehreren LSIs aufgebaut sind.

[0008] Die US-A 5 327 031 offenbart eine variable Verzögerungsschaltung, die eine feste Verzögerungsschaltung aufweist, um ein Eingangssignal um eine feste Verzögerung zu verzögern und um ein verzögertes Signal auszugeben, sowie eine Kombinationsschaltung, um das Eingangssignal und das verzögerte Signal zu kombinieren und ein Kombinationssignal mit Wichtungs- und einem Integriereeekt des Eingangs- und der verzögerten Signals auszugeben, wobei die variable Verzögerungsschaltung so dimensioniert ist, dass die feste Verzögerung geringer ist als die Übertragungszeit, die das Kombinationssignal hat, wenn lediglich das Eingangssignal angelegt wird. Der Hauptgegenstand des US-A 5 327 031 umfasst eine Kombinationsschaltung, auf die eine Integrierschaltung folgt, angewandt auf ein Kombinationssignal, wobei das Ergebnis dieses Betriebs als Signal ausgegeben wird, ohne mit einer Referenzspannung verglichen zu werden. Daher entspricht das Ausgangssignal der variablen Verzögerungsschaltung einem analogen Signal.

[0009] Die EP-A 0 317 759 offenbart eine einstellbare Verzögerungsschaltung, wobei ein Verzögerungselement vorgesehen ist, um ein Ausgangssignal als Antwort auf eine Änderung des Zustands eines Eingangssignals zu erzeugen. Diese einstellbare Verzögerungsschaltung entsprechend der EP-A 0 317 759 umfasst ein differentielles Eingangssignal mit einem Puffer und ein differentielles Ausgangssignal, welches in bezug auf das Eingangssignal gemäß der Größe eines differentiellen Steuersignals einstellbar verzögert ist. Außerdem wird die einstellbare Verzögerungsschaltung gemäß der EP-A 0 317 759 durch Bipolar-Transistoren gebildet und eine variable Wichtung wird durch Steuern eines Basisstroms von zwei differentiellen Transistoren erlangt.

[0010] Der Stand der Technik und die Probleme mit dem Stand der Technik werden ausführlich später in Verbindung mit den Zeichnungen beschrieben.

[0011] Eine Aufgabe eines ersten Merkmals besteht darin, eine integrierte Halbleiterschaltungseinrichtung bereitzustellen, welche eine Zeitgeberausbildung mit einer relativ hohen Einstellungsgenauigkeit erlaubt, die in einer kurzen Zeitperiode durchgeführt wird. Eine Aufgabe eines zweiten Merkmals besteht darin, ein Signalübertragungssystem bereitzustellen, welches für eine fehlerfreie Hochgeschwindigkeitssignalübertragung in der Lage ist, ohne durch eine Asymmetrie auf jeder Signalleitung beeinträchtigt zu werden. Eine Aufgabe der vorliegenden Erfindung besteht darin, einen Phaseninterpolator nach Patentanspruch 1 bereitzustellen. Eine Zeitgabe-Signaler-

zeugungsschaltung, die den Phaseninterpolator aufweist, kann mit einfachem Schaltungsaufbau und mit hoher Genauigkeit mehrere Zeitgabesignale, die vorgeschriebene Phasenunterschiede haben, synchron mit einem Referenztakt erzeugen.

[0012] Es wird eine integrierte Halbleiterschaltungseinrichtung bereitgestellt, die einen Befehlsdecoder hat, um einen Steuerbefehl gemäß einem gelieferten Steuersignal auszugeben, einen DRAM-Kern und eine Zeitgebereinstellschaltung, um den Steuerbefehl, der für eine vorher festgelegte Zeitdauer aktiv gesetzt ist, als ein DRAM-Steuersignal zum DRAM-Kern zu liefern, wobei die Zeitgebereinstellschaltung n unterschiedliche Takte erzeugt, die in Bezug auf die Phase in Bezug auf einen gelieferten Referenztakt verschoben sind, und das DRAM-Steuersignal erzeugt, wobei der Steuerbefehl in einem vorgeschriebenen Betriebszyklus lediglich für eine Periode aktiv gesetzt wird, die von einem ersten vorher festgelegten Taktimpuls eines ersten Takts der n Takte beginnt und bei einem zweiten vorher festgelegten Taktimpuls eines zweiten Takts der n Takte endet.

[0013] Die Zeitgebereinstellschaltung kann ein logisches Gate aufweisen, um das erzeugte DRAM-Steuersignal zur Ausgabe lediglich für eine Periode, während der Steuerbefehl ausgegeben wird, freizugeben. Die integrierte Halbleiterschaltungseinrichtung kann eine MPU aufweisen, die auf den DRAM zugreift. Die Zeitgebereinstellschaltung kann einen ersten Zähler aufweisen, um den ersten Takt zu zählen; einen zweiten Zähler, um den zweiten Takt zu zählen; und eine Zeitgeberpufferschaltung, um das DRAM-Steuersignal zu erzeugen, indem der Steuerbefehl für eine Zeitdauer aktiv gesetzt wird, beginnend vom Zeitpunkt, wo der Zählwert des ersten Zählers einen ersten Wert erreicht und bis zu dem Zeitpunkt endet, wo der Zählwert des zweiten Zählers einen zweiten Wert erreicht.

[0014] Der erste Zähler und der zweite Zähler können Schleifenzähler sein. Zumindest kann der erste und/oder der zweite Zähler eine Auswahlhaltung aufweisen, um Mehrfachbit-Ausgabesignale vom Zähler zu akzeptieren und um ein Bitausgangssignal von den Mehrfachbit-Ausgangssignalen auszuwählen, um dies gemäß einem Auswahlsteuer-Eingangswert auszugeben; und einen Zeitgebereinstellabschnitt, um den Auswahlsteuerungs-Eingangswert zu speichern und auszugeben.

[0015] Der Zeitgebereinstellabschnitt kann ein Register sein. Das Ausgangssignal des Zeitgebereinstellabschnitts kann vor Auslieferung gemäß Produktionsprozessbedingungen festgesetzt sein. Das Ausgangssignal des Zeitgebereinstellabschnitts kann vor der Auslieferung gemäß der erforderlichen Betriebsgeschwindigkeit eingestellt sein.

[0016] Die Zeitgebereinstellschaltung kann einen gemeinsamen Zähler aufweisen, um einen der n Takte oder den Referenztakt als gemeinsamen Takt zu zählen; ein erstes logisches Gate, um einen der n Takte lediglich zur Ausgabe für eine Periode, während der der Zählwert des gemeinsamen Zählers einen ersten Wert zeigt, freizugeben; ein zweites logisches Gate, um einen der n Takte zur Ausgabe lediglich für eine Periode freizugeben, während der der Zählwert des gemeinsamen Zählers einen zweiten Wert zeigt; und eine Zeitgeberpufferschaltung, um das DRAM-Steuersignal zu erzeugen, wobei der Steuerbefehl für eine Zeitdauer aktiv gesetzt wird, die von dem Zeitpunkt beginnt, wo das Ausgangssignal des ersten logischen Gates aktiv wird, und bis zu dem Zeitpunkt dauert, wo das Ausgangssignal des zweiten logischen Gates aktiv wird.

[0017] Der gemeinsame Zähler kann ein Schleifenzähler sein. Der gemeinsame Zähler kann eine Auswahlhaltung aufweisen, um Mehrfachbit-Ausgangssignale vom Zähler zu akzeptieren und um ein Bit, welches von mehreren Bitausgangssignalen ausgegeben wird, für eine Ausgabe gemäß einem Auswahlsteuer-Eingangswert auszugeben; und einen Zeitgebersetzabschnitt, um den Auswahlsteuer-Eingangswert zu speichern und auszugeben.

[0018] Die integrierte Halbleiterschaltungseinrichtung kann ein logisches Gate aufweisen, um den gemeinsamen Takt zum ersten Zähler lediglich für eine Periode zu liefern, während der der Steuerbefehl ausgegeben wird. Der Befehlsdecoder kann ein logisches Gate aufweisen, um den ersten Wert, der als Zählwert des ersten Zählers angezeigt wird, zur Ausgabe zu der Zeitgeberpufferschaltung lediglich für die Periode freizugeben, während der der Steuerbefehl ausgegeben wird.

[0019] Die integrierte Halbleiterschaltungseinrichtung kann eine Auswahlhaltung aufweisen, um einen der n Takte gemäß einem Auswahlsteuer-Eingangswert auszuwählen und um den ausgewählten Takt als Takt zum ersten logischen Gate oder zum zweiten logischen Gate zu liefern, und einen Zeitgebersetzabschnitt, um den Auswahlsteuer-Eingangswert zu speichern und auszugeben. Der Zeitgebersetzabschnitt kann ein Register sein. Das Ausgangssignal des Zeitgebersetzabschnitts kann vor Auslieferung gemäß Produktionsprozessbedingungen festgesetzt werden. Das Ausgangssignal des Zeitgebersetzabschnitts kann vor Auslieferung gemäß der erforderlichen Betriebsgeschwindigkeit festgesetzt werden.

[0020] Es ist außerdem eine Zeitgebereinstellschaltung vorgesehen, um n unterschiedliche Takte zu erzeugen, die jeweils bezüglich der Phase in Bezug auf einen gelieferten Referenztakt phasenverschoben sind, und um ein Steuersignal zu erzeugen, welches

in einen aktiven Zustand in einem vorgeschriebenen Betriebszyklus lediglich für eine Zeitdauer gesetzt wird, die bei einem ersten vorher festgelegten Taktimpuls eines ersten Taktes von n Takten beginnt und bei einem zweiten vorher festgelegten Taktimpuls eines zweiten Takts der n Takte endet.

[0021] Außerdem wird ein Signalübertragungssystem bereitgestellt, um Signale zu übertragen und zu empfangen, wobei mehrere Signalleitungen verwendet werden, welches eine Zeitgabeeinstelleinheit aufweist, die Höhe der Signalverzögerung einzustellen, welche während der Übertragung und des Empfangs der Signale verursacht wird, gemäß der Asymmetrie auf jeder der Signalleitungen, wodurch die Signal-latchzeitgabe in einer Empfangsschaltung eingestellt wird, welche für jede der Signalleitungen vorgesehen ist, so dass die Latch-Zeitgabe für die Signalleitung optimal wird.

[0022] Die Zeitgabeeinstelleinheit kann in Wirklichkeit eine variable Verzögerung in Bezug auf einen Takt liefern, der verwendet wird, jeder der Empfangsschaltungen anzusteuern, um jedes der Signale zu speichern. Die Zeitgabeeinstelleinheit kann einen Phaseninterpolator aufweisen, der mehrere Takte mit unterschiedlichen Phasen erzeugt, wobei ein neuer Takt eine Zwischenphase hat. Die Zeitgabeeinstelleinheit kann einen Phaseninterpolator aufweisen, der von mehreren Takten mit unterschiedlichen Verzögerungshöhen einen neuen Takt erzeugt, der einen Zwischenverzögerungsbetrag hat. Die Zeitgabeeinstelleinheit kann eine variable Verzögerung für jedes der Signale am Übertragungsende wirksam liefern.

[0023] Das Signalübertragungssystem kann außerdem eine Wiedereintaktschaltung aufweisen, um die mehreren Signale, welche mit optimalem Zeittakt gespeichert sind, von den mehreren Signalleitungen wiedereinzutakten, so dass alle der mehreren Signale sich synchron mit einem gemeinsamen Takt ändern; und eine Beseitigungs-Asynchrone Schaltung, um im Fall des Auftretens eines asymmetrischen Signals, welches größer oder gleich einem Datenzyklus ist, eine notwendige Verzögerungshöhe äquivalent einem ganzzahligen Vielfachen des Datenzyklus einzufügen.

[0024] Die Zeitgabeeinstelleinheit kann mehrere Latch-Schaltungen aufweisen, um die Signale vorübergehend zu speichern, und Verschachtelungsoperationen können zwischen zwei oder mehreren Teilen unter Verwendung der mehreren Latch-Schaltungen durchgeführt werden. Die mehreren Latch-Schaltungen, welche die Verschachtelungsoperationen durchführen, können als eine Schaltung jeweils aufgebaut sein, bei der ein PRD-Verfahren verwendet wird. Der Takt, der verwendet wird, um jede der Empfangsschaltungen anzusteuern, um jedes der Signale vor-

übergehend zu speichern, kann von einem Signal auf einer eigens dafür bestimmten Taktleitung hergeleitet werden. Der Takt, der dazu verwendet wird, jede der Empfangsschaltungen anzusteuern, um jedes der Signale vorübergehend zu speichern, kann intern auf Basis eines Phasenvergleichs zwischen einem Signal auf einer Datenleitung oder einer eigens dafür bestimmten Taktleitung erzeugt werden, und einem Referenztakt, der in der Empfangsschaltung vorhanden ist.

[0025] Die Zeitgabeeinstelleinheit kann an ihrem Empfangsanschluss eine Optimal-Zeitgabe-Bestimmungseinheit aufweisen, um einen optimalen Punkt des Signal-Latch-Zeitgabe zu bestimmen, und die Optimal-Zeitgabe-Bestimmungseinheit kann den optimalen Punkt des Signal-Latch-Zeitgabepunkts unter Verwendung eines ersten Takts und eines zweiten Takts, der eine vorher festgelegte Phasendifferenz in Bezug auf den ersten Takt hat, bestimmen.

[0026] Der zweite Takt kann eine Phasendifferenz von ungefähr 180° in Bezug auf den ersten Takt haben. Die Optimal-Zeitgabe-Bestimmungseinheit kann einen Datenübergangsbereich unter Verwendung des ersten Takts ermitteln und kann den optimalen Punkt der Signal-Latch-Zeitgabe unter Verwendung des zweiten Takts bestimmen, so dass das Signalzwischenspeichern in der Empfangsschaltung im optimalen Zeitpunkt erreicht wird. Die Zeitgabeeinstelleinheit kann an dem Empfangsanschluss eine Optimal-Zeitgabe-Bestimmungseinheit aufweisen, um einen optimalen Punkt der Signal-Latch-Zeitgabe zu bestimmen, und die Optimal-Zeitgabe-Bestimmungseinheit kann den optimalen Punkt der Signal-Latch-Zeitgabe unter Verwendung eines Takts bestimmen, der einen Tastgrad von ungefähr 50% hat.

[0027] Die Optimal-Zeitgabe-Bestimmungseinheit kann einen Datenübergangsbereich unter Verwendung des Takts ermitteln und den optimalen Zeitpunkt der Signal-Latch-Zeitgabe unter Verwendung des Komplements des Takts bestimmen, so dass das Signalzwischenspeichern in der Empfangsschaltung mit optimaler Zeitgabe erreicht wird. Die Zeitgabeeinstelleinheit kann am Übertragungsanschluss eine Optimal-Zeitgabe-Bestimmungseinheit aufweisen, um einen optimalen Punkt der Signal-Latch-Zeitgabe zu bestimmen, und die Optimal-Zeitgabe-Bestimmungseinheit kann Daten mit solcher Zeitgabe übertragen, dass ein Takt am Empfangsanschluss in einem optimalen Zeitpunkt von Daten auftritt.

[0028] Die Optimal-Zeitgabe-Bestimmungseinheit kann einen Kalibrierungsmodus aufweisen, um Daten mit erster Zeitgabe zu übertragen, und einen Datenübertragungsmodus, um Daten, mit einer Zeitgabe zu übertragen, welche um eine vorher festgelegte Phasendifferenz in Bezug auf die erste Zeitgabe ver-

schofen sind, und wobei der Kalibrierungsmodus einen Übergangsbereich in den Daten der ersten Zeitgabe unter Verwendung des Takts am Empfangsanschluss ermitteln kann, und der Datenübertragungsmodus sicherstellen kann, dass die Daten der Zeitgabe, welche um die vorher festgelegte Phasendifferenz in Bezug auf die erste Zeitgabe verschoben sind, durch die Empfangsschaltung unter Verwendung des Takts am Empfangsanschluss zwischengespeichert werden. Die Zeitgabe, welche durch die vorher festgelegte Phasendifferenz in Bezug auf die erste Zeitgabe verschoben ist, kann die Zeitgabe sein, welche eine Phasendifferenz von ungefähr 180° in Bezug auf die erste Zeitgabe hat.

[0029] Das Signalübertragungssystem kann außerdem eine Phaseninformations-Extraktionseinheit aufweisen, um eine Phaseninformation eines Takts auf einer Taktleitung oder einer Datenleitung zu extrahieren; und eine Speichereinheit, um die Phaseninformation des Takts zu jeder der Empfangsschaltungen zu senden und um für jede der Empfangsschaltungen einen relativen Phasenwert zu speichern, der die Phasendifferenz zwischen der optimalen Empfangszeitgabe zu zeigen, die in jeder der Empfangsschaltungen erforderlich ist, und den Takt, der aktuell verwendet wird, und wobei, wenn das Signalzwischen speichern durchgeführt wird, die Optimal-Empfangszeitgabe in jeder der Empfangsschaltungen bestimmt wird, in dem eine Summe der Phaseninformation des Takts hergenommen wird, und der gespeicherte relative Phasenwert für jede der Empfangsschaltungen.

[0030] Die Zeitgabereinheit kann am Empfangsanschluss eine Verzögerungsschaltung zum Verzögern von Daten aufweisen. Die Verzögerungsschaltung kann als variable Verzögerungsschaltung ausgebildet sein, die in der Lage ist, ein Analogsignal zu verzögern.

[0031] Außerdem ist eine Zeitgabesignal-Erzeugungsschaltung vorgesehen, welche eine Hauptschaltung aufweist, um eine Rückführsteuerung eines internen Signals zu erzeugen, welches die gleiche Periode oder die gleiche Phase wie die des zugeführten Referenzsignals hat; und eine Nebenschaltung, um ein Zeitgabesignal zu erzeugen, welches eine vorgeschriebene Zeitgabe in Bezug auf das Referenzsignal hat, wobei das interne Signal und ein Steuersignal von der Hauptschaltung empfangen werden.

[0032] Mehrere Nebenschaltungen können für eine Hauptschaltung vorgesehen sein. Die Hauptschaltung kann eine Schaltung enthalten, welche der Nebenschaltung entspricht, so dass die Hauptschaltung ebenfalls ein Zeitgabesignal selbst ausgeben kann.

[0033] Die Hauptschaltung kann eine Komparator-schaltung aufweisen, um die Periode oder die Phase

des internen Signals mit der des Referenzsignals zu vergleichen, eine Steuersignal-Erzeugungsschaltung, um das Steuersignal gemäß einem Ausgangssignal der Komparator-schaltung zu variieren, und eine variable Verzögerungsleitung, um das interne Signal auszugeben, wobei eine Verzögerungshöhe für das Referenzsignal gemäß dem Steuersignal gesteuert wird.

[0034] Die Hauptschaltung kann eine DLL-Schaltung sein, welche einen groben Verzögerungssteuerblock aufweist, um eine grobe Verzögerungssteuerung durchzuführen, und einen Feinverzögerungs-Steuerblock, um Feinverzögerungssteuerung durchzuführen, und die Nebeneinheit enthält eine Schaltung, welche dem Feinverzögerungs-Steuerblock entspricht. Der Grobverzögerungs-Steuerblock kann Abgriffe von der Verzögerungsleitung nehmen, welche aus mehreren Verzögerungseinheiten besteht, und kann grobe Verzögerungssteuerung durchführen, wobei ein Ausgangssignal jedes der Abgriffe ausgewählt wird, während der Feinverzögerungs-Steuerblock ein Signal empfängt, um die DLL-Schaltung im Grobverzögerungs-Steuerblock zu steuern, und ein Signal, welches der Grobverzögerungssteuerung unterworfen wird im Grobverzögerungs-Steuerblock, und Feinverzögerungssteuerung über einen Interpolator unter Verwendung des Grobverzögerungs-Steuersignals durchführt.

[0035] Die Steuersignal-Erzeugungsschaltung kann eine Ladepumpenschaltung aufweisen, um einen Ausgangsspannungspegel gemäß einem Aufwärtssignal und einem Abwärtssignal von der Komparator-schaltung zu steuern. Die Steuersignal-Erzeugungsschaltung kann einen Aufwärts-/Abwärts-Zähler aufweisen, um ein Aufwärtssignal und ein Abwärtssignal von der Komparator-schaltung zu zählen, und einen D/A-Umsetzer, um Digital-Analog-Umsetzung in Bezug auf ein Ausgangssignal des Aufwärts-/Abwärts-Zählers durchzuführen.

[0036] Die Hauptschaltung kann eine Komparator-schaltung aufweisen, um die Periode oder Phase des internen Signals mit der des Referenzsignals zu vergleichen, eine Steuersignal-Erzeugungsschaltung, um das Steuersignal gemäß einem Ausgangssignal der Komparator-schaltung zu variieren, und einen spannungsgesteuerten Oszillator, um ein internes Signal gemäß dem Referenzsignal gemäß dem Steuersignal zu erzeugen.

[0037] Die Nebenschaltung kann einen spannungsgesteuerten Oszillator aufweisen, um das Zeitgabesignal gemäß dem Steuersignal von der Hauptschaltung auszugeben. Die Steuersignal-Erzeugungsschaltung kann eine Ladepumpenschaltung aufweisen, um einen Ausgangsspannungspegel gemäß einem Aufwärtssignal und einem Abwärtssignal von der Komparator-schaltung zu steuern. Die Steuersig-

nal-Erzeugungsschaltung kann einen Aufwärts-Abwärts-Zähler aufweisen, um ein Aufwärtssignal und ein Abwärtssignal von der Komparatorschaltung zu zählen, und einen D/A-Umsetzer, um Digital-Analog-Umsetzung in Bezug auf ein Ausgangssignal des Aufwärts-/Abwärts-Zählers durchzuführen.

[0038] Die Nebenschaltung kann eine variable Verzögerungsleitung aufweisen, um das Zeitgabesignal auszugeben, wobei das interne Signal gemäß dem Steuersignal von der Hauptschaltung verzögert wird. Die Nebenschaltung kann einen Phaseninterpolator aufweisen, um Eingangssignale unterschiedlicher Phasen anzunehmen und um ein feineres Zeitgabesignal einer Zwischenphase auszugeben.

[0039] Die Nebenschaltung kann einen Phaseninterpolator aufweisen, um Eingangssignale unterschiedlicher Phasen anzunehmen und um ein feineres Zeitgabesignal einer Zwischenphase auszugeben.

[0040] Die Eingangssignale unterschiedlicher Phasen können Dreiphasen- oder Vierphasen-Takte sein. Der Phaseninterpolator kann eine Spannungs-Strom-Umsetzungseinheit aufweisen, um mehrere Eingangsspannungssignale entsprechend Stromsignalen umzusetzen, eine Strom-Spannungs-Umsetzungseinheit, um die umgesetzten Stromsignale zurück in Spannungssignale umzusetzen, indem Spannungsumsetzungsfaktoren variiert werden, und eine Vergleichseinheit, um eine Summe der umgesetzten Stromsignale mit dem Referenzsignal zu vergleichen.

[0041] Das Steuersignal, welches von der Hauptschaltung zur Nebenschaltung gesendet wird, kann ein Stromsteuersignal sein. Eine Stromsteuersignal-Erzeugungsschaltung zum Erzeugen des Stromsteuersignals kann in der Hauptschaltung vorgesehen sein, und eine Strom-Spannungs-Umsetzungsschaltung zum Umsetzen des Stromsteuersignals in ein Spannungssignal kann in der Nebenschaltung vorgesehen sein. Die Nebenschaltung kann eine Verstärkerschaltung aufweisen, deren Ansprechgeschwindigkeit gemäß einem Signal von der Hauptschaltung variiert, und kann ein Signal mit sinusförmiger Schwingungsform als Zeitgabesignal erzeugen.

[0042] Die Nebenschaltung kann dazu verwendet werden, ein Zeitgabesignal zu erzeugen, um die Zeitgabe eines Eingangs- oder Ausgangssignals mit einem Bit oder mehreren Bits zu steuern, und die Zeitgabesignal-Erzeugungsschaltung kann eine Zeitgabesignal-Einstelleinheit aufweisen, welche gemeinsam für jede der Nebenschaltungen vorgesehen ist, um das Zeitgabesignal so einzustellen, um das S/N-Verhältnis eines übertragenen und empfangenen Signals zu steigern. Die Zeitgabesignal-Einstelleinheit kann eine Auswahleinheit aufweisen, um ein

Eingangs- oder Ausgangssignal einer Schaltung auszuwählen, welches durch das Zeitgabesignal von jeder Nebenschaltung gesteuert wird, und eine Zeitgabesignal-Erzeugungseinheit, um die Ausgabezeitgabe des Zeitgabesignals zu steuern, indem der Pegel des Eingangs- oder Ausgangssignals der Schaltung, welche durch die Auswahleinheit ausgewählt wird, ermittelt wird.

[0043] Die Nebenschaltung kann dazu verwendet werden, ein Zeitgabesignal zu erzeugen, um die Zeitgabe von Eingangs- oder Ausgangssignalen mit einem Bit oder Mehrfach-Bits zu steuern, und jede der Nebenschaltungen kann eine Zeitgabesignal-Einstelleinheit aufweisen, um das Zeitgabesignal so einzustellen, um das S/N-Verhältnis eines übertragenen und empfangenen Signals zu steigern.

[0044] Zusätzlich ist eine integrierte Halbleiterschaltungseinrichtung vorgesehen, bei der eine Zeitgabesignal-Erzeugungsschaltung verwendet wird, welche eine Hauptschaltung und zumindest eine Nebenschaltung aufweist, wobei die Hauptschaltung und die Nebenschaltung auf dem gleichen Halbleiterchip gebildet sind, der für die integrierte Halbleiterschaltungseinrichtung verwendet wird, wobei die Hauptschaltung ein internes Signal erzeugt, welches die gleiche Periode und die gleiche Phase wie die eines Eingangsreferenzsignals durch Rückführungssteuerung erzeugt; und die Nebenschaltung ein Zeitgabesignal erzeugt, welches eine vorgeschriebene Zeitgabe in Bezug auf das Referenzsignal hat, wobei das interne Signal und ein Steuersignal von der Hauptschaltung empfangen werden.

[0045] Außerdem ist ein integrierte Halbleiterschaltungssystem vorgesehen, bei dem eine Zeitgabesignal-Erzeugungsschaltung verwendet wird, welche eine Hauptschaltung und zumindest eine Nebenschaltung aufweist, wobei das integrierte Halbleiterschaltungssystem mehrere integrierte Halbleiterschaltungseinrichtungen hat, wobei jede integrierte Halbleiterschaltungseinrichtung die Hauptschaltung und/oder die Nebenschaltung hat und auf entsprechend einem Halbleiterchip gebildet ist, wobei die Hauptschaltung ein internes Signal erzeugt, welches die gleiche Periode oder die gleiche Phase wie die eines Eingangsreferenzsignals durch Rückführungssteuerung hat; und die Nebenschaltung ein Zeitgabesignal erzeugt, welches vorgeschriebene Zeitgabe in Bezug auf das Referenzsignal hat, wobei das interne Signal und ein Steuersignal von der Hauptschaltung empfangen werden.

[0046] Gemäß der vorliegenden Erfindung wird ein Phaseninterpolator bereitgestellt, der aufweist: eine analoge periodische Schwingungserzeugungseinrichtung zum Erzeugen mehrerer analoger periodischer Schwingungsformen, deren Werte in analoger Weise variieren, von periodischen Digitalsigna-

len, deren Amplituden Digitalwerte zeigen;
 eine Wichtungssteuerungseinrichtung zum Steuern der Wichtung jeder der analogen periodischen Schwingungsformen;
 eine Summierungsschwingungsform-Erzeugungseinrichtung zum Erzeugen einer summierten Schwingungsform durch Summieren mehrerer analoger periodischer Schwingungsformen, welche durch die Wichtungssteuerungseinrichtung gewichtet wurden, von periodischen Digitalsignalen, die längs der Zeitachse angezeigt werden; und
 eine Analog-Digital-Umsetzungseinrichtung zum Umsetzen der summierten Schwingungsform in eine digitale Schwingungsform, wobei die Analog-Digital-Umsetzungseinrichtung ein Komparator ist, um die summierte Schwingungsform mit einem Referenzpegel zur Umsetzung in die digitale Schwingungsform zu vergleichen, wobei die Analog-Digital-Umsetzungseinrichtung ein Komparator ist, der eine Referenzspannung empfängt und diese summierte Schwingungsform mit der Referenzspannung vergleicht, um die summierte Schwingungsform in die digitale Schwingungsform umzusetzen.

[0047] Die analoge periodische Schwingungserzeugungseinheit kann eine Sinuswellen-Erzeugungsschaltung aufweisen, und die Wichtungssteuereinheit kann mehrere Übertragungsgates aufweisen, welche parallel geschaltet sind und zur Schaltung gesteuert werden. Jedes Übertragungsgate in der Wichtungssteuereinheit kann einen Transistor der gleichen Größe haben, und die Wichtung der analogen periodischen Schwingungsform kann durch Steuern der Anzahl von Übergangsgates gesteuert werden, wobei veranlasst wird, dass diese leiten. Jedes Übergangsgate in der Wichtungssteuereinheit kann einen Transistor einer unterschiedlichen Größe haben, und die Wichtung der analogen periodischen Schwingungsform kann dadurch gesteuert werden, dass veranlasst wird, dass zumindest ein Übergangsgate einen Transistor einer vorgeschriebenen Größe hat, um leitfähig zu sein.

[0048] Die analoge periodische Schwingungsformerzeugungseinheit kann mehrere CMOS-Inverter aufweisen, und die Steuereinheit kann die Anzahl von CMOS-Invertern, die anzuschalten sind, steuern. Die analoge periodische Schwingungsformerzeugungseinheit kann mehrere CMOS-Inverterausgangsstufen aufweisen, und die Wichtungssteuereinheit kann die Anzahl von Ausgangstransistoren steuern, wobei die mehreren CMOS-Inverterausgangsstufen gebildet werden.

[0049] Die analoge periodische Schwingungsformerzeugungseinheit kann eine Hochfrequenz-Dämpfungsschaltung sein, um Hochfrequenzkomponenten des digitalen periodischen Signals zu dämpfen, und die Wichtungssteuereinheit kann ein Ausgangssignal

der Hochfrequenz-Dämpfungsschaltung in einen Strom mittels eines variablen Transconductors umsetzen und den umgesetzten Strom an einen gemeinsamen Anschluss anlegen. Die analoge periodische Schwingungsformerzeugungseinheit kann eine Integratorschaltung sein.

[0050] Die Erfindung wird besser aus der Beschreibung der bevorzugten Ausführungsformen verstanden, die anschließend mit Hilfe der beiliegenden Zeichnungen beschrieben werden, wobei:

[0051] [Fig. 1](#) ein Diagramm ist, welches die Organisation eines DRAM nach dem Stand der Technik in schematischer Form zeigt;

[0052] [Fig. 2](#) ein Blockdiagramm ist, welches in schematischer Form eine integrierte Halbleiterschaltungseinrichtung zeigt;

[0053] [Fig. 3](#) ein Blockschaltungsdiagramm ist, welches einen Bereich einer Zeitgebersignal-Erzeugungsschaltung in der integrierten Halbleiterschaltungseinrichtung von [Fig. 2](#) zeigt;

[0054] [Fig. 4](#) ein Zeitablaufdiagramm ist, welches ein Beispiel eines Betriebs der Schaltungen von [Fig. 2](#) und [Fig. 3](#) zeigt;

[0055] [Fig. 5](#) ein Blockschaltungsdiagramm ist, welches einen Bereich der Zeitgebersignal-Erzeugungsschaltung zeigt;

[0056] [Fig. 6](#) ein Blockschaltungsdiagramm ist, welches einen Bereich der Zeitgebersignal-Erzeugungsschaltung zeigt;

[0057] [Fig. 7](#) ein Blockschaltungsdiagramm ist, welches einen Bereich einer DRAM-Steuerschaltung zeigt;

[0058] [Fig. 8](#) ein Blockschaltungsdiagramm ist, welches einen Bereich der Zeitgebersignal-Erzeugungsschaltung zeigt;

[0059] [Fig. 9](#) ein Blockschaltungsdiagramm ist, welches einen Bereich der DRAM-Steuerschaltung zeigt;

[0060] [Fig. 10](#) ein Blockschaltungsdiagramm ist, welches in schematischer Form ein Beispiel des Signalübertragungssystems nach dem Stand der Technik zeigt;

[0061] [Fig. 11](#) ein Blockschaltungsdiagramm ist, welches in schematischer Form den grundsätzlichen Funktionsaufbau eines Signalübertragungssystems zeigt;

[0062] [Fig. 12](#) ein Zeitablaufdiagramm (Teil 1) ist,

um ein Beispiel eines Betriebs im Signalübertragungssystem von [Fig. 11](#) zu erläutern;

[0063] [Fig. 13](#) ein Zeitablaufdiagramm (Teil 2) ist, um ein Beispiel des Betriebs im Signalübertragungssystem von [Fig. 11](#) zu erläutern;

[0064] [Fig. 14](#) ein Blockschaltungsdiagramm ist, welches in schematischer Form das Signalübertragungssystem zeigt;

[0065] [Fig. 15](#) ein Zeitablaufdiagramm ist, um ein Betriebsbeispiel im Signalübertragungssystem von [Fig. 14](#) zu erläutern;

[0066] [Fig. 16](#) ein Blockschaltungsdiagramm ist, welches in schematischer Form ein modifiziertes Beispiel des in [Fig. 14](#) gezeigten Signalübertragungssystems zeigt;

[0067] [Fig. 17](#) ein Zeitablaufdiagramm ist, um ein Beispiel der Arbeitsweise im Signalübertragungssystem des in [Fig. 16](#) gezeigten modifizierten Beispiels zu erläutern;

[0068] [Fig. 18](#) ein Blockschaltungsdiagramm ist, welches in schematischer Form das Signalübertragungssystem zeigt;

[0069] [Fig. 19](#) ein Blockschaltungsdiagramm ist, welches in schematischer Form das Signalübertragungssystem zeigt;

[0070] [Fig. 20](#) ein Blockschaltungsdiagramm ist, welches in schematischer Form das Signalübertragungssystem zeigt;

[0071] [Fig. 21](#) ein Schaltungsdiagramm ist, welches ein Beispiel eines Phaseninterpolators im Signalübertragungssystem von [Fig. 20](#) zeigt;

[0072] [Fig. 22](#) ein Blockschaltungsdiagramm ist, welches in schematischer Form das Signalübertragungssystem zeigt;

[0073] [Fig. 23](#) ein Zeitablaufdiagramm (Teil 1) ist, um ein Betriebsbeispiel im Signalübertragungssystem von [Fig. 22](#) zu erläutern;

[0074] [Fig. 24](#) ein Zeitablaufdiagramm (Teil 2) ist, um ein Betriebsbeispiel im Signalübertragungssystem von [Fig. 22](#) zu erläutern;

[0075] [Fig. 25](#) ein Blockschaltungsdiagramm ist, welches in schematischer Form das Signalübertragungssystem zeigt;

[0076] [Fig. 26](#) ein Zeitablaufdiagramm (Teil 1) ist, um ein Betriebsbeispiel im Signalübertragungssystem von [Fig. 25](#) zu erläutern;

[0077] [Fig. 27](#) ein Zeitablaufdiagramm (Teil 2) ist, um ein Betriebsbeispiel im Signalübertragungssystem von [Fig. 25](#) zu erläutern;

[0078] [Fig. 28](#) ein Blockschaltungsdiagramm ist, welches in schematischer Form das Signalübertragungssystem zeigt;

[0079] [Fig. 29](#) ein Schaltungsdiagramm ist, welches ein Beispiel eines PRD-Verstärkers im Signalübertragungssystem von [Fig. 28](#) zeigt;

[0080] [Fig. 30](#) ein Diagramm ist, um Zeitgebersignale zu erläutern, welche bei dem Signalübertragungssystem von [Fig. 28](#) verwendet werden;

[0081] [Fig. 31](#) ein Diagramm (Teil 1) ist, um ein Betriebsbeispiel im Signalübertragungssystem von [Fig. 28](#) zu erläutern;

[0082] [Fig. 32](#) ein Diagramm (Teil 2) ist, um ein Betriebsbeispiel im Signalübertragungssystem von [Fig. 28](#) zu erläutern;

[0083] [Fig. 33](#) ein Blockschaltungsdiagramm ist, welches in schematischer Form das Signalübertragungssystem zeigt;

[0084] [Fig. 34](#) ein Blockschaltungsdiagramm ist, welches in schematischer Form das Signalübertragungssystem zeigt;

[0085] [Fig. 35](#) ein Blockschaltungsdiagramm ist, welches in schematischer Form ein modifiziertes Beispiel des Signalübertragungssystems von [Fig. 34](#) zeigt;

[0086] [Fig. 36](#) ein Blockschaltungsdiagramm ist, welches in schematischer Form das Signalübertragungssystem zeigt;

[0087] [Fig. 37](#) ein Zeitablaufdiagramm ist, um ein Betriebsbeispiel im Signalübertragungssystem von [Fig. 36](#) zu erläutern;

[0088] [Fig. 38](#) ein Diagramm ist, welches die Beziehung zwischen dem internen Taktzustand und dem Ausgangssignal jedes Latchespeichers im Signalübertragungssystem von [Fig. 36](#) zeigt;

[0089] [Fig. 39](#) ein Zeitablaufdiagramm (Teil 1) ist, um das Signalübertragungssystem zu erläutern;

[0090] [Fig. 40](#) ein Blockschaltungsdiagramm (Teil 1) ist, welches das Signalübertragungssystem zeigt;

[0091] [Fig. 41](#) ein Blockschaltungsdiagramm (Teil 2) ist, welches das Signalübertragungssystem zeigt;

[0092] [Fig. 42](#) ein Blockschaltungsdiagramm ist,

welches ein Beispiel einer Zeitgebersignal-Erzeugungsschaltung nach dem Stand der Technik zeigt;

[0093] [Fig. 43](#) ein Blockdiagramm ist, welches den grundsätzlichen Funktionsaufbau einer Zeitgebersignal-Erzeugungsschaltung zeigt;

[0094] [Fig. 44](#) ein Blockdiagramm ist, welches ein Aufbaubeispiel der Zeitgebersignal-Erzeugungsschaltung zeigt;

[0095] [Fig. 45](#) ein Schaltungsdiagramm ist, welches ein Beispiel einer Verzögerungseinheit zeigt, die in einer variablen Verzögerungsleitung in der Zeitgebersignal-Erzeugungsschaltung von [Fig. 44](#) verwendet wird;

[0096] [Fig. 46](#) ein Blockschaltungsdiagramm ist, welches ein Beispiel einer Phasenkomparatorschaltung in der Zeitgebersignal-Erzeugungsschaltung von [Fig. 44](#) zeigt;

[0097] [Fig. 47](#) ein Zeitablaufdiagramm ist, um die Arbeitsweise der Phasenkomparatorschaltung von [Fig. 46](#) zu erläutern;

[0098] [Fig. 48](#) ein Schaltungsdiagramm ist, welches ein Beispiel einer Ladepumpenschaltung in der Zeitgebersignal-Erzeugungsschaltung von [Fig. 44](#) zeigt;

[0099] [Fig. 49](#) ein Schaltungsdiagramm ist, welches ein weiteres Beispiel der Verzögerungseinheit zeigt, welche in der variablen Verzögerungsleitung in der Zeitgebersignal-Erzeugungsschaltung von [Fig. 44](#) verwendet wird;

[0100] [Fig. 50](#) ein Blockschaltungsdiagramm ist, welches ein Aufbaubeispiel einer Steuersignal-Erzeugungsschaltung in der Zeitgebersignal-Erzeugungsschaltung zeigt;

[0101] [Fig. 51](#) ein Schaltungsdiagramm ist, welches ein Beispiel einer Strom-Spannungs-Umsetzungsschaltung zeigt, um das Ausgangssignal der Steuersignal-Erzeugungsschaltung von [Fig. 50](#) umzusetzen;

[0102] [Fig. 52](#) ein Blockdiagramm ist, welches ein Beispiel des Aufbaus eines wesentlichen Bereichs der Zeitgebersignal-Erzeugungsschaltung zeigt;

[0103] [Fig. 53](#) ein Blockschaltungsdiagramm ist, welches ein Beispiel eines Digital-Analog-Umsetzers zum Durchführen einer Digital-Analog-Umsetzung der Ausgangssignale eines Aufwärts-Abwärts-Zählers in [Fig. 52](#) zeigt;

[0104] [Fig. 54](#) ein Schaltungsdiagramm ist, welches ein Aufbaubeispiel einer Strommatrixzelle im in [Fig. 53](#) gezeigten D/A-Umsetzer zeigt;

[0105] [Fig. 55](#) ein Blockdiagramm ist, welches ein Aufbaubeispiel einer Zeitgebersignal-Erzeugungsschaltung zeigt, die für eine Nebenschaltung anwendbar ist;

[0106] [Fig. 56](#) ein Schaltungsdiagramm ist, welches ein Beispiel eines Phaseninterpolators in [Fig. 55](#) zeigt;

[0107] [Fig. 57](#) ein Schaltungsdiagramm ist, welches ein Aufbaubeispiel des Phaseninterpolators zeigt;

[0108] [Fig. 58](#) ein Schaltungsdiagramm ist, welches ein Aufbaubeispiel der Zeitgebersignal-Erzeugungsschaltung zeigt, die verwendet wird, eine Simulation durchzuführen;

[0109] [Fig. 59](#) ein Diagramm ist, welches Simulationsergebnisse für die Zeitgebersignal-Erzeugungsschaltung von [Fig. 58](#) zeigt;

[0110] [Fig. 60](#) ein Blockdiagramm ist, welches ein Aufbaubeispiel der Zeitgebersignal-Erzeugungsschaltung zeigt;

[0111] [Fig. 61](#) ein Blockdiagramm ist, welches ein Aufbaubeispiel der Zeitgebersignal-Erzeugungsschaltung zeigt;

[0112] [Fig. 62](#) ein Schaltungsdiagramm ist, welches ein Aufbaubeispiel einer Sinuswellen-Erzeugungsschaltung zeigt;

[0113] [Fig. 63A](#), [Fig. 63B](#) und [Fig. 63C](#) Diagramme sind, welche Simulationsergebnisse für die Sinuswellen-Erzeugungsschaltung von [Fig. 62](#) zeigen;

[0114] [Fig. 64](#) ein Blockdiagramm ist, welches ein Aufbaubeispiel der Zeitgebersignal-Erzeugungsschaltung zeigt;

[0115] [Fig. 65](#) ein Blockdiagramm ist, welches ein Aufbaubeispiel der Zeitgebersignal-Erzeugungsschaltung zeigt;

[0116] [Fig. 66](#) ein Blockdiagramm ist, welches ein Beispiel des Aufbaus eines wesentlichen Bereichs der Zeitgebersignal-Erzeugungsschaltung zeigt;

[0117] [Fig. 67](#) ein Schaltungsdiagramm ist, welches ein Beispiel des Phaseninterpolators (Phaseneinstellungsorgan) in der Zeitgebersignal-Erzeugungsschaltung von [Fig. 66](#) zeigt;

[0118] [Fig. 68](#) ein Schaltungsdiagramm ist, welches ein Beispiel einer Vier-Phasen-PLL-Schaltung zeigt, die zur Verwendung in der Zeitgebersignal-Erzeugungsschaltung von [Fig. 66](#) anwendbar ist;

[0119] [Fig. 69](#) ein Schaltungsdiagramm ist, welches

ein Beispiel eines Signalumsetzungsblocks in der Vier-Phasen-PLL-Schaltung von [Fig. 68](#) zeigt;

[0120] [Fig. 70](#) ein Schaltungsdiagramm ist, welches ein Beispiel eines Differenzverstärkerblocks in der Vier-Phasen-PLL-Schaltung von [Fig. 68](#) zeigt;

[0121] [Fig. 71](#) ein Diagramm ist, welches Ausgangssignale der Vier-Phasen-PLL-Schaltung von [Fig. 68](#) zeigt;

[0122] [Fig. 72](#) ein Blockdiagramm ist, welches den grundsätzlichen Funktionsaufbau des Phaseninterpolators zeigt;

[0123] [Fig. 73](#) ein Schwingungsformdiagramm ist, um die Arbeitsweise des Phaseninterpolators von [Fig. 72](#) zu erläutern;

[0124] [Fig. 74](#) ein Schaltungsdiagramm ist, welches ein Aufbaubeispiel des Phaseninterpolators zeigt;

[0125] [Fig. 75](#) ist ein Schaltungsdiagramm, welches ein Aufbaubeispiel eines Wichtungssteuerungsblocks im Phaseninterpolator von [Fig. 74](#) zeigt;

[0126] [Fig. 76](#) ein Schaltungsdiagramm ist, welches ein Aufbaubeispiel des Phaseninterpolators zeigt;

[0127] [Fig. 77](#) ein Schaltungsdiagramm ist, welches ein Aufbaubeispiel des Phaseninterpolators zeigt;

[0128] [Fig. 78](#) ein Schaltungsdiagramm ist, welches ein Aufbaubeispiel des Phaseninterpolators zeigt;

[0129] [Fig. 79A](#) und [Fig. 79B](#) Schaltungsdiagramme sind, welche Beispiele von Transconductoren im Phaseninterpolator von [Fig. 78](#) zeigen;

[0130] [Fig. 80](#) ein Schaltungsdiagramm ist, welches ein Aufbaubeispiel eines Phaseninterpolators zeigt;

[0131] [Fig. 81](#) ein Schaltungsdiagramm ist, welches ein Beispiel einer Schaltung zeigt, um Vorspannungssignale im Phaseninterpolator von [Fig. 80](#) zu erzeugen;

[0132] [Fig. 82](#) ein Schaltungsdiagramm ist, welches ein weiteres Beispiel der Schaltung zeigt, um die Vorspannungssignale im Phaseninterpolator von [Fig. 80](#) zu erzeugen;

[0133] [Fig. 83](#) ein Schaltungsdiagramm ist, welches ein Aufbaubeispiel einer variablen Stromquelle als modifiziertes Beispiel von [Fig. 80](#) zeigt;

[0134] [Fig. 84](#) ein Schaltungsdiagramm ist, um ein Aufbaubeispiel eines Bereichs eines Phaseninterpolators zu zeigen; und

[0135] [Fig. 85](#) ein Diagramm ist, um ein Aufbaubeispiel eines Phaseninterpolators zu erläutern.

[0136] Bevor Ausführungsformen gemäß jedem Modus der vorliegenden Erfindung beschrieben werden, wird zunächst eine integrierte Halbleiterschaltungseinrichtung nach dem Stand der Technik beschrieben.

[0137] [Fig. 1](#) zeigt die Organisation eines DRAM nach dem Stand der Technik in schematischer Form. In der folgenden Beschreibung werden Signale, welche einen aktiven Zustand bei einem niedrigen Pegel "L" (aktive Niedrigsignale) annehmen, allgemein durch Voranstellen von "/" bezeichnet.

[0138] Ein Chipauswahlsignal /CS, ein Reihendress-Strobesignal /RAS, ein Spaltenadress-Strobesignal und ein Schreibfreigabesignal /WE werden zu einem Befehlsdecoder 1 geliefert; außerdem werden Signale, die logische Werte anderer Signale kombinieren, zu diesem wenn notwendig geliefert. Ein Befehlssignal, welches vom Befehlsdecoder 1 ausgegeben wird, wird zu einer Zeitgebersignal-Erzeugungsschaltung 2 geliefert. Dieses Befehlssignal wird mit einem vorher festgelegten zeitlichen Ablauf aktiviert oder deaktiviert und als DRAM-Steuersignal zu einem DRAM-Kern 3 geliefert. Der vorher festgelegte zeitliche Ablauf hier wird durch Verzögern des zeitlichen Ablaufs der Befehlserzeugung oder des zeitlichen Ablaufs einer Flanke eines Takts CLKi über eine Verzögerungsschaltung gebildet. Der Takt CLKi wird durch Liefern eines externen Takts CLK zu einer Takt-pufferschaltung 4 erhalten.

[0139] Während einer Hochpegelperiode "H" des Reihendress-Strobesignals /RAS wird ein Steuersignal PR von der Zeitgebersignal-Erzeugungsschaltung 2 ausgegeben und zu einer Vorladeschaltung 5 geliefert, so dass Bitleitungen BL und BL in einer Speicherzellenbaugruppe 6 vorgeladen werden, beispielsweise auf ein Potential VDD/2. Das Vorladen eines CAS-Datenbusses DB und einer UO-Datenpufferschaltung 13 wird durchgeführt, wenn das Spaltenadress-Strobesignal /CAS auf einem hohen Pegel "H" ist.

[0140] Wenn das Reihendress-Strobesignal /RAS einen Übergang auf einen niedrigen Pegel "L" macht, wird die folgende Reihe von RAS-bezogenen Operationen asynchron mit dem Takt CLKi durchgeführt. Das heißt, der höherwertige Teil der Adresse A23-A12 wird im Reihendress-Pufferregister 7 durch ein Signal von der Zeitgebersignal-Erzeugungsschaltung 2 verriegelt und durch einen Reihendecoder 8 decodiert. Die ausgewählte Wortleitung WL wird auf eine hohe Spannung durch ein Signal RX von der Zeitgebersignal-Erzeugungsschaltung 2 angehoben, und die Ladung in einer Zelle 6a wird auf die Bitleitung BL ausgelesen. Durch die Steuersigna-

le SAP (um einen pMOS-Transistor in einer Abtastverstärkerbaugruppe **9** einzuschalten oder auszuscha-
 len) und SAN (um einen nMOS-Transistor in einer Abtastverstärkerbaugruppe **9** einzuschalten oder
 auszuschalten) von der Zeitgebersignal-Erzeugungsschaltung **2** wird die Abtastverstärkerbaugruppe **9**
 aktiviert, und es wird eine sehr kleine Potentialdifferenz, die sich zwischen den Bitleitungen BL und BL
 entwickelt hat, verstärkt. Wenn die Aktivierung voreilig initialisiert wird, kann die Potentialdifferenz
 zwischen den Bitleitungen BL und BL nicht adäquat sein und kann in der entgegengesetzten Richtung auf-
 grund von Rauschen verstärkt werden.

[0141] Wenn das Spaltenadress-Strobesignal /CAS einen Übergang zu einem niedrigen Pegel "L" macht,
 wird eine Reihe von CAS-bezogenen Operationen initialisiert. Bei dem Anstieg des Spaltenadress-Strobesignals
 /CAS wird, wenn das Schreibfreigabesignal /WE auf einem hohen Pegel "H" ist, ein Lesebetrieb
 initialisiert, und wenn dies auf einem niedrigen Pegel "L" ist, wird ein Schreibbetrieb initialisiert. Der niedrig-
 wertige Teil der Adresse A11–A0 wird im Spaltenadress-Pufferregister **10** durch ein Signal von der Zeit-
 gebersignal-Erzeugungsschaltung **2** verriegelt und durch den Spaltendecoder **11** decodiert, um ein
 Spaltengate in einer Spaltengatebaugruppe **12** auszuwählen, um somit die Bitleitungen BL und BL mit
 dem Datenbus DB zu verbinden. Bei einer Leseoperation werden Daten auf den Bitleitungen BL und BL
 über die UO-Datenpufferschaltung **13** ausgelesen, und bei einer Schreiboperation werden Daten auf
 dem Datenbus DB in die Zelle **6a** über die Bitleitungen BL und BL geschrieben. Anschließend wird die
 Wortleitung BL auf den niedrigen Pegel angesteuert, und die Steuersignale SAP und SAN werden deakti-
 viert, um die Abtastverstärkerbaugruppe **9** abzuschalten.

[0142] Bei taktsynchronen DRAMs, beispielsweise synchronen DRAMs (SDRAMs) und Ram-
 bus-DRAMs (DRAMs konform mit der Rambus-Spezifikation), werden höhere Geschwindigkeiten durch
 Pipelining-Bildung der CAS-bezogenen Operationen synchron mit einem Takt erreicht. Für die RAS-bezo-
 genen Operationen werden jedoch Zeitgaben für Signalaktivierung und Deaktivierung in der Zeitgebersig-
 nal-Erzeugungsschaltung **2** durch Verwendung von Signalverzögerungen über Lasten eingestellt, bei-
 spielsweise Transistoren, Kondensatoren, Verdrahtung usw. unabhängig davon, ob der DRAM ein takt-
 synchroner DRAM oder ein asynchroner DRAM ist. Die Planung für diese Zeitgebereinstellungen wird
 unter Verwendung von Simulation durchgeführt, um die Zeitgebereinstellung mit hoher Genauigkeit zu er-
 reichen, wobei jedoch, da Variationen im Herstellerprozess, Schwankungen in der Versorgungsspan-
 nung usw. in Betracht gezogen müssen, die Planungszeit länger wird und die Herstellungskosten
 entsprechend erhöht werden.

[0143] Im Fall von Allzweck-DRAMs, die in großen Mengen pro Einheit erzeugt werden, wird dies weni-
 ger ein Problem sein, da eine lange Planungszeit zulässig ist, wobei im Fall von DRAM/logischen ge-
 mischten Chips, beispielsweise ASICs, die eine kurze Auslieferungszeit erfordern und in kleinen Mengen
 erzeugt werden, dies ein Problem darstellt. Dieses Problem wird ausgeprägter, wenn die Operations-
 taktfrequenz ansteigt. Um die Chipplanungszeit abzukürzen, wird ein Verfahren vorgeschlagen, bei dem
 die RAS-bezogenen Operationen ebenfalls synchron mit dem gleichen Takt wie mit dem Operationstakt der
 Logikschaltung ausgeführt werden.

[0144] Wenn jedoch die Taktfrequenz beispielswei-
 se 100 MHz ist, wird der zeitliche Ablauf in Einheiten von ns geplant; sogar, wenn sowohl die ansteigenden
 als auch die abfallenden Taktflanken genutzt werden, werden Zeitgebereinstellungen lediglich in Einheiten
 von 5 ns möglich, und die Notwendigkeit nach höheren DRAM-Operationsgeschwindigkeiten kann nicht
 erfüllt werden.

[0145] Anschließend werden Beispiele für ein bes-
 seres Verständnis der vorliegenden Erfindung mit Hilfe von [Fig. 2–Fig. 9](#) beschrieben.

[0146] [Fig. 2](#) ist ein Blockdiagramm, welches in
 schematischer Form eine integrierte Halbleiterschaltungseinrichtung **20** zeigt. Die gleichen Teile wie die
 in [Fig. 1](#) sind mit den gleichen Bezugszeichen be-
 zeichnet.

[0147] Wie in [Fig. 2](#) gezeigt ist, ist die integrierte
 Halbleiterschaltungseinrichtung **20** eine ASIC, die
 enthält: einen DRAM, der einen Befehlsdecoder **1**, ei-
 nen DRAM-Kern **3**, eine Taktpufferschaltung **4** und
 eine Zeitgeber-Signalerzeugungsschaltung **22** auf-
 weist; eine Logikschaltung **24**, beispielsweise eine
 CPU oder Speichersteuerung; oder andere logische
 Schaltungen **25**.

[0148] Die Logikschaltungen **24** und **25** arbeiten
 synchron mit dem Takt CLKi. Die Logikschaltung **24**
 liefert ein Chipauswahlsignal /CS, ein Reihena-
 dress-Strobesignal /RAS, ein Spaltenadress-Strobesig-
 nal /CAS und ein Schreibfreigabesignal /WE zum
 Befehlsdecoder **1**, und ein Befehl, der zur Kombinati-
 on der Logikwerte von diesen Signalen bei dem An-
 stieg des Taktes CLKi geeignet ist, wird beispielswei-
 se vom Befehlsdecoder **1** ausgegeben. Der Befehl ist
 SANC, SAPC, PRC oder PXC entsprechend den frü-
 her erläuterten SAN, SAP, PR oder PX. In der folgen-
 den Beschreibung wird ein beliebiger dieser Befehle
 als CNTC bezeichnet, und das DRAM-Steuersignal
 entsprechend dem Befehl CNTC wird als CNT be-
 zeichnet.

[0149] Eine Multiphasen-Takterzeugungsschaltung
26 erzeugt Takte ϕ_1 bis ϕ_n , die bezüglich der Phase

um θ bis $n\theta$ in Bezug auf den Takt CLKi verschoben sind, durch Verzögern des Taktes CLKi beispielsweise um $2m$, $4m$, $6m$, ... $2(n-1)m$, bzw. den $2nm$ -Invertieren. Hier ist m eine natürliche Zahl. Die Multiphasen-Takterzeugungsschaltung **26** kann aus einer DLL-Schaltung aufgebaut sein, die die Phase des ϕ_n an die Phase des Taktes CLKi anpasst. In diesem Fall werden Einstellungen automatisch ausgeführt, so dass $n\theta = 2\pi$. Takte ϕ_1 bis ϕ_6 für den Fall von $n = 6$ und $n\theta = 2\pi$ sind in [Fig. 4](#) zusammen mit dem Takt CLKi gezeigt. Der Taktzyklus T ist der gleiche für die Takte ϕ_1 bis ϕ_6 wie für den Takt CLKi.

[0150] In der Zeitgebersignal-Erzeugungsschaltung **22** in [Fig. 2](#) zählt eine Zäblerschaltung **28** die Takte ϕ_1 bis ϕ_6 , welche durch die Multiphasen-Takterzeugungsschaltung **26** erzeugt werden, und bestimmt den zeitlichen Ablauf zur Aktivierung und Deaktivierung des Steuersignals CNT; das resultierende Signal wird zu einer Zeitgeberpufferschaltung **27** geliefert, welches dann das Steuersignal CNT dieses zeitlichen Ablaufs bildet und dieses zum DRAM-Kern **3** liefert. Eine Zeitgeberpufferschaltung **271**, die einen Teil der Zeitgeberpufferschaltung **27** bildet, wird durch Zähler **281** und **282** gesteuert, welche einen Teil der Zäblerschaltung **28** bilden.

[0151] [Fig. 3](#) ist ein Blockdiagramm, welches einen Bereich der Zeitgebersignal-Erzeugungsschaltung **22** in der integrierten Halbleiterschaltungseinrichtung von [Fig. 2](#) zeigt, und [Fig. 4](#) ist ein Zeitablaufdiagramm, welches ein Beispiel der Operation der Schaltungen, die in [Fig. 2](#) und [Fig. 3](#) gezeigt sind, zeigt.

[0152] Die Zeitgeberpufferschaltung **271** besitzt einen Flipflop **30**, der unter Verwendung von Invertieren **31** und **32** aufgebaut ist, wobei der Ausgang jedes Inverters mit dem Eingang des anderen verbunden ist. Der Eingangsanschluss des Flipflops **30** ist mit dem Drain der pMOS-Transistoren **33A** und **33B** und eines nMOS-Transistors **35** verbunden. Die Sourcen der pMOS-Transistoren **33A** und **33B** sind mit der Spannungsversorgungsleitung VDD verbunden, während die Source des nMOS-Transistors **35** mit der Erdleitung verbunden ist. Das Ausgangssignal des Flipflops wird zu einem Eingangsanschluss eines UND-Gates **36** geliefert, dessen anderer Eingangsanschluss mit dem Steuerbefehl CNTC beliefert wird.

[0153] Der Inhalt jedes Schleifenzählers **281** und **282** wird so gesetzt, dass lediglich ein Bit bezüglich des Werts von den anderen verschieden ist, und wird beispielsweise auf "00... 1" durch einen Resetimpuls RST, wie gezeigt ist, initialisiert. Die Takte ϕ_3 und ϕ_4 werden zu Takteingangsanschlüssen CK der Schleifenzähler **281** bzw. **282** geliefert.

[0154] Ein negativer Resetimpuls /RST wird zum Gate des pMOS-Transistors **33A** geliefert, und das

Ausgangssignal des Flipflops **30** wird somit auf den niedrigen Pegel "L" initialisiert. Das erste Bit, welches vom Schleifenzähler **281** ausgegeben wird, wird als Aktivierungszeitgebersignal CNT1 zum Gate des nMOS-Transistors **35** geliefert. Nachdem dies durch den Resetimpuls RST initialisiert wurde, wird der Schleifenzähler **281** auf "10... 0" durch den ersten Impuls des Taktes ϕ_3 gesetzt, was bewirkt, dass der nMOS-Transistor **35** eingeschaltet wird und das Ausgangssignal des Flipflops **30** auf den hohen Pegel "H" geht. Das Ausgangssignal des zweiten Bits des Schleifenzählers **282** wird als Deaktivierungszeitgebersignal CNT2 zum Gate des pMOS-Transistors **33B** geliefert. Nachdem dies durch den Resetimpuls RST initialisiert wurde, wird der Schleifenzähler **282** auf "01... 0" durch Anlegen von zwei Impulsen des Taktes ϕ_4 gesetzt, wodurch bewirkt wird, dass der pMOS-Transistor **33B** eingeschaltet wird und das Ausgangssignal des Flipflops **30** somit auf den niedrigen Pegel "L" geht.

[0155] Der Steuerbefehl CNTC, wie beispielsweise in [Fig. 4](#) gezeigt ist, steigt synchron mit dem Abfallen des Reihenadress-Strobesignals /RAS an, welches den Anfang eines Speicheroperationszyklus definiert, bei dem das UND-Gate **36** geöffnet wird und das Ausgangssignal des Flipflops **30** über das UND-Gate **36** geleitet wird und als Steuersignal CNT geliefert wird. Der Steuerbefehl CNTC geht über zum niedrigen Pegel "L" bei der nächsten abfallenden Flanke des Reihenadress-Strobesignals /RAS, beispielsweise, wenn der Steuerbefehl PRC vom Befehlsdecoder **1** ausgegeben wird.

[0156] Zeitgebereinstellungen für die anderen Befehle werden auch unter Verwendung der Schaltung, die ähnlich der ist, die in [Fig. 3](#) gezeigt ist, durchgeführt.

[0157] Da Takte mit vorgeschriebenen Phasen, welche von der Multiphasen-Takterzeugungsschaltung **26** ausgegeben werden, durch die Zähler gezählt werden, um den Zeitgeber zur Aktivierung und Deaktivierung des Steuerbefehls CNTC einzustellen, d.h., da der Zeittakt in Einheiten von ganzzahligen Vielfachen der Anzahl von Verzögerungsstufen in der Multiphasen-Takterzeugungsschaltung **26** eingestellt wird (in einer digitalen Weise), keine Notwendigkeit, Herstellungsprozessveränderungen und Spannungsversorgungsschwankungen bei der Zeitgeberplanung in Betracht zu ziehen. Wenn weiter beispielsweise der Takt CLKi 100 MHz und $n = 6$ beträgt, kann die Planung für Zeitgebereinstellungen in Einheiten von $10/6 = 1,7$ ns ausgeführt werden, so dass die Einstellung der Befehlaktivierungs- und Deaktivierungs-Zeitgeber mit einer relativ hohen Genauigkeit erreicht werden kann.

[0158] [Fig. 5](#) ist ein Blockschaltungsdiagramm, welches einen Bereich der Zeitgebersignal-Erzeugungs-

schaltung zeigt.

[0159] Bei dem obigen Beispiel muss die Bitlänge lang genug ausgeführt werden, dass der Inhalt der Schleifenzähler **281** und **282** keinen vollständigen Zyklus rundum die Schleife innerhalb eines RAS-Zyklus macht, der am Abfall des Reihenadress-Strobe-signals /RAS beginnt und bei dessen nächstem Abfall endet.

[0160] Im Hinblick darauf zählt in der Zäblerschaltung **28A** der zweiten Ausführungsform, wie in [Fig. 5](#) gezeigt ist, der Schleifenzähler **281** den Takt CLKi, und der Takt $\phi 3$ und ein vorher festgelegtes Bit, welches vom Schleifenzähler **281** ausgegeben wird, werden zu einem UND-Gate **37** geliefert, um das Aktivierungszeitgebersignal CNT1 zu bilden, während der Takt $\phi 4$ und ein vorher festgelegtes Bit, welches durch den Schleifenzähler **281** ausgegeben wird, zu einem UND-Gate **38** geliefert werden, um das Deaktivierungszeitgebersignal CNT2 zu bilden.

[0161] Wenn man so verfährt, können die Ausgangssignale des Schleifenzählers **281** auch gemeinsam zur Einstellung aller anderen Befehle verwendet werden, was dazu dient, den Aufbau der Zälerschaltung **28A** zu vereinfachen. In anderer Hinsicht ist der Aufbau der gleiche wie der, der in [Fig. 3](#) gezeigt ist.

[0162] [Fig. 6](#) ist ein Blockschaltungsdiagramm, welches einen Bereich der Zeitgebersignal-Erzeugungsschaltung **22** zeigt.

[0163] Wie in [Fig. 6](#) gezeigt ist, ist in der Schaltung des obigen Beispiels das UND-Gate **36** in [Fig. 5](#) beseitigt, und anstelle davon wird ein UND-Gate **283** in der Zälerschaltung **28B** verwendet, und der Takt CLKi und der Steuerbefehl CNTC werden zum UND-Gate **283** geliefert, dessen Ausgangssignal dann durch den Schleifenzähler **281** gezählt wird.

[0164] Gemäß diesem Aufbau kann das Ausgangssignal des Flipflops **30** unmittelbar als Steuersignal CNT verwendet werden, und es besteht keine Notwendigkeit, die Verzögerung in Verbindung mit dem UND-Gate **36** in [Fig. 5](#) in Betracht zu ziehen. Da außerdem der Takt CLKi über das UND-Gate **283** geführt und durch den Schleifenzähler **281** nur dann gezählt wird, wenn der Steuerbefehl CNTC auf einem hohen Pegel "H" liegt, kann der Leistungsverbrauch der Zälerschaltung **28B** reduziert werden.

[0165] Außerdem sind die pMOS-Transistoren **33A** und **33B** und der nMOS-Transistor **35** in [Fig. 5](#) durch nMOS-Transistoren **35A** und **35B** bzw. durch den pMOS-Transistor **33** ersetzt, und die Spannungsversorgungsverdrahtung ist umgekehrt, so dass ein negatives logisches Steuersignal /CNT vom Flipflop **30** ausgegeben wird. In anderer Hinsicht ist der Aufbau

der gleiche wie der, der in [Fig. 5](#) gezeigt ist.

[0166] [Fig. 7](#) ist ein Blockschaltungsdiagramm, welches einen Bereich einer DRAM-Steuerschaltung zeigt.

[0167] Wie in [Fig. 7](#) gezeigt ist, ist in der DRAM-Steuerschaltung das UND-Gate **36** in [Fig. 5](#) beseitigt, und anstelle davon ist ein UND-Gate **1a** im Befehlsdecoder **1A** vorgesehen, und ein Ausgangssignal des Schleifenzählers **281** und der Steuerbefehl CNTC werden zum UND-Gate **1a** geliefert. In diesem Fall bilden das UND-Gate **1a** und der Befehlsdecoder **1** in [Fig. 2](#) zusammen einen Befehlsdecoder **1A**.

[0168] Wenn die Aktivierungsperiode des Steuersignals CTN kürzer ist oder gleich einem Zyklus des Taktes CLKi, kann das Ausgangssignal des UND-Gates **1a** durch die UND-Gates **37** und **38** anteilig verwendet werden.

[0169] Außerdem muss der Schleifenzähler **281** nicht nur den Takt CLKi oder einen der Takte $\phi 1$ bis $\phi 6$ zählen; in [Fig. 7](#) wird der Takt $\phi 2$ gezählt, und in einem vorgeschriebenen Zyklus von diesem wird das Steuersignal CNT für eine Periode lang aktiviert, die mit dem Anstieg des Taktes $\phi 3$ beginnt und bei dem Anstieg des Taktes $\phi 1$ im nächsten Zyklus des Taktes CLKi endet.

[0170] Das Ausgangssignal des Flipflops **30** unmittelbar als Steuersignal CNT verwendet werden, und es besteht keine Notwendigkeit, die Verzögerung in Verbindung mit dem UND-Gate **36** in [Fig. 5](#) in Betracht zu ziehen.

[0171] [Fig. 8](#) ist ein Blockschaltungsdiagramm, welches einen Bereich der Zeitgebersignal-Erzeugungsschaltung zeigt.

[0172] Bei Anwendungen, wo niedrige DRAM-Operationsgeschwindigkeiten zugelassen sind, können die Produktionsausbeuten von integrierten Halbleiterschaltungen durch Planung der Schaltung verbessert werden, um eine größere Zeitgebergrenze in der Zeitgebersignal-Erzeugungsschaltung **22** zuzulassen. Es ist jedoch mühsam, die Planung gemäß der Anwendung zu ändern.

[0173] Im Hinblick darauf sind Auswahlaltungen **284A**, **284B**, **285A** und **285B** und eine Zeitgebersetzungsschaltung **286** in der Zälerschaltung **28D** vorgesehen, wie in [Fig. 8](#) gezeigt ist. Hier werden die jeweiligen Ausgangsbits vom Schleifenzähler **281** gemeinsam zu den Auswahlaltungen **284A** und **285A** und die Takte $\phi 1$ bis $\phi 6$ zu den Auswahlaltungen **284B** und **285B** geliefert, und es werden Vorkehrungen getroffen, so dass das gewünschte Eingangssignal in jeder der Auswahlaltungen **284A**, **284B**,

285A und **285B** durch die Ausgabe des Zeitgebersetzabschnitts **286** ausgewählt werden kann.

[0174] Das Ausgangssignal des Zeitgebersetzabschnitts **286** kann wie gewünscht gesetzt werden, beispielsweise durch selektives Durchbrennen von Sicherungen unter Verwendung eines Laserstrahls. Durch Setzen des Ausgangssignals vor Verpackung jedes Halbleiterchips gemäß der Anwendung oder gemäß den Produktionsprozessbedingungen können Produktionsausbeuten der integrierten Halbleiterschaltungseinrichtungen gesteigert werden, ohne die Schaltungsausbildung ändern zu müssen. Anders ausgedrückt ist der Aufbau der gleiche wie der, der in [Fig. 5](#) gezeigt ist.

[0175] [Fig. 9](#) ist ein Blockschaltungsdiagramm, welches einen Bereich der DRAM-Steuerschaltung zeigt.

[0176] Bei der DRAM-Steuerschaltung wird das Konzept von [Fig. 7](#) auf die Schaltung von [Fig. 8](#) angewandt, und ein Zeitgebersetzregister **286A** wird als eine Form des Zeitgebersetzabschnitts **286** in [Fig. 8](#) verwendet.

[0177] Setzungen und Änderungen können in Bezug auf das Zeitgebersetzregister **286A** leicht ausgeführt werden.

[0178] In [Fig. 9](#) sind CNT1 und CTN2A, welche von den UND-Gates **261A** und **261B** im Befehlsdecoder **1B** ausgegeben werden, grobe Aktivierungszeitgebersignale.

[0179] Der Aufbau kann so sein, dass die Zeitgebersignal-Erzeugungsschaltung **22** lediglich für /RAS-bezogenen Operationen verwendet wird. In diesem Fall ist der "vorgeschriebene Operationszyklus", der im Patentanspruch 1 festgelegt ist, nicht ein 1/RAS-Zyklus, sondern bezieht sich auf eine Niedrigpegelperiode des /RAS, und durch Setzen des Resetsignals RST auf aktiv während der Periode, wenn /RAS auf dem hohen Pegel "H" ist, kann die Bitlänge des Schleifenzählers reduziert werden.

[0180] In den vergangenen Jahren wurde die Leistungsfähigkeit von Komponenten, die bei Computern und anderen Informationsverarbeitungsgeräten verwendet werden, stark verbessert, und damit ist die Notwendigkeit nach einer Hochgeschwindigkeits-Signalübertragung und Empfang zwischen LSIs (LSI-Chips) oder zwischen Einrichtungen, welche durch mehrere LSIs aufgebaut sind, angestiegen.

[0181] Anschließend wird eine Beschreibung eines Signalübertragungssystems angegeben. Zuvor wird ein Beispiel eines Signalübertragungssystems nach dem Stand der Technik mit Hilfe von [Fig. 10](#) beschrieben.

[0182] [Fig. 10](#) ist ein Blockschaltungsdiagramm, welches in schematischer Form ein Beispiel eines Signalübertragungssystems nach dem Stand der Technik zeigt. In [Fig. 10](#) ist das Bezugszeichen **401** eine Ansteuerschaltung (Puffer) für einen Takt clk am Übertragungsanschluss, **411** bis **41n** sind Ansteuerschaltungen für Daten DD1 bis DDn am Übertragungsanschluss, **402** ist eine Taktleitung (Taktsignalleitung), **421** bis **42n** sind Datenleitungen (Datensignalleitungen), **403** ist eine Ansteuerschaltung für den Takt am Empfangsanschluss, **431** bis **43n** sind Ansteuerschaltungen für die Daten am Empfangsanschluss, und **441** bis **44n** sind Datenlatchschaltungen (Eingangslatchschaltungen).

[0183] Wie in [Fig. 10](#) gezeigt ist, werden bei dem Signalübertragungssystem nach dem Stand der Technik zum Handhaben großer Datenmengen Signale unter Verwendung der mehreren Signalleitungen **402** und **421** bis **42n** übertragen. Das heißt, der Takt clk wird beispielsweise zum Empfangspuffer (Taktpuffer) **403** über den Übertragungspuffer **401** und die Taktsignalleitung **402** übertragen und dann zu einem Taktanschluss (Latchzeitgeber-Steueranschluss) auf jedem der Eingänge der Zwischenspeicher **441** bis **44n** geliefert.

[0184] Dagegen werden die Daten (Signale) DD1 bis DDn zu den Empfangspuffern **431** bis **43n** über die Übertragungspuffer **411** bis **41n** bzw. die Daten-signalleitungen **421** bis **42n** übertragen und dann zu den Eingangszwischenspeichern **441** bis **44n** geliefert, deren Latchzeitgeber durch den Takt (Strobesignal), welcher Taktpuffer **403** geliefert wird, gesteuert wird.

[0185] Bei dem Signalübertragungssystem nach dem Stand der Technik, wie in [Fig. 10](#) gezeigt ist, erleiden wegen der Verwendung der mehreren Signalleitungen **402** und **421** bis **42n** und der Puffer **401**, **411** bis **41n**, **403** und **431** bis **43n** die Signale, welche über die jeweiligen Signalleitungen übertragen werden, unterschiedliche Verzögerungen. Dies bedeutet, dass die optimale Latchzeitgabe für jedes der Signale (Daten), welche über die jeweiligen Signalleitungen (Datensignalleitungen **421** bis **42n**) übertragen werden, verschieden ist. Diese Verzögerungsdifferenz (Skew) auf jeder Signalleitung wird zu einer Hauptangelegenheit, beispielsweise, wenn die Frequenz des Taktes clk für schnellere Operationsgeschwindigkeiten (Übertragungsgeschwindigkeiten) ansteigt.

[0186] Wenn folglich die Signale (Daten) durch Liefern eines gemeinsamen Strobesignals (Takt clk) zu den Eingangszwischenspeichern **441** bis **44n** verriegelt werden, die nacheinander für die Signalleitung **421** bis **42n** vorgesehen sind, kann wie bei dem Signalübertragungssystem nach dem Stand der Technik, welches in [Fig. 10](#) gezeigt ist, der Skew zwischen den Signalleitungen nicht adressiert werden.

[0187] Wenn insbesondere die Differenz in der optimalen Signallatchzeitgabe zwischen Eingangsspeichern **441** bis **44n** für den jeweiligen Signalleitungen extrem groß ist, können nicht alle Signale korrekt unter Verwendung des gemeinsamen Zeitgebers (Takt clk) gespeichert (empfangen) werden, wobei als Ergebnis davon der Abstand und die Übertragungsgeschwindigkeit für korrekte Signalübertragung begrenzt sind. Um andererseits die Signalübertragungsentfernung zu steigern oder die Übertragungsgeschwindigkeit (für vergrößerte Bitrate) zu vergrößern, müssen teure Kabel, die speziell abgestimmt sind, für den reduzierten Skew verwendet werden, wobei dies nicht nur die Kosten vergrößert, sondern wesentliche Verbesserungen in der Übertragungsdistanz und Übertragungsgeschwindigkeit auch nicht erreicht werden können. Dies kann daher keine fundamentale Lösung sein.

[0188] [Fig. 11](#) ist ein Blockschaltungsdiagramm, welches in schematischer Form den grundsätzlichen Funktionsaufbau des Übertragungssystems zeigt, und [Fig. 12](#) und [Fig. 13](#) sind Zeitgeberdiagramme (Zeitablaufdiagramme), um ein Beispiel der Operation im Signalübertragungssystem von [Fig. 11](#) zu erläutern.

[0189] In [Fig. 11](#) sind die Bezugszeichen **511** bis **51n** Ansteuerschaltungen (Treiber) für Daten DD1 bis DDn am Übertragungsanschluss, **521** bis **52n** sind Datenleitungen (Datensignalleitungen), **531** bis **53n** sind Zeitgebereinstellschaltungen (optimale Zeitgeberbestimmungseinrichtung) und **541** bis **54n** sind Daterilatchschaltungen (Eingangslatchschaltungen).

[0190] Wie in [Fig. 11](#) gezeigt ist, werden bei dem Signalübertragungssystem Signale unter Verwendung der mehreren Signalleitungen (Datensignalleitungen) **521** bis **52n** übertragen; d.h., die Daten (Signale) DD1 bis DDn werden zu den Zeitgebereinstellschaltungen (Zeitgebereinstelleinrichtungen) **531** bis **53n** am Empfangsanschluss über die jeweiligen Übertragungsansteuerungen **511** bis **51n** und die Datensignalleitungen **521** bis **52n** geliefert.

[0191] Die Zeitgebereinstellschaltungen **531** bis **53n** werden ebenfalls mit dem Takt clk beliefert, und der Signallatchzeitgeber bei jedem der Eingangssignalspeicher (Empfangsschaltungen **541** bis **54n**) ist gemäß dem Skew auf jedem der Signalleitungen **521** bis **53n** optimiert. Hier sind die Zeitgebereinstellschaltungen **531** bis **53n** so aufgebaut, Strobosignale (Takte) clk1 bis clkn in der Nähe der Mitte der Periode (Datenfenster), während die Daten DD1 bis DDn gültig sind, auszugeben.

[0192] Insbesondere existiert, wie in [Fig. 12](#) gezeigt ist, Skew aufgrund der Signalleitungen usw. zwischen den Daten (Signalen) DD1 bis DDn an der Position, welche mit PT5 auf den Signalleitungen **521**

bis **52n** im Signalübertragungssystem angedeutet ist, welches in [Fig. 11](#) gezeigt ist. Folglich können mit dem Takt clk, der zum Speichern der Daten DD1 optimal ist, welche über die Signalleitung **521** übertragen werden (das Strobosignal im zeitlichen Ablauf in der Nähe der Mitte der Periode während der die Daten DD1 gültig sind), beispielsweise die Daten DDn, welche über die Signalleitung **52n** übertragen werden, nicht verriegelt werden, da der Taktzeitgeber mit dem Übergangszeitakt der Daten DDn übereinstimmt.

[0193] Um dies zu adressieren, optimieren im Signalübertragungssystem die Zeitgebereinstellschaltungen **531** bis **53n** die Signallatchzeitgeber in den jeweiligen Eingangslatchspeichern **541** bis **54n** gemäß dem Skew auf jeder der Signalleitungen **521** bis **52n**, wie in [Fig. 13](#) gezeigt ist. Insbesondere wird das Strobosignal (Takt) clk1, dessen Zeitgeber durch die Zeitgebereinstellschaltung **531** unter Abwägung des Skews aufgrund der Signalleitung **521** usw. eingestellt wird, zum Eingangslatchspeicher **541** geliefert, der die Daten DD1 verriegelt; das Strobosignal clk2, dessen zeitlicher Ablauf durch die Zeitgebereinstellschaltung **532** unter Abwägung des Skews aufgrund der Signalleitung **522** usw. eingestellt ist, wird zum Eingangslatchspeicher **542** geliefert, der die Daten DD2 verriegelt; und das Strobosignal clkn, dessen zeitlicher Ablauf durch die Zeitgebereinstellschaltung **53n** unter Abwägung des Skews aufgrund der Signalleitung **52n** eingestellt wird, usw., wird zum Eingangslatchspeicher **54n** geliefert, der die Daten DDn verriegelt. Hier stimmt die zeitliche Anstiegszeit des Strobosignals clk1 im Wesentlichen mit der Mitte der Periode überein, während der die Daten DD1 gültig sind. Die Anstiegszeit des Strobosignals clk2 stimmt im Wesentlichen mit der Mitte der Periode überein, während der die Daten DD2 gültig sind, und die Anstiegszeit des Strobosignals clkn stimmt im Wesentlichen mit der Mitte der Periode überein, während die Daten DDn gültig sind.

[0194] Auf diese Art und Weise kann eine fehlerfreie Hochgeschwindigkeitssignalübertragung erreicht werden, ohne durch den Skew auf jeder Signalleitung beeinträchtigt zu werden.

[0195] Im Signalübertragungssystem sind die Zeitgebereinstellschaltungen **531** bis **53n** nicht auf die gezeigte Ausführungsform begrenzt, wo der zeitliche Ablauf der Strobosignale clk1 bis clkn, welche zu den jeweiligen Zeitgebereinstellschaltungen **531** bis **53n** geliefert werden, am Empfangsanschluss eingestellt wird. Beispielsweise kann der Aufbau so sein, dass die zeitliche Ablauf der Daten DD1 bis DDn am Übertragungsanschluss eingestellt wird.

[0196] Mit Hilfe von [Fig. 14](#) bis [Fig. 41](#) werden nun Beispiele des Signalübertragungssystems ausführlich anschließend beschrieben.

[0197] [Fig. 14](#) ist ein Blockschaltungsdiagramm, welches in schematischer Form das Signalübertragungssystem zeigt, und [Fig. 15](#) ist ein Zeitablaufdiagramm, um ein Beispiel einer Operation im Signalübertragungssystem von [Fig. 14](#) zu erläutern.

[0198] In [Fig. 14](#) ist das Bezugszeichen **530** eine Zeitgebereinstellschaltung (optimale Zeitgeberbestimmungseinrichtung), **5301** ist eine Phasenkomparatorschaltung, **5302** und **5303** sind variable Verzögerungsschaltungen, **540** ist eine Datenlatchschaltung (Eingangslatchspeicher), und **520** ist eine Signalleitung (Datensignalleitung). Hier haben die variablen Verzögerungsschaltungen **5302** und **5303** einen identischen Aufbau und liefern die gleiche Menge an Verzögerung gemäß einem Ausgangssignal von der Phasenkomparatorschaltung **5301**. Die Daten DD, die Signalleitung **520**, die Zeitgebereinstellschaltung **530** und die Eingangslatchschaltung **540** im ersten Beispiel entsprechen beispielsweise den Daten DD1, der Signalleitung **521**, der Zeitgebereinstellschaltung **531**, und der Eingangslatchschaltung **541** in [Fig. 11](#). Daher ist der Schaltungsblock, der hier gezeigt ist, für alle Daten (DD1 bis DDn) vorgesehen.

[0199] Bei dem Signalübertragungssystem ist die Zeitgebereinstellschaltung **530** zum Einstellen der relativen Zeitgeberbeziehung zwischen dem Empfangssignal (Daten) DD und dem Takt clk (clk') am empfangsseitigen Anschluss vorgesehen, so dass der Eingangslatchspeicher **540** die Daten DD mit dem optimalen Zeitablauf (dem Zeitablauf in der Nähe der Mitte der Periode, während die Daten DD gültig sind) verriegelt. Insbesondere umfasst, wie in [Fig. 14](#) gezeigt ist, die Zeitgebereinstellschaltung **530** die erste variable Verzögerungsschaltung **5302**, welche eine Verzögerung zum ersten Takt clk bereitstellt, die zweite variable Verzögerungsschaltung **5303**, welche eine Verzögerung zum zweiten Takt clk' bereitstellt, und die Phasenkomparatorschaltung **5301**, welche die Phase der Daten DD mit der Phase des zweiten Taktes clk' vergleicht, der über die zweite variable Verzögerungsschaltung **5303** geliefert wird. Hier ist das zweite Takt clk' ein Signal, welches bezüglich der Phase um 180° in Bezug auf den ersten Takt clk verschoben ist. Die zweite Ausführungsform verwendet die Zweiphasentakts clk und clk', die eine Phasendifferenz von 180° in Bezug zueinander haben.

[0200] Hier vergleicht, wie in [Fig. 15](#) gezeigt ist, die Phasenkomparatorschaltung **5301** die Phase der Daten DD mit der des zweiten Taktes clk' und steuert die Höhe der Verzögerung in der zweiten variablen Verzögerungsschaltung **5303** so, damit der Anstiegszeitablauf des zweiten Taktes clk' mit dem Übergangszeitablauf der Daten DD übereinstimmt. Außerdem steuert die Phasenkomparatorschaltung **5301** auch die Verzögerung in der ersten variablen Verzögerungs-

schaltung **5302** in der gleichen Weise, wie sie diese in die Verzögerung in der zweiten variablen Verzögerungsschaltung **5303** steuert, und gibt den ersten Takt (Strobosignal) clk, der die gleiche Höhe an Verzögerung wie die in der zweiten variablen Verzögerungsschaltung **5303** hat, aus. Als Ergebnis wird erreicht, dass der Anstiegszeitablauf des ersten Taktes clk, der eine Phasendifferenz von 180° in Bezug auf den zweiten Takt clk' hat, im Wesentlichen mit dem zeitlichen Ablauf in der Mitte der Periode (Datenfenster) übereinstimmt, während der die Daten DD gültig sind, wodurch Datenempfang mit geringen Fehlerraten erreicht wird.

[0201] Die Zeitgebereinstellschaltung **530** ist für alle Signalleitungen (**521** bis **52n**) vorgesehen, so dass die Daten für alle Datenleitungen korrekt empfangen werden können. In [Fig. 14](#) sind die variablen Verzögerungsschaltungen **5302** und **5303** aus Multistufeninverter aufgebaut, und die Verzögerungshöhe wird durch Variieren der Anzahl von Inverterstufen variiert, wobei jedoch angemerkt werden sollte, dass viele andere Aufbauarten möglich sind.

[0202] [Fig. 16](#) ist ein Blockschaltungsdiagramm, welches in schematischer Form ein modifiziertes Beispiel des Signalübertragungssystems zeigt, welches in [Fig. 14](#) gezeigt ist, und [Fig. 17](#) ist ein Zeitablaufdiagramm, um ein Operationsbeispiel im Signalübertragungssystem von [Fig. 16](#) zu erläutern.

[0203] Wie man aus dem Vergleich zwischen [Fig. 13](#) und [Fig. 16](#) und auch aus [Fig. 17](#) ersehen kann, kann das modifizierte Beispiel (Zeitgebereinstellschaltung **530'**) des ersten Beispiels angewandt werden, wenn der Takt (clk0) ein Tastverhältnis von ungefähr 50% hat, d.h., dass die Hochpegelperiode des Taktes clk0 ungefähr gleich in der Länge wie deren Niederpegelperiode ist. Der Takt clk0 wird als zweiter Takt clk' in [Fig. 14](#) verwendet, und der erste Takt clk und die erste variable Verzögerungsschaltung **5302** in [Fig. 14](#) können beseitigt werden.

[0204] Wie in [Fig. 16](#) und [Fig. 17](#) gezeigt ist, wird die Höhe der Verzögerung in der variablen Verzögerungsschaltung **5303** so gesteuert, dass der zeitliche Ablauf des Taktes clk0 mit dem zeitlichen Ablauf der Daten DD übereinstimmt, und der Datenlatchzeitgeber in der Eingangslatchschaltung **540** wird durch ein Signal (/clk0) gesteuert, welches durch Invertieren des Taktes clk0 über einen Inverter **5304** erzeugt wird.

[0205] Insbesondere wird der Anstiegszeitablauf des Taktes clk0 so ausgeführt, dass er mit dem Übergangszeitablauf der Daten DD übereinstimmt, und zwar mittels der Phasenkomparatorschaltung **5301** und der variablen Verzögerungsschaltung **5303**. In diesem Zeitpunkt stimmt der Anstiegszeitablauf des Strobosignals (Takt) /clk0, das Komplement des Tak-

tes clk0, im Wesentlichen mit dem zeitlichen Ablauf in der Mitte der Periode überein, während der die Daten DD gültig sind; daher verriegelt unter Verwendung dieses Signals /clk0 die Eingangslatchschaltung **540** die Daten. Auf diese Weise kann gemäß dem modifizierten Beispiel unter Verwendung eines Einzelphasentaktes, der ein Tastverhältnis von ungefähr 50% hat, eine fehlerfreie Hochgeschwindigkeitssignalübertragung erreicht werden, ohne durch einen Bitversatz (Skew) beeinträchtigt zu werden.

[0206] [Fig. 18](#) ist ein Blockschaltungsdiagramm, welches in schematischer Form das Signalübertragungssystem zeigt. In [Fig. 18](#) ist das Bezugszeichen **550** eine Zeitgebereinstellschaltung, **5501** ist eine Anzapfungsverzögerungsschaltung, und **5502** ist ein Abschlusswiderstand.

[0207] Wie in [Fig. 18](#) gezeigt ist, wird bei dem Signalübertragungssystem der Takt clk unmittelbar als Strobesignal für den Eingangslatch **540** verwendet, und anstelle davon wird die Anzapfverzögerungsschaltung **5501** in den Pfad der Daten DD eingefügt, um den Zeitgeber (zeitlichen Ablauf) einzustellen. Hier ist die Anzapfverzögerungsschaltung **5501** eine Anzapfübertragungsleitung, die beispielsweise aus einer Dünnfilmschaltung oder einem Zwischenverbindungsmuster auf einer gedruckten Schaltungsplatte gebildet ist; mehrere Anzapfungen, die jeweils einen Kondensator CC, einen Schalter WS aufweisen, und einen Widerstand RR aufweisen, sind längs der Übertragungsleitung vorgesehen, und die Verzögerungshöhe, die in die Daten DD eingeführt werden soll, wird in einer variablen Weise durch Einschalten des gewünschten Schalters gesteuert. Eine Übertragungsleitung, die einen Übertragungsabstand von ungefähr 5 cm und eine maximale Verzögerung von ungefähr 1 ns beispielsweise hat, kann als Anzapfverzögerungsschaltung **5501** verwendet werden. Es ist jedoch vorteilhaft, dass andere Anordnungen ebenso für die Anzapfverzögerungsschaltung **5501** verwendet werden können, vorausgesetzt, dass diese eine variable Verzögerungsschaltung ist, die in der Lage ist, ein analoges Signal (Daten DD) zu verzögern.

[0208] Obwohl diese die Bereitstellung einer externen Verzögerungsleitung (die Anzapfverzögerungsschaltung **5501**) erfordert, kann das Signalübertragungssystem eine schnellere Signalübertragung erzielen, da diese hochstabil über der Temperatur ist, usw., und eine Verzögerungssteuerung mit einer ausgezeichneten Frequenzcharakteristik ausführen kann.

[0209] [Fig. 19](#) ist ein Blockdiagramm, welches in schematischer Form das Signalübertragungssystem zeigt. In [Fig. 19](#) sind die Bezugszeichen **561** bis **56n** Zeitgebereinstellschaltungen (optimale Zeitgeberbestimmungseinrichtungen), **5601** ist eine Datenlatch-

schaltung (Ausgangslatch) und **5602** ist eine variable Verzögerungsschaltung.

[0210] Wie in [Fig. 19](#) gezeigt ist, erzielt das Signalübertragungssystem Zeitgebereinstellungen am Signalübertragungsanschluss, wobei die Übertragungszeitgabe variabel gemacht wird. Der Ausgangslatch **5601** ist vor jeder Übertragungsansteuerschaltung (Treiber) **511** bis **51n** vorgesehen, und der Takt clk, der über die variable Verzögerungsschaltung **5602** verzögert wird, wird als Strobesignal zum Ausgangslatch **5601** verwendet. Das heißt, der Zeitgeber jeder der Treiber **511** bis **51n** wird durch das Ausgangssignal der variablen Verzögerungsschaltung **5602** eingestellt, deren Verzögerungshöhe in einer variablen Weise gesteuert wird.

[0211] Insbesondere steuert die Zeitgebereinstellschaltung **561** beispielsweise den Treiber **511** so, dass die Daten DD1 mit einem solchen Zeitablauf übertragen werden, dass der Takt am empfangenden Anschluss am optimalen Punkt der Daten DD1 auftritt (der Zeitablauf, der im Wesentlichen mit der Mitte der Periode übereinstimmt, während der die Daten DD gültig sind). Bei dem Signalübertragungssystem wird der Übertragungszeitgeber der Daten (DD1 bis DDn) durch die Zeitgebereinstellschaltung (**561** bis **56n**) am Übertragungsanschluss eingestellt, und diese Zeitgebereinstellung wird beispielsweise unter Verwendung eines Kommunikationsprotokolls durchgeführt, wenn die Spannung eingeschaltet wird. Insbesondere, wenn beispielsweise die Spannung eingeschaltet wird, werden vorgeschriebene Signale (Daten) über die entsprechenden Signalleitungen **521** bis **52n** übertragen, wobei deren zeitlicher Ablauf sequentiell durch die jeweiligen Zeitgebereinstellschaltungen **561** bis **56n** variiert wird und der zeitliche Ablauf, der für das Datenspeichern am Empfangsanschluss optimal ist, durch Rückführung dieser zurück zu den jeweiligen Zeitgebereinstellungen **561** bis **56n** bestimmt wird.

[0212] Das Signalübertragungssystem kann den Schaltungsaufbau am Empfangsanschluss vereinfachen, und es wird beispielsweise bevorzugt, wenn Kostenverminderungen von Empfangseinrichtungen stark erwünscht sind.

[0213] [Fig. 20](#) ist ein Blockschaltungsdiagramm, welches in schematischer Form das Signalübertragungssystem zeigt. In [Fig. 20](#) ist das Bezugszeichen **5310** eine Zeitgebereinstellschaltung, und **5311** ist ein Phaseninterpolator.

[0214] Wie in [Fig. 20](#) gezeigt ist, weist bei dem Signalübertragungssystem die Zeitgebereinstellschaltung **5130** den Phaseninterpolator **5311** auf, der aus mehreren Takten mit unterschiedlichen Phasen einen neuen Takt, der eine Zwischenphase hat, erzeugt. Insbesondere werden Vierphasentakte $\phi 0$ bis $\phi 3$

zum Phaseninterpolator **5311** geliefert, und, auf der Basis dieser Vierphasentakte wird eine Zwischenphase erzeugt, und das resultierende Strobesignal (clk00) wird zum Eingangspuffer **540** geliefert. Es braucht nicht ausgeführt werden, dass dieser Phaseninterpolator **5311** für jeden Eingangslatch **540** (**541** bis **54n**) vorgesehen ist, der die Daten DD (DD1 bis DDn), welche über jede Signalleitung **520** (**521** bis **52n**) übertragen werden, verriegelt.

[0215] [Fig. 21](#) ist ein Schaltungsdiagramm, welches ein Beispiel des Phaseninterpolators im Signalübertragungssystem von [Fig. 20](#) zeigt.

[0216] Wie in [Fig. 21](#) gezeigt ist, nimmt der Phaseninterpolator **5311** eine Wichtungssumme der Vierphasen-Eingangstakte $\phi 0$ bis $\phi 3$, indem er den Reststrom von beiden Differenzverstärkerstufen **5312** und **5313** variiert und Signale S1 und S2 von den beiden Differenzverstärkerstufen **5312** und **5313** zu einem Komparator **5313** liefert, um ein Ausgangssignal (Strobesignal clk00) zu erhalten, welches eine Phase zwischen den Phasen dieser beiden Signale S1 und S2 hat. Hier wird das Wichten der Eingangstakte $\phi 0$ bis $\phi 3$ in den Differenzverstärkerstufen **5312** und **5313** unter Verwendung von mehreren Steuertransistorpaaren ausgeführt, die jeweils beispielsweise aus zwei nMOS-Transistoren bestehen, die seriell geschaltet sind. Ein Transistor (**5315**) in jedem Paar wird an seinem Gate mit einem Steuercode (C01, C02,... C0n; C11, C12,... C1n) beliefert, während die Gates der anderen Transistoren in den jeweiligen Paaren zusammengeschaltet sind und mit einer Steuerspannung (Vcn) beliefert werden. Die Verwendung des Phaseninterpolators **5311** mit einem solchen Aufbau bietet den Vorteil, dass der Zeitgeber des Ausgangssignals (Strobesignal clk00) in einer digitalen Weise mit einer Auflösung eingestellt werden kann, die höher ist als die einer Verzögerungseinstellungsstufe. Damit können hochgenaue Zeitgebereinstellungen erreicht werden.

[0217] [Fig. 22](#) ist ein Blockschaltungsdiagramm, welches in schematischer Form das Signalübertragungssystem zeigt. In [Fig. 22](#) ist das Bezugszeichen **570** eine Wiedereintaktschaltung, **571** bis **573** sind Latchschaltungen, **574** ist ein Auswahlorgan, **575** ist ein Schieberegister, **576** ist eine variable Verzögerungsschaltung und **577** ist eine Verzögerungssteuerschaltung. Dieses Beispiel wird bei einem Fall angewandt, bei dem die variable Verzögerungsschaltung **576** in den Pfad des Taktes (Strobesignal) eingefügt ist, der verwendet wird, den Eingangslatch **540** am Empfangsanschluss anzusteuern. Die variable Verzögerungsschaltung **576** und die Verzögerungssteuerschaltung **577**, die hier gezeigt sind, entsprechen beispielsweise der variablen Verzögerungsschaltung **5302** und der Phasenkomparator-schaltung **5301** im ersten Beispiel, welches in [Fig. 14](#) gezeigt ist.

[0218] Bei dem Signalübertragungssystem des oben beschriebenen Beispiels wird beispielsweise die variable Verzögerungsschaltung **576** (**5302**) in den Pfad des Taktes zum Eingangslatch **540** eingefügt, um zu ermöglichen, dass die Daten DD mit dem optimalen Zeittakt gespeichert werden, jedoch, wie für das Signal, welches durch den Eingangslatch **540** läuft, obwohl der Signalpegel digitalisiert ist, ist der Datenänderungszeittakt für jede Signalleitung (Datenleitung) **520** wegen des Bitversatzes (Skew) auf dem Kabel verschieden.

[0219] Im Hinblick darauf folgt bei dem Signalübertragungssystem auf den Eingangslatch **540** die Wiedereintaktschaltung **570**, um die Daten wiederum zu verriegeln, so dass alle Daten sich mit dem gleichen zeitlichen Ablauf ändern werden; außerdem wird eine Verzögerung von einem Bit oder länger als einem Bit zwischen jedem Datenwort durch das Schieberegister **575** eingestellt.

[0220] Wie in [Fig. 22](#) gezeigt ist, weist die Wiedereintaktschaltung **570** die Latchschaltungen **571** bis **573** und das Auswahlorgan **574** auf; das Ausgangssignal der zweistufigen Kaskadenlatchschaltungen **571** und **572** und/oder das Ausgangssignal der Latchschaltung **573** wird durch das Auswahlorgan **574** ausgewählt. Hier wird ein Strobesignal RPB zur Latchschaltung **571** und ein Strobesignal RTA zu den Latchschaltungen **572** und **573** geliefert. Das Strobesignal RTA hat eine Phasendifferenz von 180° in Bezug auf das Strobesignal RTB.

[0221] [Fig. 23](#) und [Fig. 24](#) sind Zeitablaufdiagramme, um ein Operationsbeispiel im Signalübertragungssystem von [Fig. 22](#) zu erläutern.

[0222] Wie in [Fig. 23](#) gezeigt ist, ist, obwohl jedes Datenwort (Signal DD (Dd1 bis DDn)) mit dem optimalen zeitlichen Ablauf der Ausgangsposition des Eingangslatches **540** (**541** bis **54n**), was durch PT51 in [Fig. 22](#) gezeigt ist, verriegelt ist, der Datenänderungszeitablauf gegenüber jedem Datenwort DD (DD1 bis DDn) aufgrund des Bitversatzes (Skew) aufgrund der Signalleitung usw. verschieden.

[0223] Jedoch ist, gleich bei welcher Position jedes Datenwort sich ändert, das Datenverriegeln mit dem Zeitablauf (ansteigendem Zeitablauf) von zumindest einem der beiden Signale (Strobesignale) RTA und RTB möglich, die um 180° voneinander außer Phase sind. Insbesondere, wenn der Anstiegszeitablauf eines Strobesignals RTA im Übertragungsbereich der Daten DD2 und DDn auftritt, beispielsweise der Anstiegszeitablauf des anderen Strobesignals RTB, welches um 180° außer Phase in Bezug auf das Signal RTA ist, tritt Unbeständigkeit während der Periode, wenn die Daten DD2 und DDn gültig sind, auf, und die Daten können somit verriegelt werden.

[0224] In der Wiedereintaktschaltung **570** wird das Ausgangssignal des Eingangszwischenspeichers **540** sowohl durch die Latchschaltung **571**, zu der das Strobesignal RTB geliefert wird, als auch durch die Latchschaltung **573**, zu der das Strobesignal RTA geliefert wird, verriegelt, so dass zumindest eine der Latchschaltungen die korrekten Daten verriegeln kann; außerdem können durch die Bereitstellung der Latchschaltung **572** im Anschluss an die Latchschaltung **571** die Ausgangssignale der Latchschaltungen **571** (**572**) und **573** zum Auswahlorgan **574** mit den Zeitablauf geliefert werden, der durch das Strobesignal RTA definiert ist. Hier wird das Ausgangssignal der Verzögerungssteuerschaltung **577** zum Auswahlorgan **574** geliefert, um zu bestimmen, welches der beiden Ausgangssignale, d.h., der Latchschaltung **572** oder **573** ausgewählt werden soll.

[0225] Als Ergebnis ändern sich, wie in [Fig. 24](#) gezeigt ist, die Daten DD1 bis DDn mit dem gleichen Zeitablauf (die Daten sind wiedereingetaktet) an der Ausgangsposition des Auswahlorgans **574**, was durch PT52 in [Fig. 22](#) angedeutet ist. Es besteht jedoch eine Möglichkeit, dass eine Verzögerung von einem Bit oder länger als einem Bit zwischen den Daten DD1 bis DDn existieren kann.

[0226] Beispielsweise kann ein Fall auftreten, wo die Daten DD1 um ein Bit in Bezug auf die Daten DD2 verzögert sind, und die Daten DDn um zwei Bits in Bezug auf die Daten DD2 verzögert sind, wie in [Fig. 24](#) gezeigt ist. Um diesem zu begegnen ist bei dem Signalübertragungssystem das Schieberegister **575** vorgesehen, welches auf das Auswahlorgan **574** folgt, um den Ausgabezeitablauf aller Daten in Bezug auf den Zeitablauf der Daten, die die größte Verzögerung haben (beispielsweise die Daten DDn), anzupassen (den Bitversatz aufzuheben).

[0227] [Fig. 25](#) ist ein Blockschaltungsdiagramm, welches in schematischer Form das Signalübertragungssystem zeigt, und [Fig. 26](#) und [Fig. 27](#) sind Zeitablaufdiagramme, um ein Beispiel einer Operation im Signalübertragungssystem von [Fig. 25](#) zu erläutern. In [Fig. 25](#) ist das Bezugszeichen **580** eine Wiedereintaktschaltung, **581** bis **584** sind Latchschaltungen, **585** und **586** sind variable Verzögerungsschaltungen, und **540a** und **540b** sind Eingangszwischenspeicher (Eingangslatchschaltungen).

[0228] Wie in [Fig. 25](#) gezeigt ist, ist im Signalübertragungssystem der Eingangslatch **540** in der obigen Beispiel durch die beiden Eingangszwischenspeicher **540a** und **540b** ersetzt, die in einer Verschachtelungsweise arbeiten. Insbesondere werden zwei Takte (Strobesignale) aa und bb, die um 180° außer Phase zueinander sind, wie in [Fig. 26](#) gezeigt ist, zu den Eingangszwischenspeichern **540a** und **540b** über die variablen Verzögerungsschaltungen **585** bzw. **586** geliefert, so dass die Daten abwechselnd durch die

beiden Eingangszwischenspeicher **540a** und **540b** verriegelt werden. Hier ist die Frequenz der Strobesignale aa und bb die Zweifache der Frequenz von beispielsweise den Signalen RTA und RTB bei dem obigen Beispiel, und die Daten DD (... , DD(m-2), DD(m-1), DD(m), DD(m+1), DD(m+2),...), die sequentiell über die Signalleitung **520** übertragen werden, werden abwechselnd durch die Eingangszwischenspeicher **540a** und **540b** verriegelt. Folglich müssen die Eingangszwischenspeicher **540a** und **540b** nicht nur mit der halben Geschwindigkeit der aktuellen Datenrate (der übertragenen Signalarate) arbeiten. Die obige Verschachtelungsoperation ist nicht auf die Verschachtelung zwischen zwei Teilen beschränkt, sondern die Verschachtelung kann zwischen drei oder mehr Teilen durchgeführt werden.

[0229] Die Wiedereintaktschaltung **580** weist eine zweistufige Kaskade von Latchschaltungen **581** und **582** auf, welche das Ausgangssignal des Eingangszwischenspeichers **540a** empfängt, und eine zweistufige Kaskade von Latchschaltungen **583** und **584**, die das Ausgangssignal des anderen Eingangssignalspeichers **540b** empfängt; ein Strobesignal RTC wird zu den Latchschaltungen **581**, **582** und **584** geliefert, und ein Strobesignal RTD wird zur Latchschaltung **583** geliefert.

[0230] Wie in [Fig. 27](#) gezeigt ist, sind die Strobesignale RTC und RTD um 180° außer Phase zueinander, und, unter Verwendung dieser Signale als Strobesignale, können die Daten DD (... , DD(m-2), DD(m-1), DD(m), DD(m+1), DD(m+2),...), die sequentiell über die Signalleitung **520** übertragen werden, in der Form der Ausgangssignale der Latchschaltungen **581**, **582** und **584** empfangen werden.

[0231] Da auf diese Weise der Schaltungsaufbau von den Eingangszwischenspeichern (**540a** und **540b**) aufwärts mit einer halben Übertragungsrate der Signalleitung aufgrund der Verschachtelungsoperation betrieben werden kann, ist das Signalübertragungssystem für Hochgeschwindigkeitsübertragung von Signalen geeignet. Dies bietet außerdem den Vorteil, den Schaltungsaufbau zu vereinfachen, da Zeitwänge für Latchoperationen in der Wiedereintaktschaltung **580** gelockert werden.

[0232] [Fig. 28](#) ist ein Blockdiagramm, welches in schematischer Form das Signalübertragungssystem zeigt, in welchem ein sogenannter PRD-Latch (Partialantwortermittlung) (Differential-PRD-Empfänger) als Verschachtelungslatch verwendet wird. In [Fig. 28](#) sind die Bezugszeichen **520a** und **520b** Signalleitungen, um komplementäre Signale (Daten) DD und /DD zu übertragen, und **590a** und **590b** sind PRD-Verstärker, die in einer Verschachtelungsweise arbeiten. Bei diesem Beispiel sind die beiden Signalleitungen **520a** und **520b** für ein Datenwort DD vorgesehen, welches somit als komplementäres Datenwort DD und /DD

übertragen wird. Man wird es als vorteilhaft erkennen, dass bei anderen Beispielen ebenfalls entweder eine einzelne Leitung oder Differentialleitungen (komplementäre) Leitungen zur Signalübertragung verwendet werden können.

[0233] Wie in [Fig. 28](#) gezeigt ist, weist die Empfängerschaltung (Eingangslatch) den ersten PRD-Empfänger **590a** und den zweiten PRD-Empfänger **590b** auf, zu dem die komplementären Daten DD und /DD geliefert werden, und die in Verschachtelungsweise arbeiten, wobei sie durch die Steuersignale ϕ_{10} und ϕ_{20} gesteuert werden. Hier werden die Ausgangssignale vom ersten und vom zweiten PRD-Verstärker **590a** und **590b** beispielsweise über eine Seriell-Parallel-Umsetzungsschaltung oder dgl. zwecks einer niedrigeren Operationssequenz in der nachfolgenden Stufe verarbeitet.

[0234] [Fig. 29](#) ist ein Schaltungsdiagramm, welches ein Beispiel des PRD-Verstärkers im Signalübertragungssystem von [Fig. 28](#) zeigt. In [Fig. 29](#) ist das Bezugszeichen **591** ein PRD-Funktionsblock, **592** ist ein Differenzverstärkerblock, der eine Vorladefunktion hat, und **593** und **594** sind ein Schwingungsform-Differenzverstärker und ein Inverter.

[0235] Wie in [Fig. 29](#) gezeigt ist, besitzt der PRD-Funktionsblock **591** vier Kondensatoren C10a, C10b, C20a und C20b und vier Übertragungsgates (Schalteinrichtungen) **5911**, **5912**, **5913** und **5914**, und die Verbindungen der Kondensatoren werden durch die Steuersignale ϕ_{10} (ϕ_{10}) und ϕ_{20} (ϕ_{20}) gesteuert, so dass der Intersymbol-Interferenz-Komponentenbeseitigungsbetrieb und der Signalentscheidungsbetrieb in [Fig. 31](#) und [Fig. 32](#) abwechselnd durchgeführt werden können.

[0236] Wenn die in [Fig. 29](#) gezeigte Schaltung als PRD-Differenzempfänger verwendet wird, muss die Beziehung $C_{20} = 1/3 \cdot C_{10}$ zwischen dem Kondensator C10 der Kondensatoren C10a und C10b und dem Kondensator C20 der Kondensatoren C20a und C20b gelten. Wenn die Schaltung als automatischer Nullempfänger und nicht als PRD-Empfänger verwendet wird, sollte C10 gleich C20 gemacht werden.

[0237] Der Differenzverstärkerblock **592** verstärkt die Eingangssignale differentiell und trifft eine Entscheidung in Bezug auf die Daten. Außerdem weist der Differenzverstärkerblock **592** Übertragungsgates **5921** und **5922** auf, so dass eine Vorladeoperation während der Intersymbol-Interferenz-Komponentenschätzoperation durchgeführt wird.

[0238] Der Differenzverstärker **593** und der Inverter **594** sind dazu vorgesehen, den Ausgangspegel des Differenzverstärkerblocks **592** zu verstärken und ein Schwingungsformsignal auszugeben. In der Schaltung von [Fig. 29](#) werden komplementäre Übertra-

gungsgates als Schalteinrichtungen verwendet, wobei jedoch andere Einrichtungen, die Schaltfunktionen haben, ebenfalls verwendet werden können; beispielsweise können die Schalteinrichtungen unter Verwendung lediglich von nMOS-Transistoren oder von lediglich pMOS-Übertragungsgates aufgebaut sein. Außerdem ist der Differenzverstärkerblock **592** als ein nMOS-Gateempfangstypus ausgebildet, wobei es jedoch von der Technologie usw. davon abhängen sollte, ob dieser als ein nMOS-Gateempfangstypus oder als ein pMOS-Gateempfangstypus ausgebaut werden sollte, wobei ausgewählt werden kann, was geeignet ist.

[0239] [Fig. 30](#) ist ein Diagramm, um Zeitgebersignale (Stereosignale ϕ_{10} und ϕ_{20}), welche beim Signalübertragungssystem von [Fig. 28](#) verwendet werden zu erläutern, und [Fig. 31](#) und [Fig. 32](#) sind Diagramme, um ein Operationsbeispiel im Signalübertragungssystem von [Fig. 28](#) zu erläutern.

[0240] Die Empfängerschaltung, welche in [Fig. 28](#) gezeigt ist, führt Verschachtelungsoperationen durch, so dass bei einer Zeitgabe ein PRD-Verstärker (der erste PRD-Verstärker **590a**) eine Intersymbol-Interferenz-Komponentenschätzoperation ausführt, während der andere PRD-Verstärker (der zweite PRD-Verstärker **590b**) eine Datenentscheidungsoperation ausführt, und mit der nächsten Zeitgabe der eine PRD-Verstärker (der erste PRD-Verstärker **590a**) eine Datenentscheidungsoperation ausführt, während der andere PRD-Verstärker (der zweite PRD-Verstärker **590b**) eine Intersymbol-Interferenz-Komponentenschätzoperation ausführt.

[0241] Hier wird im PRD-Verstärker, der die Intersymbol-Interferenz-Komponentenschätzoperation ausführt, das Vorladen des gleichen PRD-Verstärkers im gleichen Zeitpunkt ausgeführt, und der Eingangspegel wird auf eine vorgeschriebene Spannung (Vorladespannung V_{pr}) über die Übertragungsgates **5921** und **5922** vorgeladen. Da dieses Vorladen im Hintergrund während der Verschachtelungsdaten-Leseperiode durchgeführt wird, beeinträchtigt die Vorladezeit nicht den Datenübertragungszyklus.

[0242] Gemäß dem Signalübertragungssystem dieses Beispiels wird, da die Komponente in Verbindung mit der Antwort erster Ordnung des Signalübertragungssystems von der Intersymbol-Interferenz beseitigt ist, welche im Eingangssignal (Daten DD, /DD) enthalten sind, ein stabiler Empfang unbeeinträchtigt durch die DC-Signaldrift möglich. Bei einem selbststeichenden Empfänger, wo die Beziehung zwischen der Kapazität C10 der Kondensatoren C10a und C10b und dem Kondensator C20 der Kondensatoren C20a und C20b auf $C_{10} = C_{20}$ festgelegt ist, kann Phasenrauschen usw. beseitigt werden, und es wird eine stark verbesserte Phasenrausch-Standhaltescharakteristik erzielt.

[0243] [Fig. 33](#) ist ein Blockschaltungsdiagramm, welches in schematischer Form das Signalübertragungssystem zeigt. In [Fig. 33](#) ist das Bezugszeichen **501** eine Ansteuerschaltung (Takttreiber) für den Takt clk am Übertragungsende (Übertragungsanschluss), **502** ist eine Taktleitung, **503** ist ein Taktempfänger und **611** bis **61n** sind variable Verzögerungsschaltungen (Taktzeitgeber-Einstellschaltungen).

[0244] Wie in [Fig. 33](#) gezeigt ist, wird bei dem Signalübertragungssystem der Zeitgeber des Übertragungstakts clk auf das Empfangsende durch die variablen Verzögerungsschaltungen **611** bis **61n** eingestellt, welche für die Eingangslatch **541** bis **54n** vorgesehen sind, um die Datenlatchzeitgeber bei den Eingangslatches **541** bis **54n** zu optimieren.

[0245] Hier wird der Takt clk vom Übertragungsende (Übertragungsanschluss) zusammen mit den Daten DD1 bis DDn (der Takt wird als Spezialdaten eines Bitmusters gesendet, welche wiederholt als "0101...") gesendet; wenn es einen Jitter in der Takterzeugungsschaltung am Übertragungsanschluss gibt, ist der Jitter für alle Übertragungsdaten und dem Takt clk gemeinsam. Folglich verursacht im Signalübertragungssystem Jitter keinen schlechten Effekt, solange die Daten unter Verwendung dieses Takts clk verriegelt werden.

[0246] [Fig. 34](#) ist ein Blockschaltungsdiagramm, welches in schematischer Form das Signalübertragungssystem zeigt. In [Fig. 34](#) sind die Bezugszeichen **602** und **621** Latchschaltungen, **603** ist eine Ladepumpenschaltung, **604**, **641** und **651** sind variable Verzögerungsschaltungen und **661** ist eine Verzögerungshöhe-Speicherschaltung. Hier wird das Ausgangssignal der Latchschaltung **602** über zwei Inverterstufen zur Ladepumpenschaltung **603** geliefert.

[0247] Wie in [Fig. 34](#) gezeigt ist, wird bei dem Signalübertragungssystem wie bei dem vorhergehenden Beispiel der Takt clk vom Übertragungsanschluss zusammen mit den Daten DD1 (DD1 bis DDn) geliefert. Dieser Takt clk wird durch den Eingangslatch **602** gespeichert, der einen identischen Aufbau mit anderen Datenempfangs-Zwischenspeichern hat; hier wird ein interner Takt clki, der durch die variable Verzögerungsschaltung **604** läuft, als Strobesignal verwendet, um den Takt clk im Latch **602** zu verriegeln. Das heißt, der Takt, der verwendet wird, den Latch **602** anzusteuern, wird durch Durchlassen des Referenztaktes (interner Takt clki) am Empfangsanschluss durch eine variable Verzögerungsstufe (die variable Verzögerungsschaltung **604**) erhalten.

[0248] Bei dem obigen Aufbau kann, wenn eine Verzögerung dem internen Takt clki gegeben wird, indem ein Signal ausgegeben wird, um die Verzögerung zu vergrößern (nach unten: DN), wenn das Ausgangssi-

gnal des Eingangslatches **602** "0" ist (niedriger Pegel "L"), und ein Signal, um die Verzögerung zu vermindern (nach oben: UP), wenn das Ausgangssignal "1" ist (hoher Pegel "H"), der zeitliche Ablauf, mit dem der Takt clk zu verriegeln ist, beim Anstieg des internen Takts clki verriegelt werden. Dann wird unter Verwendung des UP/DN-Signals die Ladepumpenschaltung **603** betrieben, und ein Verzögerungssteuersignal DCS von der Ladepumpenschaltung **603** wird zur variablen Verzögerungsschaltung **604** geliefert, um die Verzögerung zu steuern. Außerdem wird das Verzögerungssteuersignal DCS zur variablen Verzögerungsschaltung **641** geliefert, um in gleicher Weise den Taktzeitgeber des Eingangslatches **621** für eine andere Datenleitung in einer variablen Weise zu steuern; auf diese Weise kann die Jitter-Komponente, die simultan auf den Takt clk und die Daten DD1 aufgeprägt wurde, eliminiert werden, wie bei dem obigen Beispiel, wodurch verhindert wird, dass ein nachteiliger Effekt in Bezug auf das Ausgangssignal verursacht wird. Zusätzlich zu dem Vorteil des obigen Beispiels hat das Signalübertragungssystem die Vorteile, dass das Rauschen, welches dem Takt clk überlagert ist, beseitigt werden kann, und keine Notwendigkeit besteht, eine spezielle Bereitstellung zu treffen, um die Phasenverschiebung im Taktempfangssystem an die Phase des Datenempfangssystems anzupassen, da exakt die gleichen Zwischenspeicher (Latchschaltungen) **602** und **621** für den Empfang des Takts clk und der Daten DD1 (DD1 bis DDn) verwendet werden können.

[0249] [Fig. 35](#) ist ein Blockschaltungsdiagramm, welches in schematischer Form ein modifiziertes Beispiel des Signalübertragungssystems von [Fig. 34](#) zeigt.

[0250] Wie man aus dem Vergleich zwischen [Fig. 34](#) und [Fig. 35](#) ersehen kann, ist bei dem modifizierten Beispiel die variable Verzögerungsschaltung (**641**), welche für alle Daten DD1 (DD1 bis DDn) zum Verzögern des internen Takts clki vorgesehen ist, beseitigt, und das Ausgangssignal der variablen Verzögerungsschaltung **604**, welches als Strobesignal zum Taktlatch **602** geliefert wird, wird ebenfalls zur variablen Verzögerungsschaltung **651**, welche für alle Daten DD1 vorgesehen ist, geliefert.

[0251] [Fig. 36](#) ist ein Blockschaltungsdiagramm, welches in schematischer Form das Signalübertragungssystem zeigt. Dieses Beispiel ist beispielsweise für ein Codierschema, beispielsweise 8B/10B anwendbar, wo die Existenz einer Taktkomponente in einer Datensequenz garantiert ist. In [Fig. 36](#) sind die Bezugszeichen **671** bis **673** Latchschaltungen.

[0252] Wie in [Fig. 36](#) gezeigt ist, wird bei dem Signalübertragungssystem ein Signal, welches Daten und einen codierten Takt unter Verwendung beispielsweise des 8B/10B Codes trägt, durch die drei

Zwischenspeicher **671**, **672** und **673** verriegelt. Das heißt, ein Strobosignal (interner Takt) $\phi 02$ wird zu den Zwischenspeichern **671** und **672** geliefert, und ein Strobosignal (interner Takt) $\phi 01$ wird zum Latch **673** geliefert. Hier sind die Strobosignale $\phi 01$ und $\phi 02$ um 190° außer Phase zueinander.

[0253] [Fig. 37](#) ist ein Zeitablaufdiagramm, um ein Operationsbeispiel im Signalübertragungssystem von [Fig. 36](#) zu erläutern, und [Fig. 38](#) ist ein Diagramm, um die Beziehung zwischen dem internen Taktzustand und dem Ausgangssignal jedes Zwischenspeichers im Signalübertragungssystem von [Fig. 36](#) zu zeigen.

[0254] Wie in [Fig. 37](#) gezeigt ist, sind die Strobosignale $\phi 01$ und $\phi 02$ bezüglich der Phase um 180° zueinander verschoben. Wenn beispielsweise der Anstiegszeitablauf des Strobosignals $\phi 01$ im Übergangsbereich (DT) von Daten auftritt (beispielsweise ein Signal, welches durch den Code 8B/10B codiert ist), tritt der Anstiegszeitablauf des Strobosignals $\phi 02$ in der Nähe der Mitte der Periode auf, während der die Daten gültig sind. Da die Zwischenspeicher **671** und **672** mit dem Strobosignal $\phi 02$ beliefert werden, sind beispielsweise die Daten DB, die aktuell empfangen werden, das Ausgangssignal des Latch **671** und die Daten DA, die unmittelbar den Daten DB vorhergehen, sind Ausgangssignal des Zwischenspeichers **672**. Das heißt, wenn das Ausgangssignal des Latch **673**, welches die Daten durch das Strobosignal $\phi 01$ verriegelt ist, mit dem Übergangsbereich (einer Datenfenstergrenze DT) der Daten übereinstimmt, können die Daten korrekt durch den Latch **671** ausgegeben werden, der die Daten durch das Strobosignal $\phi 02$ verriegelt hat, welche bezüglich der Phase um 180° in Bezug auf das Strobosignal $\phi 01$ verschoben sind.

[0255] [Fig. 38](#) zeigt die Beziehung des Ausgangssignals des Latch **671** (laufende Daten DB), des Ausgangssignals des Latch **672** (unmittelbar vorhergehende Daten DA), und des Ausgangssignals des Latch **673** (Übergangsbereichsdaten DT) in Bezug auf die internen Takte (Strobosignale $\phi 01$ und $\phi 02$). Das heißt, wenn DA, DT, DB "0, 0, 1" oder "1, 1, 0" sind, zeigt dies, dass der interne Takt ($\phi 01$, $\phi 02$) vorgeeilt ist, wobei in diesem Fall der interne Takt ($\phi 01$, $\phi 02$) unter Verwendung beispielsweise des Signals DN verzögert ist. Wenn dagegen DA, DT, DB "0, 1, 1" oder "1, 0, 0" sind, zeigt dies, dass der interne Takt ($\phi 01$, $\phi 02$) verzögert ist, wobei in diesem Fall der interne Takt ($\phi 01$, $\phi 02$) unter Verwendung beispielsweise des Signals UP voreilt. Hier kann die interne Takteinstellung unter Verwendung des Signals UP oder DN unter Verwendung der Ladepumpenschaltung und der variablen Verzögerungsschaltung oder anderer bekannter Schaltung erreicht werden.

[0256] Bei dem Signalübertragungssystem wird

eine Spezialperiode (Kalibrierungsmodus) vorgesehen, um den Latchzeitablauf für Normaldaten einzustellen; wenn die Daten unter Verwendung des Codes 8B/10B codiert sind und die Existenz einer Komponente in der Datensequenz somit garantiert ist, kann die Einstellarbeit immer während des Datenempfangs (Datenübertragungsmodus) durchgeführt werden.

[0257] [Fig. 39](#) ist ein Zeitablaufdiagramm, um das Signalübertragungssystem zu erläutern. Das Signalübertragungssystem verwendet beispielsweise einen Aufbau, der ähnlich dem des in [Fig. 33](#) gezeigten Beispiels ist und überträgt vom Übertragungsanschluss Phaseneinstelldaten DDP (eine Bitsequenz von 0101...), die um 180° außer Phase in Bezug zu Normaldaten sind, und, am Empfangsanschluss wird der Takt clk auf die Phaseneinstelldaten DDP synchronisiert. Beispielsweise wird die Verzögerungshöhe in der variablen Verzögerungsschaltung so gesteuert, dass der zeitliche Ablauf des Anstiegs und des Abfallens des Takts clk jeweils mit der Datenfenstergrenze übereinstimmt. [Fig. 39](#) zeigt den Fall von DDR (Doppeldatenrate), d.h., ein Beispiel des Falls, wo die Daten auf sowohl den zeitlichen Ablauf des Anstiegs als auch des Abfallens des Takts clk verriegelt werden. Man wird es als vorteilhaft erkennen, dass bei anderen Beispielen das Signalübertragungssystem DDR so angewandt werden kann, dass Daten bei sowohl dem zeitlichen Anstieg als auch Abfall des Takts verriegelt werden können.

[0258] Nachdem der Takt clk auf die Phaseneinstelldaten DDP synchronisiert wurde, werden die aktuellen Daten DD (DD1 bis DDn) übertragen. Da die aktuellen Daten bezüglich der Phase um 180° in Bezug auf die Phaseneinstelldaten DDP verschoben sind, wird der zeitliche Anstieg und Abfall des Taktes clk, der mit den Phaseneinstelldaten DDP synchronisiert ist, an der Mitte des Datenfensters auftreten (der Mitte der Periode, während der die Daten gültig sind).

[0259] Da keine Notwendigkeit besteht, eine Schaltung usw. am Empfangsanschluss bereitzustellen, um die Taktphase um 180° zu verschieben, kann das Übertragungssystem nach dem elften Beispiel die Empfängerschaltung vereinfachen und kann beispielsweise den Leistungsverbrauch am Empfangsanschluss reduzieren.

[0260] [Fig. 40](#) und [Fig. 41](#) sind Blockschaltungsdiagramme, welche das Signalübertragungssystem zeigen. In [Fig. 40](#) und [Fig. 41](#) ist das Bezugszeichen **680** eine DLL-Schaltung (Verzögerungsverriegelungs-Schleifenschaltung), **681** ist ein Latchblock für den Takt clk, **682** ist eine Steuersignal-Erzeugungsschaltung, **683** ist ein Aufwärts-/Abwärtszähler (UDC) und **685** ist ein Takterzeugungsschaltung (CLKGE). Außerdem sind die Bezugszeichen **6811** und **681n** Latchblöcke für die Daten DD1 bis DDn

entsprechend, **6841** bis **684n** sind Phaseninterpolatoren (PIP), **6861** bis **686n** sind Addierschaltungen, **6871** bis **687n** sind Anfangswert-Setzschaltungen für die jeweiligen Datenleitungen (**521** bis **52n**), **6881** bis **688n** sind Wiedereintaktschaltungen, und **6891** bis **689n** sind Bitversatzbeseitigungs- und Seriell-Parallel-Umsetzungsschaltungen (DSKW & SPC).

[0261] Wie in [Fig. 40](#) und [Fig. 41](#) gezeigt ist, wird im Signalübertragungssystem der Takt clk, der über die Taktsignalleitung **502** übertragen wird, durch den Taktlatchblock **681** verriegelt. Der Taktlatchblock **681** umfasst zwei Latchschaltungen **681a** und **681b**, welche mit dem Takt clk beliefert werden und welche in einer Verschachtelungsweise arbeiten. Die Latchschaltungen **681a** und **681b** sind jeweils so aufgebaut, den Takt clk in einem vorgeschriebenen Zeitablauf durch ein Signal (Strobesignal) vom Phaseninterpolator **684** zu verriegeln.

[0262] Die Steuersignal-Erzeugungsschaltung **682** gibt ein Aufwärtssignal UP und ein Abwärtssignal DN an den Aufwärts-/Abwärtszähler **683** gemäß den Ausgangssignalen der Latchschaltungen **681a** und **681b** aus, und der Aufwärts-/Abwärtszähler **683** zählt das Aufwärtssignal UP und das Abwärtssignal DN für Rückführsteuerung des Phaseninterpolators **684**, wodurch der zeitliche Ablauf des Strobesignals zu den Latchschaltungen **681a** und **681b** gesteuert wird. Das Ausgangssignal des Aufwärts-/Abwärtszählers **683** wird ebenfalls zu den Phaseninterpolatoren **6841** bis **684n** für die jeweiligen Daten DD1 bis DDn geliefert, um den Latchzeitgeber in den Latchschaltungen **6811a**, **6811b** bis **681na**, **681nb** in den jeweiligen Latchblöcken **6811** bis **681n** zu steuern.

[0263] Hier führen die Anfangswert-Setzschaltungen **6871** bis **687n**, welche für die jeweiligen Datenleitungen **521** bis **52n** vorgesehen sind, beispielsweise einen Phaseneinstelltest als Kalibrierungsmodus aus, wenn die Spannung eingeschaltet wird, und speichern Verzögerungswerte für jeweiligen Signalleitungen; danach werden ihre Anfangswerte und der Ausgangswert des Aufwärts-/Abwärtszählers **683** durch die jeweiligen Addierschaltungen **6861** bis **686n** addiert, und die Ergebnisse werden zu den jeweiligen Phaseninterpolatoren **6841** bis **684n** geliefert, die Phasenvariationen zwischen den jeweiligen Signalleitungen am Anfangszustand absorbieren, um sicherzustellen, dass die Daten im Normaldatenübertragungsmodus korrekt verriegelt werden. Außerdem wird ein Haupttakt (Empfangstakt) clk_m durch die DLL-Schaltung **680** verarbeitet, und ein Vierphasentakt, der durch Teilen der Frequenz f des Taktes clk_m um 8 erlangt wird, wird zu allen Phaseninterpolatoren **684** und **6841** bis **684n** geliefert. Das Signal, welche vom Aufwärts-/Abwärtszähler **683** zu den Phaseninterpolatoren **684** und **6841** bis **684n** geliefert wird, und die Anfangswerte, welche in den Anfangswert-Setzschaltungen **6871** bis **687n** gespeichert

sind, sind beispielsweise 6-Bit-Signale. Der Aufwärts-/Abwärtszähler **683** entspricht hier beispielsweise der Ladepumpe **603**, welche in [Fig. 34](#) gezeigt ist. Während jedoch die Ladepumpe bei dem neunten Beispiel die Phaseninformation des Taktes in einer analogen Weise verarbeitet, unterscheidet sich der Aufwärts-/Abwärtszähler **683** bei dem zwölften Beispiel dahingehend, dass die Taktphaseninformation als Digitalwert verarbeitet wird.

[0264] Die Ausgangssignale des Phaseninterpolators **684** werden zu den Wiedereintaktschaltungen **6881** bis **688n** wie auch zur Takterzeugungsschaltung **685** geliefert, die einen Takt clk_c für die logische Schaltung erzeugt. Die Wiedereintaktschaltung **6881** (**6861** bis **688n**) weist drei Latchschaltungen **6881a**, **6881b** und **6881c** auf. Das gleiche Strobesignal wie das, welches zur Latchschaltung **681a** im Taktlatchblock **681** geliefert wird, wird zur Latchschaltung **6881a** geliefert, während das gleiche Strobesignal wie das, welches zur Latchschaltung **681b** im Taktlatchblock **681** geliefert wird, zu den Latchschaltungen **6881b** und **6881c** geliefert wird.

[0265] Von den Wiedereintaktschaltungen **6881** bis **688n** werden Signale, die sich mit dem gleichen Zeittakt ändern, beispielsweise die Daten DD1 bis DDn, die beispielsweise in [Fig. 24](#) gezeigt sind, erhalten. Jedoch besteht, wie oben mit Hilfe von [Fig. 24](#) erläutert wurde, die Möglichkeit, dass eine Verzögerung von einem Bit oder länger als einem Bit zwischen diesen Daten DD1 bis DDn existieren kann. Um diesem zu begegnen werden die Ausgangssignale der Wiedereintaktschaltungen **6881** bis **688n** zur Bitversatzbeseitigungs- und Seriell-Parallel-Umsetzungsschaltungen (DSKW & SPC) **6891** bis **689n** geliefert, wo eine Verarbeitung so durchgeführt wird, dass der Ausgangszeitablauf aller Daten eingestellt wird, um sich an den zeitlichen Ablauf der Daten anzupassen, die die größte Verzögerung haben. Die Bitversatzbeseitigungs- und Seriell-Parallel-Umsetzungsschaltungen **6891** bis **689n** führen Seriell-Parallel-Umsetzung von Daten durch, um dadurch die Operationsfrequenz in den Logikschaltungen abzusenken (der Empfangsschaltung).

[0266] Auf diese Weise gibt es, da gemäß dem Signalübertragungssystem die Verteilung der Taktphaseninformation unter Verwendung von Digitalsignalen durchgeführt wird, keine Sorge über das Auftreten von Jitter während des Übertragungsprozesses, und es kann somit eine stabile Übertragung und Empfang von Multibitsignalen erreicht werden.

[0267] Wie oben beschrieben können gemäß den Beispielen Signale korrekt empfangen werden, sogar beispielsweise, wenn es einen Bitversatz gibt, der um vieles größer ist als die Datenperiode, und außerdem, da der zeitliche Signallatchablauf für jede Datenleitung optimiert ist, kann eine fehlerfreie Hochge-

schwindigkeits-Signalübertragung erreicht werden.

[0268] Wie oben ausführlich beschrieben kann gemäß dem Signalübertragungssystem eine fehlerfreie Signalübertragung hoher Kapazität mit hoher Geschwindigkeit durchgeführt werden, ohne durch Bitverschiebung beeinträchtigt zu sein.

[0269] Anschließend wird eine Zeitgebersignal-Erzeugungsschaltung beschrieben, jedoch zuvor wird ein Beispiel der Zeitablaufsignal-Erzeugungsschaltung nach dem Stand der Technik mit Hilfe von [Fig. 42](#) beschrieben.

[0270] [Fig. 42](#) ist ein Blockschaltungsdiagramm, welches ein Beispiel einer Zeitgebersignal-Erzeugungsschaltung nach dem Stand der Technik zeigt, bei der eine DLL-Schaltung verwendet wird. In [Fig. 42](#) ist das Bezugszeichen **100** die DLL-Schaltung, **111** ist eine variable Verzögerungsleitung, **112** ist eine Phasenkomparatorschaltung, **113** ist eine Steuersignal-Erzeugungsschaltung, **114** ist eine Ansteuerschaltung (Taktreiber), **102** ist eine Verzögerungsschaltung und **103** ist eine Empfängerschaltung.

[0271] Die DLL-Schaltung **100** weist die variable Verzögerungsleitung **111**, die Phasenkomparatorschaltung **112** und die Steuersignal-Erzeugungsschaltung **113** auf. Der Referenztakt CKr und das Ausgangssignal der Taktansteuerung **114** (interner Takt CKin) werden als Eingangssignale zur Phasenkomparatorschaltung **112** geliefert, und die Verzögerungshöhe (die Anzahl von Stufen der Verzögerungseinheiten D) in der variablen Verzögerungsleitung **111** wird so gesteuert, um die Phasendifferenz zwischen den Takten CKr und CKin zu minimieren. Insbesondere liefert die Phasenkomparatorschaltung **112** ein Aufwärtssignal UP oder ein Abwärtssignal DN zur Steuersignal-Erzeugungsschaltung **113** in Abhängigkeit von der Phasendifferenz zwischen dem Referenztakt CKr und dem internen Takt CKin, und die Steuersignal-Erzeugungsschaltung **113** steuert die Verzögerungshöhe in der variablen Verzögerungsleitung **111**, wobei ein Steuersignal CS (ein Signal zum Auswählen der Anzahl von Stufen der Verzögerungseinheiten D) gemäß dem Aufwärtssignal UP oder dem Abwärtssignal DN ausgegeben wird. Auf diese Weise wird der interne Takt CKin, der mit dem Referenztakt CKr phasen-synchronisiert ist, erzeugt.

[0272] Das Ausgangssignal der Taktansteuerung **114** wird als interner Takt CKin des LSI-Chips geliefert; der interne Takt CKin wird über die Verzögerungsschaltung **102** (mit der geeigneten Anzahl von Verzögerungsstufen) geliefert, und beispielsweise als Zeitgebersignal TS in der Empfängerschaltung **103** verwendet. Das heißt, die Empfängerschaltung **103** verriegelt beispielsweise ein Übertragungssignal

SS mit dem internen Takt CKin, der über die Verzögerungsschaltung **102** geliefert wird. Hier ist die Verzögerungsschaltung **102** vorgesehen, um das Zeitgebersignal TS zu erzeugen, wobei der zeitliche Ablauf des internen Takts CKin eingestellt wird, der aufgrund der Ansteuerfähigkeit der Taktansteuerung **114**, der Ladekapazität der Signalleitung usw. verzögert wurde.

[0273] Bei der oben beschriebenen Zeitgebersignal-Erzeugungsschaltung nach dem Stand der Technik, bei der die DLL-Schaltung verwendet wird, die in [Fig. 42](#) gezeigt ist, oder einer Zeitgebererzeugungsschaltung, die einen ähnlichen Aufbau hat, jedoch eine PLL-Schaltung anstelle der DLL-Schaltung verwendet wird, kann der interne Takt CKin, der mit dem Referenztakt CKr phasen-synchronisiert ist, erzeugt werden, wobei jedoch, wenn der interne Takt CKin beispielsweise zur Hochgeschwindigkeits-Signalübertragung zwischen LSI-Chips verwendet wird, es Probleme gibt, die noch zu lösen sind.

[0274] Zunächst wird zur Signalübertragung zwischen LSI-Chips (oder zwischen elektronischen Vorrichtungen) eine Multibitübertragung häufig verwendet, bei der mehrere Signalleitungen verwendet werden, um die notwendige Signalübertragungsbandbreite zu erlangen, jedoch in diesem Fall unterscheidet sich der optimale Empfangszeitablauf für jedes Bit wegen der Variationen der Verzögerungsdaten der entsprechenden Signalleitungen usw.. Um diesem zu begegnen werden mehrere DLL-Schaltungen beispielsweise vorgesehen, um den zeitlichen Ablauf für die jeweiligen Bits einzustellen, wobei dies jedoch die Schwierigkeit mit sich bringt, dass der Schaltungsaufbau äußerst groß wird.

[0275] Weiter ist sogar bei einer Übertragung mit einer Breite von 1 Bit der optimale Empfangszeitablauf in der Empfängerschaltung üblicherweise vom Anstiegszeitablauf oder vom Abfallzeitablauf des Referenztakts CKr verschieden, wodurch daher das Bilden eines Empfangstaktes erforderlich ist, wobei der Referenztakt CKr über eine Verzögerungsstufe geführt wird. Sogar, wenn der interne Takt CKin unabhängig von Veränderungen der Einrichtungsdaten erzeugt wird, indem man die Unannehmlichkeit betritt, eine DLL-Schaltung oder eine PLL-Schaltung zu verwenden, tritt, da eine Verzögerung, die keine Relevanz zum Zyklus des Referenztakts CKr hat, durch die Verzögerungsstufe verursacht wird, die Schwierigkeit auf, dass der Signalempfang mit dem optimalen Zeitablauf unmöglich wird, wenn die Taktfrequenz sich ändert.

[0276] Zunächst wird der grundsätzliche Funktionsaufbau der Zeitgebersignal-Erzeugungsschaltung mit Hilfe von [Fig. 43](#) beschrieben.

[0277] [Fig. 43](#) ist ein Blockdiagramm, welches den

grundsätzlichen Funktionsaufbau der Zeitgebersignal-Erzeugungsschaltung zeigt. In [Fig. 43](#) ist das Bezugszeichen **301** eine Hauptschaltung, **302** sind Nebenschaltungen, **310** ist eine DLL-Schaltung, **311** eine variable Verzögerungsleitung, **312** ist eine Phasenkomparatorschaltung, **313** ist eine Steuersignal-Erzeugungsschaltung, und **314** ist eine Ansteuererschaltung (Takttreiber).

[0278] Wie in [Fig. 43](#) gezeigt ist, weist die Zeitgebersignal-Erzeugungsschaltung die Hauptschaltung **301** und mehrere Nebenschaltungen **302** auf. Die Hauptschaltung **301** hat einen ähnlichen Aufbau wie die in [Fig. 42](#) gezeigte Signalerzeugungsschaltung nach dem Stand der Technik, und weist die DLL-Schaltung **310** und die Taktansteuerung **314** auf. Die Hauptschaltung **301** ist jedoch nicht auf den Aufbau beschränkt, bei dem die DLL-Schaltung verwendet wird, sondern ein Aufbau unter Verwendung beispielsweise einer PLL-Schaltung ist ebenfalls anwendbar.

[0279] Die DLL-Schaltung **310** weist die variable Verzögerungsleitung **311**, die Phasenkomparatorschaltung **312** und die Steuersignal-Erzeugungsschaltung **313** auf. Der Referenztakt CKr und das Ausgangssignal der Taktansteuerung **314** (interner Takt CKin) werden als Eingangssignale zur Phasenkomparatorschaltung **312** geliefert, welche die Phase des Taktes CKin mit der Phase des Taktes CKr vergleicht. Auf der Basis des Ergebnisses des Phasenvergleichs erzeugt die Steuersignal-Erzeugungsschaltung **313** ein Steuersignal CS (Spannung oder Strom eines Analogwertes). Unter Verwendung des Steuersignals CS von der Steuersignal-Erzeugungsschaltung **313** wird die Verzögerungshöhe in der variablen Verzögerungsleitung **311** gesteuert, und eventuell wird die Phasendifferenz zwischen dem Referenztakt CKr und dem internen Takt CKin minimiert. Hier wird das Ausgangssignal (CKin) der Taktansteuerung **314** nicht nur zurück zur Phasenkomparatorschaltung **312** geführt, sondern auch zu den Hilfsschaltungen **302** geliefert, zu denen ebenfalls das Steuersignal CS von der Steuersignal-Erzeugungsschaltung **313** geliefert wird.

[0280] Wie in [Fig. 43](#) gezeigt ist, wird in der Zeitgebersignal-Erzeugungsschaltung das Steuersignal (das Ausgangssignal der Steuersignal-Erzeugungsschaltung **313**), welches in der Hauptschaltung **301** verwendet wird, auch dazu verwendet, die mehreren Nebenschaltungen **302** zu steuern. Das heißt, dass das Steuersignal CS, welches verwendet wird, den Wert der Verzögerung in der variablen Verzögerungsleitung **311** der DLL-Schaltung **310** in der Hauptschaltung **301** zu steuern, auch in jeder Nebenschaltung **302** verwendet wird, so dass eine Verzögerung proportional zum Zyklus des Referenztakts CKr bereitgestellt werden kann, wobei Verzögerungselemente verwendet werden, welche im Wesentlichen

die gleichen sind wie die Verzögerungselemente (Verzögerungseinheiten D), welche in der variablen Verzögerungsleitung **311** verwendet werden.

[0281] Als Ergebnis kann jede Nebenschaltung **302** ebenfalls ein Zeitgebersignal (TS), welches einen Verzögerungswert hat, auf der Basis des Zyklus des Referenztakts CKr erzeugen (d.h., der eine vorher festgelegte Phasendifferenz in Bezug auf den Referenztakt hat). Unter Verwendung des Steuersignals CS, welches in der Hauptschaltung **301** erzeugt wird, auch in den Nebenschaltungen **302** können die Ansprechfrequenzkenndaten der Nebenschaltungen **302** gemäß der Frequenz des Referenztakts CKr gesteuert werden. Speziell ausgedrückt kann die charakteristische Frequenz (beispielsweise die Grenzfrequenz) einer Filterschaltung, die beispielsweise in jeder Nebenschaltung **302** verwendet wird, proportional zur Frequenz des Referenztakts CKr gemacht werden. Unter Verwendung dieses Merkmals kann jede Nebenschaltung **302** beispielsweise eine Sinuswelle mit konstanter Amplitude erzeugen, wobei ein Rechteckwellentakt der CMOS-Amplitude ausgefiltert wird.

[0282] Auf diese Weise kann gemäß der Zeitgebersignal-Erzeugungsschaltung das Zeitablaufsinal, welches mit dem Referenztakt CKr synchronisiert ist, in jeder Nebenschaltung **302** erzeugt werden, die einen viel einfacheren Schaltungsaufbau als die Hauptschaltung **301** hat. Durch Variieren der Ansprechgeschwindigkeit der Nebenschaltung **302** gemäß der Frequenz des Referenztakts CKr kann ein hochgenaues Zeitgebersignal TS über einen breiten Frequenzbereich erzeugt werden.

[0283] Beispiele der Zeitgebersignal-Erzeugungsschaltung werden anschließend mit Hilfe der beiliegenden Zeichnungen beschrieben.

[0284] [Fig. 44](#) ist ein Blockdiagramm, welches den Aufbau der Zeitgebersignal-Erzeugungsschaltung zeigt.

[0285] Wie in [Fig. 44](#) gezeigt ist, ist die variable Verzögerungsleitung **311** aus mehreren Verzögerungseinheiten D gebildet, und die Höhe der Verzögerung in der variablen Verzögerungsleitung **311** wird durch Auswahl der notwendigen Anzahl von Verzögerungseinheiten D in der variablen Verzögerungsleitung **311** gesteuert, indem das Steuersignal CS verwendet wird. Die Steuersignal-Erzeugungsschaltung **313** besteht aus einer Ladepumpenschaltung **131** und einem Pufferverstärker **132** und erzeugt das Steuersignal CS als Antwort auf das Aufwärtssignal UP oder das Abwärtssignal DN, welches von der Phasenkomparatorschaltung **312** ausgegeben wird, gemäß der Phasendifferenz zwischen dem Referenztakt CKr und dem internen Takt CKin.

[0286] Wie außerdem in [Fig. 44](#) gezeigt ist, weist die Nebenschaltung **302** eine variable Verzögerungsleitung **321** auf, die aus mehreren Verzögerungseinheiten D gebildet ist, die identisch zu den Verzögerungseinheiten D sind, welche die variable Verzögerungsleitung **311** in der Hauptschaltung **301** bilden, und der interne Takt CKin, das Ausgangssignal der Taktansteuerung **314** in der Hauptschaltung **301**, wird ein Eingangssignal zur variablen Verzögerungsleitung in der Nebenschaltung **302** geliefert. Die Nebenschaltung **302** wird verwendet, ein Zeitgebersignal (TS) zu erzeugen, welches beispielsweise eine vorher festgelegte Verzögerung in Bezug auf den Taktzyklus hat.

[0287] Die Höhe der Verzögerung (die Anzahl von Stufen von Verzögerungseinheiten D) in der variablen Verzögerungsleitung **321** in der Nebenschaltung **302** wird durch das Steuersignal CS gesteuert, welches von der Steuersignal-Erzeugungsschaltung **310** (dem Pufferverstärker **132**) in der Hauptschaltung **301** ausgegeben wird. Auf diese Weise werden die Verzögerungseinheiten D, welche identisch denjenigen sind, die in der variablen Verzögerungsleitung **311** in der Hauptschaltung **301** verwendet werden, in der Nebenschaltung **302** verwendet, so dass mehrere Zeitablaufs signale (TS1, TS2,...), die jeweils eine Verzögerungshöhe proportional zum Zyklus des Referenztakts CKr haben, erzeugt werden können. Diese Zeitgebersignale TS1, TS2,... haben vorher festgelegte Verzögerungshöhen in Bezug auf den Referenztakt CKr, wobei deren zeitlicher Ablauf verzögert ist, beispielsweise um 1/m, 2/m, ... Zyklen in Bezug auf den Referenztakt CKr. Außerdem kann mehr als eine Nebenschaltung **302** für eine Hauptschaltung **301** vorgesehen sein, wobei in diesem Fall die variable Verzögerungsleitung **321** in jeder Nebenschaltung **302** mit einem kleineren Schaltungsaufwand als die variable Verzögerungsleitung **311** in der Hauptschaltung **301**, d.h., mit weniger Verzögerungseinheiten D aufgebaut werden kann.

[0288] Bei dem obigen Aufbau können die Hauptschaltung **301** und die mehreren Nebenschaltungen **302** innerhalb einer einzelnen integrierten Halbleiterschaltungseinrichtung (LSI-Chip) gebildet sein, wobei anstelle davon die Hauptschaltung **301** und die mehreren Nebenschaltungen **302** entsprechend auf unterschiedlichen integrierten Halbleiterschaltungseinrichtungen aufgebaut sein können. Das heißt, die Zeitgebersignal-Erzeugungsschaltung kann bei einem integrierten Halbleiterschaltungssystem angewandt werden, welches mehrere integrierte Halbleiterschaltungseinrichtungen hat.

[0289] [Fig. 45](#) ist ein Schaltungsdiagramm, welches ein Beispiel jeder Verzögerungseinheit D zeigt, die in den variablen Verzögerungsleitungen in der Zeitgebersignal-Erzeugungsschaltung von [Fig. 44](#) verwendet wird. Das Schaltungsbeispiel der Verzögerungs-

einheit D, welche in [Fig. 45](#) gezeigt ist, ist auf sowohl die Verzögerungseinheiten, die bei der variablen Verzögerungsleitung **311** in der Hauptschaltung **301** verwendet werden, als auch auf die Verzögerungseinheiten, welche in der variablen Verzögerungsleitung **321** in der Nebenschaltung **302** verwendet werden, anwendbar.

[0290] Wie in [Fig. 45](#) gezeigt ist, weist jede Verzögerungseinheit D auf: einen CMOS-Inverter DI, der aus einem p-Kanal-MOS-Transistor (pMOS-Transistor) und einem n-Kanal-MOS-Transistor (nMOS-Transistor) besteht, der zwischen der Hochpegel-Spannungsversorgungsleitung (Vcc) und einer Niedrigpegel-Spannungsversorgungsleitung (Vss) vorgesehen sind; und einen nMOS-Transistor DT und einen Kondensator DC, welche zwischen dem Ausgang des CMOS-Inverters DI und der Niedrigpegel-Spannungsversorgungsleitung (Vss) vorgesehen sind. Die variable Verzögerungsleitung **311** (**321**) ist aus mehreren dieser Verzögerungseinheiten D, die kaskadenförmig geschaltet sind, aufgebaut. Die Verzögerungseinheit D, welche in [Fig. 45](#) gezeigt ist, ist so aufgebaut, dass eine Steuerspannung V_{cs} (Steuersignal CS) an das Gate des Transistors DT angelegt wird, wobei die Verzögerungseinheit D jedoch nicht auf diesen bestimmten Aufbau beschränkt ist. Es sind auch verschiedene andere Ausbildungen möglich. Beispielsweise kann ein Transistor, der in einem Konstantstrommodus arbeitet, auf der Source-Seite jedes der Transistoren (pMOS und nMOS), welche den CMOS-Inverter DI bilden, hinzugefügt sein, wie in [Fig. 49](#), die später beschrieben wird, gezeigt ist, wobei in diesem Fall die Verzögerung unter Verwendung von Steuerspannungen Vcn und Vcp gesteuert werden kann, die an diese Zusatztransistoren angelegt werden. Um logische Umkehr zu vermeiden, können außerdem zwei Verzögerungseinheiten D zu einer Einheit (einer Stufe) kombiniert sein.

[0291] [Fig. 46](#) ist ein Blockschaltungsdiagramm, welches ein Beispiel der Phasenkomparatorschaltung **312** in der Zeitgebersignal-Erzeugungsschaltung von [Fig. 44](#) zeigt, und [Fig. 47](#) ist ein Zeitablaufsdiagramm, um die Arbeitsweise der Phasenkomparatorschaltung von [Fig. 46](#) zu erläutern.

[0292] Wie in [Fig. 46](#) gezeigt ist, vergleicht die Phasenkomparatorschaltung **312** die Phase des internen Takts CKin mit der Phase des Referenztakts CKr und gibt ein Aufwärtssignal (/UP) oder ein Abwärtssignal (/DN) gemäß der Phasendifferenz zwischen den Taktsignalen aus; hier werden das negative logische Aufwärtssignal (/UP) und das Abwärtssignal (/DN) durch Teilen der Frequenz des Referenztakts CKr und des internen Takts CKin durch zwei und durch Durchführen von logischen Operationen in Bezug auf den resultierenden Referenztakt CKr' und des internen Takts CKin', dessen Taktzyklus das Zweifache des ursprünglichen Taktzyklus ist, erzeugt.

[0293] Wenn insbesondere der Übergangszeitablauf des Niedrigpegels "L" zum hohen Pegel "H" des halbierten internen Takts CKin' in Bezug auf den Übergangszettakt des niedrigen Pegel "L" zum hohen Pegel "H" des halbierten Referenztakts CKr' voreilt, wie in [Fig. 47](#) gezeigt ist, wird das Aufwärtssignal /UP des niedrigen Pegels "L" ausgegeben: umgekehrt, wenn dies in Bezug auf den Übergangszeitablauf des niedrigen Pegels "L" zum hohen Pegel "H" des halbierten Referenztakts CKr' verzögert wird, wird das Abwärtssignal /DN mit dem niedrigen Pegel "L" ausgegeben.

[0294] [Fig. 48](#) ist ein Schaltungsdiagramm, welches ein Beispiel der Ladepumpenschaltung **131** in der Zeitgebersignal-Erzeugungsschaltung von [Fig. 44](#) zeigt.

[0295] Wie in [Fig. 48](#) gezeigt ist, ist die Ladepumpenschaltung **131** zwischen der Hochpegel-Spannungsversorgungsleitung (V_{cc}) und der Niedrigpegel-Spannungsversorgungsleitung (V_{ss}) vorgesehen und weist einen pMOS-Transistor, der an seinem Gate mit der Aufwärtssignal /UP (invertes logisches Aufwärtssignal) beliefert wird, und einen nMOS-Transistor auf, der an seinem Gate mit dem Abwärtssignal DN beliefert wird. Das heißt, wenn das Aufwärtssignal /UP mit dem niedrigen Pegel "L" angelegt wird, steigt das Potential des Ausgangssignals Vco an, und wenn das Abwärtssignal /DN mit den hohen Pegel "H" angelegt wird (wenn /DN auf dem niedrigen Pegel "L" ist), wird das Potential des Ausgangspegels Vco abgesenkt.

[0296] Das Ausgangssignal Vco der Ladepumpenschaltung **131** wird über den Pufferverstärker **132** als Steuerspannung Vcs (Steuersignal cs) an den Transistor DT in jeder Verzögerungseinheit D von [Fig. 45](#) angelegt. Wenn die Steuerspannung Vcs ansteigt, steigt die Ladekapazität am Ausgang jedes CMOS-Inverters DI an, wodurch der Verzögerungswert in der variablen Verzögerungsleitung **311** (**321**) vergrößert wird und somit die Phase des internen Takts CKin verzögert wird. Wenn umgekehrt die Steuerspannung Vcs absinkt, vermindert sich die Ladekapazität am Ausgang jedes CMOS Inverters DI, wodurch der Verzögerungswert in der variablen Verzögerungsleitung **311** (**321**) vermindert wird und somit die Phase des internen Takts CKin voreilt.

[0297] [Fig. 49](#) ist ein Schaltungsdiagramm, welches ein weiteres Beispiel jeder Verzögerungseinheit D zeigt, welche bei den variablen Verzögerungsleitungen in der Zeitgebersignal-Erzeugungsschaltung von [Fig. 44](#) verwendet wird.

[0298] Wie in [Fig. 49](#) gezeigt ist, ist in der Verzögerungseinheit D ein Transistor, der in einem Konstantstrommodus arbeitet, auf der Source-Seite eines jeden der Transistoren (pMOS und nMOS), die den

CMOS-Inverter DI bilden, hinzugefügt, und die Verzögerung wird unter Verwendung von Steuerspannungen Vcn und Vcp, welche an diese Zusatztransistoren angelegt werden, gesteuert. Insbesondere ist ein pMOS-Transistor DTp zwischen der Hochpegel-Spannungsversorgungsleitung (V_{cc}) und der Source des pMOS-Transistors des CMOS-Inverters DI vorgesehen, und ein nMOS-Transistor DTn ist zwischen der Niedrigpegel-Spannungsversorgungsleitung (V_{ss}) und der Source des nMOS-Transistors des CMOS-Inverters DI vorgesehen. Die Steuerspannung Vcp wird an das Gate des Transistors DTp angelegt, und die Steuerspannung Vcn wird an das Gate des Transistors DTn angelegt. Die in [Fig. 49](#) gezeigte Verzögerungseinheit D hat den Vorteil, dass sie in der Lage ist, die Verzögerungshöhe über einen weiten Bereich mit lediglich einer Verzögerungseinheit zu verändern. Wie oben beschrieben können zwei Verzögerungseinheiten D zu einer Einheit (einer Stufe) kombiniert werden, um logische Umkehr zu vermeiden.

[0299] [Fig. 50](#) ist ein Blockschaltungsdiagramm, welches den Aufbau der Steuersignal-Erzeugungsschaltung **313** in der Zeitgebersignal-Erzeugungsschaltung zeigt, und [Fig. 51](#) ist ein Schaltungsdiagramm, welches ein Beispiel einer Strom-Spannungs-Umsetzungsschaltung **133** zeigt, um das Ausgangssignal der Steuersignal-Erzeugungsschaltung **313** von [Fig. 50](#) umzusetzen.

[0300] Wie in [Fig. 50](#) gezeigt ist, weist die Steuersignal-Erzeugungsschaltung **313** die Ladepumpenschaltung **131** und mehrere pMOS-Transistoren **1321** und **1322** in einem Stromspiegelaufbau auf. Die Sourcen der pMOS-Transistoren **1321** und **1322** sind mit der Hochpegel-Spannungsversorgungsleitung (V_{cc}) verbunden, und ihre Gates sind mit dem Ausgang der Ladepumpenschaltung **131** gekoppelt. Die Steuersignale CS zur Hauptschaltung **301** und zur Nebenschaltung **302** werden von den Drains der jeweiligen pMOS-Transistoren **1321** und **1322** ausgegeben. Das heißt, dass bei dem zweiten Beispiel Stromsignale zur Lieferung der Steuersignale CS zur Hauptschaltung **301** und zur Nebenschaltung **302** verwendet werden. Wie für den pMOS-Transistor **1322** für die Nebenschaltung können mehrere solcher Transistoren entsprechend beispielsweise der Anzahl von Nebenschaltungen **302** vorgesehen sein.

[0301] Wie in [Fig. 51](#) dann gezeigt ist, wird in der Hauptschaltung **301** und in jeder Nebenschaltung **302** das Steuersignal (Stromsignal) CS von der Steuersignal-Erzeugungsschaltung **313** (vom pMOS-Transistor **1321** oder **1322**) durch die Strom-Spannungs-Umsetzungsschaltung **133** in die Steuerspannungen Vcn und Vcp umgesetzt. Diese Steuerspannungen Vcn und Vcp werden beispielsweise an die Gates der jeweiligen Transistoren DTn und DTp in der Verzögerungseinheit, welche in

Fig. 49 gezeigt ist, angelegt. Im Fall der Verzögerungseinheit, welche in **Fig. 45** gezeigt ist, wird die Steuerspannung V_{cn} als Steuerspannung V_{cs} verwendet. Die Strom-Spannungs-Umsetzungsschaltung **133**, die hier gezeigt ist, besteht aus nMOS-Transistoren **1331** und **1333** und einem pMOS-Transistor **1332**, wobei der Aufbau nicht auf dieses bestimmte Beispiel begrenzt ist.

[0302] Durch Liefern der Steuersignale CS als Stromsignale hat dieses Beispiel den Vorteil, dass die Steuersignale CS ohne Problem unabhängig von Veränderungen in der Transistorschwellenwertspannung übertragen werden können, die beispielsweise auftreten kann, wenn die Hauptschaltung **301** und die Nebenschaltung **302** weiter weg voneinander innerhalb eines Chips angeordnet sind.

[0303] **Fig. 52** ist ein Blockdiagramm, welches den Aufbau eines wesentlichen Bereichs der Zeitgebersignal-Erzeugungsschaltung zeigt, und **Fig. 53** ist ein Blockschaltungsdiagramm, welches ein Beispiel eines D/A-Umsetzers zeigt, um eine Digital-Analog-Umsetzung (D/A-Umsetzung) der Ausgangssignale des Aufwärts-/Abwärtszählers zu zeigen, der in **Fig. 52** gezeigt ist.

[0304] Wie man aus dem Vergleich zwischen **Fig. 52** und **Fig. 44** ersehen kann, nutzt das dritte Beispiel den Aufwärts-Abwärtszähler **134** anstelle der Ladepumpenschaltung **131** bei dem vorhergehenden Beispiel. Insbesondere zählt der Aufwärts-Abwärtszähler **134** das Aufwärtssignal UP und das Abwärtssignal DN, welche von der Phasenkomparatorschaltung **312** geliefert werden, und liefert beispielsweise ein Zählsignal aus sechs Bits b_0 – b_5 zum D/A-Umsetzer **135**, der in **Fig. 53** gezeigt ist.

[0305] Der D/A-Umsetzer **135** ist ein Strommatrixzellen-D/A-Umsetzer und gibt das Steuersignal CS, beispielsweise durch Umsetzen des Zählsignals aus sechs Bits b_0 – b_5 , welches vom Aufwärts-Abwärtszähler **134** ausgegeben wird, in ein Analogsignal, aus.

[0306] **Fig. 54** ist ein Schaltungsdiagramm, welches ein Aufbaubeispiel einer jeder Strommatrixzelle (U) im in **Fig. 53** gezeigten D/A-Umsetzer **135** zeigt.

[0307] Wie in **Fig. 54** gezeigt ist, weist jede Strommatrixzelle U ein UND-Gate UA, ein ODER-Gate UO, und zwei nMOS-Transistoren UT1 und UT2 auf; viele dieser Zellen U sind in einer Matrixgruppe angeordnet, um einen Strommatrixblock **1350** zu bilden, und Zählsignale (b_2 , b_3 ; b_4 , b_5) werden zu den Strommatrixzellen U über Decoder **1351** und **1352** geliefert. Die Zählsignale b_0 und b_1 höherer Ordnung werden zu den Gates von nMOS-Transistoren (**1353** und **1355**) in zwei Transistorpaaren (**1353**, **1354**; **1355**, **1356**) geliefert, von denen jeder aus zwei

nMOS-Transistoren besteht, welche seriell zwischen dem Ausgangsanschluss und der Niedrigpegel-Spannungsversorgungsleitung (V_{ss}) geschaltet sind. Die Steuerspannung V_c wird an die Gates der anderen Transistoren (**1354** und **1356**) in den jeweiligen Transistorpaaren angelegt. Diese Steuerspannung V_c wird ebenfalls an das Gate des Transistors UT2 in jeder Strommatrixzelle U angelegt.

[0308] Unter Verwendung einer Kombination des Aufwärts-Abwärtszählers **134** und des und des D/A-Umsetzers **135** hat das in **Fig. 52** bis **Fig. 54** gezeigte Beispiel die Vorteile, dass die Ausbildung eines Schleifenfilters erleichtert wird und dass sogar, wenn der Vergleichsbetrieb der Schleife unter Verwendung der DLL-Schaltung vollständig angehalten wird, die Verzögerungshöhe bei einem konstanten Pegel beibehalten werden kann und der Leistungsverbrauch somit reduziert werden kann.

[0309] **Fig. 55** ist ein Blockdiagramm, welches den Aufbau der Zeitgebersignal-Erzeugungsschaltung zeigt, die bei der Nebenschaltung anwendbar ist, und **Fig. 56** ist ein Schaltungsdiagramm, welches ein Beispiel eines Phaseninterpolators, der in **Fig. 55** gezeigt ist, zeigt.

[0310] Wie in **Fig. 55** gezeigt ist, werden ein Eingangstakt (in_2) und ein Signal (in_1), das um eine Stufe in Bezug auf den Eingangstakt verzögert ist, zum Phaseninterpolator **136** geliefert, der dann das Zeitgebersignal TS in der Nebenschaltung **302** erzeugt.

[0311] Wie in **Fig. 56** gezeigt ist, nimmt der Phaseninterpolator **136** eine Wichtungssumme der beiden Eingangssignale (in_1 und in_2), indem er die Vorspannungsströme der Eingangstransistoren (Reststrom) von zwei Differenzverstärkerstufen **1361** und **1362** variiert, und die Signale S1 und S2 von den beiden Differenzverstärkerstufen **1361** und **1362** zu einem Komparator **1363** liefert, um ein Ausgangssignal (Zeitgebersignal TS), welches eine Zwischenphase zwischen Phasen der beiden Signale S1 und S2 hat, zu erlangen. Das Wichten der Eingangssignale in_1 und in_2 in den Differenzverstärkerstufen **1361** und **1362** kann beispielsweise durch Anwenden eines Steuercodes (C_0 , C_2 ,... C_n ; C_{11} , C_{12} ,... C_{1n}) an einen Transistor (**1364**) in jedem Transistorpaar, das aus zwei nMOS-Transistoren besteht, die seriell geschaltet sind, und einer Steuerspannung (V_{cs}) an das Gate des anderen Transistors (**1365**) in jedem Paar erreicht werden. Die Verwendung des Phaseninterpolators **136** mit einem solchen Aufbau bietet den Vorteil, in der Lage zu sein, den Zeitgeber des Ausgangssignals (Zeitgebersignal CS) mit einer Auflösung einzustellen, die höher ist als die einer Verzögerungseinheitsstufe. Es können somit hochgenaue Zeitgebereinstellungen erreicht werden.

[0312] **Fig. 57** ist ein Schaltungsdiagramm, welches

ein weiteres Beispiel des Phaseninterpolators **136** zeigt.

[0313] Der in [Fig. 57](#) gezeigte Phaseninterpolator **136** weist zwei Spannungs-Strom-Umsetzungsschaltungen **136a** und **136b** auf, von denen jede pMOS-Transistoren **61** und **63** und nMOS-Transistoren **62** und **64** aufweist. Die Spannungs-Strom-Umsetzungsschaltungen **136a** und **136b** setzen die Spannungseingangssignale in1 und in2 in Stromausgangssignale um. Die Anzahl von Ausgangstransistoren (**65** und **66**) in jeder Spannungs-Strom-Umsetzungsschaltung wird durch eine Schalteinrichtung **67** unter Verwendung eines externen Signals gesteuert, wodurch somit der Umsetzungsfaktor der Strom-Spannungs-Umsetzung variiert wird. Die umgesetzten Ströme werden miteinander addiert, und die Ergebnisse werden zum Komparator geliefert, um das Zeitgebersignal (TS) zu erlangen.

[0314] [Fig. 58](#) ist ein Schaltungsdiagramm, welches den Aufbau der Zeitgebersignal-Erzeugungsschaltung (Phaseninterpolator **136**) zeigt, die verwendet wird, um eine Simulation durchzuführen, und [Fig. 59](#) ist ein Diagramm, welches Simulationsergebnisse (SPICE-Simulationsergebnisse) für die Zeitgebersignal-Erzeugungsschaltung von [Fig. 58](#) zeigt.

[0315] Wie in [Fig. 58](#) gezeigt ist, weist der Phaseninterpolator **136** die Strom-Spannungs-Umsetzungsschaltungen **136a** und **136b** auf, die entsprechend die Eingangssignale (Spannungssignale) in1 und in2 in Stromsignale umsetzen. Hier ist eine Verzögerungseinheit D (die gleiche Verzögerungseinheit, wie diese in der variablen Verzögerungsleitung **311** verwendet wird, siehe [Fig. 45](#) oder [Fig. 49](#)) am Eingang jedes der Strom-Spannungs-Umsetzungsschaltungen **136a** und **136b** eingefügt, und Signale in1* und in2*, welche durch Ändern der Änderung der Eingangssignale in1 und in2 über die jeweiligen Verzögerungseinheiten D erlangt werden, werden zu den Strom-Spannungs-Umsetzungsschaltungen **136a** bzw. **136b** geliefert. Die Referenzzeichen W_0 bis W_7 ($/W_0$ bis $/W_7$) in [Fig. 58](#) sind die externen Signale, die verwendet werden, das Umschalten der Übertragungsgates (Übertragungseinrichtung) **67** zu steuern; durch Verwendung dieser externen Signale W_0 bis W_7 ($/W_0$ bis $/W_7$) werden die Übertragungsgates geöffnet oder geschlossen, um die Anzahl von Ausgangstransistoren (**65** und **66**) in der Spannungs-Strom-Umsetzungsschaltung **136a** (**136b**) zu steuern. Auf diese Art und Weise kann der zeitliche Ablauf der Ausgabe (Out) geändert werden, wie in [Fig. 59](#) gezeigt ist. Insbesondere werden durch Verändern des Umsetzungsfaktors der Spannungs-Strom-Umsetzungsschaltungen **136a** und **136b** die Wichtungen, welche den beiden Eingangssignalen in1 und in2 zugeordnet werden, variiert, wodurch die Operation des Phaseninterpolators **136** ausgeführt wird. Der Phaseninterpolator **136** des

fünften Beispiels hat den Vorteil, eine niedrigere Spannungsoperation zuzulassen, da dieser keine Stromspiegel-Differenzverstärkerstufen wie beim obigen Beispiel, welches in [Fig. 56](#) gezeigt ist, verwendet.

[0316] [Fig. 60](#) ist ein Blockdiagramm, welches den Aufbau der Zeitgebersignal-Erzeugungsschaltung zeigt.

[0317] Wie in [Fig. 60](#) gezeigt ist, ist eine DLL-Schaltung unter Verwendung der Hauptschaltung **301** und der Nebenschaltung **302** gebildet. Insbesondere sind ein Grobverzögerungs-Steuerblock zum Durchführen von grober Verzögerungssteuerung und ein Feinverzögerungs-Steuerblock zum Durchführen feiner Verzögerungssteuerung in der Hauptschaltung **301** vorgesehen und eine Schaltung entsprechend dem Feinverzögerungs-Steuerblock in der Hauptschaltung **301** ist in der Nebenschaltung **302** enthalten.

[0318] Der Grobverzögerungs-Steuerblock in der Hauptschaltung **301** weist eine Verzögerungsleitung **311**, eine Phasenkomparatorschaltung **312a**, einen Aufwärts-Abwärtszähler **134a**, einen D/A-Umsetzer **135** und ein Auswahlorgan **315**, und der Feinverzögerungs-Steuerblock in der Hauptschaltung **301** weist einen Phaseninterpolator **136** und zwei Verzögerungseinheiten D auf, um das Ausgangssignal des Grobverzögerungs-Steuerblocks (das Auswahlorgan **315**) beispielsweise um eine oder zwei Verzögerungsstufen zu verzögern und um die verzögerten Ausgangssignale zum Phaseninterpolator **136** zu liefern. Hier werden der Referenztakt CKr und das Ausgangssignal der Endverzögerungsstufe in der Verzögerungsleitung **311**, die beispielsweise aus m Verzögerungseinheiten D besteht, als Eingangssignale zur Phasenkomparatorschaltung **312a** geliefert. Außerdem wird ein Ausgangssignal (Stromsteuersignal) vom D/A-Umsetzer **135** zur Verzögerungsleitung **311** geliefert, die an das Auswahlorgan **315** ein Zeitgebersignal ausgibt, dessen Phase gleichmäßig gemäß der Anzahl von Stufen der Verzögerungseinheiten D unterteilt ist. Das Auswahlorgan **315** und der Phaseninterpolator **116** werden außerdem mit einem Steuersignal beliefert, welches durch eine Phasenkomparatorschaltung **312b** und den Aufwärts-Abwärtszähler **134b** erzeugt wird. Das heißt, dass der Grobverzögerungs-Steuerblock Anzapfungen weg von der Verzögerungsleitung **311** nimmt, die aus den mehreren Verzögerungseinheiten besteht, das Ausgangssignal jeder Anzapfung unter Verwendung des Auswahlorgans (Auswahleinrichtung) **315** auswählt und das Ausgangssignal zu jedem Feinverzögerungs-Steuerblock liefert.

[0319] Wie in [Fig. 60](#) gezeigt ist, weist jede Nebenschaltung **302** einen Feinverzögerungs-Steuerblock auf, der, wie der Feinverzögerungs-Steuerblock in der Hauptschaltung **301**, einen Phaseninterpolator

236 und zwei Verzögerungseinheit D aufweist, um das Ausgangssignal des Grobverzögerungs-Steuerblocks (das Auswahlorgan **315**) in der Hauptschaltung **301** um eine und zwei Verzögerungsstufen zu verzögern und um die verzögerten Ausgangssignale zum Phaseninterpolator **236** zu liefern. Hier kann der Aufbau der Verzögerungseinheiten im Feinverzögerungs-Steuerblock in verschiedener Art und Weise modifiziert werden.

[0320] Wie in [Fig. 60](#) gezeigt ist, sind der Grobverzögerungs-Steuerblock in der Hauptschaltung **301** und der Feinverzögerungs-Steuerblock (in der Masterschaltung **301** oder in jeder Nebenschaltung **302**) seriell geschaltet, und eine DLL-Schleife ist mit dem Grobverzögerungs-Steuerblock selbst gebildet. Mit dem Feinverzögerungs-Steuerblock, wobei ein Phaseninterpolator **136** oder **236** verwendet wird, wird eine Verzögerung mit einer Auflösung, die höher ist als die einer Verzögerungsstufe (Verzögerungseinheit D) der Hauptschaltung **301** erlangt. Die Verzögerungseinheiten, welche für den Phaseninterpolator (**136** oder **236**) im Feinverzögerungs-Steuerblock verwendet werden, sind identisch mit den Verzögerungseinheiten D, welche in der Verzögerungsleitung **311** im Grobverzögerungs-Steuerblock verwendet werden. Außerdem wird das Ausgangssignal (Stromsteuersignal) des D/A-Umsetzers **135** auch zu jeder Nebenschaltung **302** geliefert.

[0321] Auf diese Weise kann gemäß diesem Beispiel eine Verzögerung mit einer Auflösung, die höher ist als die Auflösung der Verzögerungsleitung **311**, erzeugt werden, wobei ein Digitalsignal verwendet wird, und somit kann ein hochgenaues DLL-Signal erlangt werden. Außerdem kann eine digital-gesteuerte DLL-Schaltung erlangt werden, welche erlaubt, dass die Phasenvergleichsoperation für eine lange Zeitdauer angehalten werden kann, und welche die Operation in einer kurzen Zeitperiode von einem Schlafmodus aus wiederaufnehmen kann. Es gibt außerdem den Vorteil, dass durch Anordnen von mehreren Feinverzögerungsblöcken (Phaseninterpolatoren **236**) als Nebenschaltungen **302** mehrere Zeitgebersignale, die jeweils eine Verzögerung mit einer Auflösung haben, die höher ist als die Auflösung der Verzögerungsleitung **311**, erhalten werden.

[0322] [Fig. 61](#) ist ein Blockdiagramm, welches den Aufbau einer Zeitgebersignal-Erzeugungsschaltung zeigt.

[0323] Nicht nur das Steuersignal CS (das Ausgangssignal der Steuersignal-Erzeugungsschaltung **313**), sondern auch Dreiphasen-Interntakte CK1 bis CK3 (die verzögerten Ausgangssignale der Verzögerungsleitung **311**) werden von der Hauptschaltung **301** zur Nebenschaltung **302** geliefert. In der Nebenschaltung **302** wird ein Zeitgebersignal (Ausgangstakt) mit einer gewünschten Phase durch den

Phaseninterpolator **236** auf der Basis der Dreiphasentakte CK1 bis CK3, die von der Hauptschaltung **301** geliefert werden, erzeugt.

[0324] Insbesondere werden, wie in [Fig. 61](#) gezeigt ist, Dreiphasentakte CK1 bis CK3 zum Schaltblock **238** in der Nebenschaltung **302** über Verzögerungseinheiten D geliefert, die beispielsweise vorgesehen sind, die Signaländerungen zu bremsen. Vorgeschiedene Kombinationen der Dreiphasentakte werden durch den Schaltblock **238** ausgewählt und zu den Eingängen der Operationsverstärker **237a** und **237b** geliefert. Die Ausgangssignale der Operationsverstärker **237a** und **237b** werden zum Phaseninterpolator **236** geliefert, wo die Phase unterteilt wird und ein vorgeschriebenes Zeitgebersignal zur Ausgabe erzeugt wird. Das siebte Beispiel hat den Vorteil, dass ein Zeitgebersignal (Ausgabetakt), das einen gewünschten Phasenwinkel innerhalb 360° hat, in der Nebenschaltung **302** erzeugt werden kann.

[0325] [Fig. 62](#) ist ein Schaltungsdiagramm, welches den Aufbau einer Sinuswellen-Erzeugungsschaltung zeigt.

[0326] In den vergangenen Jahren hat die Verwendung einer Sinuswelle als Taktschwingungsform Aufmerksamkeit auf sich gezogen, da sie den Leistungsverbrauch von Takttreibern reduzieren kann und außerdem Harmonische für reduziertes Taktrauschen eliminieren kann. Die Verwendung eines sinusförmigen Taktes kann den Leistungsverbrauch der Takttreiber reduzieren, da die Takttreiber aus kleinen Transistoren aufgebaut sein können, welche kleine Ansteuerfähigkeiten haben (Transistoren mit niedrigem Leistungsverbrauch), da die Ausgangsschwingungsform nicht so sein muss, dass sie steil ansteigt und steil abfällt (das Ausgangssignal muss lediglich dazu dienen, allmählich anzusteigen und allmählich abzufallen). [Fig. 62](#) zeigt ein Beispiel der sinusförmigen Takterzeugungsschaltung, die beispielsweise zur Verwendung in der Nebenschaltung **302** anwendbar ist.

[0327] Wie in [Fig. 62](#) gezeigt ist, wird durch Führen der Spannungen (Steuerspannungen) V_{cn} und V_{cp} , welche durch die Strom-Spannungs-Umsetzungsschaltung **130** erhalten werden, wie in [Fig. 51](#) gezeigt ist, durch die Verzögerungseinheit, wie in [Fig. 49](#) beispielsweise gezeigt ist, ein CMOS-Takt (Rechteckwelle) voller Amplitude in eine Dreieckswelle umgesetzt, und dann wird diese Dreieckswelle durch einen Konstantstromtreiber CD geführt, der nicht lineare Eingangs-/Ausgangs-Charakteristik hat, die Dreieckswelle in eine Sinuswelle umgesetzt (Pseudosinuswelle). Hier wird die Verzögerungseinheit D, welche mit dem Steuersignal (CS) von der Hauptschaltung **301** arbeitet, für den Bereich verwendet, der die Dreieckswelle erzeugt; da die Verzögerung in dieser Verzögerungseinheit D proportional zum Zyklus des

Referenztaktes (CKr) ist, wird die Amplitude der Dreieckswelle auf einen konstanten Pegel unabhängig von Schwankungen in der Referenztaktfrequenz gehalten. Folglich hat dieses Beispiel den Vorteil, in der Lage zu sein, die Sinuswelle über einen breiten Frequenzbereich zu erzeugen.

[0328] [Fig. 63A](#) bis [Fig. 63C](#) sind Diagramme, welche Simulationsergebnisse (SPICE-Simulationsergebnisse) für die Sinuswellen-Erzeugungsschaltung von [Fig. 62](#) zeigen: [Fig. 63A](#) zeigt den Fall eines Eingangssignals (Takt) von 40 MHz, [Fig. 63B](#) den Fall eines Eingangssignals von 100 MHz, und [Fig. 63C](#) den Fall eines Eingangssignals von 400 MHz. Die Simulation wurde durch Bereitstellen – am Ausgang der Sinuswellen-Erzeugungsschaltung – eines Widerstands R durchgeführt, der einen Widerstandswert beispielsweise gleich einer Hälfte der Kenndatenimpedanz der Übertragungsleitung hat.

[0329] Wie man aus [Fig. 63A](#) bis [Fig. 63C](#) ersehen kann, kann für jede Frequenz (40 MHz, 100 MHz, 400 MHz) die Sinuswellen-Erzeugungsschaltung von [Fig. 62](#) eine zugeführte Rechteckwelle in eine substantielle Sinuswellenschwingungsform umsetzen.

[0330] [Fig. 64](#) ist ein Blockdiagramm, welches den Aufbau der Zeitgebersignal-Erzeugungsschaltung zeigt, das sich mit einem Beispiel der Zeitgebersignal-Erzeugungsschaltung unter Verwendung einer PLL-Schaltung befasst.

[0331] In [Fig. 64](#) ist das Bezugszeichen **312** eine Phasenkomparatorschaltung, **134** ist ein Aufwärts-Abwärtszähler, **135** ist ein D/A-Umsetzer, und **321** ist ein spannungs-gesteuerter Oszillator (VCO). Der spannungs-gesteuerte Oszillator **321** ist aus einem Ringoszillator aufgebaut, der beispielsweise durch Kaskadenbildung von drei Schaltungsstufen gebildet ist, von denen jede einen ähnlichen Aufbau wie die Verzögerungseinheit D hat, welche in [Fig. 49](#) gezeigt ist, und die Steuerspannungen V_{cp} und V_{cn} , welche von der Steuersignal-Erzeugungsschaltung (Strom-Spannungs-Umsetzungsschaltung **133**) ausgegeben werden, werden an die Gates der Steuertransistoren (DTp und DTn) in jeder Stufe angelegt, um die Oszillatorfrequenz zu steuern. Hier weist jede Nebenschaltung **302** die Strom-Spannungs-Umsetzungsschaltung **133** und den spannungsgesteuerten Oszillator **321** auf.

[0332] Da auf diese Art und Weise die Hauptschaltung **301** die PLL-Schaltung und nicht die DLL-Schaltung verwendet, kann das Ausgangssignal (Zeitgebersignal) sogar in Fällen erzeugt werden, wenn ein vollständiges periodisches Taktsignal nicht erlangt werden kann. Das heißt, sogar wenn beispielsweise Jitter im Eingangsreferenztakt CKr enthalten ist, ist, da die Jitterkomponente durch den spannungs-gesteuerten Oszillator (Ringoszillator) **301** usw. entfernt

werden kann, dieses Beispiel besonders vorteilhaft, wenn eine Taktkomponente von den Empfangsdaten wiederentwickelt wird.

[0333] [Fig. 65](#) ist ein Blockdiagramm, welches den Aufbau der Zeitgebersignal-Erzeugungsschaltung zeigt.

[0334] Bei diesem Beispiel verwendet die Hauptschaltung **301** eine DLL-Schaltung, die einen internen Takt (CKin) ausgibt, der auf den Referenztakt (CKr) verriegelt ist, und es sind Nebenschaltungen **302a** bis **302z** für die jeweiligen Bits der Multibit-Empfängerschaltungen **303a** bis **303z** vorgesehen. Die Hauptschaltung **301** ist hier nicht auf die in [Fig. 60](#) gezeigte beschränkt, sondern es sind verschiedene andere Anordnungen möglich.

[0335] Wie in [Fig. 65](#) gezeigt ist, weisen die Nebenschaltungen **302a** bis **302z** (**302a**) jeweils ein Auswahlorgan **211**, eine Verzögerungsleitung **215**, zwei Verzögerungseinheiten D und einen Phaseninterpolator **236** auf, jeweils entsprechend dem Auswahlorgan (**315**), der Verzögerungsleitung **311**, den Verzögerungseinheiten (D), und dem Phaseninterpolator (**136**), die in [Fig. 60](#) gezeigt sind, und liefern Zeitgebersignale TSa bis TSz zu entsprechenden Empfängerschaltungen **303a** bis **303z**, um den zeitlichen Ablauf für die jeweiligen Empfängerschaltungen **303a** bis **303z** zu steuern, um Signale SSa bis SSz zu verriegeln.

[0336] In diesem Beispiel ermitteln die Nebenschaltungen **302a** bis **302z** sequentiell die Pegel des Signals SSa bis SSz in den jeweiligen Empfängerschaltungen **303a** bis **303z** und steuern die jeweiligen Verzögerungsbeträge, um optimalen Verriegelungszeitablauf bereitzustellen. Insbesondere werden sie Signale von den Empfängerschaltungen sequentiell durch eine Schalteinrichtung **210** (beispielsweise das Signal SSa von der Empfängerschaltung **303a** wird ausgewählt) ausgewählt, und das ausgewählte Signal wird zu einem A/D-Umsetzer zur Analog-Digital-Umsetzung (A/D-Umsetzung) geliefert. Dann wird die Auswahl (die Verzögerungshöhe in der Verzögerungsleitung **211**) durch das Auswahlorgan **315** über eine Steuerschaltung **230** so gesteuert, um den Signalpegel (um das S/N-Verhältnis zu steigern) zu maximieren. Wenn das Signal SSa in der Empfängerschaltung **303a** mit beispielsweise dem optimalen Zeitablauf TSa verriegelt wird, ist der Pegel des Signals SSa maximal. Bei der zehnten Ausführungsform wird daher der Zeitgeber des Zeitgebersignals TSa unter Verwendung dieser Kenndaten bestimmt.

[0337] Insbesondere wird die Verzögerungshöhe in der Verzögerungsleitung **211** unter Verwendung beispielsweise eines 6-Bit-Digitalsignals gesteuert, und dieses Digitalsignal wird so gesteuert, dass die Signalstärke zur größten in jeder der Empfängerschaltungen

tungen **303a** bis **303z** wird. Hier werden Vorkehrungen getroffen, dass die Signalstärke-Optimierungsoperation ausgeführt wird, während ein Speziaalsignal für diesen Zweck (beispielsweise eine Bitsequenz "1010...") übertragen wird. Gemäß diesem Beispiel ist der Vorteil der, sogar für parallele Signalübertragung von Mehrfachbits, dass der Operationszeitablauf jeder Empfängerschaltung auch durch Betrachtung der Signalleitungsverzögerung zwischen jedem Bit optimiert werden kann.

[0338] [Fig. 66](#) ist ein Blockdiagramm, welches den Aufbau eines wesentlichen Bereichs der Zeitgebersignal-Erzeugungsschaltung zeigt.

[0339] Bei diesem Beispiel wird, wie bei dem obigen Beispiel, der Empfangszeitgeber für Mehrfachbits für jedes Bit optimiert, und die Hauptschaltung **302** erzeugt ein Signal (interner Takt CKin), der auf den Referenztakt CKr verriegelt ist. Hier sind die Nebenschaltungen **302** (**302a** bis **302z**) wie beim obigen Beispiel für die jeweiligen Bits der Multibit-Empfängerschaltungen **303** (**303a** bis **303z**) vorgesehen, und, wie in [Fig. 66](#) gezeigt ist, weist jede Nebenschaltung **302** einen Feinverzögerungs-Steuerblock auf, wobei ein Phaseninterpolator **236** verwendet wird, und steuert den Eingangsabtastzeittakt (CL1, CL2 unter Verwendung eines 6-Bit-Digitalsignals).

[0340] In [Fig. 66](#) ist das Bezugszeichen **212** eine Logik-Kombinationsschaltung, **234** ein Aufwärts-Abwärtszähler und **241** und **242** Empfangslatchschaltungen. Der Phaseninterpolator **236** wird mit den Ausgangssignalen (ϕ_1 , ϕ_1 , ϕ_2 , ϕ_2) einer Vierphasen-PLL-Schaltung (**250**) in der Hauptschaltung **301** beliefert und gibt die Taktsignale CL1 und CL2 aus, um den Abtastzeitablauf der Latchschaltungen **241** und **242** zu steuern. Die Latchschaltungen **241** und **242** bestehen jeweils aus zwei D-Flipflops (D-FFs); das Abtasten durch die beiden Flipflops in der Latchschaltung **241** wird durch den Steuertakt CL1 gesteuert, während das Abtasten durch die beiden Flipflops in der Latchschaltung **242** durch die Steuertakte CL1 bzw. CL2 gesteuert wird.

[0341] Insbesondere sind in jeder Nebenschaltung **302** (**302a** bis **302z**) zwei Empfangslatchschaltungen **241** und **242** für ein Bit vorgesehen. Die Latchschaltung **242** tastet das Eingangssignal in der Mitte eines Datenempfangsfensters (auch als Bitzelle bezeichnet) ab, während die andere Latchschaltung **242** dieses an der Grenze zwischen zwei benachbarten Bitzellen abtastet. Für diesen Zweck werden die beiden Latchschaltungen **241** und **242** durch die Steuertakte CL1 und CL2 180° außer Phase in Bezug zueinander gesteuert, so dass das Eingangssignal mit einer Abtastrate abgetastet wird, die das Zweifache der üblichen Abtastrate ist. Durch Verwendung der beiden Latchschaltungen **241** und **242** ist es, wenn ein Datenübergang von "0" auf "1" oder von "1" auf "0" zwi-

schen zwei benachbarten Bitzellen auftritt, möglich, zu erfahren, ob der Abtastzeitablauf (die Zeitgabe der Steuertakte CL1 und CL2) in Bezug auf die Daten voreilt oder verzögert wird.

[0342] Wenn insbesondere ein Datenübergang auftritt, so dass die N-ten Daten gleich "1" sind und die (N+1)-ten Daten gleich "0" sind, ist die Sequenz von "D(N), B(N), D(N+1)" gleich "1, 0, 0" oder "1, 1, 0", wobei D(N) das Ausgangssignal der Latchschaltung **241** zeigt, welche das Bitzellenzentrum abtastet, und D(B) das Ausgangssignal der Latchschaltung **242** zeigt, welches die Bitzellengrenze abtastet. Hier zeigt die Sequenz "1, 0, 0", dass der Zeitablauf der Abtaststeuertakte (CL1 und CL2) in Bezug auf die Daten verzögert ist, während die Sequenz "1, 1, 0" zeigt, dass der Zeitablauf der Steuertakte in Bezug auf die Daten voreilt.

[0343] Wenn danach ein Datenübergang auftritt, so dass die N-ten Daten gleich "0" sind und die (n+1)-ten Daten gleich "1" sind, folgt daraus, wenn die Sequenz von "D(N), B(N), D(N+1)" gleich "0, 0, 1" ist, dass der Zeitablauf der Abtaststeuertakte (CL1 und CL2) in Bezug auf die Daten voreilt. Wenn die Sequenz gleich "0, 1, 1" ist, folgt daraus, dass Zeitablauf des Steuertakts in Bezug auf die Daten verzögert ist.

[0344] Durch Führen der Ausgangssignale der beiden Latchschaltungen **241** und **242** durch die Logik-Kombinationsschaltung **212** kann danach ein Entscheidungssignal (Aufwärtssignal UP oder Abwärtssignal DN) erlangt werden, welches zeigt, ob die Steuertakte CL1 und CL2 verzögert werden sollten oder voreilen sollten. Dieses Entscheidungssignal (UP, DN) wird durch den Aufwärts-Abwärtszähler **234** gezählt, und der Inhalt wird in ein 6-Bit-Signal (C00, C01, C02; C10, C11, C12) umgesetzt, welches zum Phaseninterpolator **236** geliefert wird, um den Zeitablauf der Steuertakte CL1 und CL2 zu steuern, um dadurch den Signalempfangszeitablauf für maximales S/N-Verhältnis zu optimieren.

[0345] Hier sollte die Verarbeitung zum Optimieren des Signalempfangszeitablaufs lediglich durchgeführt werden, während ein Signal, welches der Zeitablaufoptimierung gewidmet ist (ein Speziaalsignal beispielsweise eine Sequenz "1011010...") übertragen wird. Auf diese Weise bietet dieses Beispiel die Vorteile, dass der A/D-Umsetzer **220** zum Auswerten der Signalempfangsstärke als analoger Wert wie bei dem obigen Beispiel weggelassen werden kann, und dass die Verarbeitung für die Zeitablaufoptimierung parallel für Mehrfachbits durchgeführt werden kann, ohne sequentiell die Bits durch die Schalteinrichtung **210** auszuwählen zu müssen. Folglich kann in den Fällen, wo das Auftreten eines Übergangs von "0" auf "1" oder "1" auf "0" mit einer vorgeschriebenen Frequenz für jedes Bit garantiert wird (beispielsweise, wenn die Daten durch ein Codierschema, beispiels-

weise 10B/8B codiert werden), die Verarbeitung zur Empfangszeitablaufoptimierung für jedes Bit parallel mit der Datenübertragung und Empfang durchgeführt werden.

[0346] [Fig. 67](#) ist ein Schaltungsdiagramm, welches ein Beispiel des Phaseninterpolators **236** (Phaseneinsteller) in der Zeitgebersignal-Erzeugungsschaltung von [Fig. 66](#) zeigt.

[0347] Wie in den [Fig. 66](#) und [Fig. 67](#) gezeigt ist, werden das 6-Bit-Signal (C00, C01, C02; C10, C11, C12) vom Aufwärts-Abwärtszähler **234** und die Ausgangssignale (ϕ_1 , $/\phi_1$, ϕ_2 , $/\phi_2$) von der Vierphasen-PLL-Schaltung (**250**) in der Hauptschaltung **301** zum Phaseninterpolator **236** geliefert. Die Differential Eingangssignale für die Differenzverstärkerstufen **2361** und **2362** werden unter Verwendung des 6-Bit-Signals gewichtet. Die Ausgangssignale (ϕ_1 , $/\phi_1$, ϕ_2 , $/\phi_2$) von der Vierphasen-PLL-Schaltung werden zu den Eingängen der jeweiligen Differenzverstärkerstufen **2361** und **2362** geliefert, wo sie über eine Schalteinrichtung **2360** umgeschaltet werden, die durch die Steuersignale Sns und $/Sns$ gesteuert wird. Dann werden die Signale, die von den beiden Differenzverstärkerstufen **2361** und **2362** ausgegeben werden, über eine Ausgangsstufe (Komparator) **2363** geführt, um die Steuertakte CL1 und CL2 zu erzeugen, wie im oben erläuterten Fall von [Fig. 56](#).

[0348] [Fig. 68](#) ist ein Schaltungsdiagramm, welches ein Beispiel der Vierphasen-PLL-Schaltung **250** zeigt, die zur Verwendung in der Zeitgebersignal-Erzeugungsschaltung von [Fig. 66](#) anwendbar ist.

[0349] Wie in [Fig. 68](#) gezeigt ist, weist die Vierphasen-PLL-Schaltung **250** vier Stufen von Differenzverstärkerblöcken **2511** bis **2514** auf, vier Signalumsetzungsblöcke **2521** bis **2524** und vier Inverter **2531** bis **2534** auf. Das heißt, die vier Differenzverstärkerblöcke **2511** bis **2514** sind kaskadenförmig geschaltet, vorgeschriebene Signale werden zu den Signalumsetzungsblöcken **2521** und **2524** geliefert, und die Signalpegel werden invertiert und es wird Schwingungsformgebung durch die Inverter **2351** und **2354** durchgeführt, um die Vierphasen-Ausgangssignale ϕ_1 , $/\phi_1$, ϕ_2 und $/\phi_2$ zu erlangen.

[0350] [Fig. 69](#) ist ein Schaltungsdiagramm, welches ein Beispiel des Signalumsetzungsblocks **252** (**2521** bis **2524**) in der Vierphasen-PLL-Schaltung von [Fig. 68](#) zeigt, und [Fig. 70](#) ist ein Schaltungsdiagramm, welches ein Beispiel des Differenzverstärkerblocks **251** (**2511** bis **2514**) in der Vierphasen-PLL-Schaltung von [Fig. 68](#) zeigt.

[0351] Wie in [Fig. 68](#) und [Fig. 69](#) gezeigt ist, akzeptiert der Signalumsetzungsblock **252** (**2521** bis **2524**) zwei Eingangssignale (A und B) und erzeugt ein Ausgangssignal (Z). Insbesondere werden die beiden

Ausgangssignale vom zweistufigen Differenzverstärkerblock **2512** oder vom vierstufigen Differenzverstärkerblock **2514** in der Vierstufenkaskade der Differenzverstärkerblöcke als Eingangssignale A und B zu jedem Signalumsetzungsblock **252** (**2521** bis **2524**) geliefert, der das einzige Ausgangssignal Z durch Verarbeitung der beiden Eingangssignale A und B erzeugt. Danach wird das Ausgangssignal Z dem Inverter **253** (**2531** bis **2534**) zur Pegelinvertierung und Schwingungsformung zugeführt. Die Vierphasen-PLL-Schaltung **250** erzeugt somit die Ausgangssignale ϕ_1 , $/\phi_1$, ϕ_2 , $/\phi_2$. Jeder Signalumsetzungsblock **252** gibt hier immer ein Signal "Z" mit einem Pegel "H" aus, wenn das Signal INH auf einem hohen Pegel "H" ist, und gibt ein Signal (Z), dessen Pegel von den Eingangssignalen A und B abhängig ist, wenn das Signal INH auf einen niedrigen Pegel "L" ist und das Steuersignal CTL auf einem hohen Pegel "H" ist, aus.

[0352] Wie in [Fig. 68](#) und [Fig. 70](#) gezeigt ist, sind die Differenzverstärkerblöcke **252** (**2511** bis **2514**) kaskadenförmig angeordnet, so das die Ausgangssignale (OUT1 und OUT2) von den Differenzverstärkerblöcken **2511**, **2512** und **2513** als Eingangssignale IN1 und IN2 zu den Differenzverstärkerblöcken **2512**, **2513** und **2514** in den entsprechenden nachfolgenden Stufen geliefert werden. Hier werden zum erststufigen Differenzverstärkerblock **2511** die Ausgangssignale von der letzten Stufe (vierte Stufe) des Differenzverstärkerblocks **2514** geliefert. Jeder Differenzverstärkerblock **252** wird aktiviert, wenn das Steuersignal CTL auf einem hohen Pegel "H" ist.

[0353] [Fig. 71](#) ist ein Diagramm, welches die Ausgangssignale der Vierphasen-PLL-Schaltung von [Fig. 68](#) zeigt.

[0354] Die Vierphasen-Ausgangssignale ϕ_1 , $/\phi_2$, ϕ_1 und $/\phi_2$, wobei ein Signal bezüglich der Phase um 90° in Bezug auf das nächste verschoben ist, wie in [Fig. 71](#) gezeigt ist, werden von der Vierphasen-PLL-Schaltung **250** erlangt, die unter Verwendung der Signalumsetzungsblöcke **252** und der Differenzverstärkerblöcke **252**, die in [Fig. 69](#) und [Fig. 70](#) gezeigt sind, aufgebaut ist. Wie oben angemerkt werden diese Signale ϕ_1 , ϕ_2 , $/\phi_1$ und $/\phi_2$ zum Phaseninterpolator **236** in der Nebenschaltung **302** geliefert, die beispielsweise in [Fig. 66](#) gezeigt ist.

[0355] Man wird es als vorteilhaft erkennen, dass die Vierphasen-PLL-Schaltung **250**, die Signalumsetzungsblöcke **252** und die Differenzverstärkerblöcke **252** bezüglich ihres Aufbaus nicht auf die oben beschriebenen beschränkt sind, sondern dass auch verschiedene andere Schaltungsanordnungen möglich sind.

[0356] Wie oben beschrieben kann gemäß der beschriebenen Zeitgebersignal-Erzeugungsschaltung

das Zeitgebersignal, welches mit dem Referenztakt synchronisiert ist, in jeder Nebenschaltung erzeugt werden, die einen viel einfacheren Aufbau hat als die Hauptschaltung. Durch Verändern der Ansprechgeschwindigkeit der Nebenschaltung gemäß der Frequenz des Referenztaktes wird es außerdem möglich, ein hochgenaues Zeitgebersignal über einen breiten Frequenzbereich zu erzeugen. Das heißt, dass Zeitgeberimpulse, die eine vorher festgelegte Phasendifferenz zueinander haben, synchron mit dem Referenztakt erzeugt werden können, indem viele Nebenschaltungen verwendet werden, die einen einfachen Aufbau haben, und hochgenaue Zeitgebersignale, welche für den Übertragung und Empfang von Hochgeschwindigkeitssignalen notwendig sind, unter Verwendung des Schaltungsaufbaus, der einen kleinen Bereich einnimmt, erzeugt werden können.

[0357] Obwohl die Hauptschaltung und die mehreren Nebenschaltungen innerhalb einer integrierten Halbleiterschaltungseinrichtung (LSI-Chip) vorgesehen sein können, ist es auch möglich, die Hauptschaltung und die Nebenschaltungen entsprechend auf unterschiedlichen integrierten Halbleiterschaltungseinrichtungen aufzubauen. Das heißt, jede Zeitgebersignal-Erzeugungsschaltung gemäß vorherigen Beispielen kann auch bei einem integrierten Halbleiterschaltungssystem angewandt werden, welches mehrere integrierte Halbleiterschaltungseinrichtungen hat, oder bei einem Multichip-Modul (MCM) oder dgl..

[0358] Wie oben ausführlich beschrieben können mehrere Zeitgebersignale, die auf den Referenztakt synchronisiert sind und eine vorher festgelegte Phasendifferenz zueinander haben, mit hoher Genauigkeit erzeugt werden, wobei ein einfacher Schaltungsaufbau verwendet wird.

[0359] Anschließend werden Beispiele des Phaseninterpolators mit Hilfe der beiliegenden Zeichnungen beschrieben.

[0360] [Fig. 72](#) ist ein Blockdiagramm, welches den grundsätzlichen Funktionsaufbau des Phaseninterpolators zeigt, und [Fig. 73](#) ist ein Schwingungsformdiagramm, um die Operation des Phaseninterpolators von [Fig. 72](#) zu erläutern.

[0361] In [Fig. 72](#) sind die Bezugszeichen **41** und **42** periodische Schwingungsform-Erzeugungsböcke, **43** ist ein Wichtungssteuerblock, **44** ist ein Summenbildungs-Schwingungsformerzeugungsböck, und **45** ist ein Analog-Digital-Umsetzungsböck.

[0362] Wie in [Fig. 72](#) gezeigt ist, empfängt der analoge periodische Schwingungsformerzeugungsböck **41** ein erstes periodisches Digitalsignal DIS1 und erzeugt eine erste analoge periodische Schwingungs-

form (f1: siehe [Fig. 73](#)), deren Wert in einer analogen Weise variiert, und der analoge periodische Schwingungsformerzeugungsböck **42** empfängt ein periodisches zweites Digitalsignal DIS2 und erzeugt eine zweite analoge periodische Schwingungsform (f2: siehe [Fig. 73](#)), deren Wert in einer analogen Weise variiert. Hier sind das erste periodische Digitalsignal DIS1 und das zweite periodische Digitalsignal DIS2 Signale, die in Bezug zueinander längs der Zeitachse phasen-verschoben sind (Signale mit unterschiedlichen Phasen). Der Phaseninterpolator ist eine Einrichtung, der beispielsweise die Digitalsignale DIS1 und DIS2, die unterschiedliche Phasen haben, akzeptiert und von diesen ein Digitalsignal erzeugt, welches eine beliebige Zwischenphase hat.

[0363] Die erste analoge periodische Schwingungsform f1 und die zweite analoge periodische Schwingungsform f2 werden im Wichtungssteuerblock **43** gewichtet und im Summenbildungs-Schwingungsform-Erzeugungsböck **44** summiert, der somit eine dritte analoge periodische Schwingungsform erzeugt (f3: siehe [Fig. 73](#)). Das heißt, die dritte analoge periodische Schwingungsform f3, so dass $f3 = (1-x) f1 + f2$, wobei $0 \leq x \leq 1$, wird am Ausgang des Summenbildungs-Schwingungsform-Erzeugungsböcks **44** erhalten.

[0364] Der Analog-Digital-Umsetzungsböck **45** setzt dann die dritte analoge periodische Schwingungsform f3 in ein Digitalsignal um, welches eine vorgeschriebene Phase hat, welches als drittes periodisches Digitalsignal D0 ausgegeben wird. Hier ist der Analog-Digital-Umsetzungsböck **45** beispielsweise aus einem Komparator aufgebaut, der die dritte periodische analoge Schwingungsform f3 mit der Referenzspannung Vr vergleicht und "0" oder "1" ausgibt.

[0365] Der Phaseninterpolator kann beispielsweise wie die Phaseninterpolatoren **136** und **236** ([Fig. 55](#), [Fig. 60](#), [Fig. 61](#) usw.) in den oben beschriebenen Zeitgebersignal-Erzeugungsschaltungen verwendet werden, wobei man es als vorteilhaft schätzen wird, dass er breit bei verschiedenen anderen Schaltungen verwendet werden kann.

[0366] [Fig. 74](#) ist ein Schaltungsdiagramm, welches ein Aufbaubeispiel des Phaseninterpolators zeigt, und [Fig. 75](#) ist ein Schaltungsdiagramm, welches ein Aufbaubeispiel des Wichtungssteuerböcks im Phaseninterpolators von [Fig. 74](#) zeigt. In [Fig. 74](#) sind die Bezugszeichen **41a**, **41b** und **42a**, **42b** Sinuswellen-Erzeugungsschaltungen, **430** ist eine Wichtungssteuerungsschaltung (Wichtungssteuerungsböck), **440** ist eine Operationsverstärkerschaltung (Summenbildungs-Schwingungsform-Erzeugungsschaltung), und **450** ist eine Komparatorerschaltung (Analog-Digital-Umsetzungsschaltung).

[0367] Wie oben mit Hilfe von [Fig. 62](#) erläutert setzt der Phaseninterpolator nach dem Beispiel, welches in [Fig. 74](#) gezeigt ist, Rechteckschwingungsformen in Dreiecksschwingungsformen um, wobei die Digitalsignale (Rechteckschwingungen) DIS1 und DIS2 über die Verzögerungsschaltungen **41a** und **42a** geführt werden, und setzt außerdem die Dreieckschwingungsformen in Sinusschwingungsformen (Pseudosinusschwingungsformen) um, indem die Dreiecksschwingungsformen über die Ansteuer-schaltungen (nicht lineare Verstärkerschaltungen) **41b** und **42b** geführt werden. Diese Sinuswellen (f_1 und f_2) werden dann in die Wichtungssteuerschaltung **430** geführt, wo sie vorgeschriebenen Wichtungen durch die jeweiligen Wichtungssteuerungsblöcke (**4301** und **4302**) zugeordnet werden; danach werden die Sinuswellen in der Operationsverstärkerschaltung **440** addiert und die resultierende Welle wird dem Komparator **450** zugeführt.

[0368] Wie in [Fig. 75](#) gezeigt ist, ist der Wichtungssteuerungsblock **4301** (**4302**) aus mehreren Übertragungsgates (mit der Anzahl n) aufgebaut, die parallel zwischen Eingang und Ausgang vorgesehen sind. Diese n (beispielsweise 16) Übertragungsgates werden zur Verbindung durch Steuersignale C41 bis C4n entsprechend gesteuert, so dass die Sinuswelle f_1 (f_2) gemäß der Anzahl von Übertragungsgates gewichtet wird, wobei veranlasst wird, eine leitende Verbindung zwischen dem Eingang und Ausgang herzustellen. Insbesondere werden in dem Schaltungsbeispiel von [Fig. 75](#) von den Steuersignalen C41 bis C4n eine beliebige Anzahl von Steuersignalen auf den hohen Pegel "H" gesetzt, um zu veranlassen, dass die entsprechende Anzahl von Übertragungsgates eingeschaltet wird und somit die Leitfähigkeit (die Leitfähigkeit an der Innenseite der Operationsverstärkerschaltung **440**) verändert wird.

[0369] In [Fig. 75](#) haben die nMOS-Transistoren und die pMOS-Transistoren, welche die jeweiligen Übertragungsgates bilden, die gleiche Größe, wobei jedoch alternativ die nMOS-Transistoren und pMOS-Transistoren, die jedes Übertragungsgate bilden, bezüglich der Größe variiert werden können (beispielsweise, wenn die Gatebreite des kleinsten Transistors 1 sein soll, werden die Gatebreiten der anderen Transistoren auf 1, 1, 1, 2, 1, 3,... entsprechend gesetzt). Im letzteren Fall kann die Sinuswelle f_1 (f_2) durch Einschalten eines beliebigen Übertragungsgates oder einer beliebigen Anzahl von Übertragungsgates in einer gewünschten Kombination gewichtet werden, d.h., durch Veranlassen, dass zumindest ein Übertragungsgate leitend wird.

[0370] [Fig. 76](#) ist ein Schaltungsdiagramm, welches ein Aufbaubeispiel des Phaseninterpolators zeigt. In [Fig. 76](#) ist das Bezugszeichen **4101** eine Auswahl-schaltung, **4111** bis **411n** sind CMOS-Inverter, **4103** ist eine kapazitive Last, und **4104** ist eine Kompara-

torschaltung (Komparator).

[0371] Die Auswahl-schaltung **4101** führt Steuerung aus, um die Anzahl k von CMOS-Inverter **4111** bis **411k**, zu denen das erste periodische Digitalsignal DIS1 geliefert wird, und die Anzahl $n-k$ der CMOS-Inverter **411k** bis **411n**, auszuwählen, zu denen das zweite periodische Digitalsignal DIS2 geliefert wird. Das heißt, die Anzahl (k) von CMOS-Invertern, denen das erste periodische Digitalsignal DIS1 zugeführt wird, und die Anzahl ($n-k$) von CMOS-Invertern, denen das zweite periodische Digitalsignal DIS2 zugeführt wird, wird durch die Auswahl-schaltung **4101** gesteuert. Hier ist die Gesamtzahl von CMOS-Invertern **4111** bis **411n** beispielsweise 16. Außerdem sind die Ausgänge der CMOS-Inverter **4111** bis **411n** gemeinsam miteinander verbunden und mit dem Anschluss (einem Eingangsanschluss des Komparators **4104**) gekoppelt, mit dem die kapazitive Last **4103** verbunden ist. Der Komparator **4104** vergleicht das Eingangssignal mit der Referenzspannung V_r ($1/2 \cdot V_{cc}$) und gibt das periodische Digitalsignal D0 "0" oder "1" aus.

[0372] Alle CMOS-Inverter **4111** bis **411n** nehmen das Digitalsignal DIS1 oder DIS2, eine Rechteckwelle unmittelbar als deren Eingangssignal, wobei jedoch das Ausgangssignal jedes CMOS-Inverters **4111** bis **411n** zu einer periodischen analogen Schwingungsform wird, deren Wert in analoger Weise aufgrund der Anwesenheit der kapazitiven Last **4103** variiert. Der Phaseninterpolator der dreizehnten Ausführungsform liefert die Umsetzung der Digitalsignale (DIS1 und DIS2) in analoge Schwingungsformen simultan mit deren Wichtungssteuerung, wobei die Anzahl von CMOS-Invertern, die an das erste und zweite periodische Digitalsignal DS1 bzw. DIS2 angeschlossen sind, gesteuert wird. Der Phaseninterpolator bietet somit den Vorteil, dass keine Notwendigkeit besteht, Sinuswellen-Erzeugungsschaltungen vorzusehen, und die Linearität der Wichtungssteuerung ist hoch.

[0373] [Fig. 77](#) ist ein Schaltungsdiagramm, welches ein Aufbaubeispiel des Phaseninterpolators zeigt.

[0374] Bei dem Phaseninterpolator des vierzehnten Beispiels werden die Digitalsignale DIS1 und DIS2 durch entsprechende Inverterpaare **42111**, **4212** und **4221**, **4222** empfangen, und nMOS- und pMOS-Transistoren in jedem von mehreren CMOS-Inverterausgangsstufen **4231** bis **423n** und **4241** bis **424n** werden durch die Ausgangssignale dieser Inverter **4211**, **4212** und **4221**, **4222** angesteuert. Hier werden die Ausgangssignale der Ausgangsstufen **4231** bis **423n** (**4241** bis **424n**) über die jeweiligen Transfertates hereingenommen, welche zur Verbindung durch jeweilige Steuersignale C411 bis C41n (C421 bis C42n) gesteuert werden, und werden miteinander verbunden und als ein Eingangssignal

zum Komparator **4250** geliefert.

[0375] Insbesondere verwendet der Phaseninterpolator mehrere CMOS-Inverter zur Wichtungssteuerung, jedoch mit dem Unterschied, dass lediglich die Anzahl von Ausgangsstufen zur Verbindung durch die Steuersignale gesteuert wird, wobei der Eingangsschaltungsaufwand (die Inverter **4211**, **4212** und **4221**, **4222**) gemeinsam vorgesehen sind. Hier werden die nMOS- und pMOS-Transistoren, welche die jeweiligen Ausgangsstufen (und Übertragungsgates) **4231** bis **423n** und **4241** bis **424n** bilden, so gewählt, dass sie die gleiche Größe haben, und die Anzahl von Ausgangsstufen, die zur Verbindung gesteuert werden, beträgt beispielsweise 16 oder 32.

[0376] Da die Eingangskapazität der Schaltung unabhängig von Wichtungswerten konstant ist, hat der Phaseninterpolator den Vorteil, dass eine Phasenverschiebung aufgrund der Belastungswirkung in Bezug auf digitale Eingangssignale DIS1 und DIS2 nicht auftritt, wodurch es ermöglicht wird, das Digitalsignal D0 zu erzeugen, welches einen genaueren Zeitgeber (Phasendifferenz) hat.

[0377] [Fig. 78](#) ist ein Schaltungsdiagramm, welches ein Aufbaubeispiel des Phaseninterpolators der vorliegenden Erfindung zeigt, und [Fig. 79A](#) und [Fig. 79B](#) sind Schaltungsdiagramme, welche Beispiel von Transconductoren im Phaseninterpolator von [Fig. 78](#) zeigen.

[0378] Wie in [Fig. 78](#) gezeigt ist, werden im Phaseninterpolator die digitalen Eingangssignale DIS1 und DIS2 in Dreieckswellen durch Integratorschaltungen umgesetzt, die jeweils aus einem Inverter **4501**, **4302** und einer kapazitiven Last **4303**, **4304** bestehen, und sie werden zu den jeweiligen Transconductoren (variable Transconductoren) **4305** und **4306** geliefert. Hier kann jede Integratorschaltung durch Umschalten des Konstantstroms durch das Digitalsignal erhalten werden, wobei verschiedene andere Integratorschaltungen verwendet werden können. Außerdem können Filterschaltungen, die Hochfrequenzkomponenten der Digitalsignale dämpfen, anstelle der Integratorschaltungen verwendet werden.

[0379] Wie in [Fig. 79A](#) und [Fig. 79B](#) gezeigt ist, ist das Transconductor **4305**, **4306** vorgesehen, um ein Stromausgangssignal entsprechend der Eingangsspannung zu extrahieren.

[0380] Der Transconductor **4305** von [Fig. 79A](#) besteht aus pMOS-Transistoren **4351** und **4354**, einem nMOS-Transistor **4352** und einem Widerstand **4353**, und ist so aufgebaut, dass ein Strom entsprechend der Eingangsspannung (IN), welche an das Gate des Transistors **4352** angelegt wird, zum Transistor **4351** fließt, und der Strom, der durch den Transistor **4354**

fließt, der in einer Stromspiegelanordnung mit dem Transistor **4351** verbunden ist, als Stromausgangssignal extrahiert wird.

[0381] Dagegen besteht der Transconductor **4305** von [Fig. 79B](#) aus pMOS-Transistoren **4361**, **4364** und **4366** und aus nMOS-Transistoren **4362**, **4363** und **6365** und ist so aufgebaut, dass der Strom, der durch den Transistor **4364** fließt, gemäß der Eingangsspannung (IN), die an einen Eingangsanschluss der Differenzschaltung (dem Gate des Transistors **4362**) angelegt wird, und der Referenzspannung ($1/2 \cdot V_{cc}$), die an dessen anderen Eingangsanschluss angelegt wird, als Stromausgangssignal vom Transistor **4366** extrahiert wird, der in einer Stromspiegelanordnung mit dem Transistor **4364** geschaltet ist.

[0382] Neben der Transconductoren **4305** und **4306**, welche in [Fig. 79A](#) und [Fig. 79B](#) gezeigt sind, können verschiedene Transconductorschaltungen, die auf dem Gebiet von analoger zeitlich stetiger Verarbeitung bekannt sind, für den obigen Zweck verwendet werden.

[0383] Wie in [Fig. 78](#) gezeigt ist, werden, nachdem die Dreiecksschwingungen durch die Transconductoren **4305** und **4306** in Stromsignale umgesetzt wurden, die Stromsignale an die Widerstandslast **4307** ausgegeben, um eine Wichtungssumme zu erreichen. Der Komparator **4308** vergleicht dann die Wichtungssumme mit der Referenzspannung ($1/2 \cdot V_{cc}$), um das Digitalsignal D0 zu erzeugen, welches eine vorgeschriebene Phase hat.

[0384] Der Phaseninterpolator bietet den Vorteil, dass eine hochgenaue Schaltungsausbildung aufgrund des Schaltungsaufbaus möglich wird, um die Umsetzung in Dreieckswellen durchzuführen, und der Schaltungsaufbau, um die Summe zu bilden, separat optimiert werden kann.

[0385] [Fig. 80](#) ist ein Schaltungsdiagramm, welches ein Aufbaubeispiel des Phaseninterpolators zeigt. In [Fig. 80](#) entspricht das Bezugszeichen V1+ dem ersten periodischen Digitalsignal DIS1, V1- entspricht dem invertierten Signal (/DIS1) des ersten periodischen Digitalsignals DIS1, V2+ entspricht dem zweiten periodischen Digitalsignal DIS2, und V2- entspricht dem invertierten Signal (/DIS2) des zweiten periodischen Digitalsignals DIS2.

[0386] Wie in [Fig. 80](#) gezeigt ist, ist der analoge periodische Schwingungsformerzeugungsblock und der Summierungsschwingungsform-Erzeugungsblock durch Verbinden der Konstantstromquellen mit Schaltern (**4401**, **4403** und **4402**, **4404**) mit den entsprechenden kapazitiven Lasten (**4405** und **4406**) aufgebaut. Das heißt, wenn das erste digitale Eingangssignal DIS1 (V1+) auf einem hohen Pegel "H"

ist, ist in der Konstantstromquelle mit den Schaltern **4401** ein nMOS-Transistor **4414** eingeschaltet und ein pMOS-Transistor **4411** ist ausgeschaltet, und, in der Konstantstromquelle mit den Schaltern **4402** ist ein nMOS-Transistor **4424** ausgeschaltet und ein pMOS-Transistor **4421** eingeschaltet. Als Ergebnis fließt Strom zur kapazitiven Last **4405** über die nMOS-Transistoren **4413** und **4414**, und in gleicher Weise fließt Strom zur kapazitiven Last **4406** über die pMOS-Transistoren **4421** und **4422**. Wenn umgekehrt das erste digitale Eingangssignal DIS1 bei einem niedrigen Pegel "L" ist, fließt Strom zur kapazitiven Last **4405** über die pMOS-Transistoren **4411** und **4412**, und in gleicher Weise fließt Strom zur kapazitiven Last **4406** über die nMOS-Transistoren **4423** und **4424**. Das gleiche gilt für das zweite digitale Eingangssignal DIS2 (V2+), welches bezüglich der Phase verschieden ist. Außerdem ist ein Anschluss der kapazitiven Last **4405**, deren anderer Anschluss mit dem positiven logischen Eingang des Komparators **4407** verbunden ist, auf einem Zwischenpotential $1/2 \cdot V_{cc}$ gehalten, und in gleicher Weise ist ein Anschluss der kapazitiven Last **4406**, deren anderer Anschluss mit dem negativen logischen Eingang des Komparators **4407** verbunden ist, ebenfalls auf dem Zwischenpotential ($1/2 \cdot V_{cc}$) gehalten.

[0387] Die analoge Summenschwingungsform (die Schwingungsform am anderen Anschluss der kapazitiven Last **4405**), welche durch Summieren der positiven logischen periodischen Digitalsignale DIS1 und DIS2 (V1+ und V2+) erlangt wird, wird im Komparator **4407** mit der analogen Summenschwingungsform verglichen (der Schwingungsform an diesem anderen Anschluss der kapazitiven Last **4406**), die durch Summierung der negativen periodischen logischen Digitalsignale /DIS1 und /DIS2 (V1– und V2–) erlangt wird, und das periodische Digitalsignal D0 entsprechend dem Ergebnis des Vergleichs wird ausgegeben.

[0388] Im Phaseninterpolator wird die Wichtungssteuerung durch Ändern der Spannungspegel der Vorspannungssignale (Vcp1, Vcn1; Vcp2, Vcn2) durchgeführt. Schaltungen zum Erzeugen der Vorspannungssignale werden später mit Hilfe der [Fig. 81](#) und [Fig. 82](#) beschrieben.

[0389] Auf diese Weise weist im Phaseninterpolator der analoge periodische Schwingungsformerzeugungs- und Summierungsschwingungsform-Erzeugungsbereich eine Strompolaritäts-Schalteneinrichtung (**4411**, **4414** und **4421**, **4424**), um die Polarität des Stroms, der von den Konstantstromquellen (**4412**, **4413** und **4422**, **4423**) fließt, auf die gemeinsamen kapazitiven Lasten (**4405** und **4406**) durch das erste periodische Digitalsignal DIS1 (V1+, V1–) umzuschalten, und die Stromwert-Steuerungseinrichtung (**4412**, **4413** und **4422**, **4423**) auf um die Stromwerte der Stromquellen zu steuern. Der Aufbau ist grund-

sätzlich der gleiche für das zweite periodische Digitalsignal DIS2.

[0390] Die Konstantstromquelle mit den Schaltern **4401** (**4402** bis **4406**) ist durch Einfügen des pMOS-Transistors **4412** und des nMOS-Transistors **4413** aufgebaut, welche im Konstantstrommodus auf der Drainseite des pMOS-Transistors **4411** und des nMOS-Transistors **4414** vorgespannt sind, die einen CMOS-Inverter bilden. Alternativ können der pMOS-Transistor und der nMOS-Transistor, welche im Konstantstrommodus vorgespannt sind, nicht auf der Drainseite, sondern auf der Source-Seite der Transistoren, die den CMOS-Inverter bilden, eingefügt sein (d.h., zwischen der Hochpegel-Spannungsversorgungsleitung Vcc und der Source des pMOS-Transistors **4411** und zwischen der Niederpegel-Spannungsversorgungsleitung Vss und der Source des nMOS-Transistors **4414**).

[0391] Der Phaseninterpolator lässt die Funktion zum Umsetzen des digitalen Eingangssignals in Analogsignale (die Funktion des analogen periodischen Schwingungsform-Erzeugungsbereichs) und die Funktion zum Erzeugen der Summe (die Funktion des Summenbildungsschwingungsform-Erzeugungsbereichs) zu, die auf einem Endgerät ausgeführt werden. Dies dient dazu, den Schaltungsaufbau zu vereinfachen und den Leistungsverbrauch zu reduzieren.

[0392] [Fig. 81](#) ist ein Schaltungsdiagramm, welches ein Beispiel der Schaltung zeigt, um die Vorspannungssignale im Phaseninterpolator von [Fig. 80](#) zu erzeugen, und [Fig. 82](#) ist ein Schaltungsdiagramm, welches ein weiteres Beispiel der Schaltung zeigt, um die Vorspannungssignale im Phaseninterpolator von [Fig. 80](#) zu erzeugen.

[0393] Wie oben beschrieben wird im Phaseninterpolator, der in [Fig. 80](#) gezeigt ist, die Wichtungssteuerung für die periodischen Digitalsignale DIS1, DIS2, /DIS1 und /DIS2 durch Ändern des Spannungspegels der Vorspannungssignale Vcp1, Vcn1, Vcp2 und Vcn2 durchgeführt. Beispiele der Vorspannungssignal-Erzeugungsschaltung (**4408**) zum Erzeugen der Vorspannungssignale sind in [Fig. 81](#) und [Fig. 82](#) vorgesehen.

[0394] Wie in [Fig. 81](#) gezeigt ist, sind bei einem Beispiel der Vorspannungssignal-Erzeugungsschaltung **4408** mehrere Transistorpaare, von denen jedes aus zwei pMOS-Transistoren **4481** und **4482** besteht, die in Serie geschaltet sind, parallel vorgesehen, und, mit der Referenzspannung (Ver), welche an das Gate eines Transistors **4481** in jedem Paar angelegt wird, werden Steuersignale (Digitalsignale) C431 bis C43n an die anderen Transistoren **4482** in den jeweiligen Paaren angelegt, um deren Schaltoperationen zu steuern.

[0395] Hier sind alle Transistorpaare (**4481**, **4482**) gemeinsam mit einem Anschluss eines nMOS-Transistors **4483** verbunden, so dass die Summe der Ströme, welche durch die Transistorpaare fließen, die durch die Steuersignale C431 bis C43n ausgewählt wurden, zum nMOS-Transistor **4483** fließt. Der Strom, der in den Transistor **4483** fließt, fließt weiter zu einem nMOS-Transistor **4484**, der in einer Stromspiegelanordnung geschaltet ist, und auch zu einem pMOS-Transistor **4485**, der in Reihe mit dem Transistor **4484** geschaltet ist. Die Vorspannungssignale Vcp1 (Vcp2) und Vcn1 (Vcn2) werden somit über die Transistoren **4485** und **4484** (**4483**) erhalten. Für den Phaseninterpolator von [Fig. 80](#) werden zwei Vorspannungssignal-Erzeugungsschaltungen benötigt, und zwar eine zum Erzeugen der Vorspannungssignale Vcp1 und Vcn1 und die andere zum Erzeugen der Vorspannungssignale Vcp2 und Vcn2, und die Wichtungssteuerung wird so durchgeführt, dass, wenn die positiven logischen Steuersignale C431 bis C43n zur Vorspannungssignal-Erzeugungsschaltung geliefert werden, welche die Vorspannungssignale Vcp1 und Vcn1 beispielsweise erzeugt, die Komplemente der Steuersignale /C431 bis /C43n zur Vorspannungssignal-Erzeugungsschaltung, welche die Vorspannungssignale Vcp2 und Vcn2 erzeugt, geliefert werden.

[0396] Auf diese Weise ist die Vorspannungssignal-Erzeugungsschaltung **4408**, welche in [Fig. 81](#) gezeigt ist, als Stromausgabe-D/A-Umsetzer ausgebildet, und die Stromquelle an der gesteuerten Seite erlangt einen variablen Konstantstrom durch Spiegeln des Stroms, der durch den D/A-Umsetzer empfangen wird, unter Verwendung der Stromspiegelschaltung, und erzeugt die Vorspannungssignale Vcp1 (Vcp2) und Vcn1 (Vcn2), die einen vorher festgelegten Spannungspegel haben, der für die Steuersignale C431 bis C43n geeignet ist. Da die Stromquelle an der Steuerseite bezüglich des Aufbaus vereinfacht werden kann, ist der Vorteil so, dass die Vorspannungssignal-Erzeugungsschaltung mit einem relativ kleinen Schaltungsaufwand realisierbar ist.

[0397] [Fig. 82](#) ist ein Schaltungsdiagramm, welches ein alternatives Beispiel der Vorspannungssignal-Erzeugungsschaltung im Phaseninterpolator von [Fig. 80](#) zeigt.

[0398] Wie in [Fig. 82](#) gezeigt ist, ist bei dem alternativen Beispiel der Vorspannungssignal-Erzeugungsschaltung **4408** der Drain jeder der mehreren pMOS-Transistoren **4486**, von denen jeder mit der Referenzspannung (Vr) beliefert wird, mit einem Anschluss (der Source) eines jeden der pMOS-Transistoren **4487** und **4488** verbunden, deren Schaltoperationen durch die Steuersignale (Digitalsignale) C441 bis C44n gesteuert werden. Hier werden die Transistoren **4487** in den jeweiligen Transistorpaaren an ihren Gates mit den entsprechenden Steuersignalen

C441 bis C44n beliefert, während die Transistoren **4488** in den jeweiligen Transistorpaaren an ihren Gates mit den Steuersignalen (/C441 bis /C44n) beliefert werden, die durch die jeweiligen Inverter **4489** invertiert wurden. Folglich ist in jedem Transistorpaar einer der Transistoren **4487** oder **4488** eingeschaltet und der andere ist ausgeschaltet.

[0399] Die anderen Anschlüsse (die Drains) der Transistoren **4487** in den jeweiligen Transistorpaaren sind zusammengeschaltet, so dass die Summe der Ströme, welche durch die Transistoren **4487** im Einschaltzustand fließt, zu einem nMOS-Transistor **44832** fließt. In gleicher Weise sind die anderen Anschlüsse der Transistoren **4488** in den jeweiligen Transistorpaaren zusammengeschaltet, so dass die Summe der Ströme, über die Transistoren **4488** im Einschaltzustand fließt, zu einem nMOS-Transistor **44831** fließt. Dann fließen in der gleichen Weise, wie mit Hilfe von [Fig. 81](#) erläutert wurde, die Ströme, welche über die Transistoren **44831** und **44832** fließen, zu nMOS-Transistoren **44841** und **44842**, die entsprechend in einer Stromspiegelkonfiguration geschaltet sind, und auch zu pMOS-Transistoren **44851** und **44852**, die seriell mit den jeweiligen Transistoren **44841** und **44842** geschaltet sind, womit somit die Vorspannungssignale Vcp1, Vcn1 und Vcp2, Vcn2 erhalten werden.

[0400] Auf diese Weise wird in der Vorspannungssignal-Erzeugungsschaltung **4408**, welche in [Fig. 82](#) gezeigt ist, das Ausgangssignal des Stromsteuerungs-D/A-Umsetzers zum Steuern des Ausgangssignalwerts der Stromquelle zur Verbindung mit den komplementären Ausgangssignalknoten umgeschaltet. Da hier der Ausgangsstrom des D/A-Umsetzers immer als konstant beibehalten wird, wird die Ausgangstransistorspannung des D/A-Umsetzers konstant gehalten, wobei der resultierende Vorteil dahin ist, dass Übergangsantwortspitzen, wie diese gesehen werden, wenn der Strom unterbrochen wird, beseitigt sind. Außerdem kann der Stromverbrauch des Stromausgangs-D/A-Umsetzers ebenfalls reduziert werden (ungefähr um eine Hälfte).

[0401] [Fig. 83](#) ist ein Schaltungsdiagramm, welches den Aufbau einer variablen Stromquelle (**4500**) als modifiziertes Beispiel von [Fig. 80](#) zeigt. Dieses Beispiel ist auf jede Konstantstromquelle (**4401** bis **4404**) im oben beschriebenen Phaseninterpolator von [Fig. 80](#) anwendbar. In der Stromquelle **4500**, welche in [Fig. 83](#) gezeigt ist, sind die Vorspannungssignale (Vorspannungen) Vcp und Vcn Konstantspannungspegelsignale, und die Wichtungssteuerung wird unter Verwendung der Steuersignale C451 bis C45n durchgeführt.

[0402] Wie in [Fig. 83](#) gezeigt ist, unterscheidet sich die variable Stromquelle **4500** dieses modifizierten Beispiels gegenüber der Konstantstromquelle **4401**

in [Fig. 80](#) dahingehend, dass die Transistoren **4501** und **4503** (entsprechend den Transistoren **4412** und **4413**), zu denen die Vorspannungssignale V_{cp} (V_{cp1}) und V_{cn} (V_{cn1}) geliefert werden, in mehreren Paaren vorgesehen sind und ein pMOS-Transistor **4506** und ein nMOS-Transistor **4508** zwischen den Transistoren **4501** und **4503** in jedem Paar vorgesehen sind. Hier werden die positiven logischen Steuersignale $C451$ bis $C45n$ zu den Gates der Transistoren **4508** in den jeweiligen Paaren geliefert, während die Steuersignale ($/C451$ bis $/C45n$), die durch die jeweiligen Inverter **4507** invertiert wurden, zu den Gates der Transistoren **4506** in den jeweiligen Paaren geliefert werden. Der Knotenpunkt zwischen den Transistoren **4506** und **4508** in jedem Paar ist zusammengeschaltet mit den entsprechenden Knotenpunkten in den anderen Paaren, um ein Ausgangssignal "aus" zu erzeugen (Ausgangsanschluss). Der Ausgangsanschluss "out" ist beispielsweise mit einem Anschluss der kapazitiven Last (**4405** oder **4406**) und dem anderen Eingangsanschluss des Komparators (**4407**), wie in [Fig. 80](#) gezeigt ist, verbunden.

[0403] Auf diese Weise steuert die variable Stromquelle des in [Fig. 83](#) gezeigten modifizierten Beispiels die Anzahl von Ausgangstransistoren (**4506** und **4508**) im Stromspiegel, um die variable Stromquelle zu erlangen, und hält die Gatevorspannung (Vorspannungssignale V_{cp} und V_{cn}) der Stromspiegel-Betriebstransistoren (**4502** und **4503**) immer auf einem konstanten Pegel. Dies dient dazu, die Stromstabilität zu verbessern. Außerdem hat die variable Stromquelle des modifizierten Beispiels den Vorteil einer ausgezeichneten Linearität, da die Stromsteuerung durch Steuern der Anzahl der Transistoren erreicht wird.

[0404] [Fig. 84](#) ist ein Schaltungsdiagramm, welches ein Aufbaubeispiel eines Bereichs des Phaseninterpolators zeigt, bei dem eine Klemmschaltung **4600** zwischen den beiden Eingangsanschlüssen des Komparators **4407** im Phaseninterpolator von [Fig. 80](#) vorgesehen ist.

[0405] Wenn die Klemmschaltung **4600** vorgesehen ist, beispielsweise zwischen den beiden Eingangsanschlüssen (den Knoten, wo analoge Schwingungsformen durch Summierung erzeugt werden) des Komparators **4407** im Phaseninterpolator von [Fig. 80](#), wie in [Fig. 84](#) gezeigt ist, werden die gemeinsamen Knotenpotentiale dieser Knotenpunkte durch die Klemmschaltung **4600** konstant gehalten, sogar dann, wenn es ein Ungleichgewicht in den Stromwerten der Stromwellen gibt. Als Ergebnis kann der Komparator **4407** in der nachfolgenden Stufe immer den Vergleichsbetrieb unter einem konstanten Zustand durchführen, und es kann somit die Zeitgebergenauigkeit verbessert werden.

[0406] Die in [Fig. 84](#) gezeigte Klemmschaltung

4600 ist so aufgebaut, dass $1/2 \cdot V_{cc}$ (Referenzspannung) an die Gates von zwei nMOS-Transistoren **4601** und **4602**, die seriell geschaltet sind, und auch den Knotenpunkt zwischen diesen Transistoren **4601** und **4602** angelegt wird, um die Spannung zwischen den beiden Eingangsanschlüssen des Komparators **4407** zu klemmen. Für die Klemmschaltung **4600** sind verschiedene Anordnungen, die anders sind als die in [Fig. 84](#) gezeigte, anwendbar.

[0407] [Fig. 85](#) ist ein Diagramm, um ein Aufbaubeispiel des Phaseninterpolators zu erläutern. In [Fig. 85](#) zeigt die Horizontalachse einen D/A-Eingangscode, d.h., die Anzahl von Transistoren, die durch Steuersignale ausgewählt (geschaltet) sind, und die Vertikalachse zeigt den Ausgangsstrom als Summe der Ströme, welche durch die ausgewählten Transistoren fließen.

[0408] Wie insoweit beschrieben, wählt, um die Wichtungssteuerung zum Steuern der Wichtung in jeder analogen periodischen Schwingungsform zu steuern, der Phaseninterpolator mehrere Transistoren aus, beispielsweise von der gleichen Größe unter Verwendung von Steuersignalen (Digitalsignalen), um dadurch die Anzahl von Transistoren zu steuern, die anzuschalten sind und somit den Ausgangsstrom einzustellen.

[0409] Die Kenndatenkurve LL1 in [Fig. 85](#) zeigt die Beziehung zwischen dem Ausgangsstrom und der Anzahl von Transistoren, die angeschaltet sind, wenn die Transistoren mit der gleichen Größe durch die Steuersignale ausgewählt sind. Wie gezeigt ist, ist die Beziehung durch eine nichtlineare Kurve dargestellt.

[0410] Im Hinblick darauf wird die Größe jedes Transistors so eingestellt, dass die Beziehung zwischen dem Ausgangsstrom und der Anzahl von Transistoren, welche durch die Steuersignale gesteuert werden, zu einer Geraden wird, wie durch die Kennlinienkurve LL2 in [Fig. 85](#) gezeigt ist.

[0411] Beispielsweise wird in der Vorspannungssignal-Erzeugungsschaltung, welche in [Fig. 81](#) gezeigt ist, die Anzahl von Transistoren **4482**, bei denen veranlasst wird, leitend zu werden, gemäß den Steuersignalen $C431$ bis $C43n$ gesteuert, und die Summe der Ströme, welche über die leitenden Transistoren **4482** fließen, fließt zum Transistor **4483**. Wenn dies auf einen derartigen Aufbau angewandt wird, wird die Größe jedes Transistors **4482** (**4481**) so eingestellt, dass eine lineare Beziehung zwischen dem Strom (Ausgangsstrom), der zum Transistor **4483** fließt, und der Anzahl von Transistoren **4482**, die gemäß den Steuersignalen $C431$ bis $C43n$ leitend sind, fließt. Diese Transistorgrößeneinstellung kann nicht nur für Transistoren im oben beschriebenen Strom-D/A-Umsetzer angewandt werden, sondern auch bei Transisto-

ren (beispielsweise Transistoren **4483**, **4484**, **4485** usw.) in Verbindung mit der Stromspiegelschaltung, usw., um nichtlineare Komponenten, welche in der Stromspiegelschaltung auftreten, usw., zu kompensieren.

[0412] Auf diese Weise wird es möglich, die Zeitgebergenauigkeit der Signale, welche der Phaseninterpolator ausgibt, zu verbessern.

[0413] Viele verschiedene Ausführungsformen der vorliegenden Erfindung können erdacht werden, ohne den Rahmen der vorliegenden Erfindung zu verlassen, wobei verstanden sein sollte, dass die vorliegende Erfindung nicht auf die speziellen Ausführungsformen begrenzt ist, die in dieser Ausführung beschrieben wurde, mit der Ausnahme, wie diese in den beigefügten Patentansprüchen definiert ist.

Patentansprüche

1. Phaseninterpolator (**136**, **236**), der aufweist:
eine analoge periodische Schwingungserzeugungseinrichtung (**41**, **42**) zum Erzeugen mehrerer analoger periodischer Schwingungsformen (f_1 , f_2), deren Werte in analoger Weise variieren, von periodischen Digitalsignalen (DIS1, DIS2), deren Amplituden Digitalwerte zeigen;
eine Wichtungssteuerungseinrichtung (**43**) zum Steuern der Wichtung jeder der analogen periodischen Schwingungsformen (f_1 , f_2);
eine Summierungsschwingungsform-Erzeugungseinrichtung (**44**) zum Erzeugen einer summierten Schwingungsform (f_3) durch Summieren mehrerer analoger periodischer Schwingungsformen, welche durch die Wichtungssteuerungseinrichtung (**43**) gewichtet wurden, von periodischen Digitalsignalen (DIS1, DIS2), die längs der Zeitachse angezeigt werden; und
eine Analog-Digital-Umsetzungseinrichtung (**45**) zum Umsetzen der summierten Schwingungsform (f_3) in eine digitale Schwingungsform (D0), wobei die Analog-Digital-Umsetzungseinrichtung (**45**) ein Komparator ist, um die summierte Schwingungsform (f_3) mit einem Referenzpegel (V_r) zur Umsetzung in die digitale Schwingungsform (D0) zu vergleichen, **dadurch gekennzeichnet**, dass
die Analog-Digital-Umsetzungseinrichtung (**45**) ein Komparator ist, der eine Referenzspannung (V_r) empfängt und diese summierte Schwingungsform (f_3) mit der Referenzspannung (V_r) vergleicht, um die summierte Schwingungsform (f_3) in die digitale Schwingungsform (D0) umzusetzen.

2. Phaseninterpolator (**136**, **236**) nach Anspruch 1, wobei die analoge periodische Schwingungserzeugungseinrichtung (**41**, **42**) eine Sinuswellen-Erzeugungsschaltung (**41a**, **41b**, **42a**, **42b**) aufweist und die Wichtungssteuerungseinrichtung (**430**) mehrere (n) Übertragungsgates aufweist, die parallel

geschaltet sind und zur Verbindung gesteuert sind.

3. Phaseninterpolator (**136**, **236**) nach Anspruch 2, wobei jedes Übertragungsgate in der Wichtungssteuerungseinrichtung (**430**) einen Transistor der gleichen Größe hat, und die Wichtung der analogen periodischen Schwingungsform (f_1 , f_2) durch Steuern der Anzahl von Übertragungsgates gesteuert wird, wobei veranlasst wird, dass diese leiten.

4. Phaseninterpolator (**136**, **236**) nach Anspruch 2, wobei jedes Übertragungsgate in der Wichtungssteuerungseinrichtung (**430**) einen Transistor einer verschiedenen Größe hat, und die Wichtung der analogen periodischen Schwingungsform (f_1 , f_2) gesteuert wird, indem veranlasst wird, dass zumindest ein Übertragungsgate, welches einen Transistor einer vorgeschriebenen Größe hat, leitfähig ist.

5. Phaseninterpolator (**136**, **236**) nach Anspruch 1, wobei die analoge periodische Schwingungserzeugungseinrichtung (**41**, **42**) mehrere (n) CMOS-Inverter (**4111**, **4112**, **4113**,... **411n**) aufweist und die Wichtungssteuerungseinrichtung (**4101**) die Anzahl (k) von CMOS-Invertern (**4111**, **4112**, **4113**,... **411n**) steuert, um angeschaltet zu sein.

6. Phaseninterpolator (**136**, **236**) nach Anspruch 1, wobei die analoge periodische Schwingungserzeugungseinrichtung (**41**, **42**) mehrere (n) CMOS-Inverterausgangsstufen (**4231**, **4232**,... **423n**, **4241**, **4242**,... **424n**) aufweist und die Wichtungssteuerungseinrichtung (**43**) die Anzahl von Ausgangstransistoren steuert, welche die mehreren (k) CMOS-Inverterausgangsstufen (**4231**, **4232**,... **423n**, **4241**, **4242**,... **424n**) bilden.

7. Phaseninterpolator (**136**, **236**) nach Anspruch 1, wobei die analoge periodische Schwingungserzeugungseinrichtung (**41**, **42**) eine Hochfrequenz-Dämpfungsschaltung ist, um Hochfrequenzkomponenten des periodischen Digitalsignals (DIS1, DIS2) zu dämpfen, und die Wichtungssteuerungseinrichtung (**43**) ein Ausgangssignal der Hochfrequenz-Dämpfungsschaltung in einem Strom mittels eines variablen Transkonduktors (**4305**, **4306**) umsetzt und den umgesetzten Strom an einen gemeinsamen Anschluss anlegt.

8. Phaseninterpolator (**136**, **236**) nach Anspruch 1, wobei die analoge periodische Schwingungserzeugungseinrichtung (**41**, **42**) eine Integrator-schaltung ist.

Es folgen 72 Blatt Zeichnungen

Fig.1
(Stand der Technik)

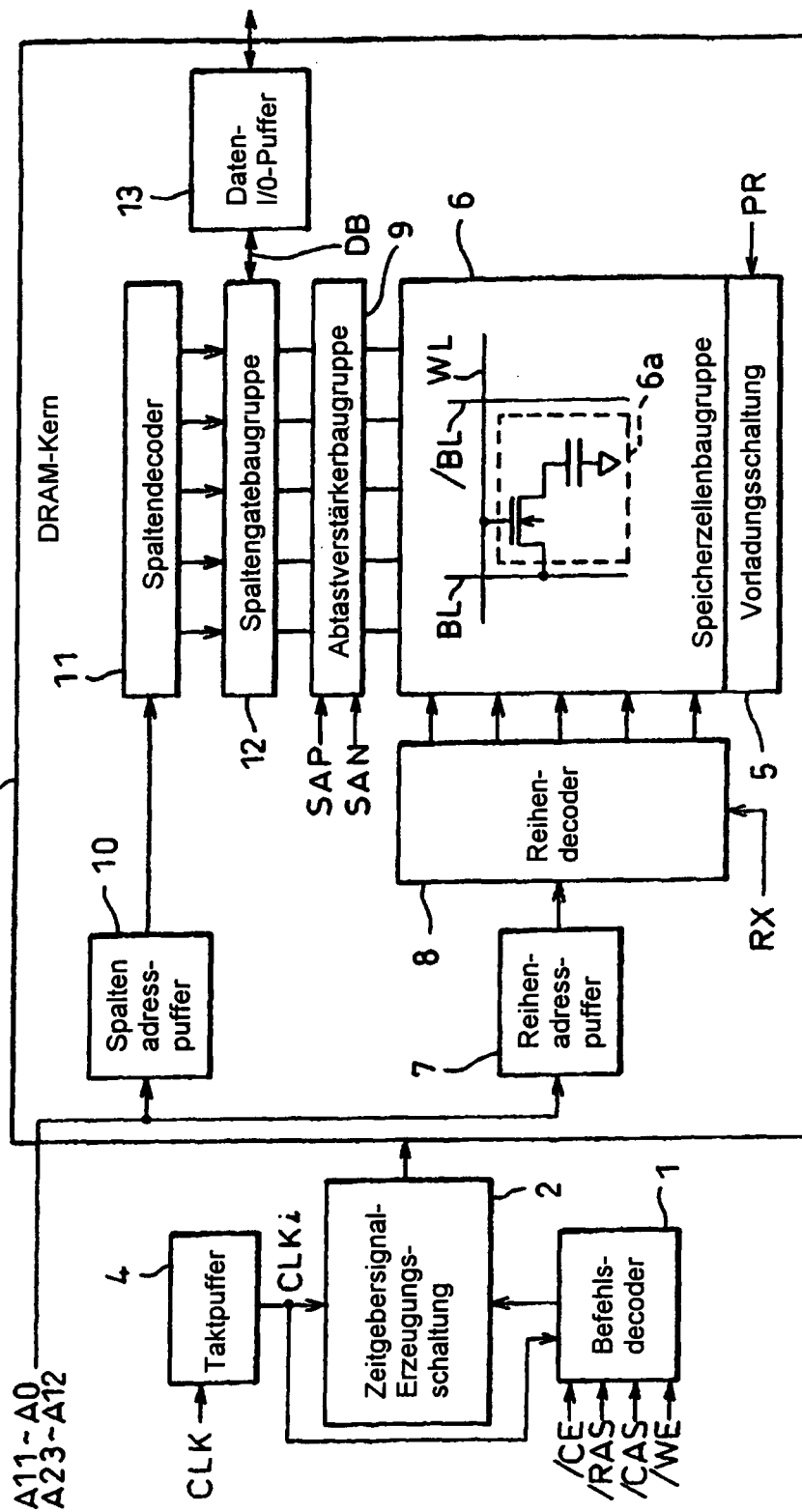


Fig. 2

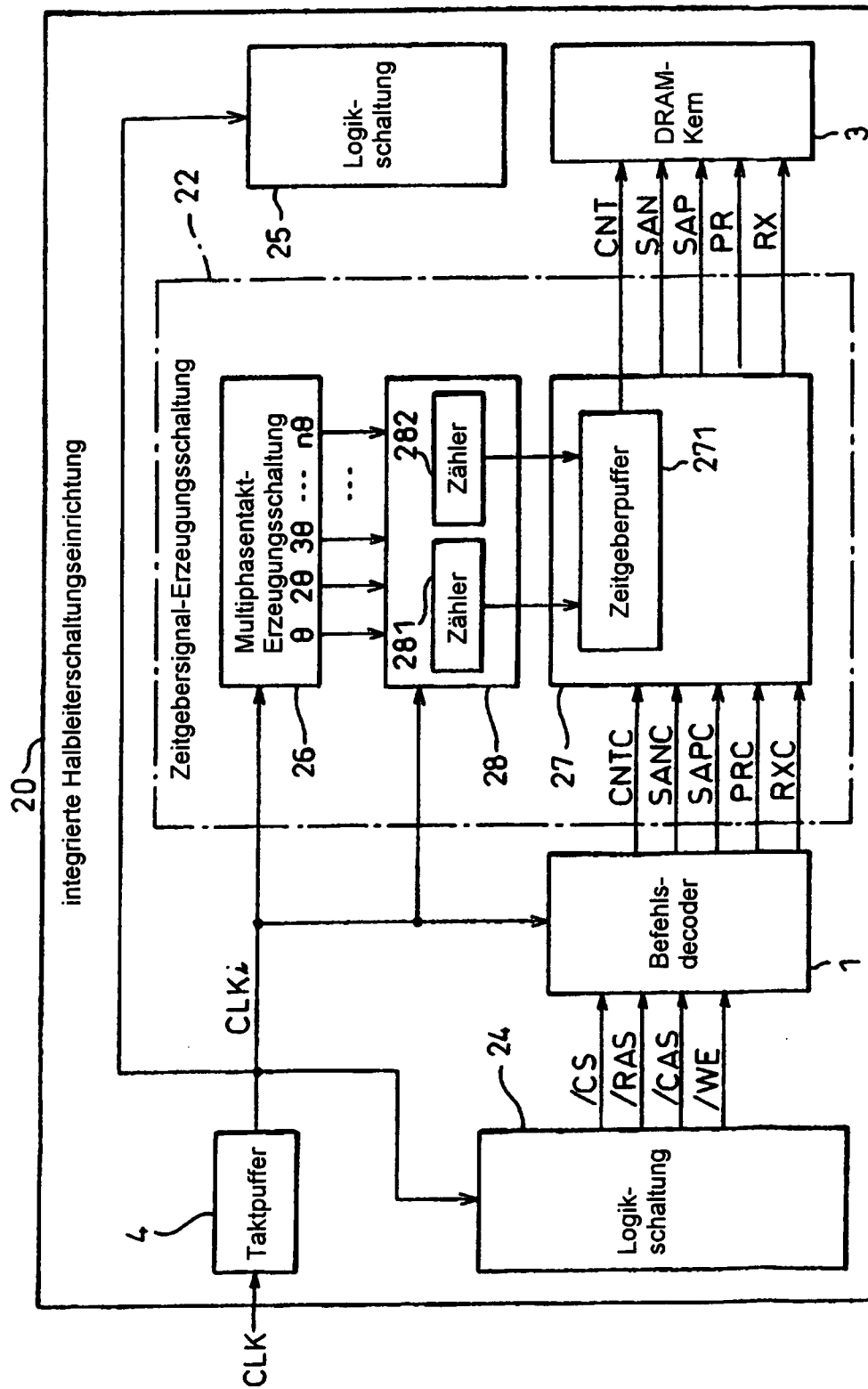
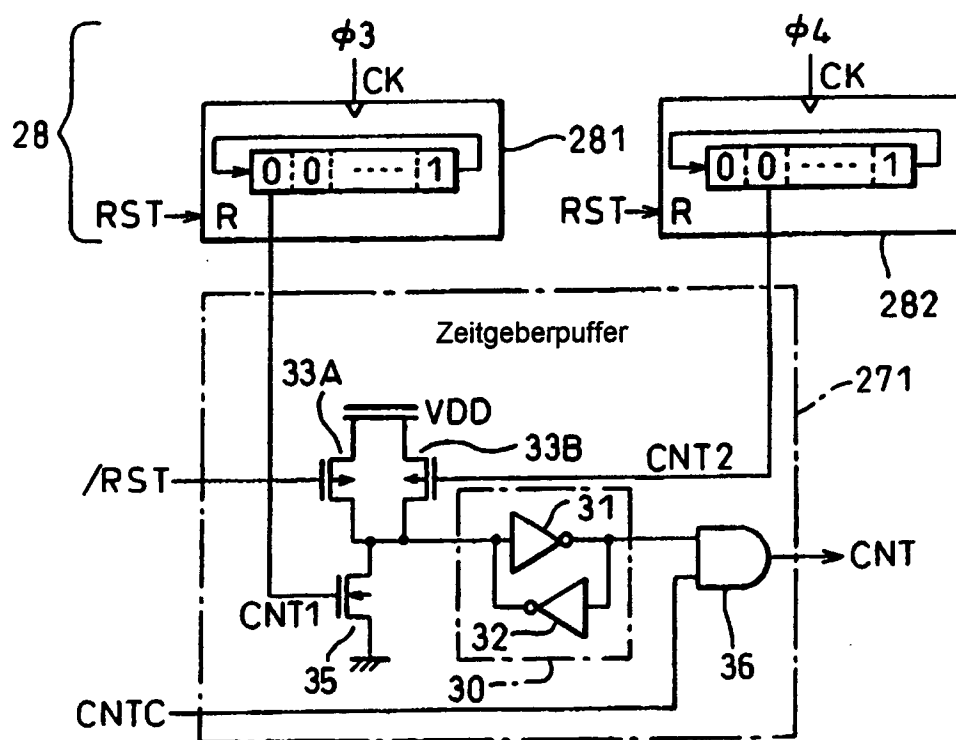


Fig.3



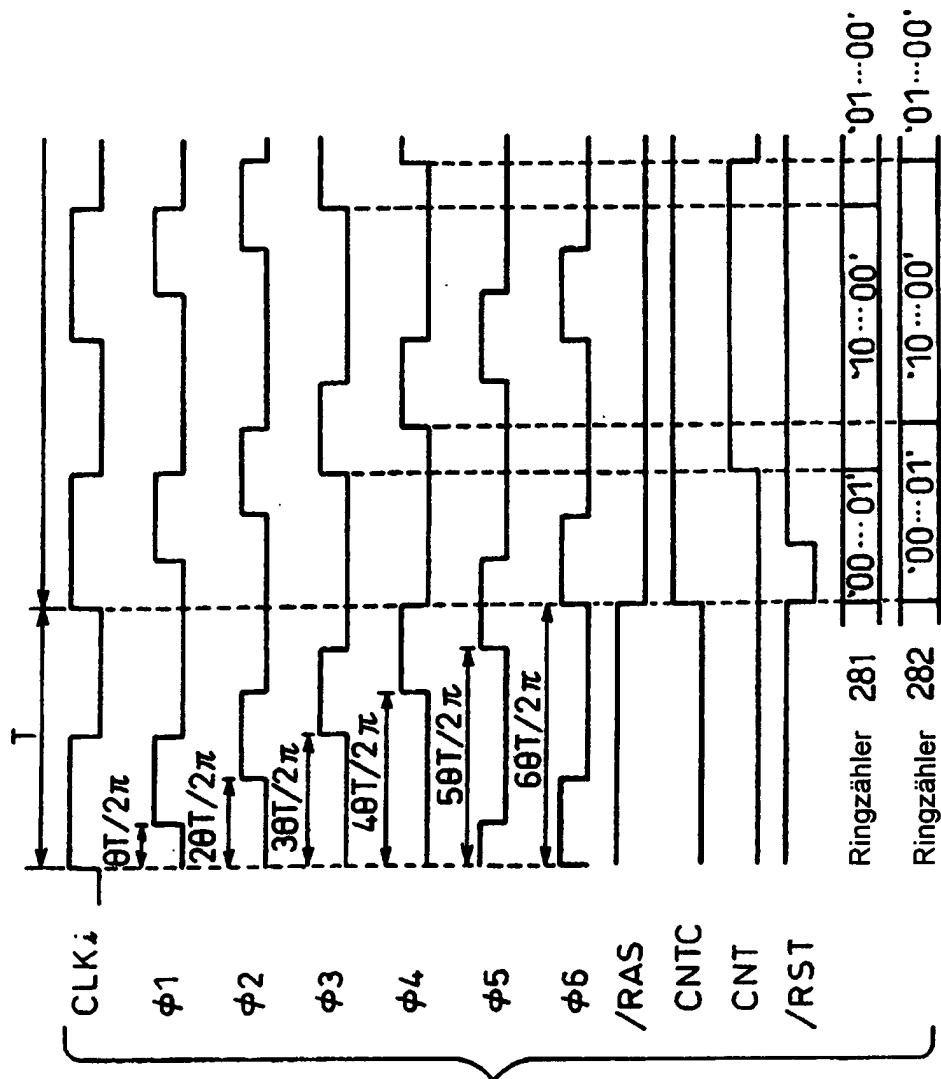


Fig. 4

Fig.5

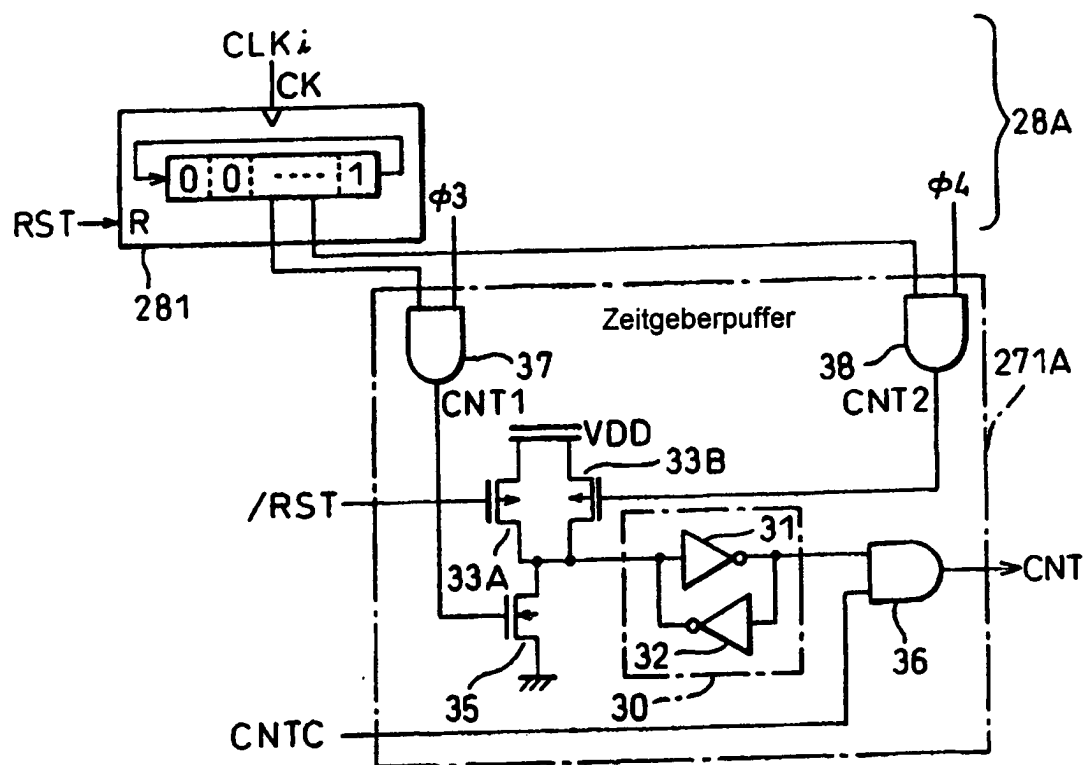


Fig. 6

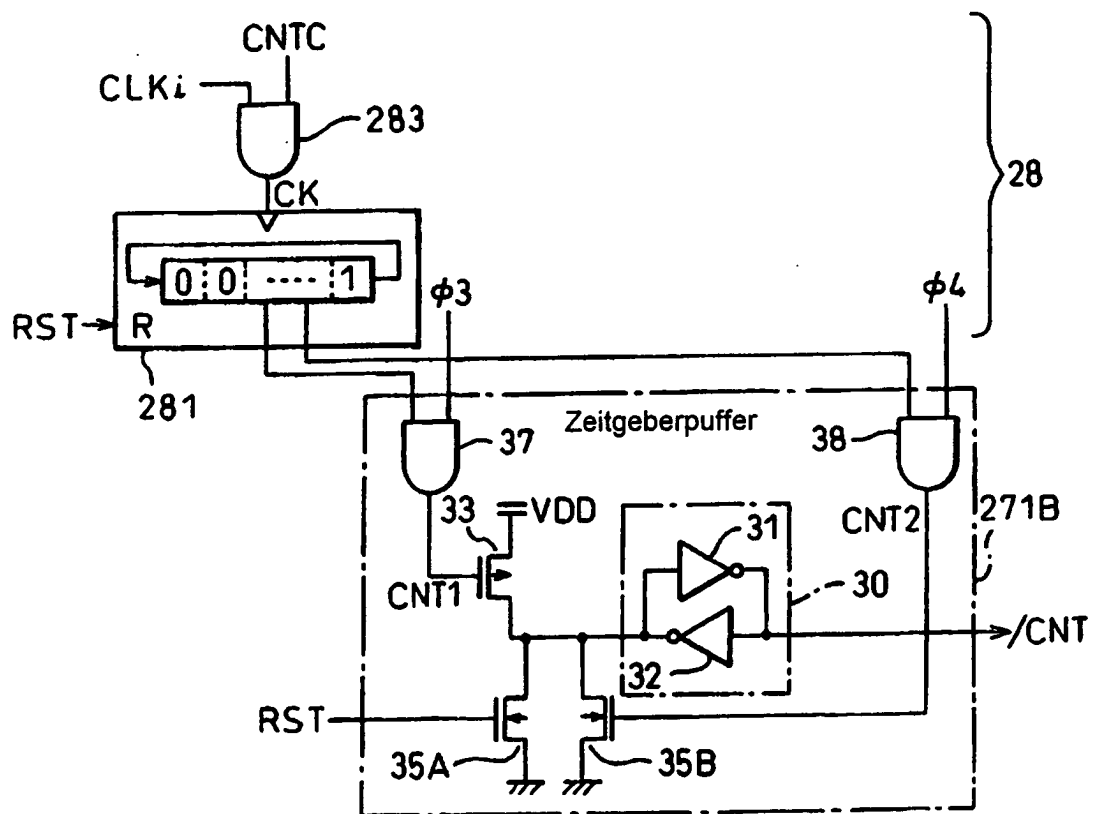
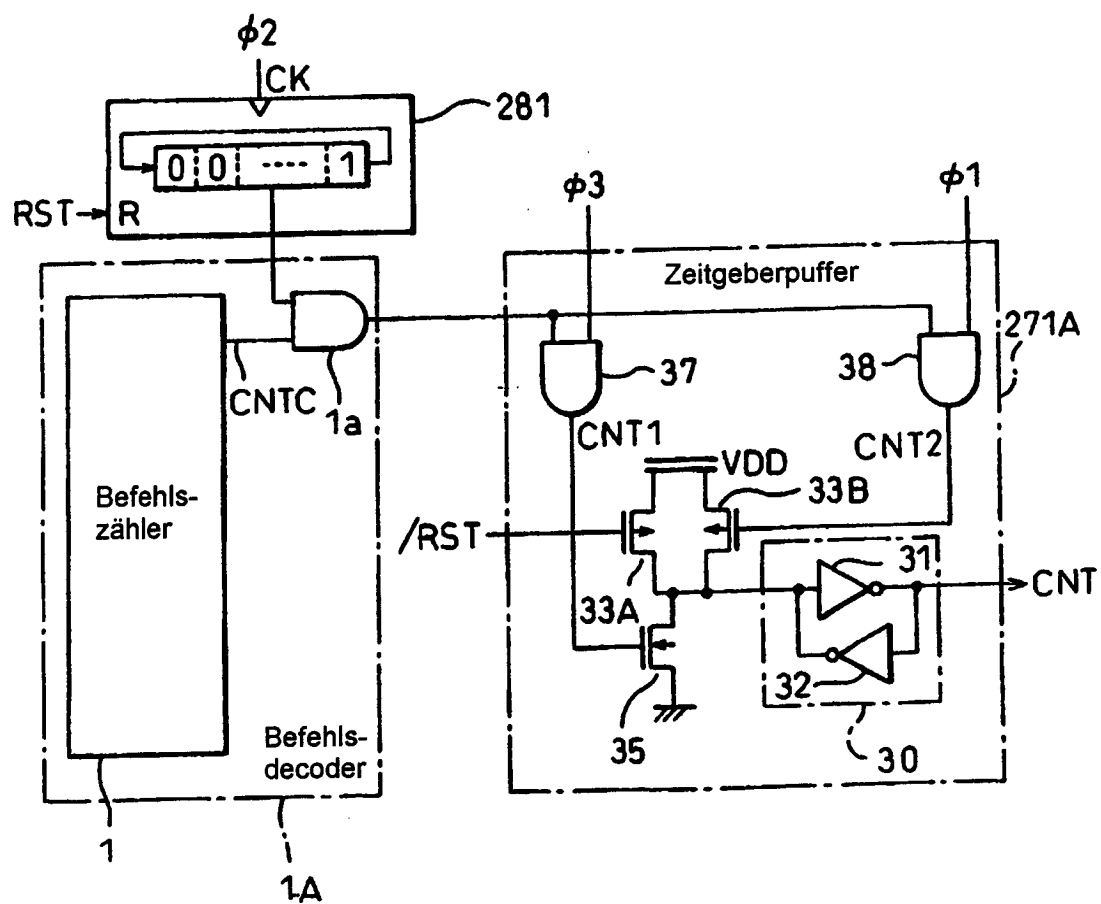
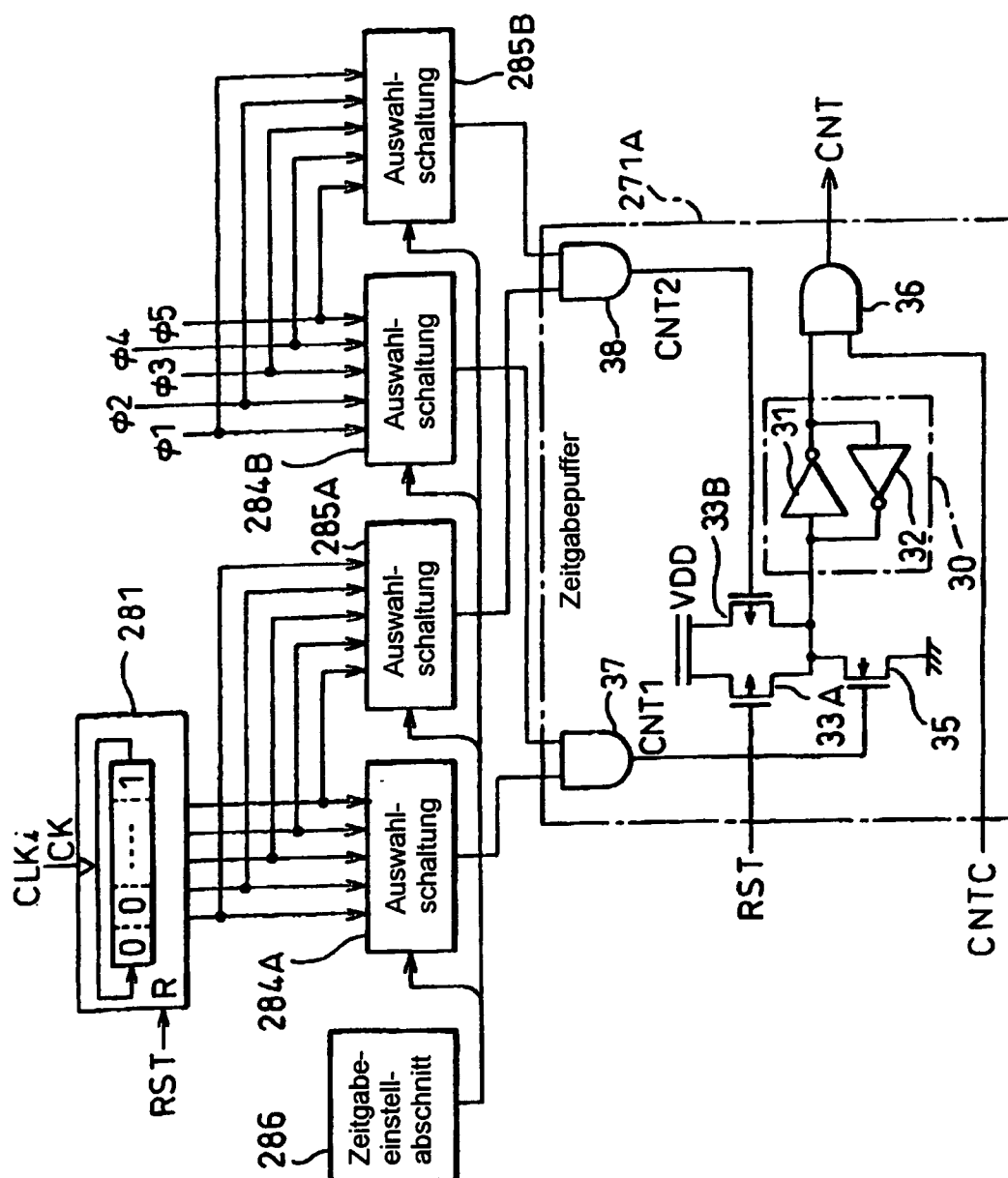


Fig. 7



உயிர்



உ.க.

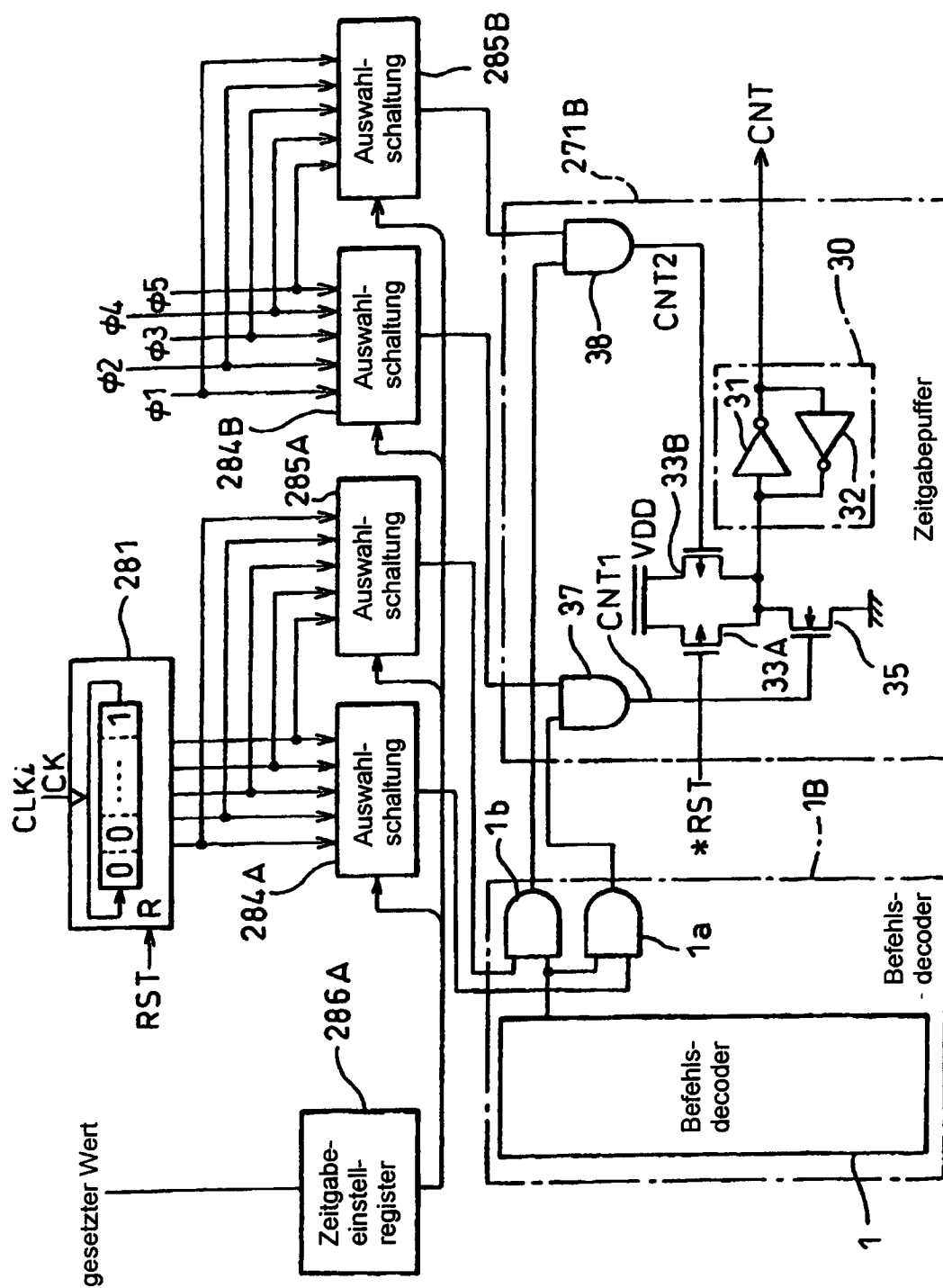


Fig.10

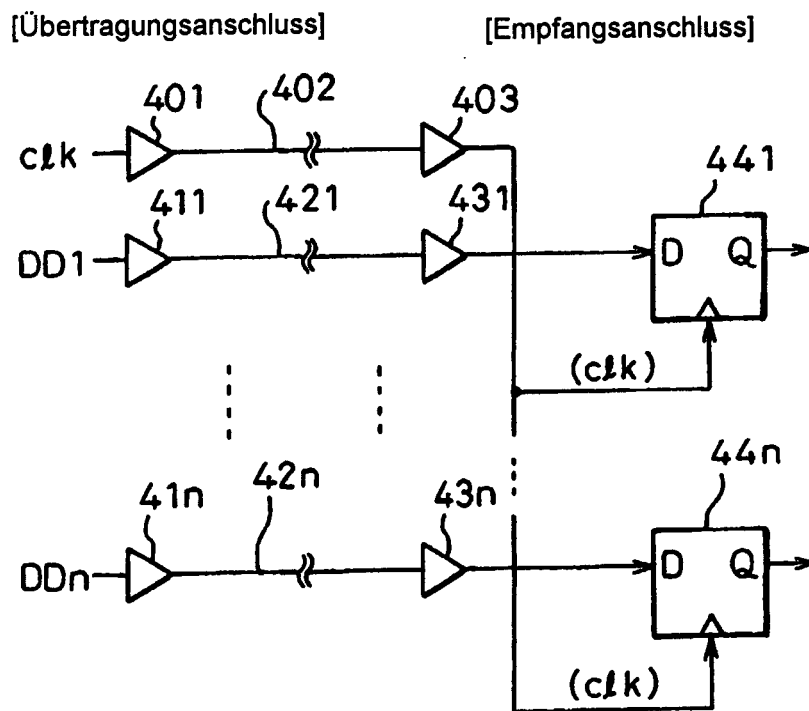
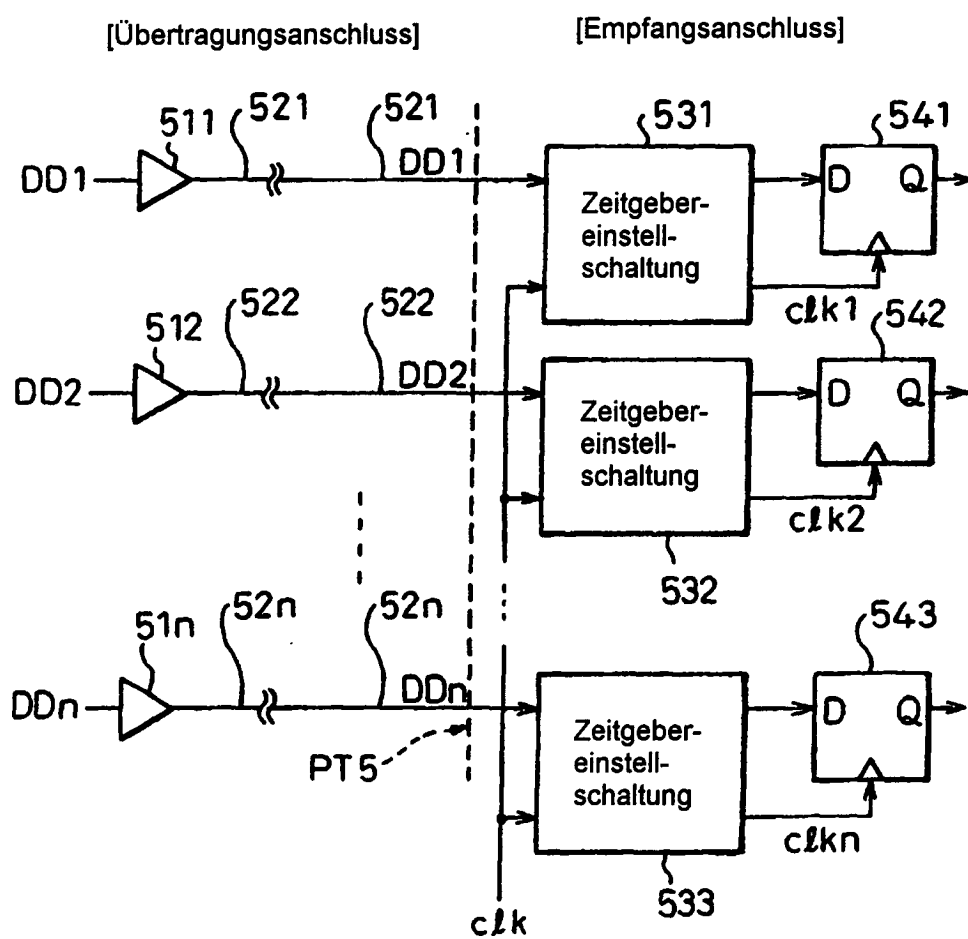
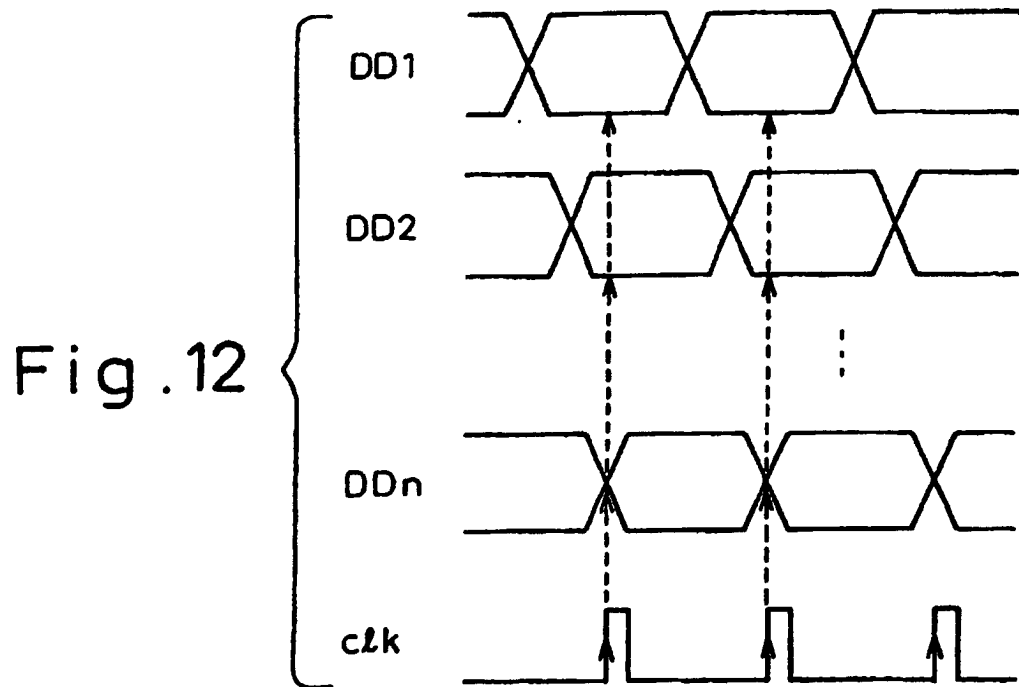


Fig. 11





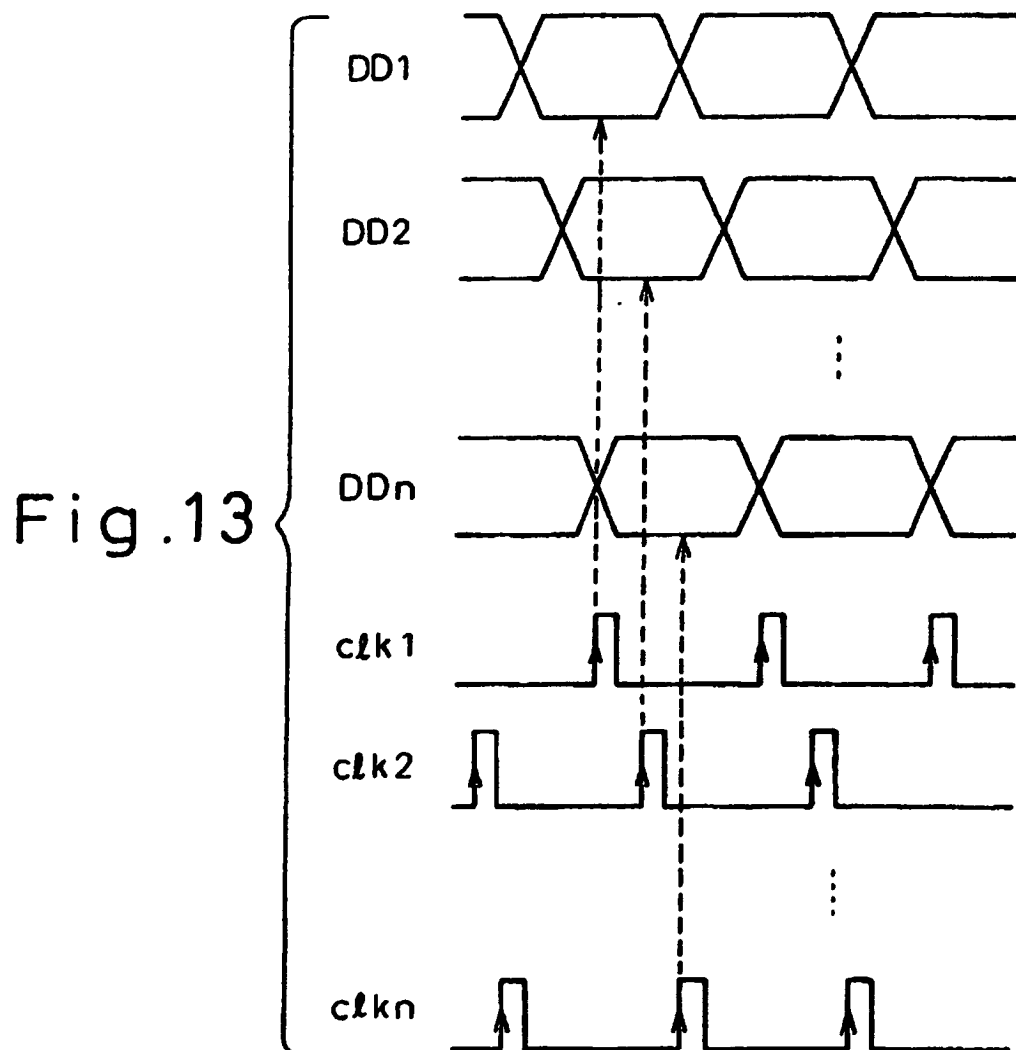
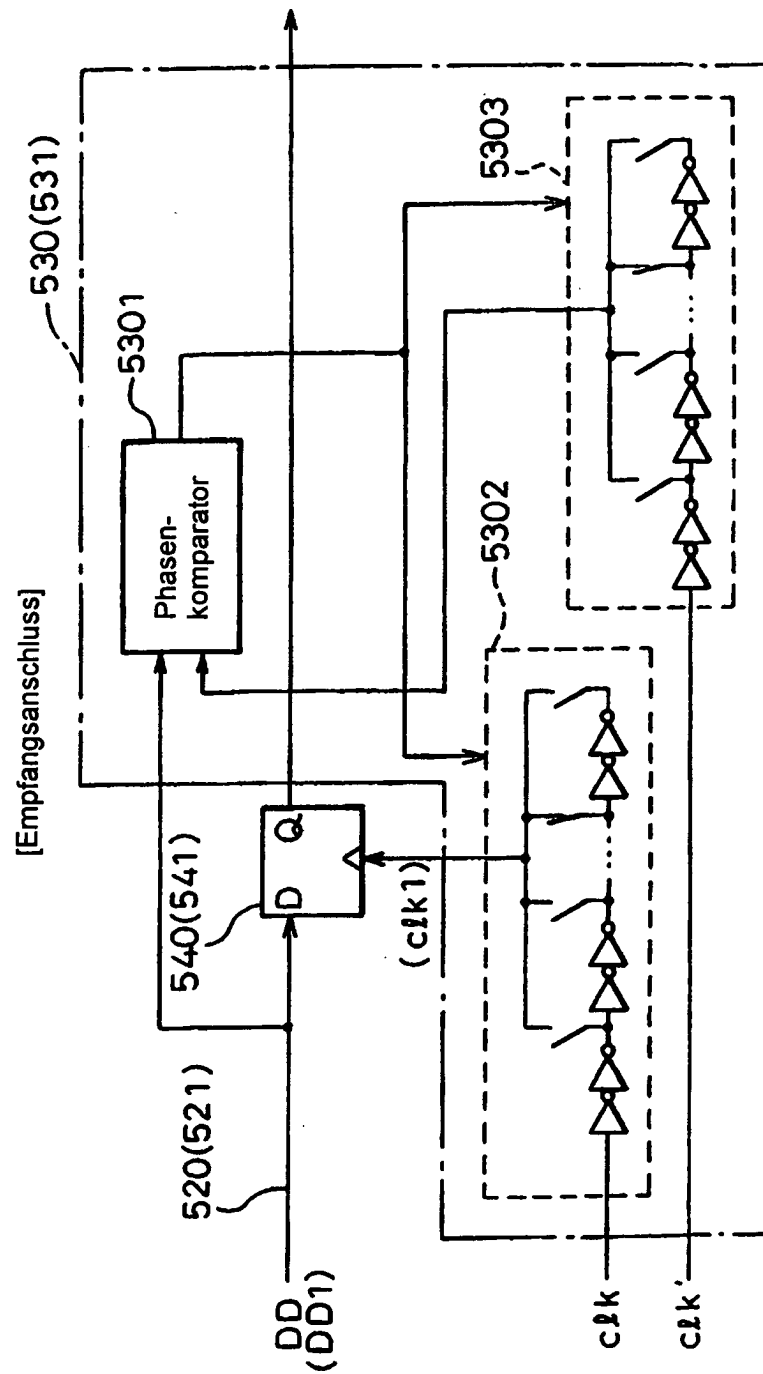


Fig. 14



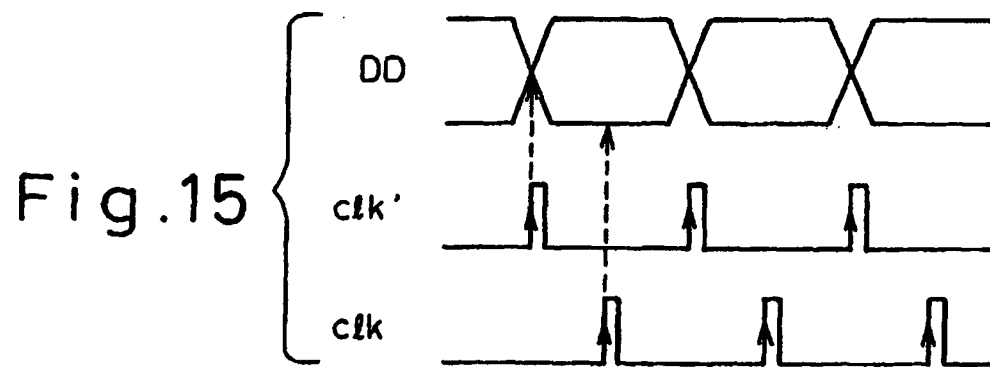
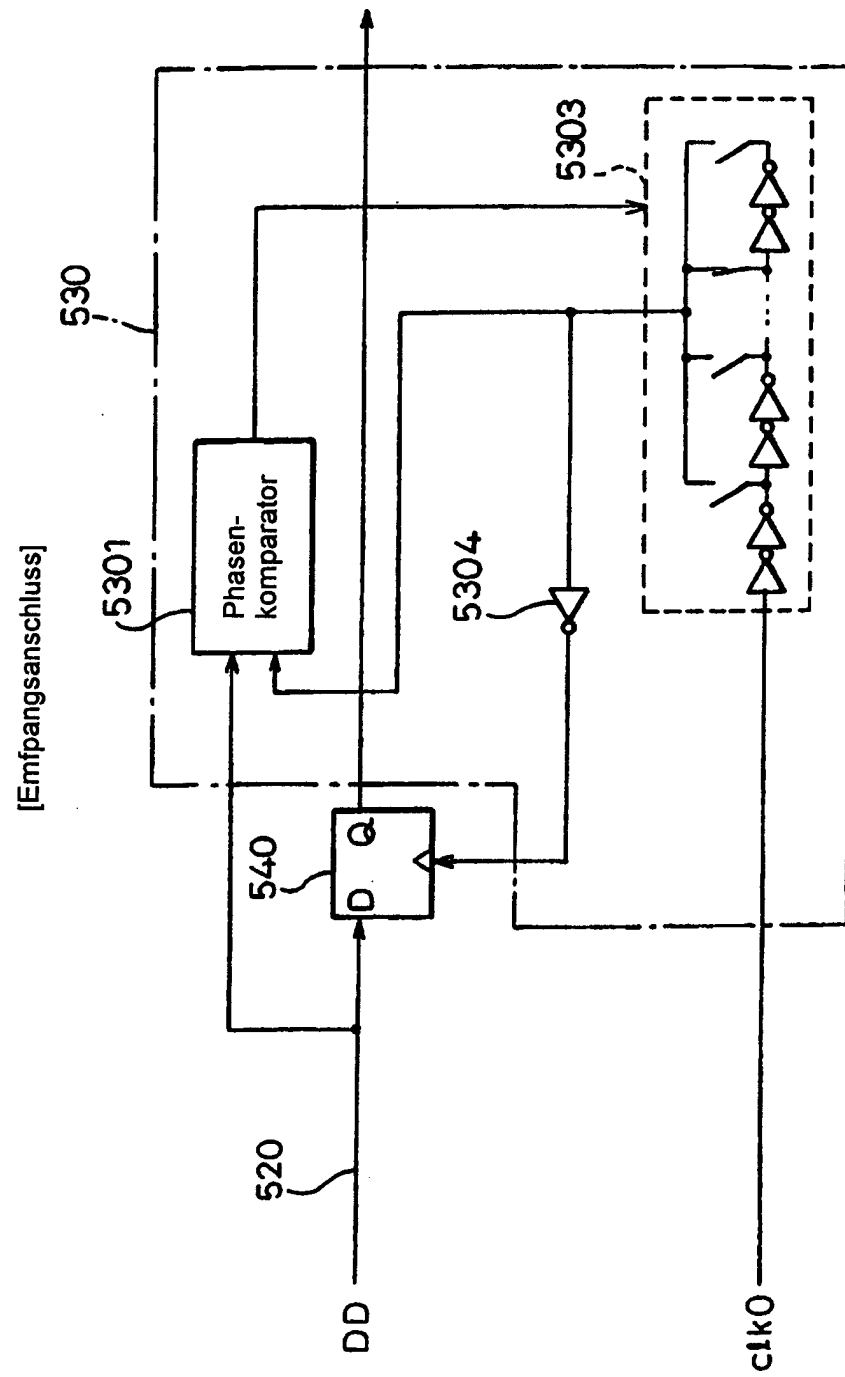


Fig.16



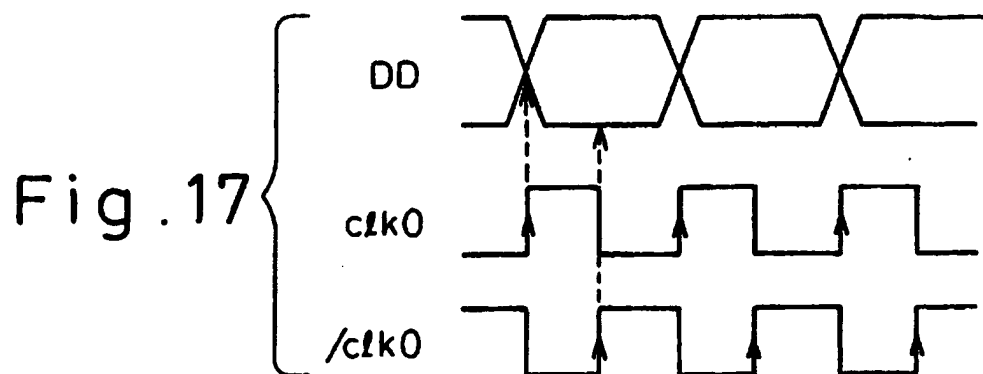


Fig. 18

[Empfangsanschluss]

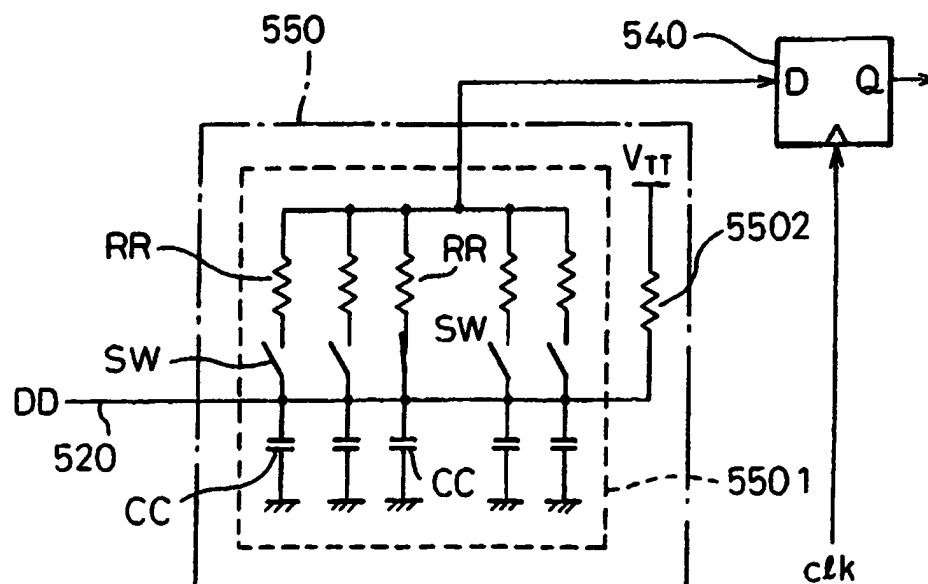


Fig.19

[Übertragungsanschluss]

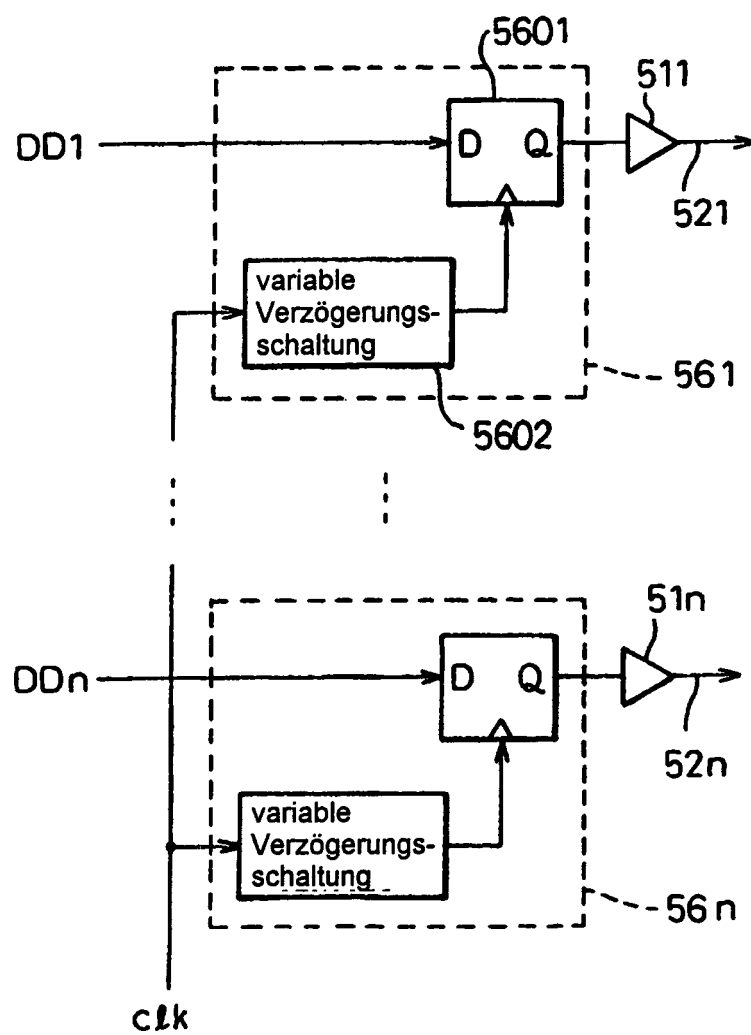


Fig. 20

[Empfangsanschluss]

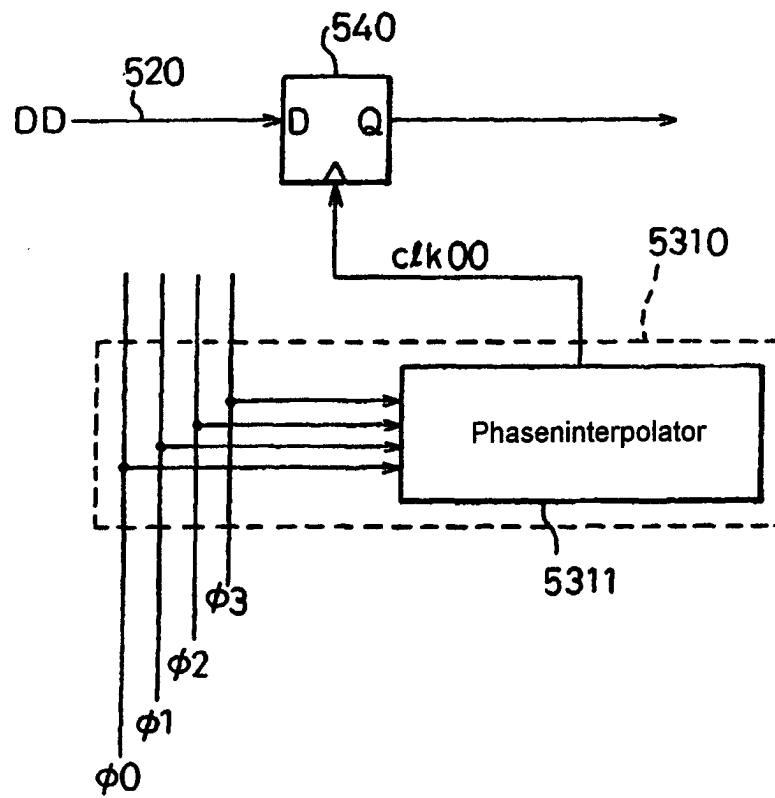


Fig. 21

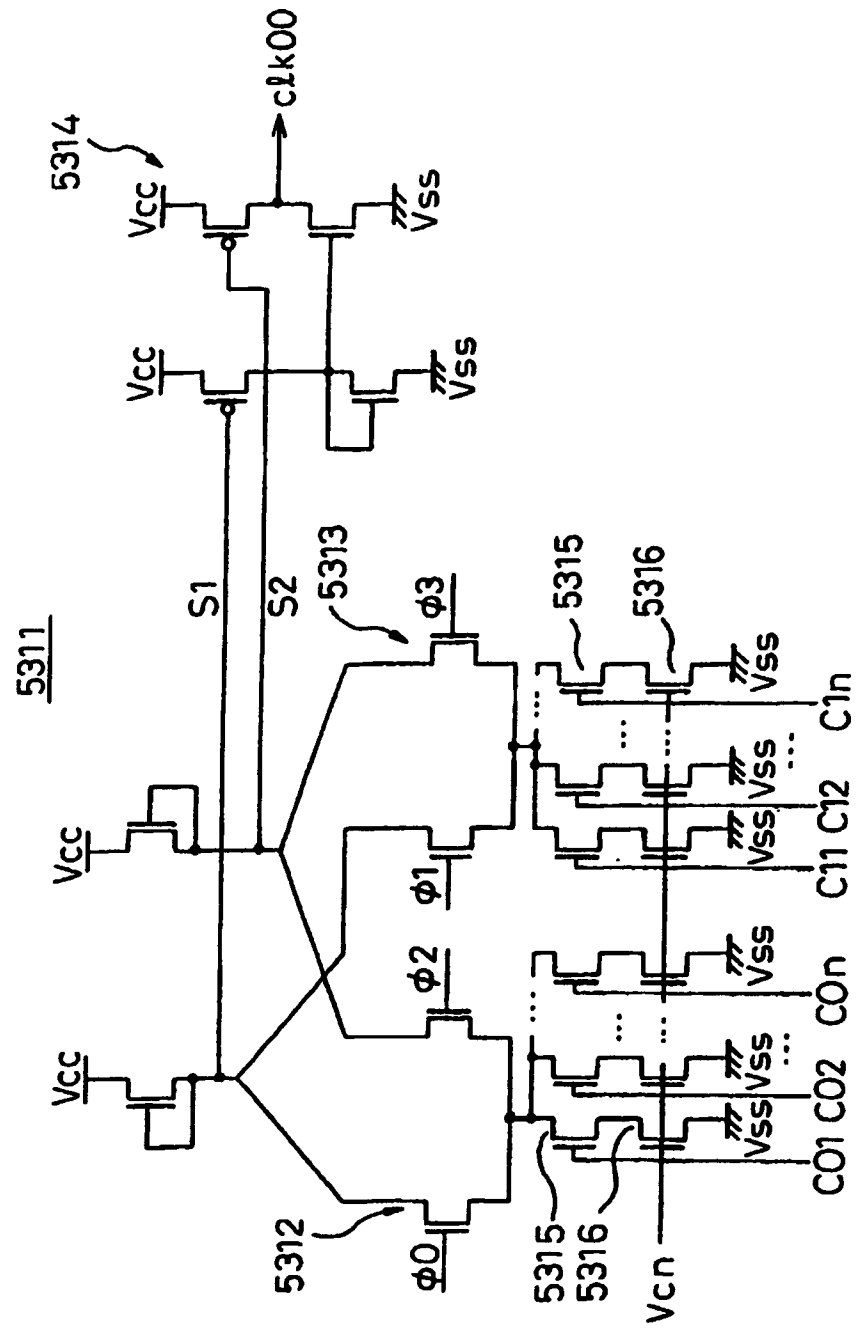
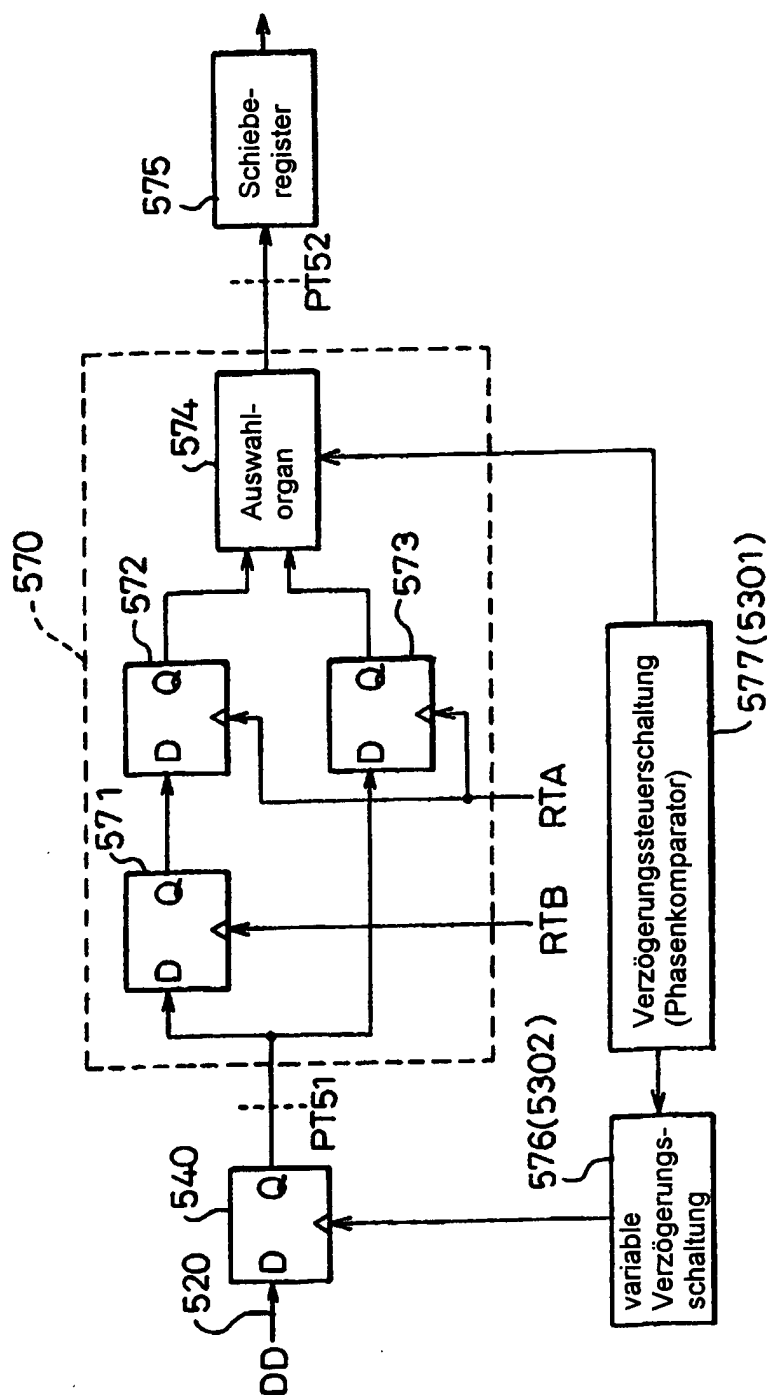


Fig. 22
[Empfangsanschluss]



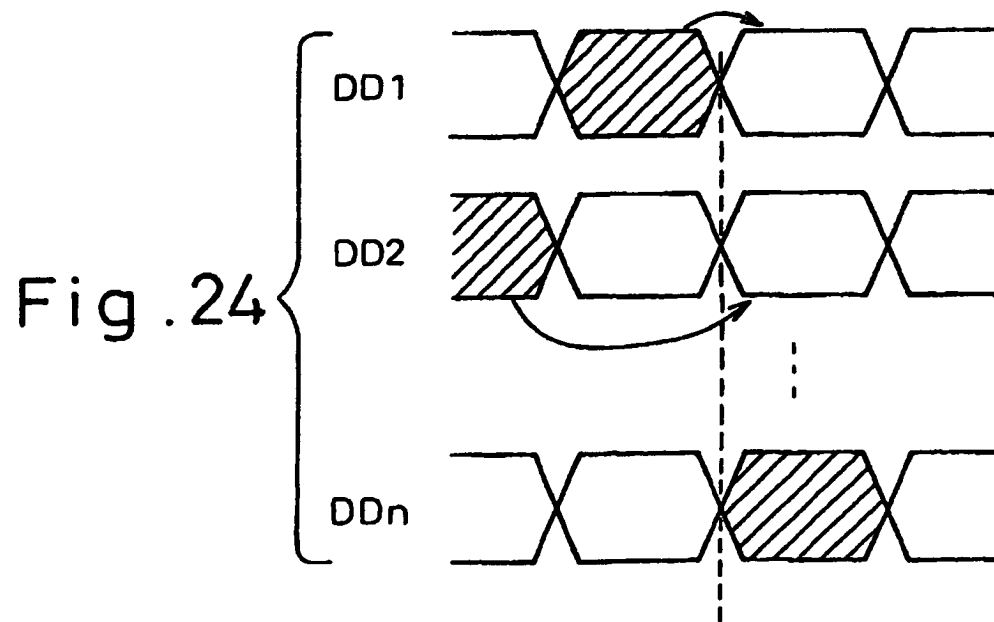
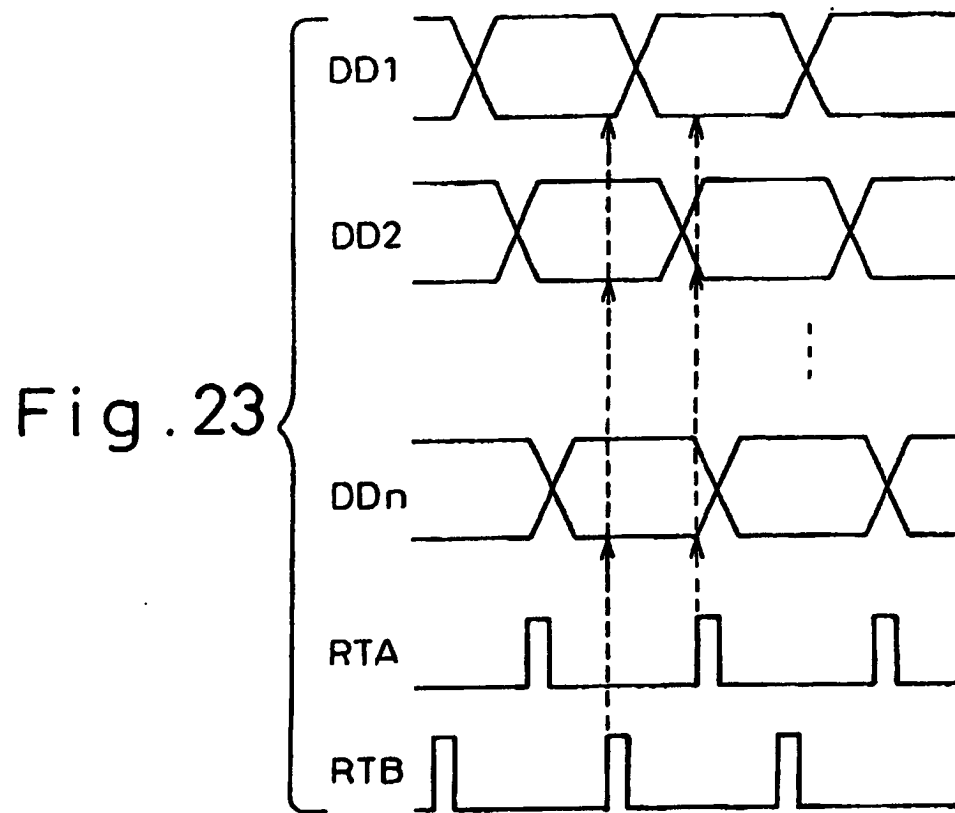
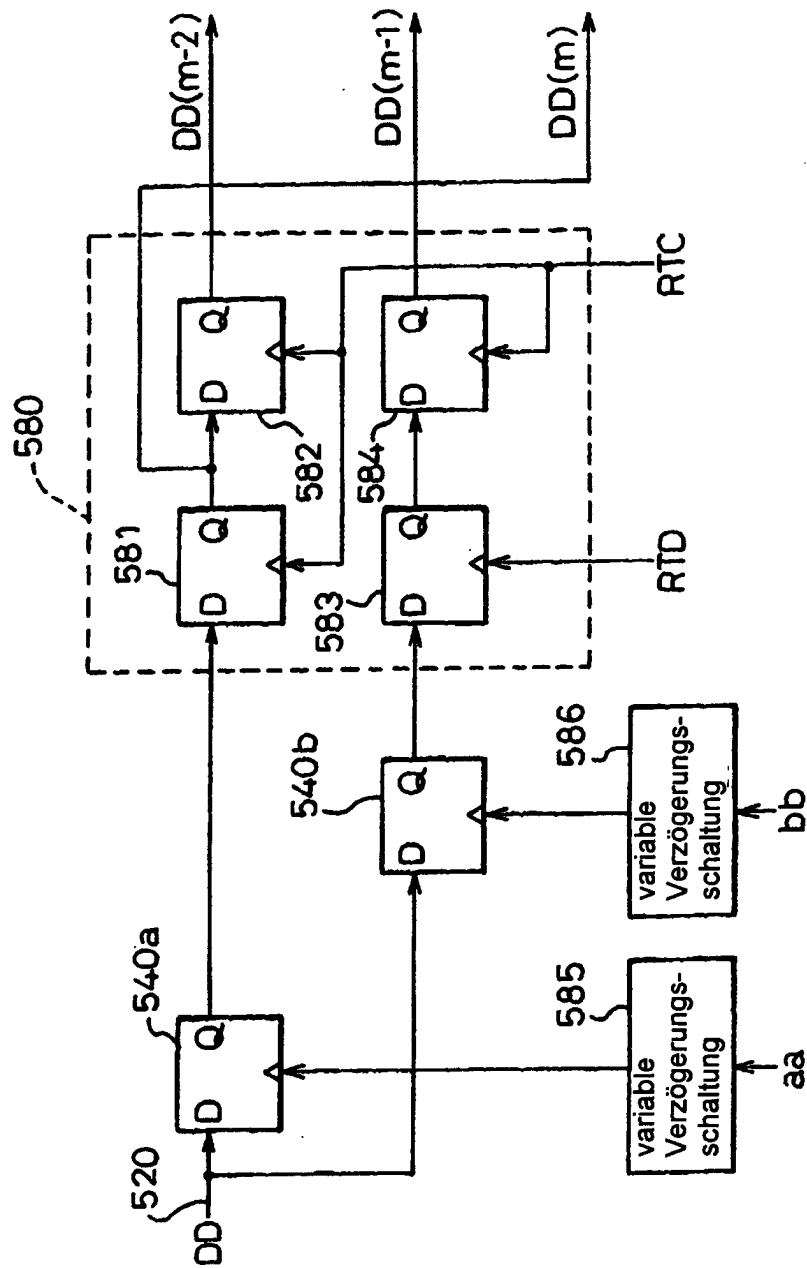


Fig. 25

[Empfangsanschluss]



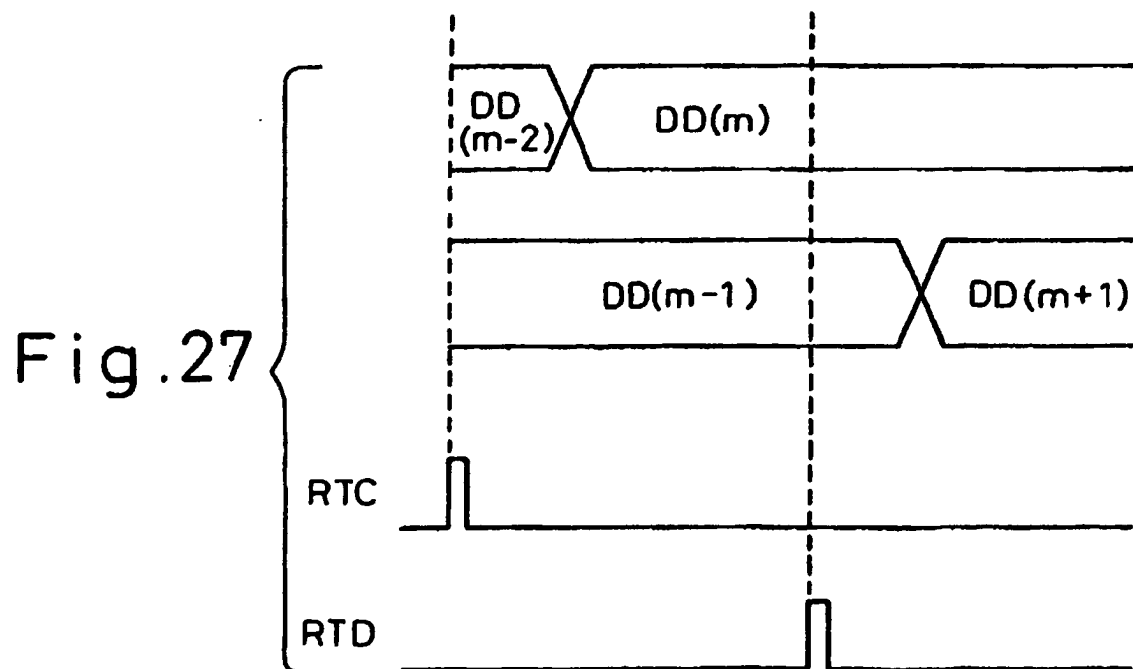
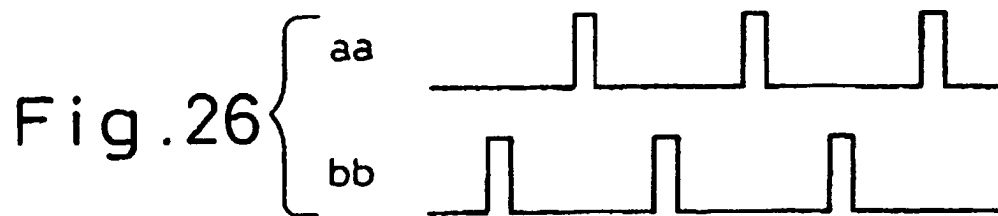


Fig. 28

[Empfangsanschluss]

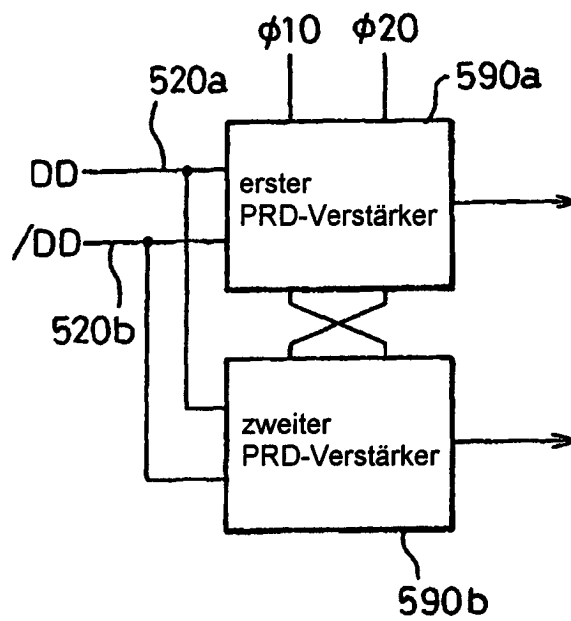
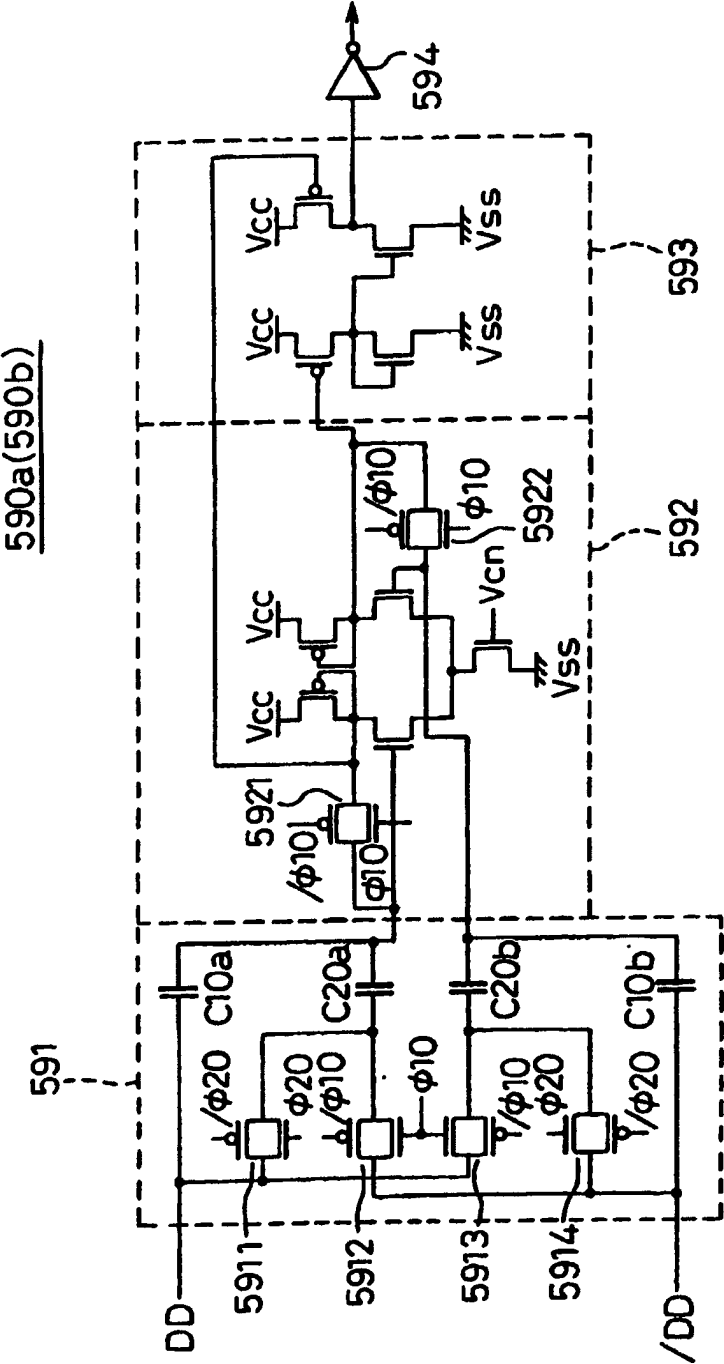


Fig. 29



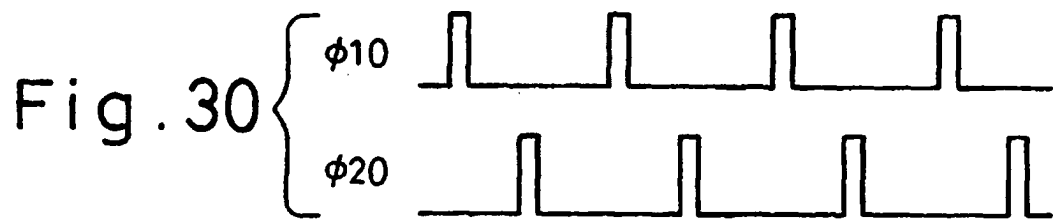


Fig. 31

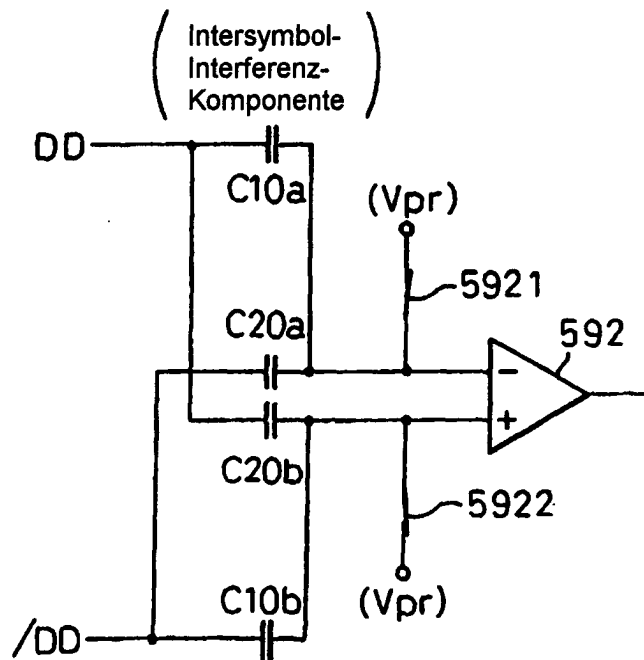


Fig. 32

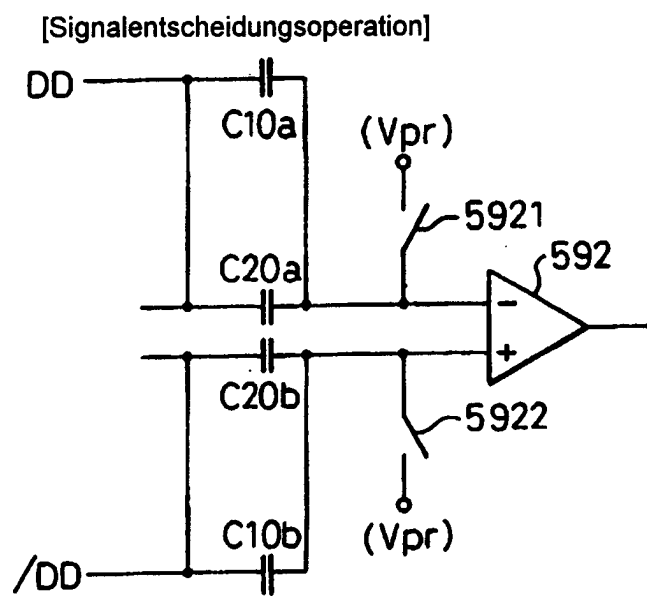


Fig. 33

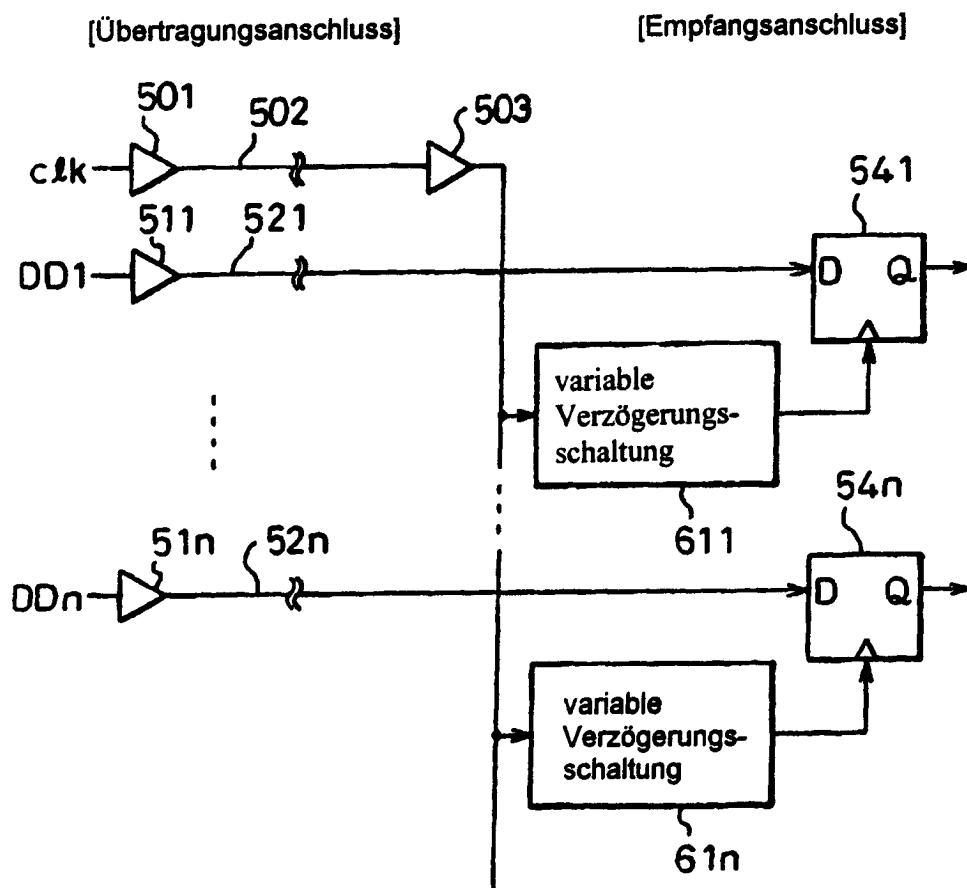


Fig. 34

[Empfangsanschluss]

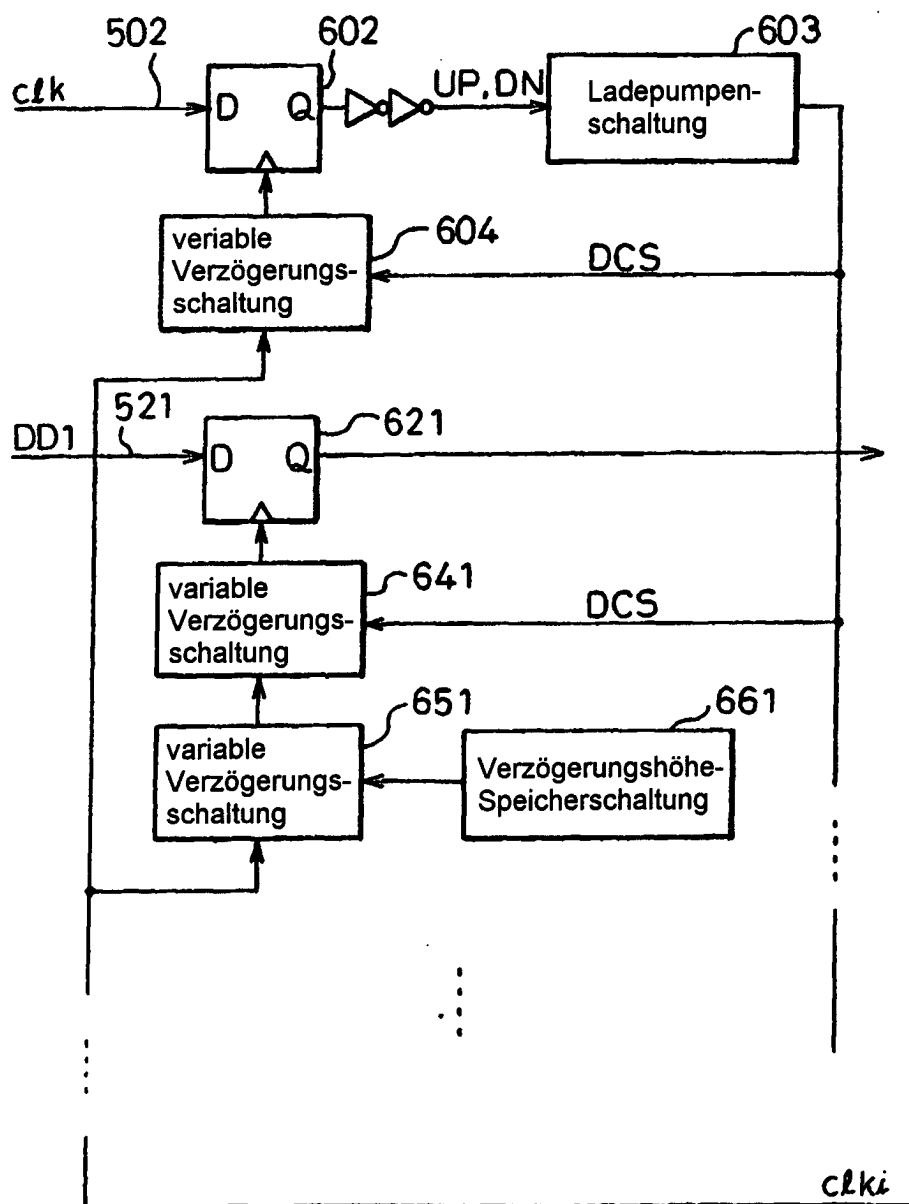


Fig. 35

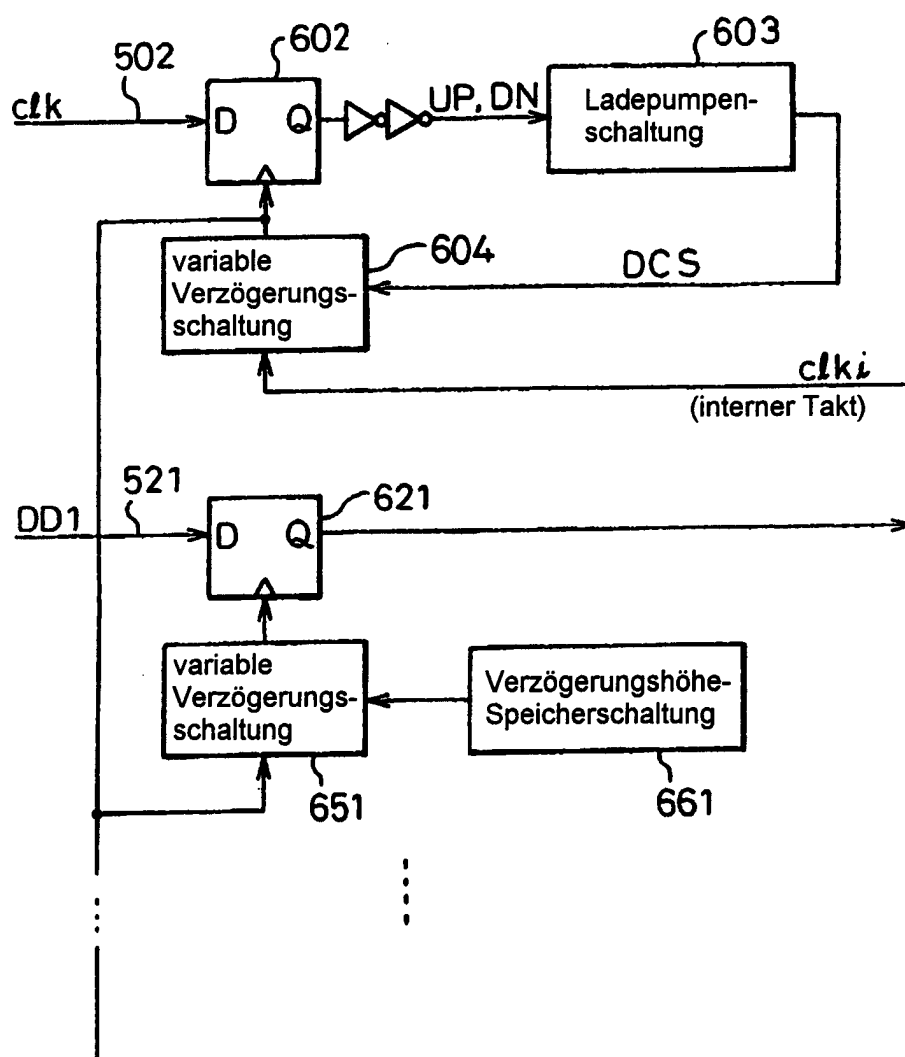
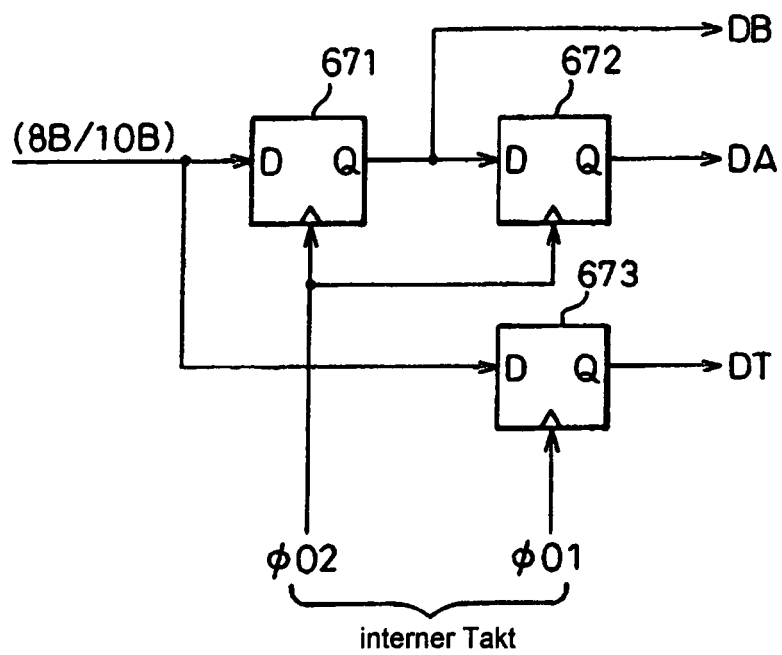


Fig. 36

[Empfangsanschluss]



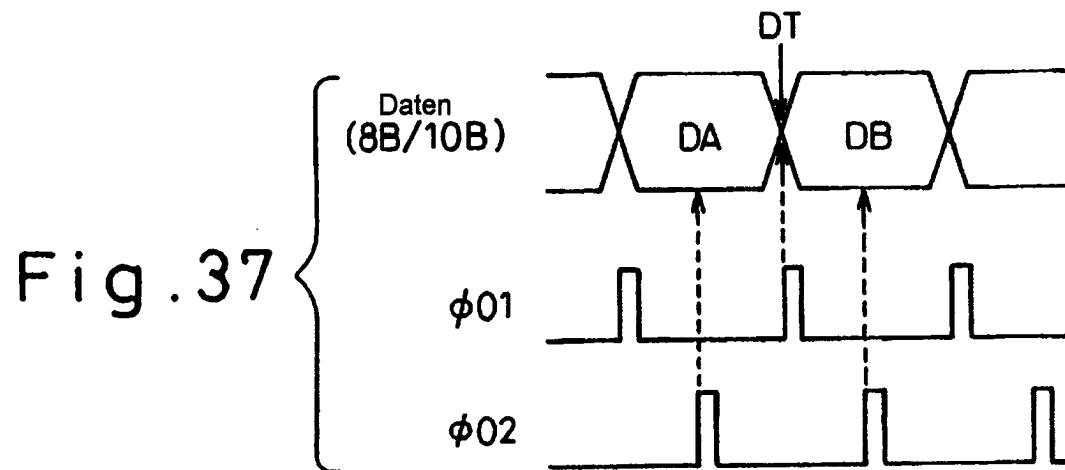


Fig. 38

DA	DT	DB	interner Taktzustand
0	0	1	fortgeschritten
0	1	1	verzögert
1	1	0	fortgeschritten
1	0	0	verzögert

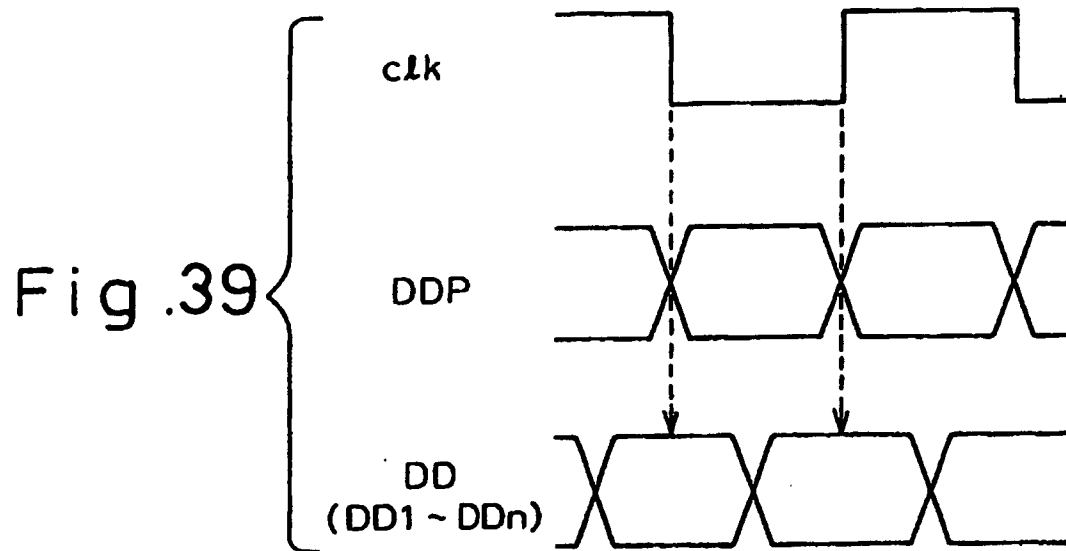


Fig. 40

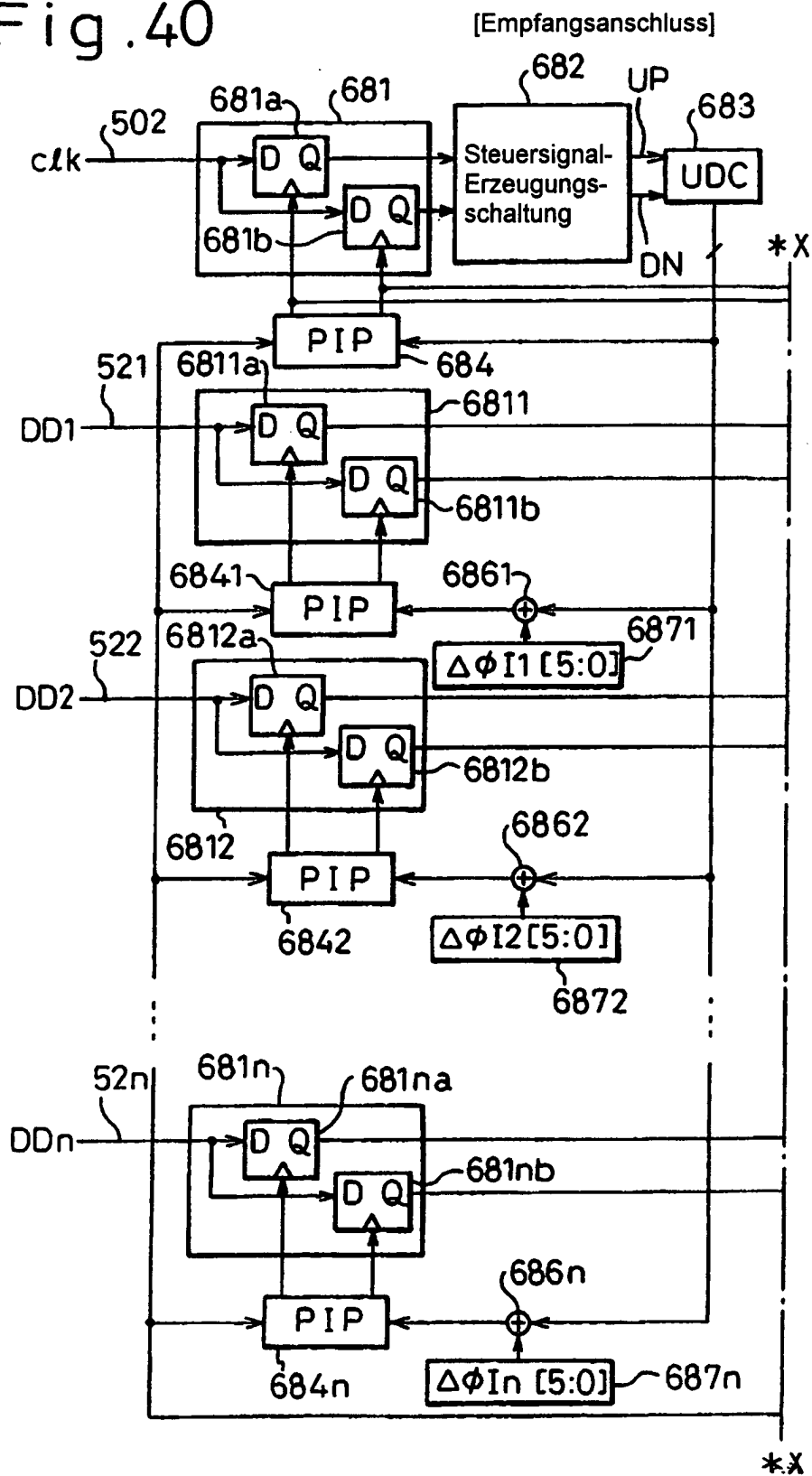


Fig. 41

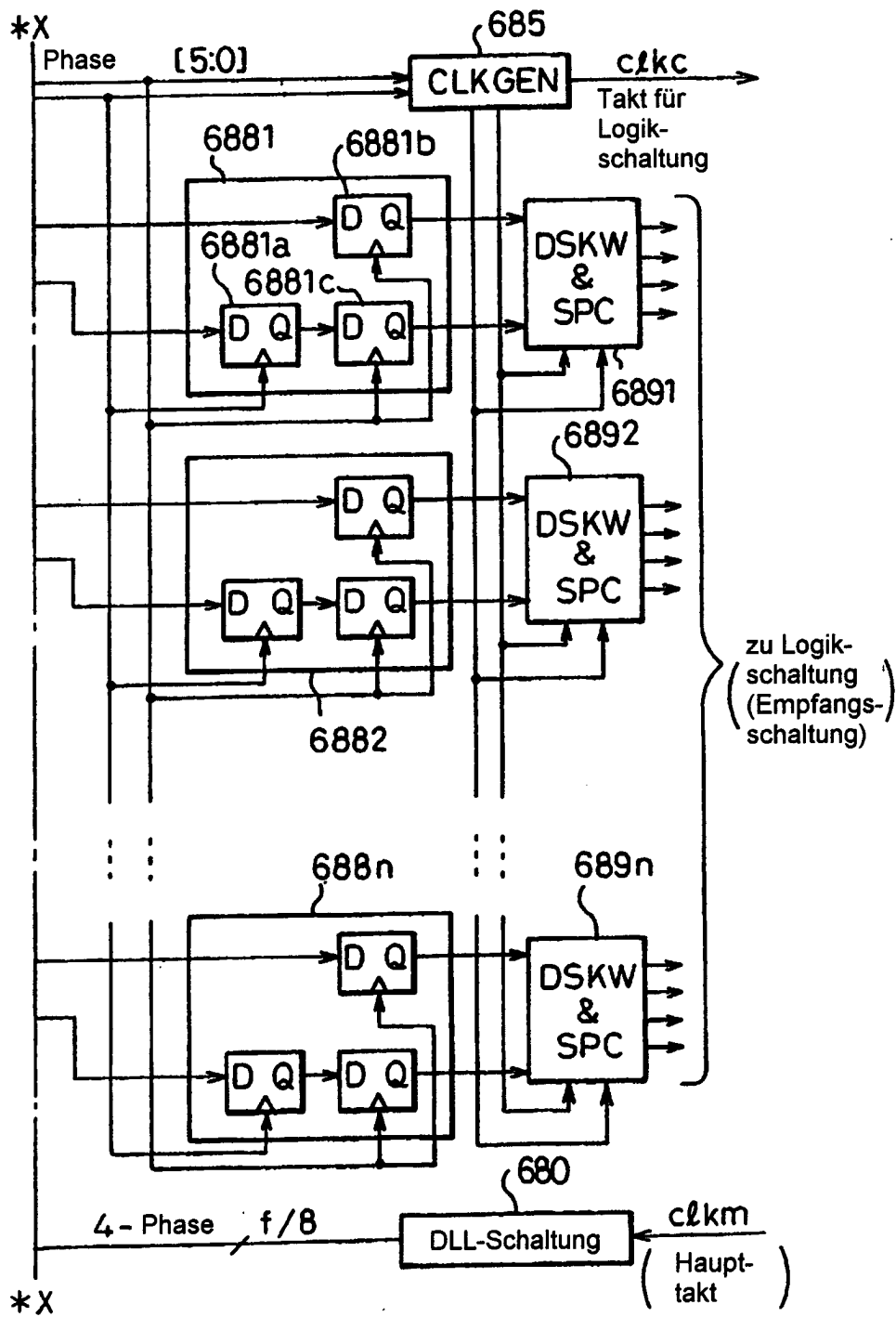


Fig. 42

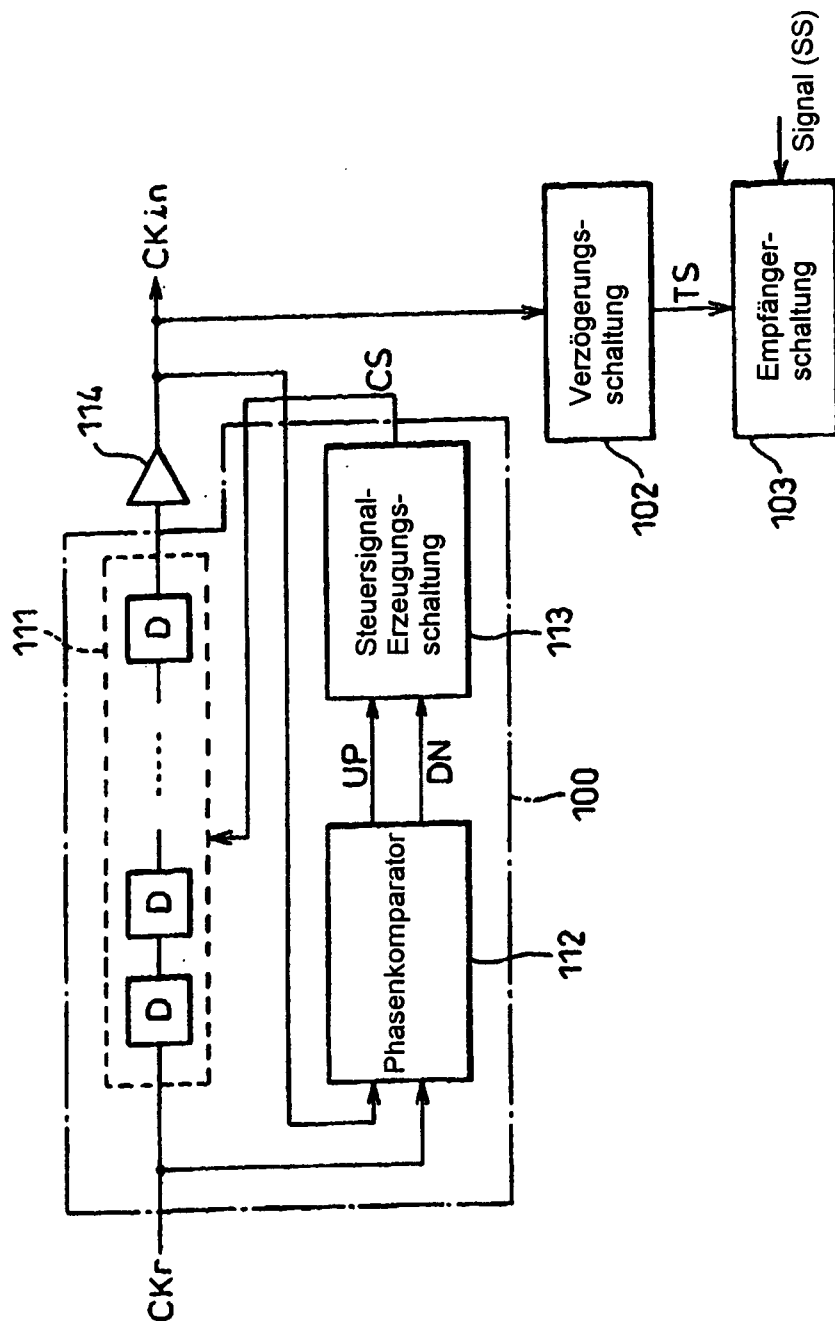


Fig. 43

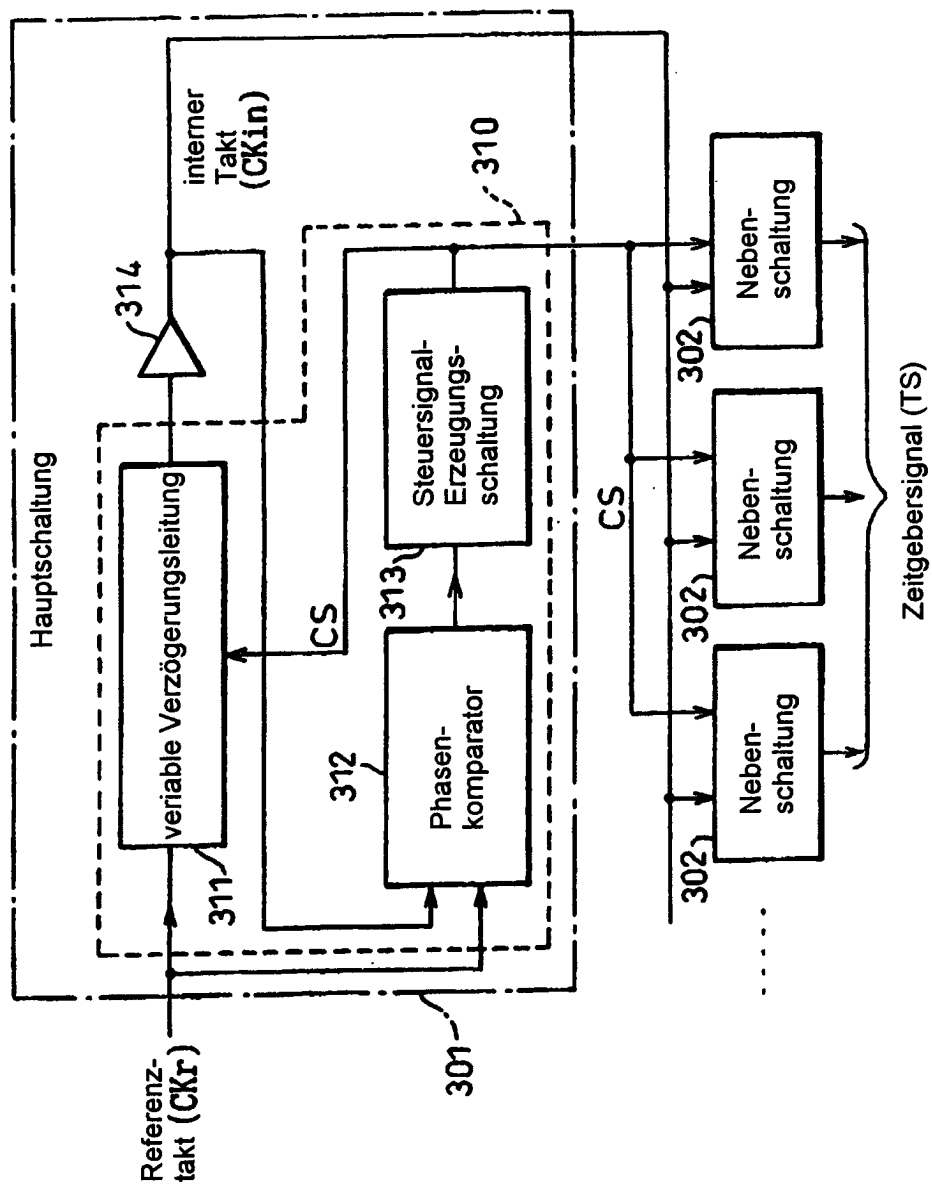


Fig. 44

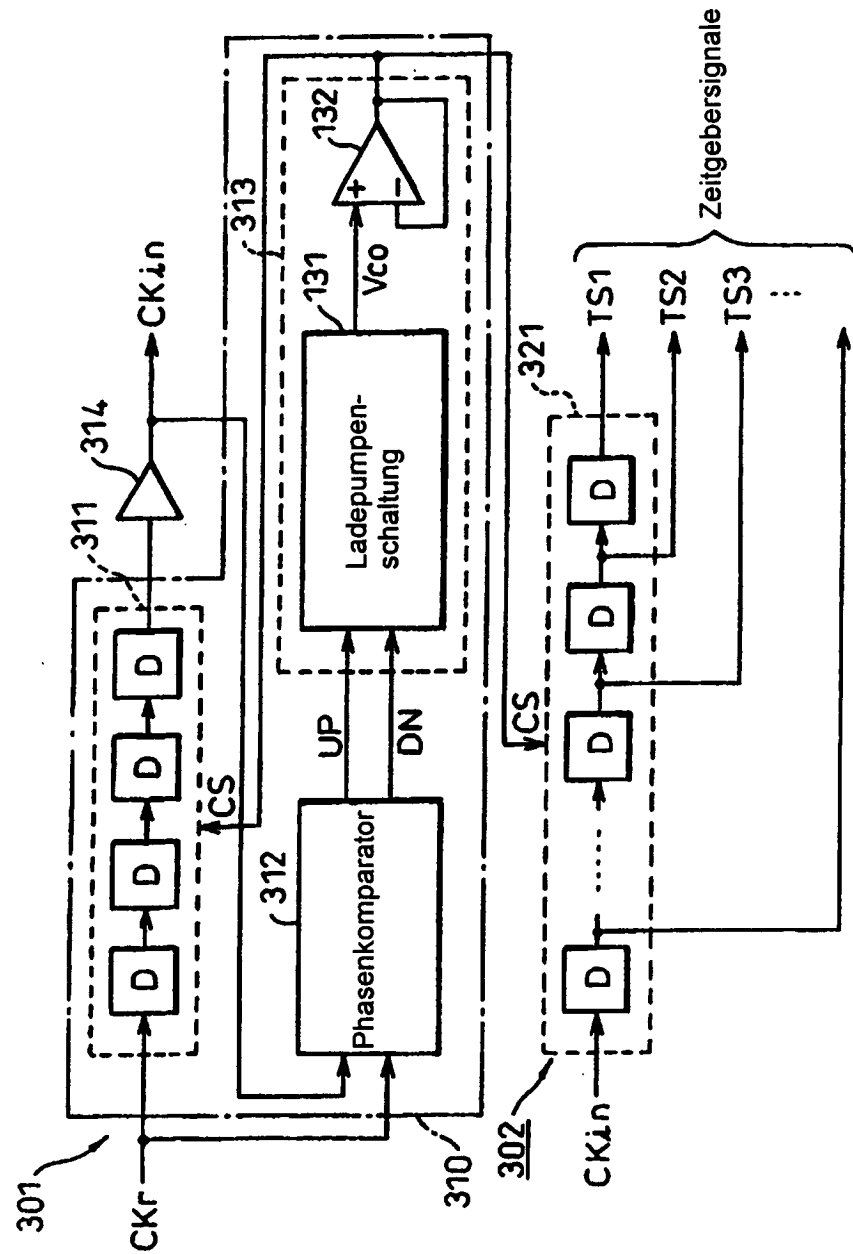


Fig. 45

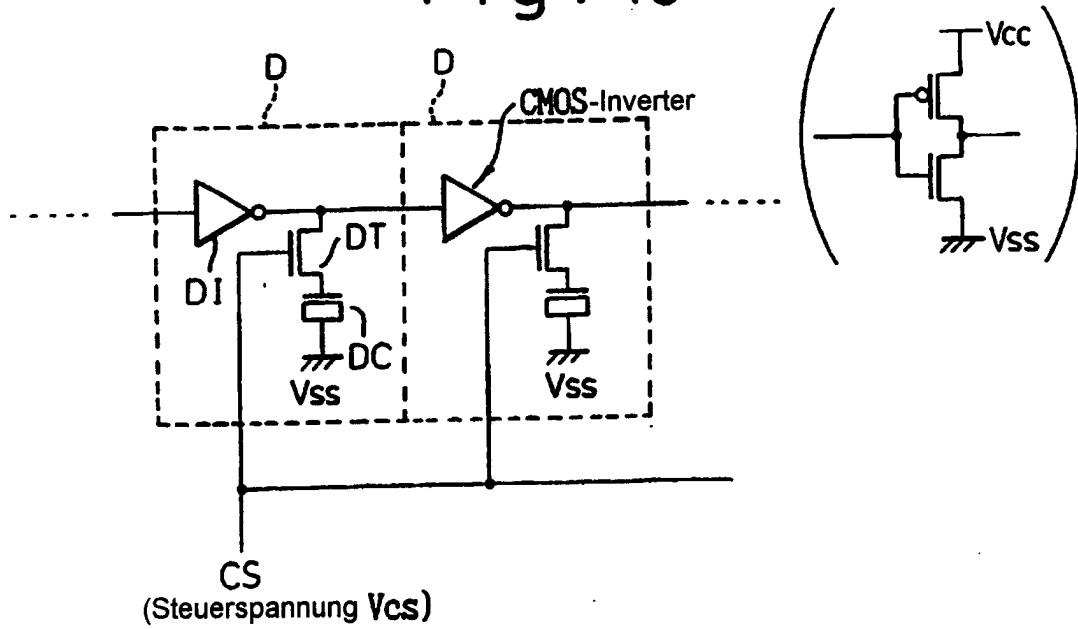
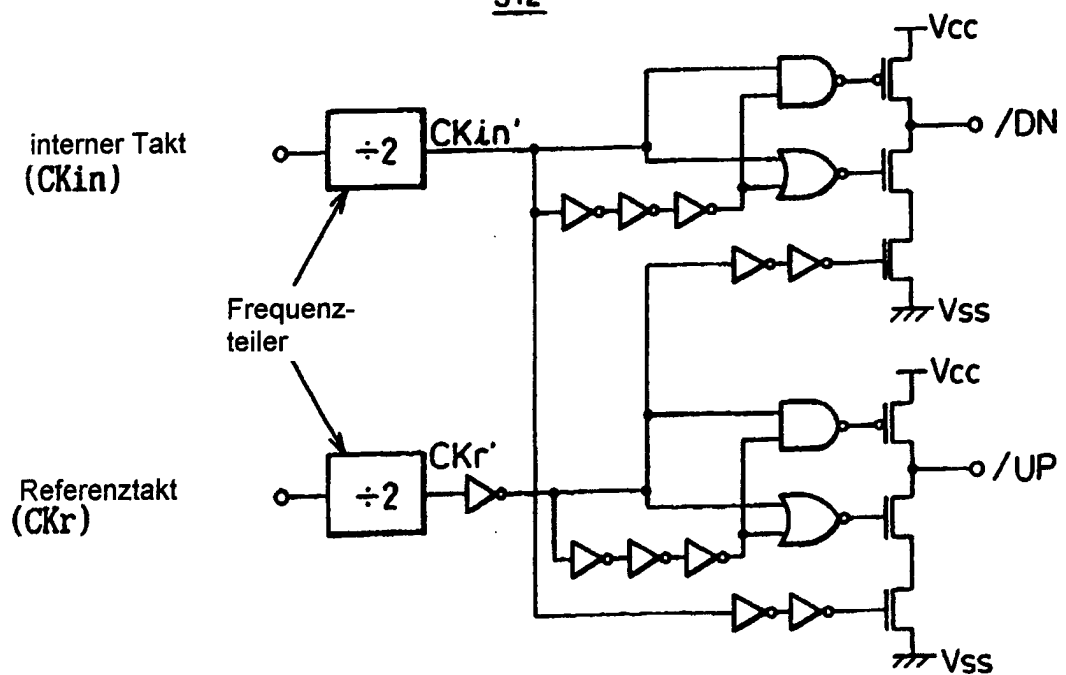


Fig. 46

312



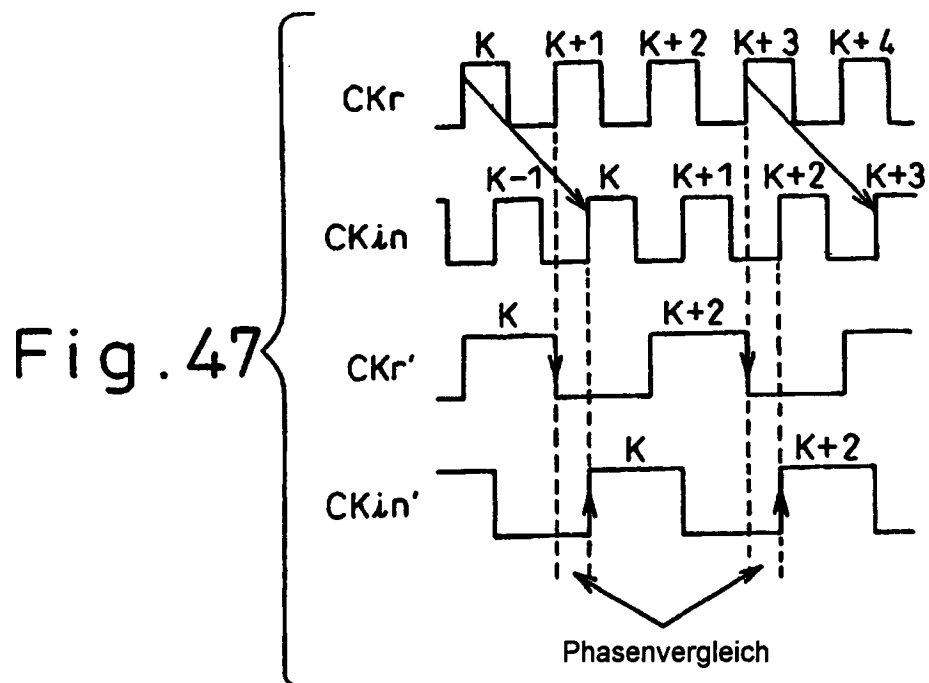


Fig. 48

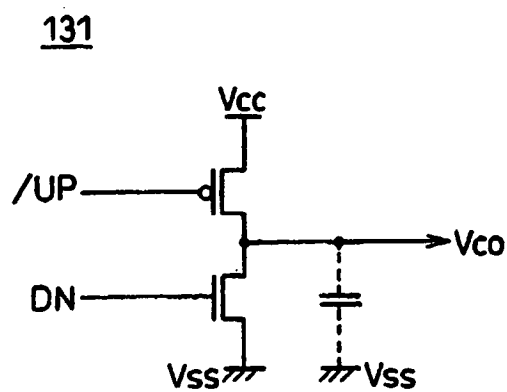


Fig. 49

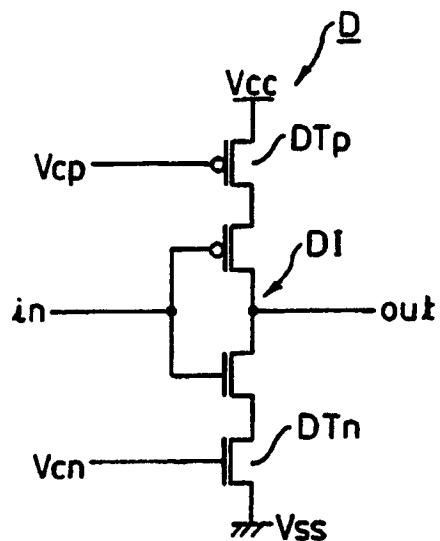


Fig. 50

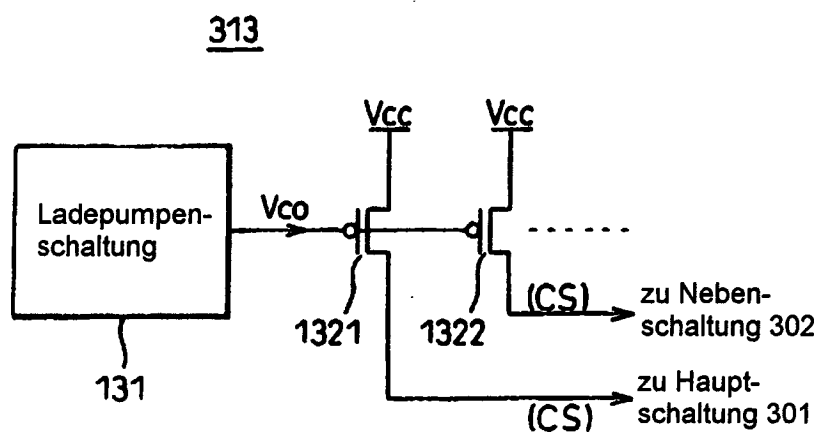


Fig. 51

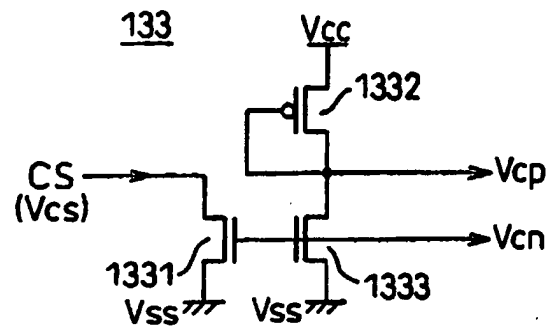


Fig. 52

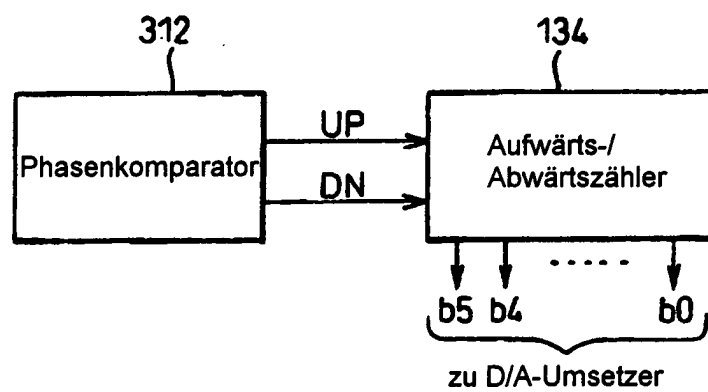


Fig . 53

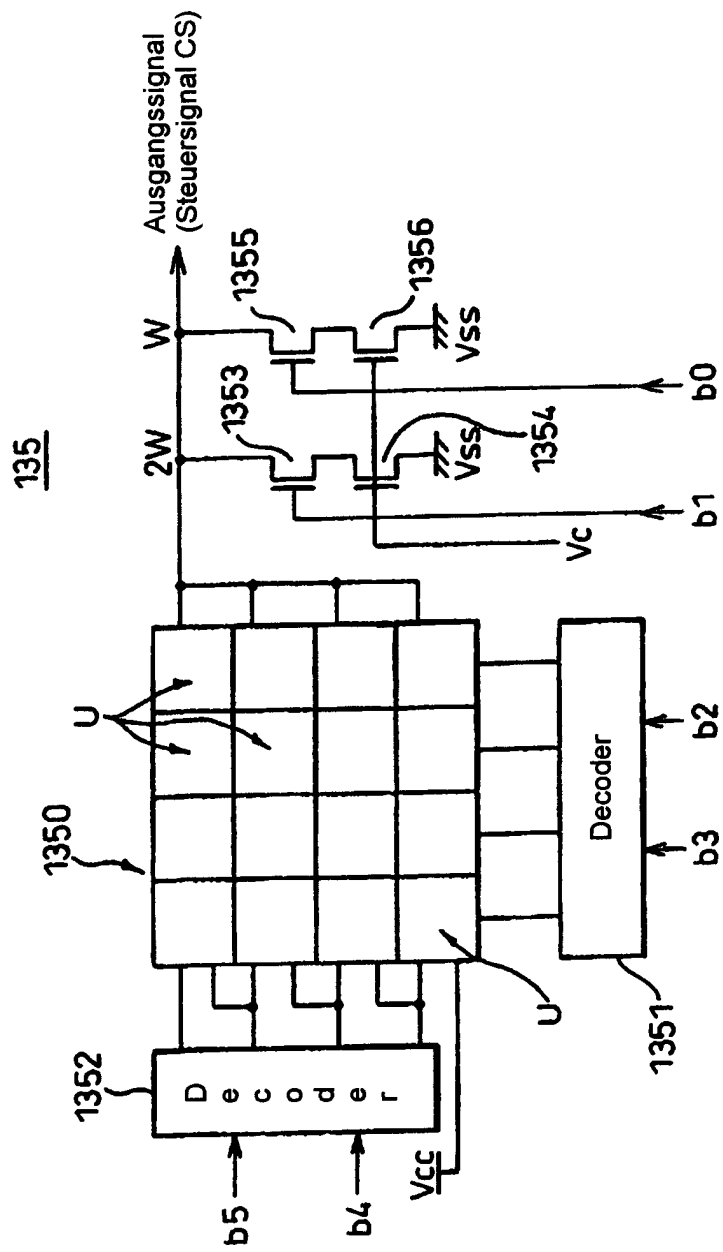


Fig. 54

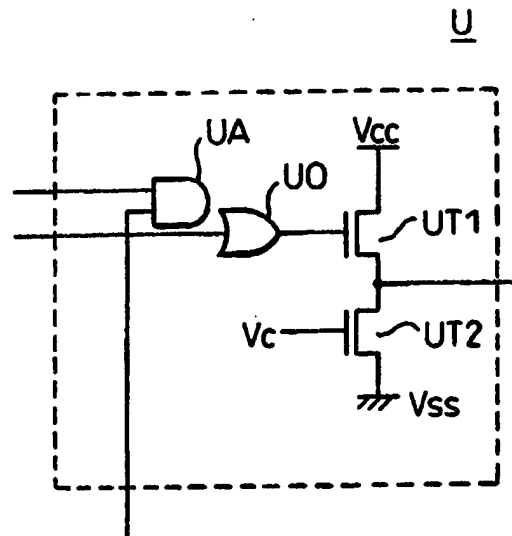


Fig. 55

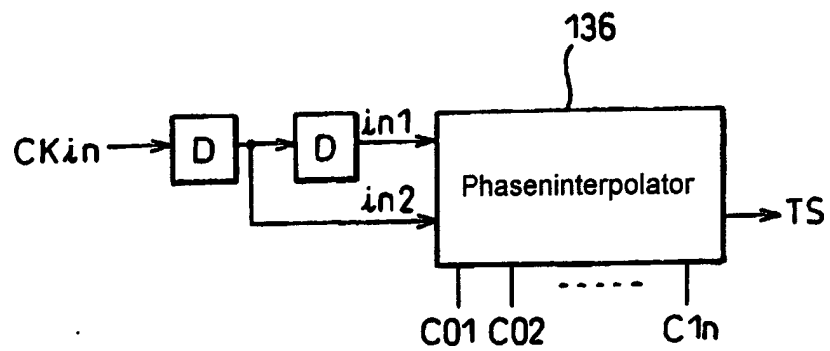


Fig. 56

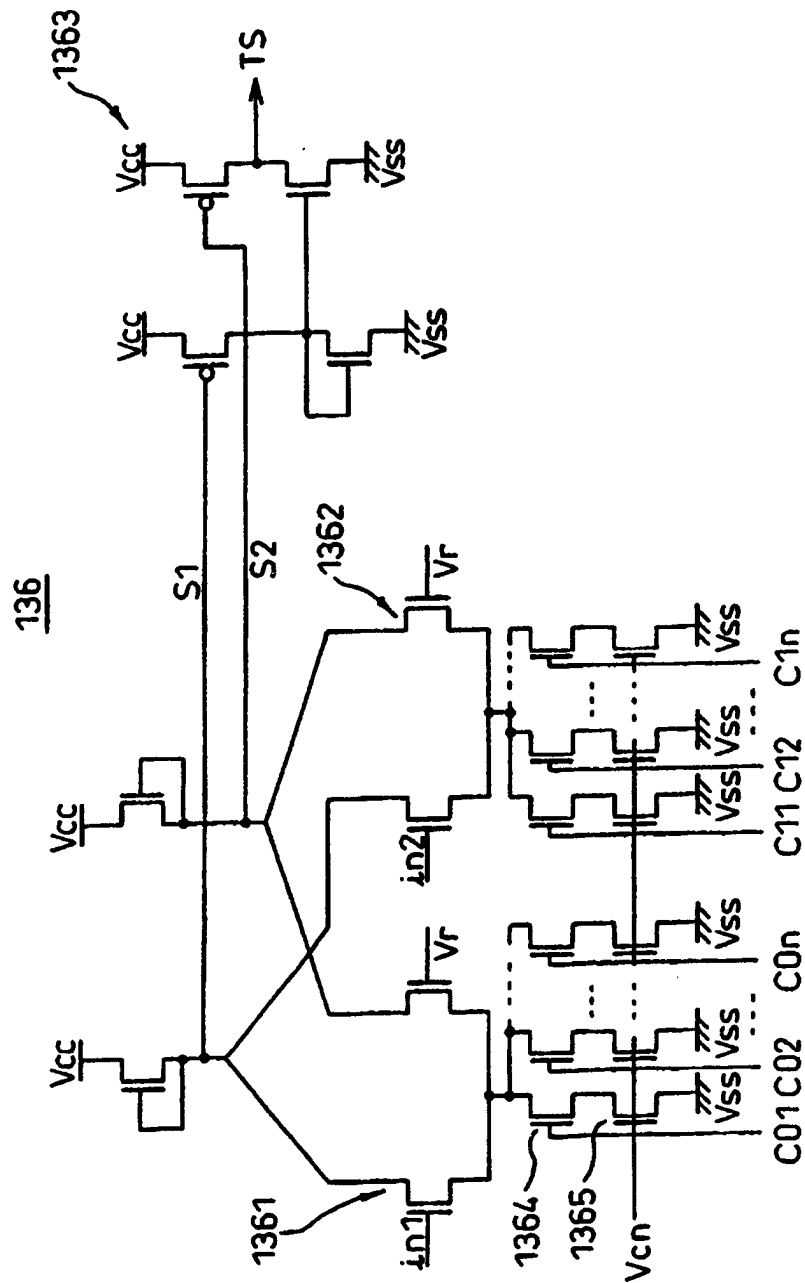


Fig. 58

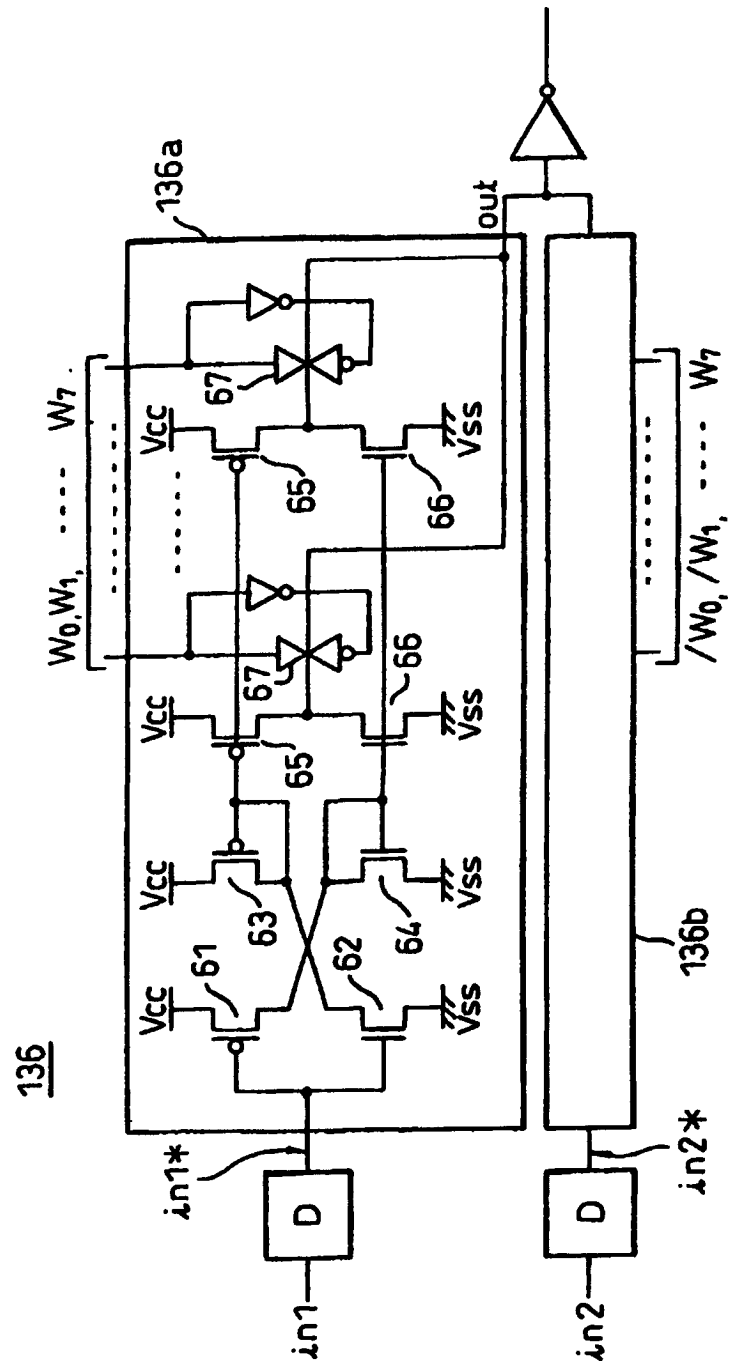


Fig.59

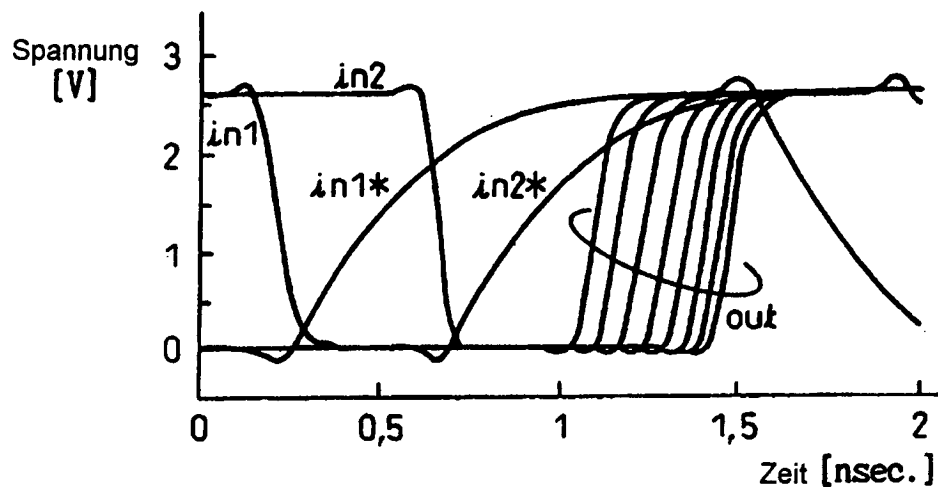


Fig. 60

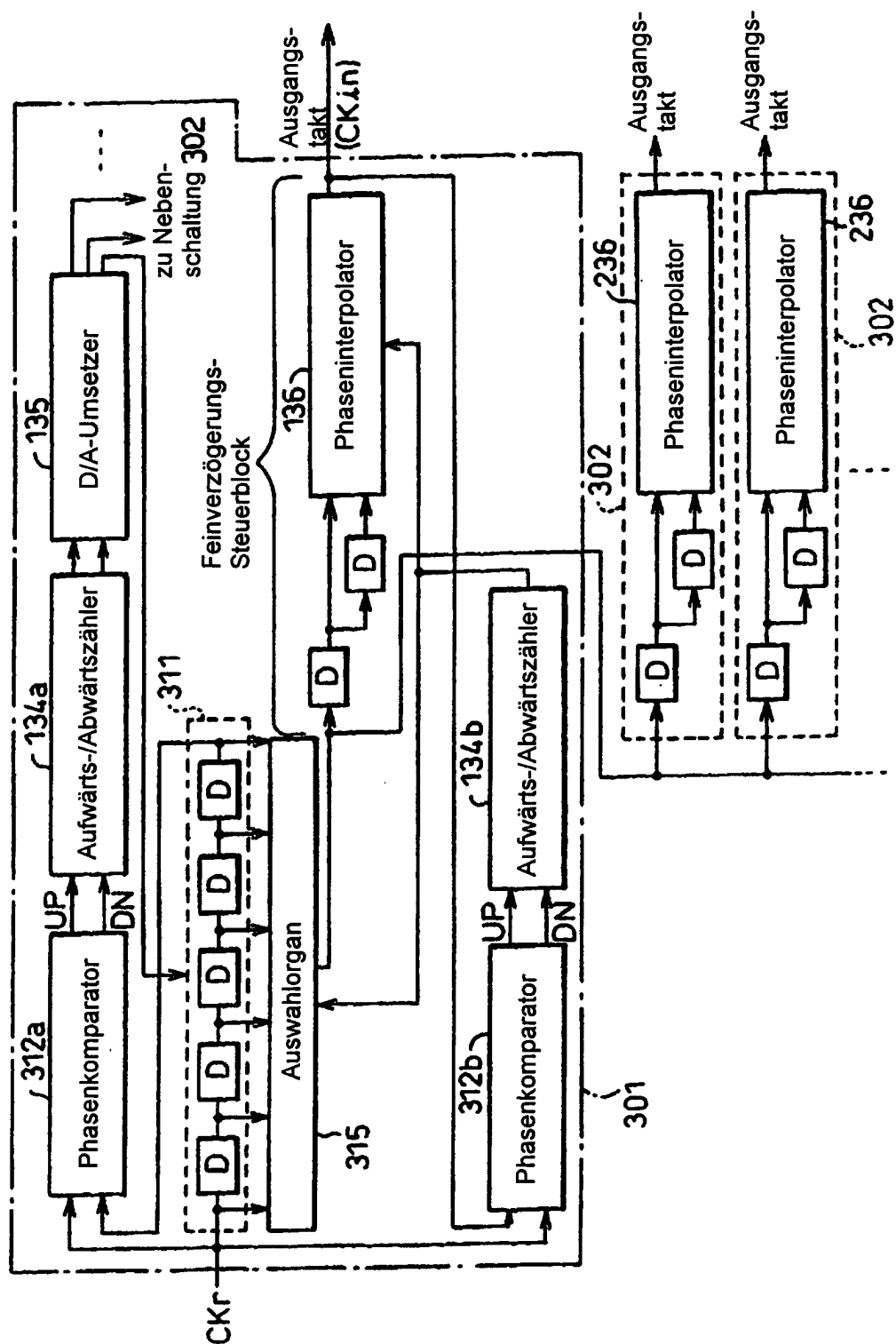


Fig. 61

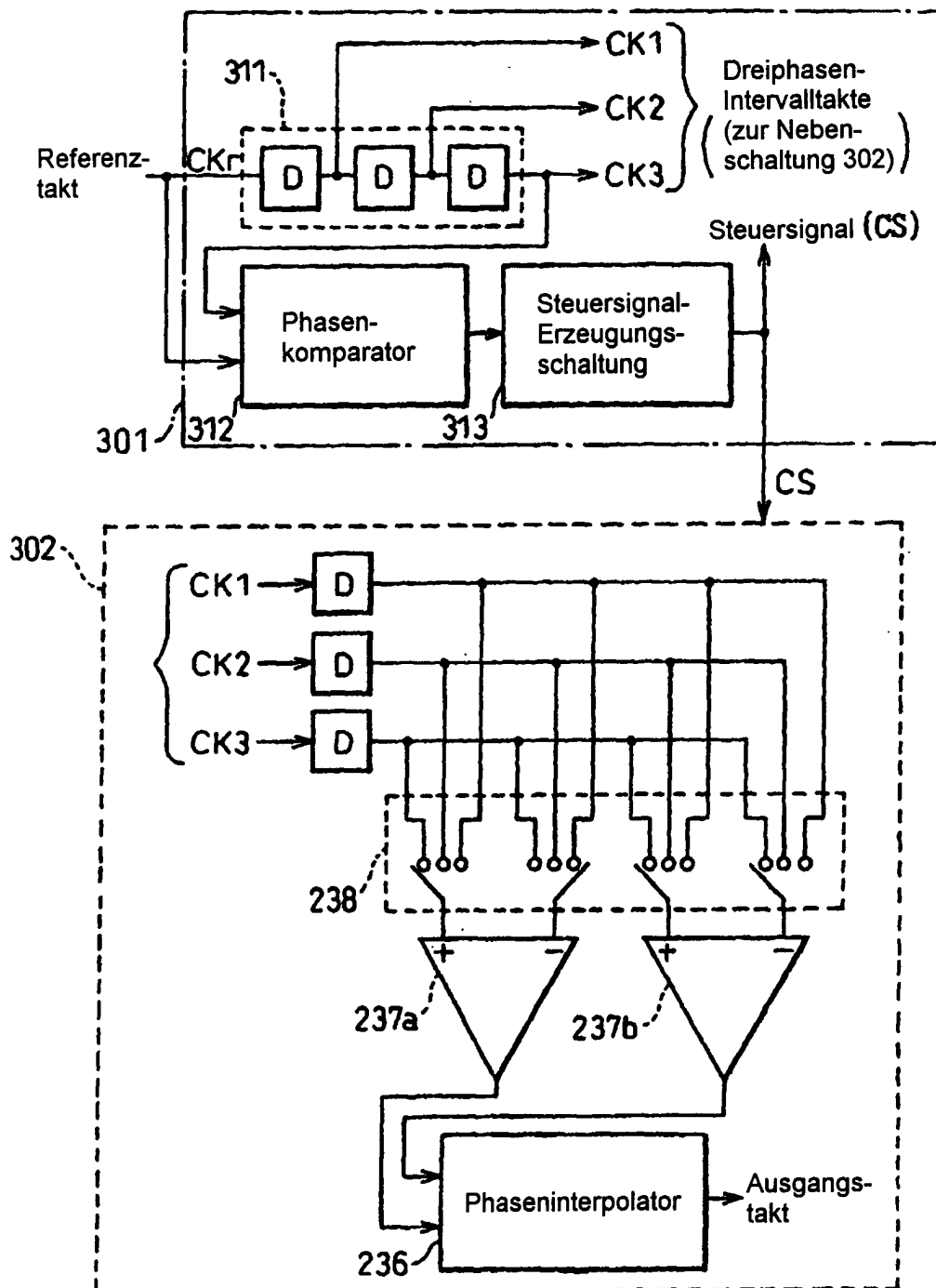


Fig . 62

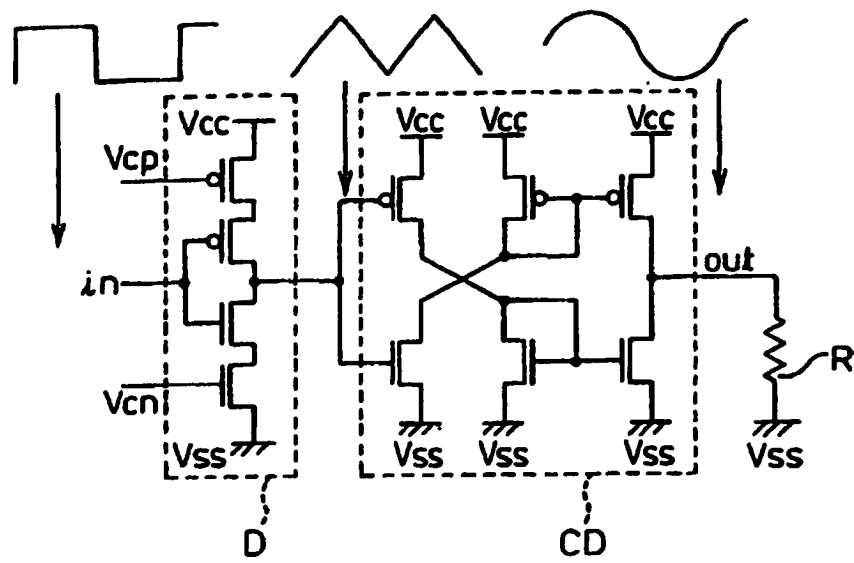


Fig.63A Fig.63B Fig.63C

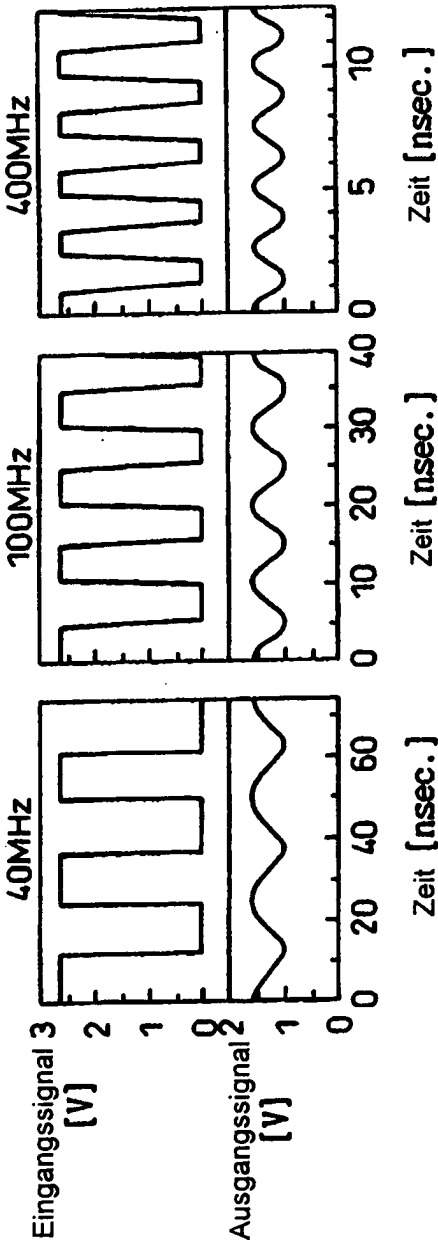


Fig. 64

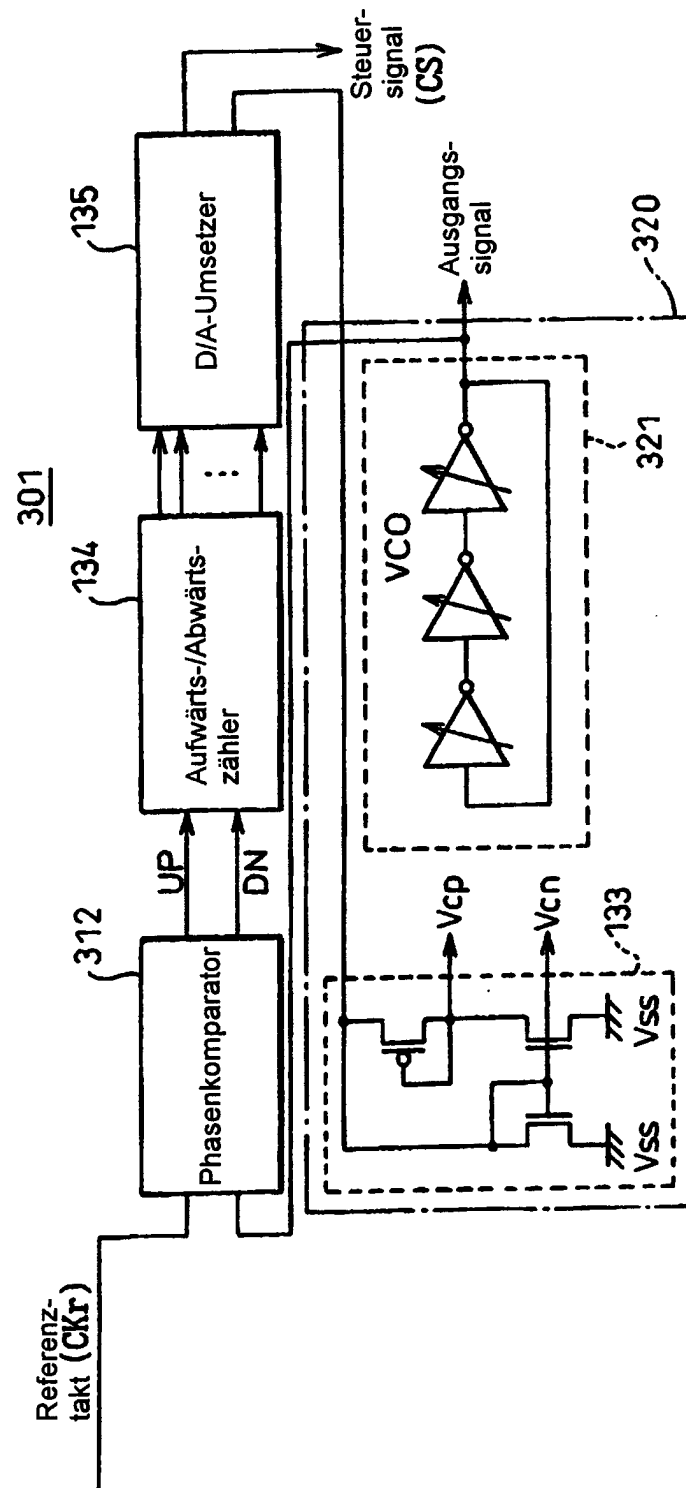


Fig. 65

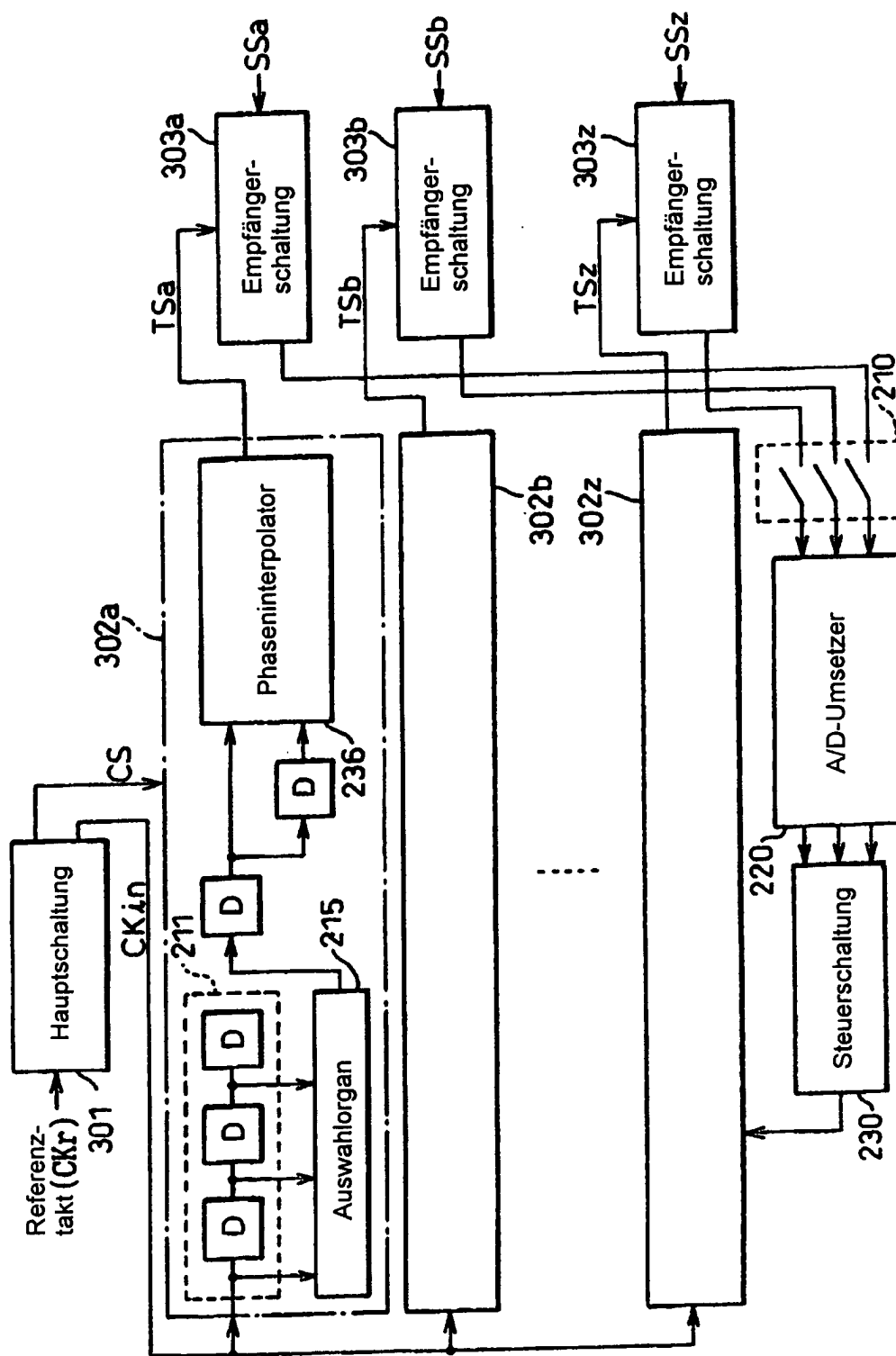


Fig. 66

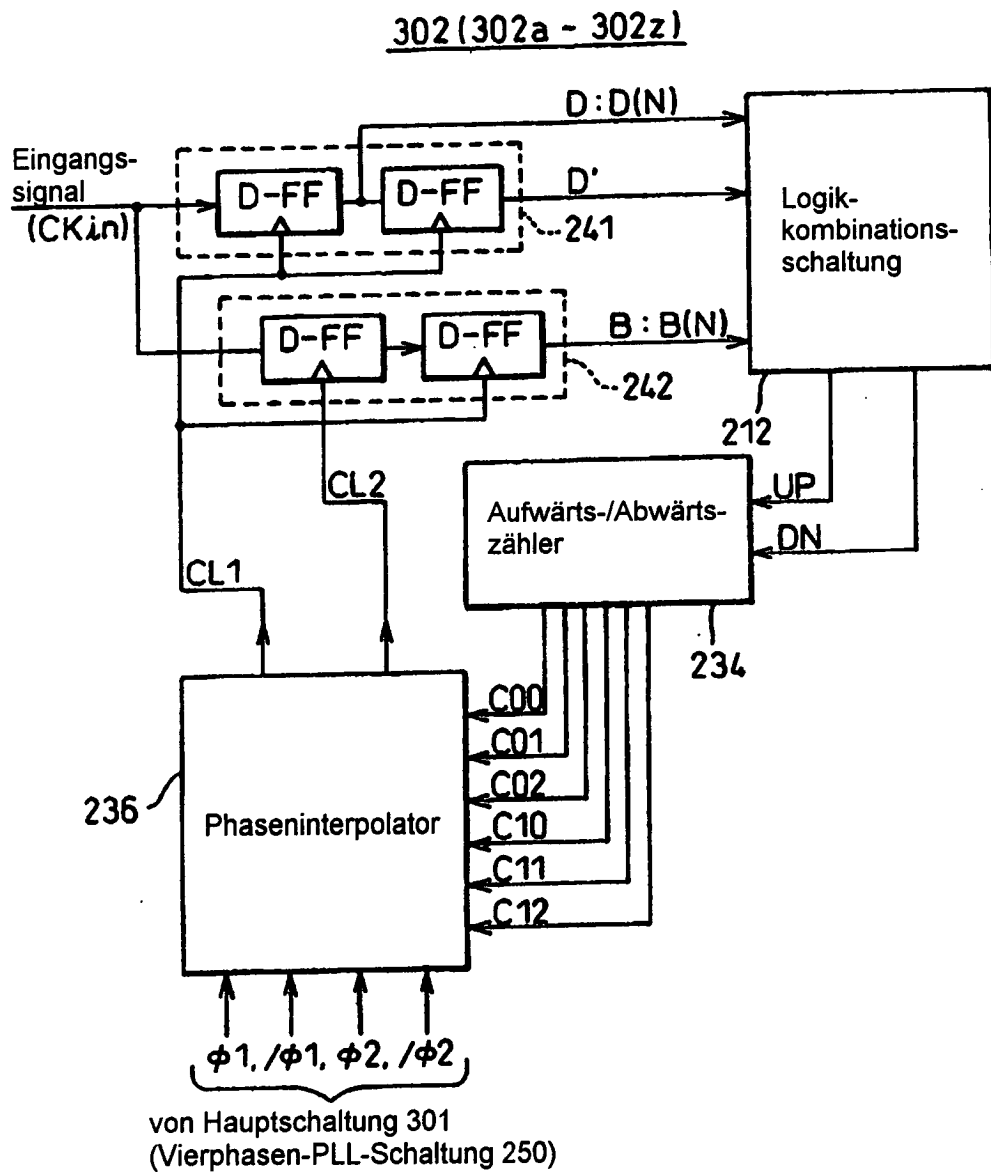


Fig. 67

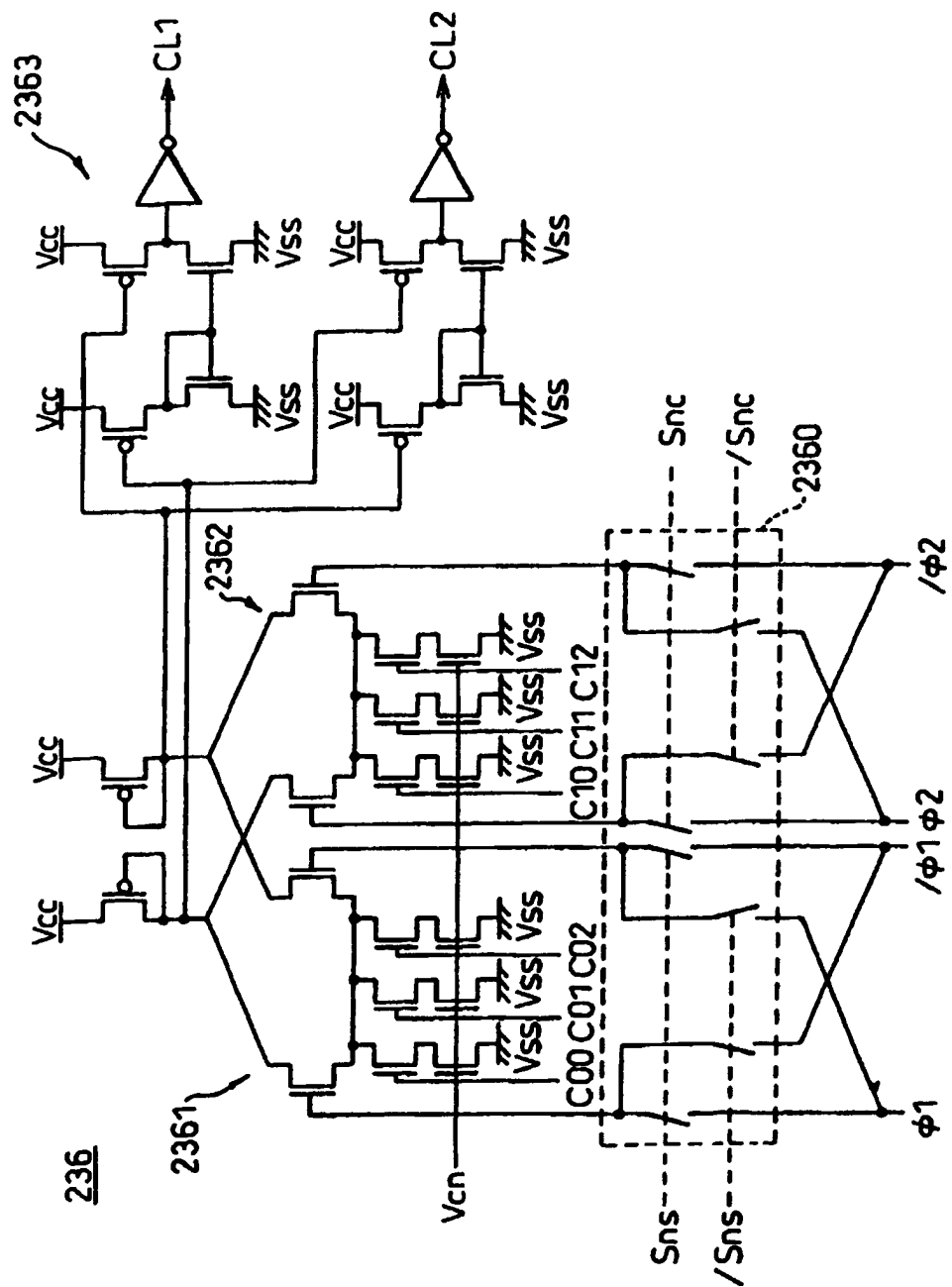


Fig. 68

250

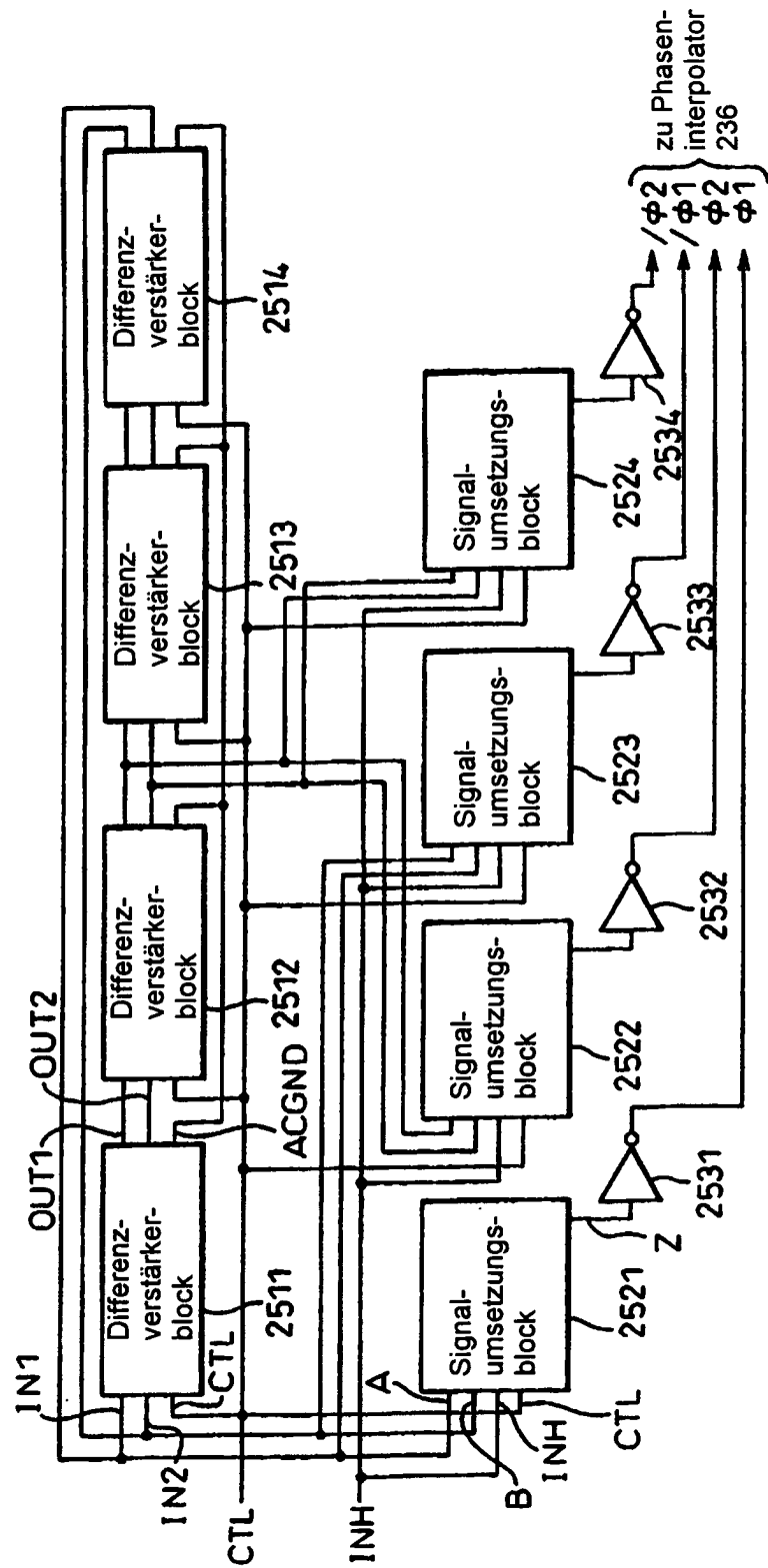


Fig. 69

252(2521-2524)

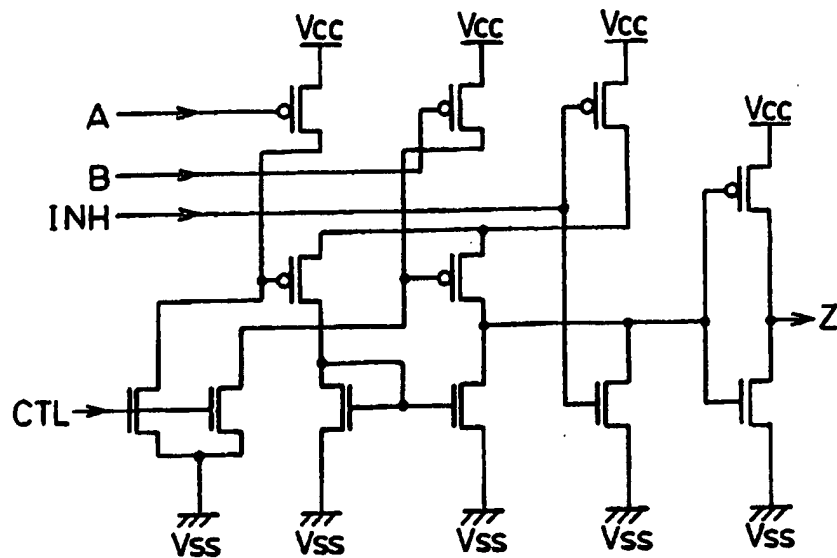


Fig. 70

251(2511-2514)

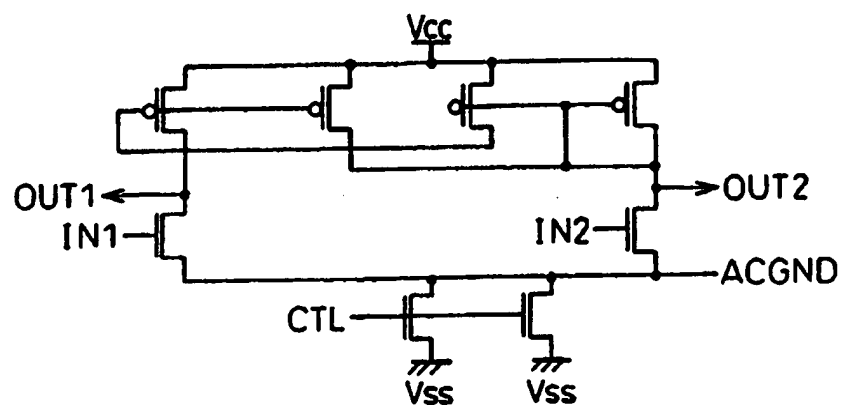


Fig. 71

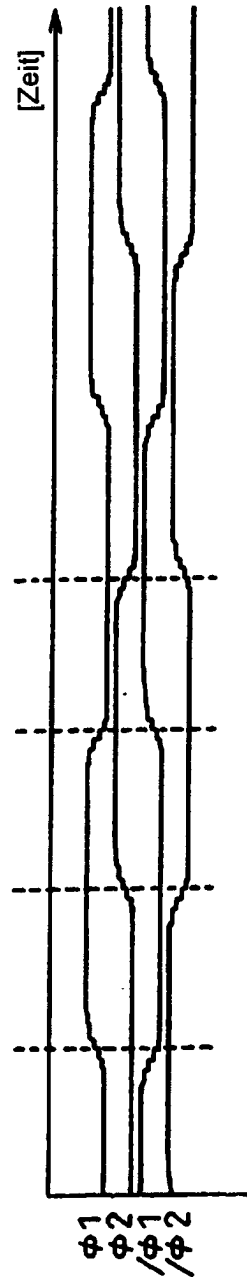


Fig. 72

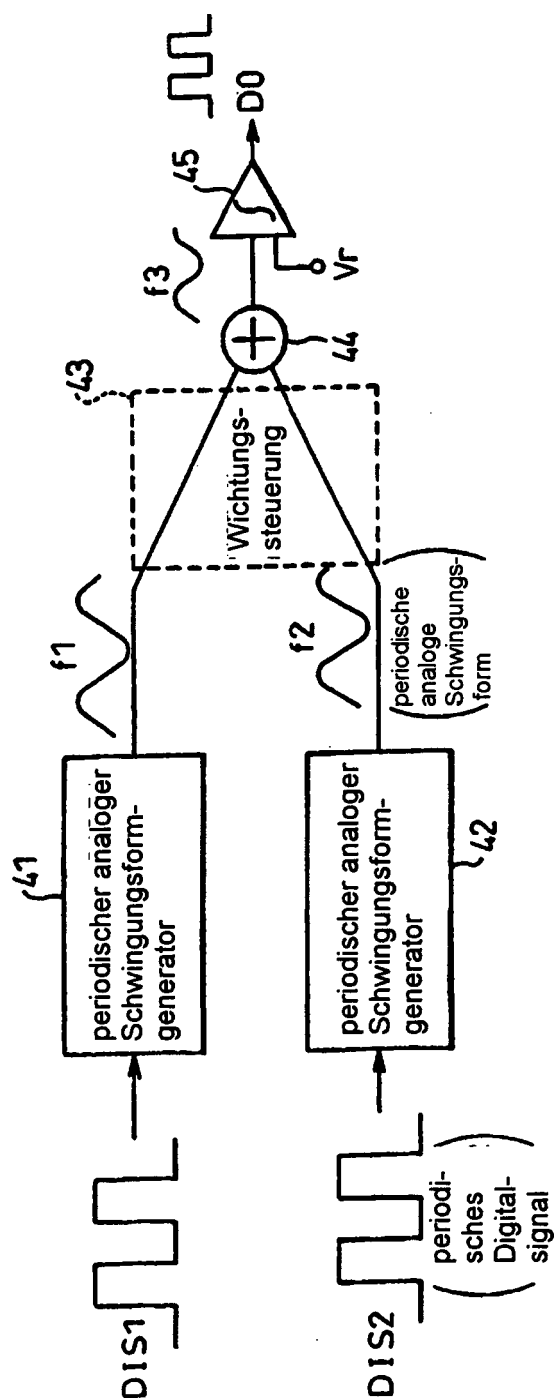


Fig.73

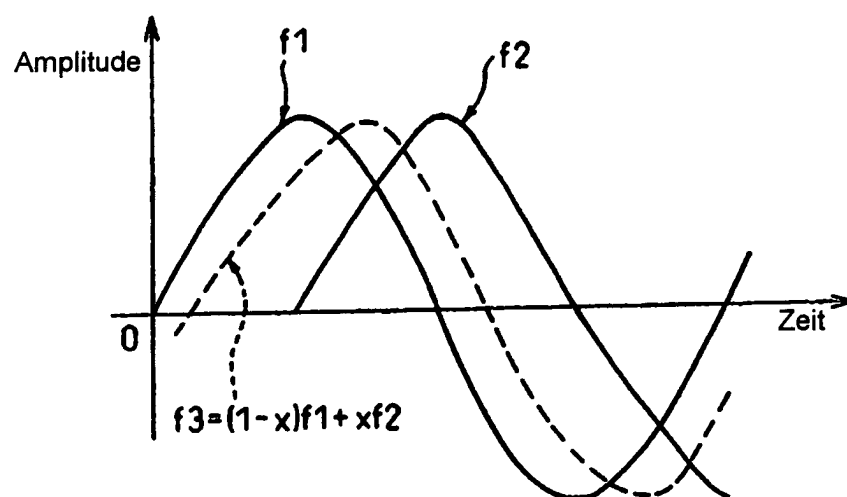


Fig. 74

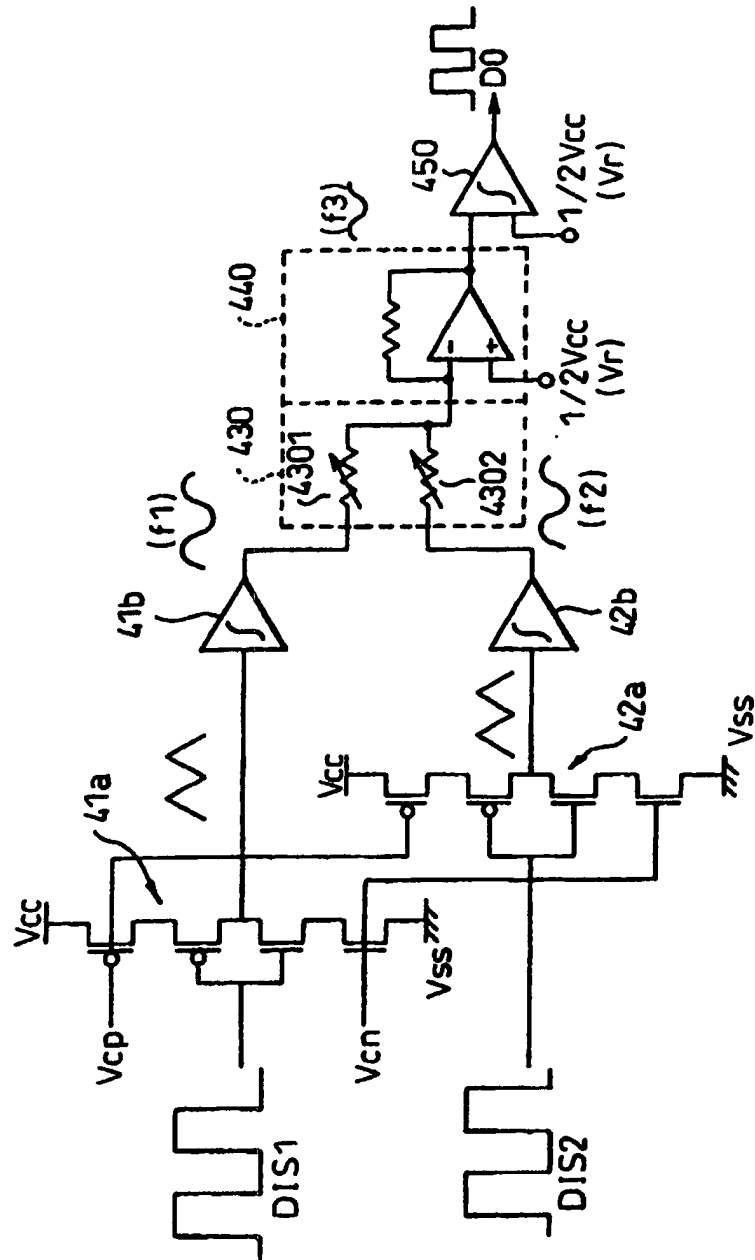


Fig.75

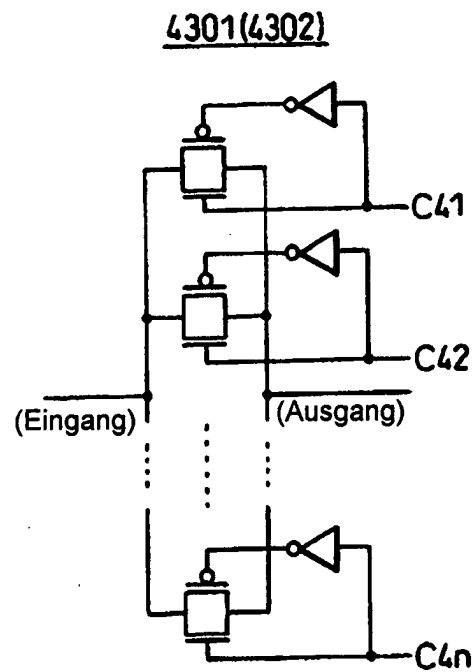


Fig.76

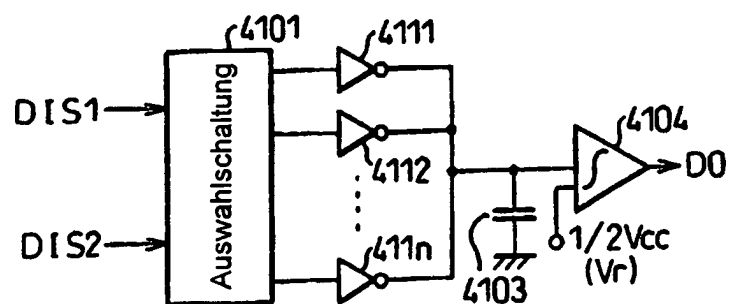


Fig.77

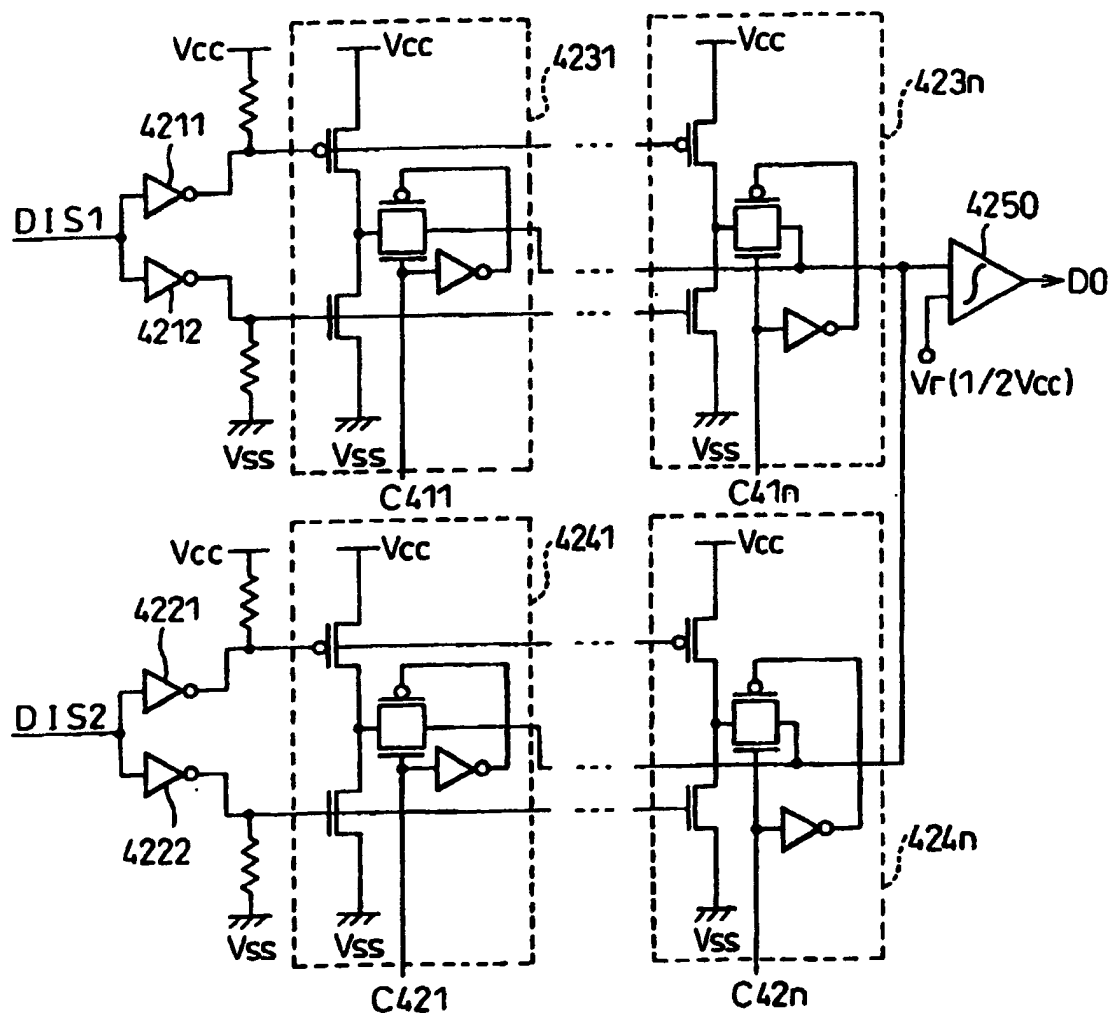


Fig.78

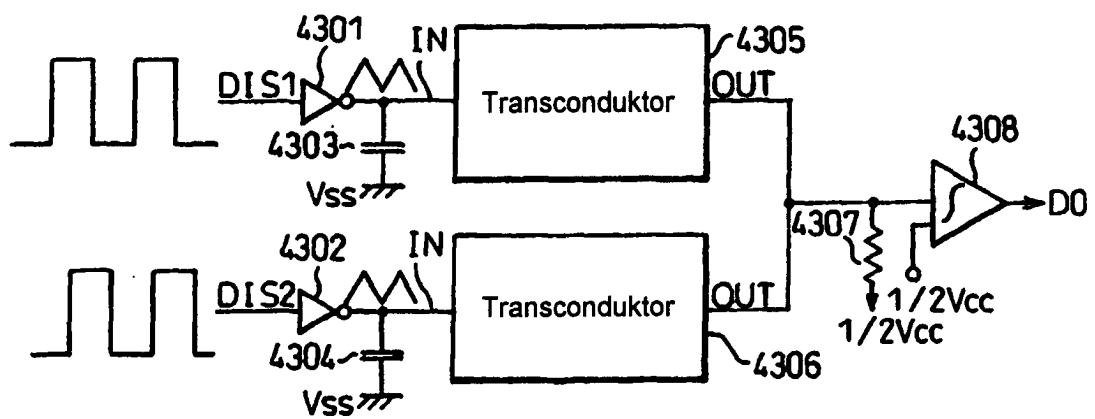


Fig. 79A

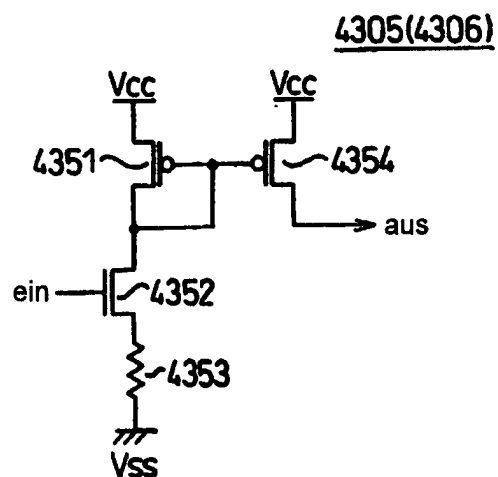


Fig. 79B

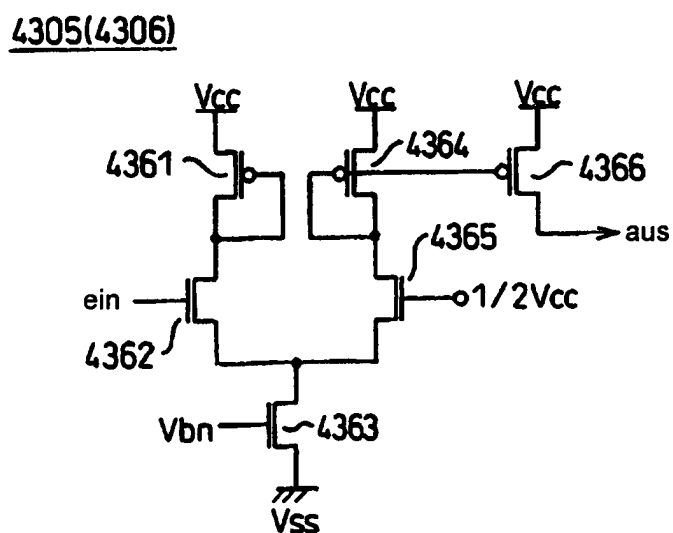


Fig. 80

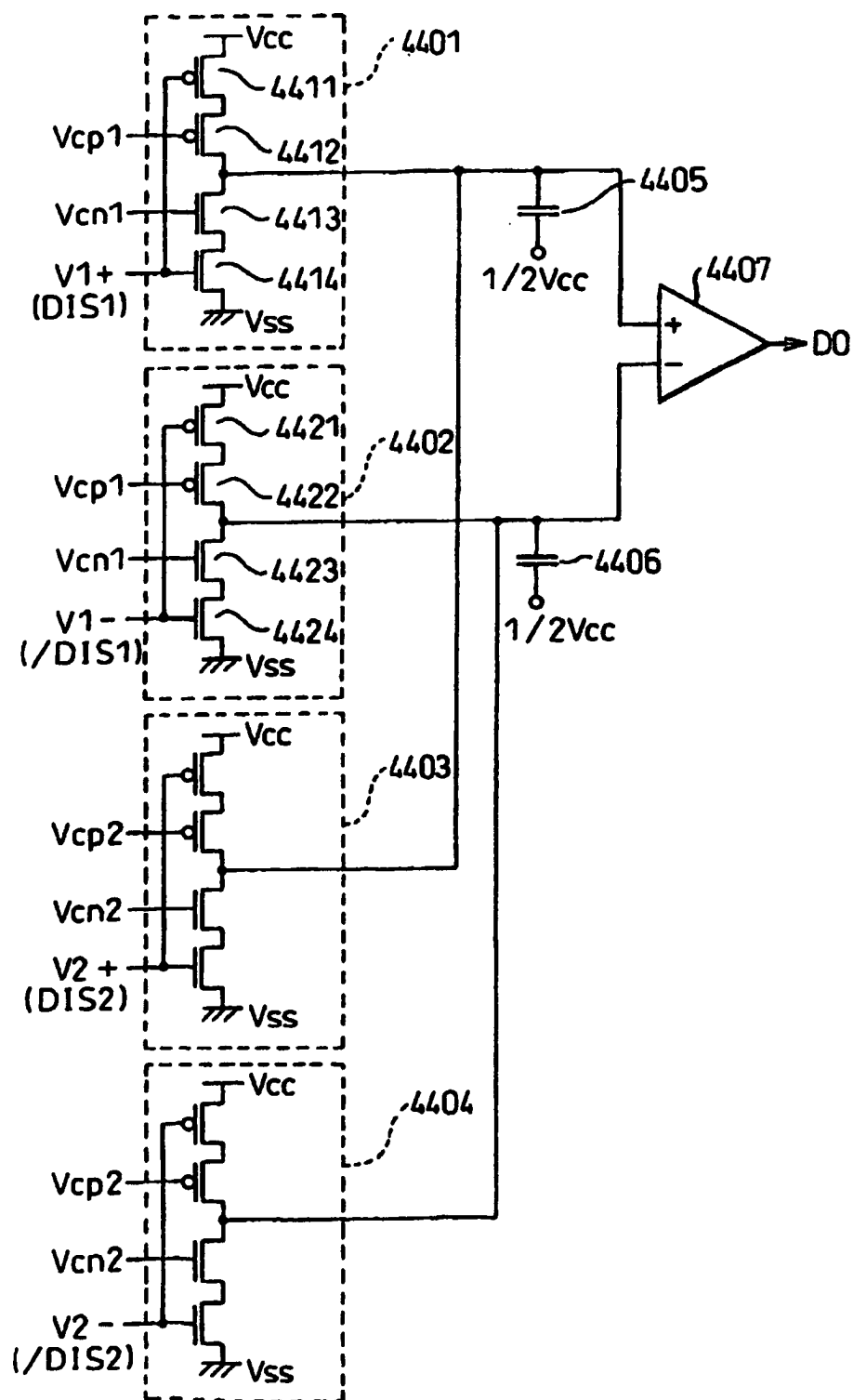


Fig. 81

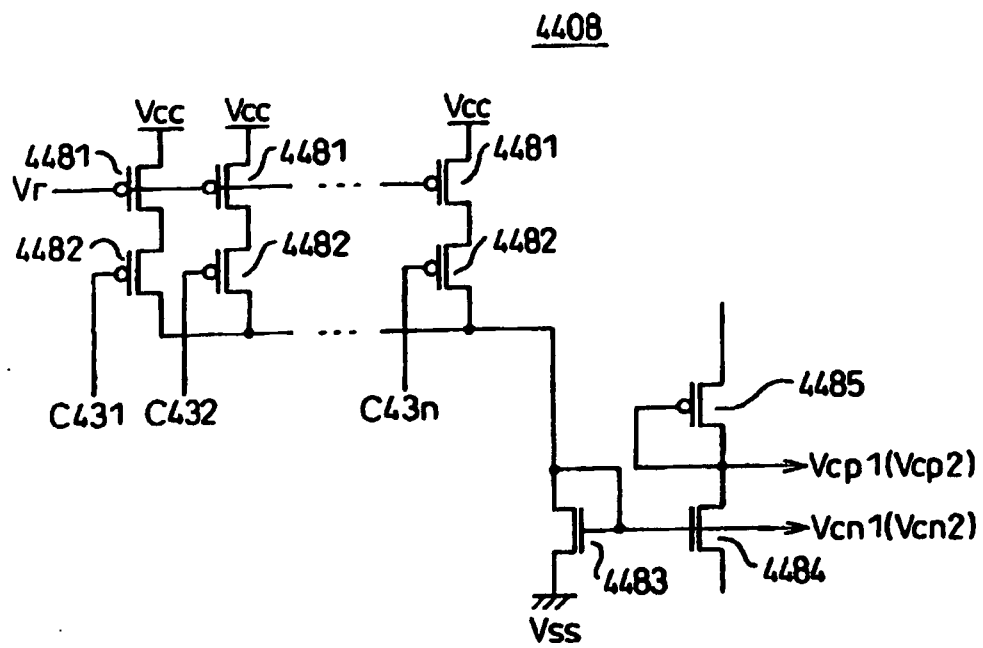


Fig.82

4408

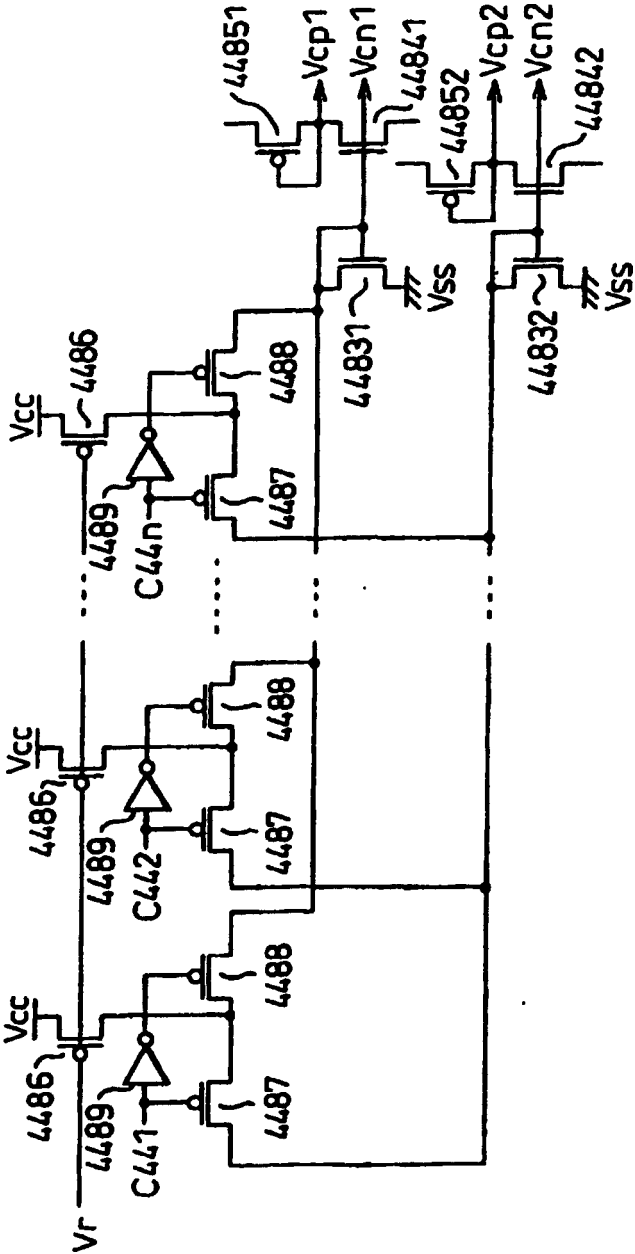


Fig. 83

4500

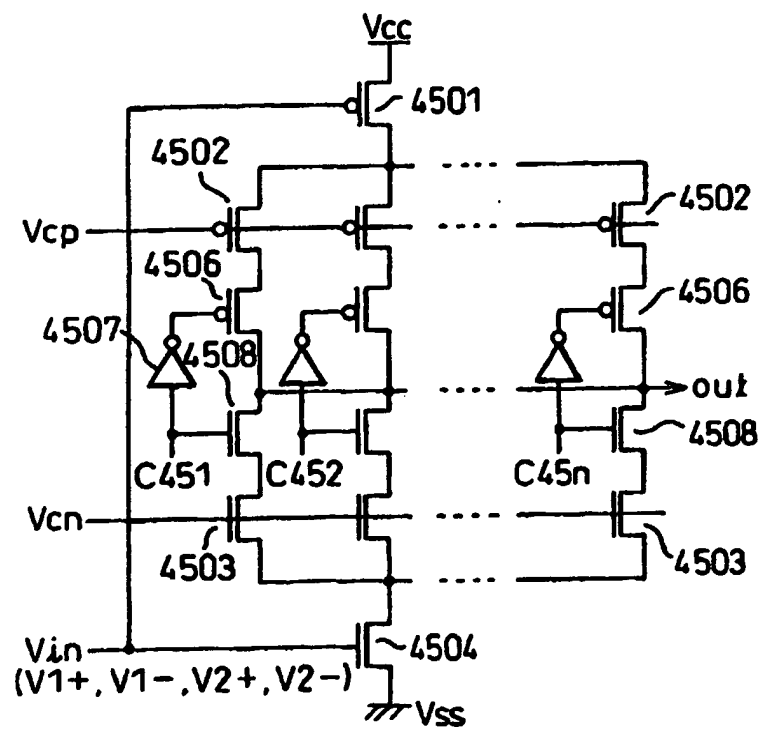


Fig. 84

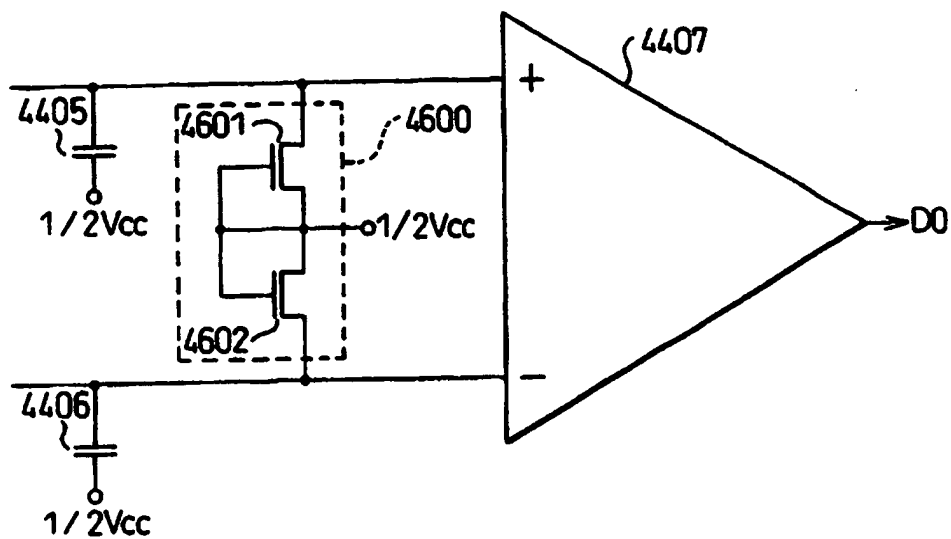


Fig. 85

