

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5618675号
(P5618675)

(45) 発行日 平成26年11月5日(2014.11.5)

(24) 登録日 平成26年9月26日(2014.9.26)

(51) Int.Cl.

F 1

H01L 29/786 (2006.01)
H01L 21/336 (2006.01)H01L 29/78 619 A
H01L 29/78 618 B

請求項の数 7 (全 67 頁)

(21) 出願番号 特願2010-169056 (P2010-169056)
 (22) 出願日 平成22年7月28日 (2010.7.28)
 (65) 公開番号 特開2011-49548 (P2011-49548A)
 (43) 公開日 平成23年3月10日 (2011.3.10)
 審査請求日 平成25年6月17日 (2013.6.17)
 (31) 優先権主張番号 特願2009-180077 (P2009-180077)
 (32) 優先日 平成21年7月31日 (2009.7.31)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 細羽 みゆき
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 坂田 淳一郎
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 桑原 秀明
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】半導体装置およびその作製方法

(57) 【特許請求の範囲】

【請求項 1】

絶縁表面上にゲート電極層と、
 前記ゲート電極層上にゲート絶縁層と、
 前記ゲート絶縁層上に酸化物半導体層と、
 前記酸化物半導体層上に酸化物絶縁層と、
 前記酸化物絶縁層上にソース電極層またはドレイン電極層と、
 前記ソース電極層または前記ドレイン電極層上に絶縁層と、を有し、
 前記酸化物半導体層は、前記酸化物絶縁層と接する第1の領域と、前記ソース電極層または前記ドレイン電極層と接する第2の領域と、前記絶縁層と接する第3の領域と、を有し、
 前記第1の領域のうち、前記ゲート電極層と前記ゲート絶縁層を介して重なる領域がチャネル形成領域であり、前記チャネル形成領域と前記第2の領域との間に前記第3の領域を有し、
 前記酸化物絶縁層は、酸化珪素層、窒化酸化珪素層、酸化アルミニウム層、または酸化窒化アルミニウム層であり、

前記絶縁層は、酸化珪素層、酸化アルミニウム層、酸化窒化珪素層、または酸化窒化アルミニウム層であることを特徴とする半導体装置。

【請求項 2】

請求項1において、前記チャネル形成領域と重なる前記酸化物絶縁層の上面及び側面は

前記絶縁層で覆われることを特徴とする半導体装置。

【請求項 3】

請求項 1 または請求項 2 において、前記酸化物絶縁層は、スパッタ法で形成されることを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一において、前記絶縁層は、スパッタ法で形成されることを特徴とする半導体装置。

【請求項 5】

ゲート電極層上にゲート絶縁層を形成し、

前記ゲート絶縁層上に酸化物半導体層を形成し、

10

前記酸化物半導体層を脱水化または脱水素化した後、大気に触れることなく、前記酸化物半導体層の一部と接し、且つ、前記酸化物半導体層の周縁及び側面を覆う酸化物絶縁層を形成し、

前記酸化物絶縁層上にソース電極層及びドレイン電極層を形成し、

前記酸化物絶縁層、前記ソース電極層、前記ドレイン電極層、及び前記酸化物半導体層と接する絶縁層を形成する半導体装置の作製方法であって、

前記酸化物絶縁層は、酸化珪素層、窒化酸化珪素層、酸化アルミニウム層、または酸化窒化アルミニウム層であり、

前記絶縁層は、酸化珪素層、酸化アルミニウム層、酸化窒化珪素層、または酸化窒化アルミニウム層であることを特徴とする半導体装置の作製方法。

20

【請求項 6】

請求項 5 において、前記酸化物絶縁層は、スパッタ法で形成されることを特徴とする半導体装置の作製方法。

【請求項 7】

請求項 5 または請求項 6 において、前記絶縁層は、スパッタ法で形成されることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

酸化物半導体を用いる半導体装置及びその作製方法に関する。

30

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用して機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百nm程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタはICや電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。金属酸化物は多様に存在しさまざまな用途に用いられている。酸化インジウムはよく知られた材料であり、液晶ディスプレイなどで必要とされる透明電極材料として用いられている。

40

【0004】

金属酸化物の中には半導体特性を示すものがある。半導体特性を示す金属酸化物としては、例えば、酸化タンゲステン、酸化錫、酸化インジウム、酸化亜鉛などがあり、このような半導体特性を示す金属酸化物をチャネル形成領域とする薄膜トランジスタが既に知られている（特許文献1及び特許文献2）。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2007-123861号公報

50

【特許文献2】特開2007-96055号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

絶縁表面上に複数の薄膜トランジスタを作製する場合、例えばゲート配線とソース配線とで交差する部分がある。交差する部分には、ゲート配線と、該ゲート配線と電位が異なるソース配線の間に絶縁層が設けられ、該絶縁層が誘電体となって容量が形成される。この容量は、配線間の寄生容量とも呼ばれ、信号波形のなまりが生じる恐れがある。また、寄生容量が大きいと信号の伝達が遅くなる恐れがある。

【0007】

また、寄生容量の増加は、配線間で電気信号が漏れてしまうクロストーク現象や、消費電力の増大に繋がる。

【0008】

また、アクティブマトリクス型の表示装置において、特に映像信号を供給する信号配線と、他の配線または電極との間に大きな寄生容量が形成されると、表示品質が低下する恐れがある。

【0009】

また、回路の微細化を図る場合においても、配線間隔が狭くなり、配線間の寄生容量が増加する恐れがある。

【0010】

本発明の一態様は、配線間の寄生容量を十分に低減できる構成を備えた半導体装置を提供することを課題の一とする。

【0011】

また、絶縁表面上に複数の異なる回路を形成する場合、例えば、画素部と駆動回路を同一基板上に形成する場合には、画素部に用いる薄膜トランジスタは、優れたスイッチング特性、例えばオンオフ比が大きいことが要求され、駆動回路に用いる薄膜トランジスタには動作速度が速いことが要求される。特に、表示装置の精細度が高精細であればあるほど、表示画像の書き込み時間が短くなるため、駆動回路に用いる薄膜トランジスタは速い動作速度とすることが好ましい。

【0012】

また、複雑な工程となることを防ぎ、製造コストの増大を防いで同一基板上に複数種の回路を形成し、複数種の回路の特性にそれぞれ合わせた複数種の薄膜トランジスタを備えた半導体装置を提供することも課題の一とする。

【課題を解決するための手段】

【0013】

ボトムゲート構造の薄膜トランジスタにおいて、ゲート電極層と重なる酸化物半導体層の一部に接するチャネル保護層となる酸化物絶縁層を形成し、その酸化物絶縁層の形成時に酸化物半導体層の周縁部（側面を含む）を覆う酸化物絶縁層を形成する。

【0014】

酸化物半導体層の周縁部（側面を含む）を覆う酸化物絶縁層は、ゲート電極層と、その上方または周辺に形成される配線層（ソース配線層や容量配線層など）との距離を大きくし、寄生容量の低減を図る。酸化物半導体層の周縁部を覆う酸化物絶縁層は、チャネル保護層と同一工程で形成されるため、工程数の増加なく、寄生容量を低減できる。

【0015】

酸化物半導体層の周縁部（側面を含む）を覆う酸化物絶縁層は、寄生容量を低減することができ、信号波形のなまりを抑制することができる。

【0016】

なお、寄生容量を低減するためには配線間に挟む酸化物絶縁層として、誘電率の小さな絶縁材料を用いることが好ましい。

【0017】

10

20

30

40

50

本明細書で開示する本発明の一態様は、絶縁表面上にゲート電極層と、該ゲート電極層上にゲート絶縁層と、該ゲート絶縁層上に酸化物半導体層と、該酸化物半導体層上に酸化物絶縁層と、該酸化物絶縁層上にソース電極層またはドレイン電極層と、ソース電極層またはドレイン電極層上に絶縁層とを有し、酸化物半導体層は、酸化物絶縁層と接する第1の領域と、ソース電極層またはドレイン電極層と接する第2の領域と、絶縁層と接する第3の領域と、を有し、第1の領域のうち、ゲート電極層とゲート絶縁層を介して重なる領域がチャネル形成領域であり、チャネル形成領域と第2の領域との間に第3の領域を有する半導体装置である。

【0018】

上記構成は、上記課題の少なくとも一つを解決する。

10

【0019】

Tiなどの金属電極からなるドレイン電極層は、酸化物半導体層上面の一部と接し、ドレイン電極層と重なる酸素欠乏型である高抵抗ドレイン領域(HRD(High Resistance Drain)領域とも呼ぶ)が形成される。また、ソース電極層は、酸化物半導体層上面の一部と接し、ソース電極層と重なる酸素欠乏型である高抵抗ソース領域(HRS(High Resistance Source)領域とも呼ぶ)が形成される。

【0020】

また、ソース電極層及びドレイン電極層は、酸化物半導体層のチャネル形成領域と重なっていない構成となっており、ゲート電極層とゲート絶縁層を介して重なる領域の面積も極めて小さく、或いは、ゲート電極層と重なる領域がないため、寄生容量も低減されている。また、チャネル保護層として機能する酸化物絶縁層の幅よりも、ソース電極層の側面と、該側面に向かい合うドレイン電極層の側面との間隔距離のほうが広い。薄膜トランジスタの動作速度を高速化するため、チャネル保護層として機能する酸化物絶縁層の幅(チャネル長方向の幅)を小さく設計しようとすると、ソース電極層の側面と、該側面に向かい合うドレイン電極層の側面との間隔距離も小さくなり、ソース電極層とドレイン電極層が短絡する恐れがあるため、間隔距離を広くすることは有用である。

20

【0021】

また、上記構成において、チャネル保護層として機能する酸化物絶縁層はスパッタ法を用いる無機絶縁膜を用い、代表的には酸化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いる。

30

【0022】

上記構成において、酸化物半導体層は、酸化物半導体層の上面において、酸化物絶縁層、ドレイン電極層、及びソース電極層と重ならない領域、即ち第3の領域がある。この第3の領域のチャネル長方向の幅は、酸化物半導体層のパターニング位置と、ドレイン電極層及びソース電極層のパターニング位置とによって決められる。この第3の領域のチャネル長方向の幅は、広くすれば、薄膜トランジスタのオフ電流の低減を図ることができる。また、この第3の領域のチャネル長方向の幅は、狭くすれば、薄膜トランジスタの動作速度の高速化を図ることができる。

【0023】

40

また、第3の領域と接する絶縁層もスパッタ法を用いる無機絶縁膜を用い、代表的には酸化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いる。なお、第3の領域と接する絶縁層をチャネル保護層として機能する酸化物絶縁層と同じ材料を用いた場合、チャネル保護層として機能する酸化物絶縁層を第1の酸化物絶縁層と呼べ、第3の領域と接する絶縁層は第2の酸化物絶縁層と呼べ、第1の酸化物半導体層と第2の酸化物絶縁層の境界が不明瞭となる。

【0024】

なお、酸化物半導体層としては、例えば、 $InMO_3(ZnO)_m$ ($m > 0$) で表記される薄膜を形成し、その薄膜を酸化物半導体層として用いた薄膜トランジスタを作製する。なお、Mは、Ga、Fe、Ni、Mn及びCoから選ばれた一の金属元素または複数の金

50

属元素を示す。例えばMとして、Gaの場合があることの他、GaとNiまたはGaとFeなど、Ga以外の上記金属元素が含まれる場合がある。また、上記酸化物半導体において、Mとして含まれる金属元素の他に、不純物元素としてFe、Niその他の遷移金属元素、または該遷移金属の酸化物が含まれているものがある。本明細書においては、InM₃(ZnO)_m(m > 0)で表記される構造の酸化物半導体層のうち、MとしてGaを含む構造の酸化物半導体をIn-Ga-Zn-O系酸化物半導体とよび、その薄膜をIn-Ga-Zn-O系非単結晶膜とも呼ぶ。

【0025】

また、酸化物半導体層に適用する金属酸化物として上記の他にも、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の金属酸化物を適用することができる。また上記金属酸化物からなる酸化物半導体層に酸化珪素を含ませてもよい。

【0026】

また上記構成において、ソース電極層及びドレイン電極層は、Ti、Mo、W、Al、Cr、Cu、Ta、から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金等を用いる。ソース電極層及びドレイン電極層は、上述した元素を含む単層に限定されず、二層以上の積層を用いることができる。

【0027】

また、上記構造を実現するための本発明の一態様は、絶縁表面を有する基板上にゲート電極層を形成し、該ゲート電極層上にゲート絶縁層を形成し、該ゲート絶縁層上に酸化物半導体層を形成し、該酸化物半導体層を脱水化または脱水素化した後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、該酸化物半導体層の一部と接し、且つ、酸化物半導体層の周縁及び側面を覆う酸化物絶縁層を形成し、該酸化物絶縁層上にソース電極層及びドレイン電極層を形成し、酸化物絶縁層、ソース電極層、ドレイン電極層、及び酸化物半導体層と接する絶縁層を形成する半導体装置の作製方法である。

【0028】

脱水化または脱水素化は、窒素、または希ガス(アルゴン、ヘリウムなど)の不活性気体雰囲気下での400以上基板の歪み点未満、好ましくは420以上570以下の加熱処理であり、酸化物半導体層の含有水分などの不純物を低減する。

【0029】

窒素、または希ガス(アルゴン、ヘリウムなど)の不活性気体雰囲気下での加熱処理を行った場合、酸化物半導体層は加熱処理により酸素欠乏型となって低抵抗化、即ちN型化(N⁻化など)させ、その後、酸化物半導体層に接する酸化物絶縁膜の形成や、形成後に加熱処理を行うことにより酸化物半導体層を酸素過剰な状態とすることで高抵抗化、即ちI型化させているとも言える。また、酸化物半導体層を酸素過剰な状態とする固相酸化を行っているとも呼べる。これにより、電気特性が良好で信頼性のよい薄膜トランジスタを有する半導体装置を作製し、提供することが可能となる。

【0030】

脱水化または脱水素化を行った酸化物半導体層は、脱水化または脱水素化後の酸化物半導体層に対してTDSで450まで測定を行っても水の2つのピーク、少なくとも300

付近に現れる1つのピークは検出されない程度の熱処理条件とする。従って、脱水化または脱水素化が行われた酸化物半導体層を用いた薄膜トランジスタに対してTDSで450まで測定を行っても少なくとも300付近に現れる水のピークは検出されない。

【0031】

そして、酸化物半導体層に対して脱水化または脱水素化を行う加熱温度Tから温度を下げる際、脱水化または脱水素化を行った同じ炉を用いて大気に触れさせないことで、水または水素が再び混入させないことが重要である。脱水化または脱水素化を行い、酸化物半導体層を低抵抗化、即ちN型化(N⁻など)させた後、高抵抗化させてI型とした酸化物半導体層を用いて薄膜トランジスタを作製すると、薄膜トランジスタのしきい値電圧値をブ

10

20

30

40

50

ラスとすることができる、所謂ノーマリーオフのスイッチング素子を実現できる。薄膜トランジスタのゲート電圧が0Vにできるだけ近い正のしきい値電圧でチャネルが形成されることが半導体装置（表示装置）には望ましい。なお、薄膜トランジスタのしきい値電圧値がマイナスであると、ゲート電圧が0Vでもソース電極とドレイン電極の間に電流が流れ、所謂ノーマリーオンとなりやすい。アクティブマトリクス型の表示装置においては、回路を構成する薄膜トランジスタの電気特性が重要であり、この電気特性が表示装置の性能を左右する。特に、薄膜トランジスタの電気特性のうち、しきい値電圧（V_{th}）が重要である。電界効果移動度が高くともしきい値電圧値が高い、或いはしきい値電圧値がマイナスであると、回路として制御することが困難である。しきい値電圧値が高く、しきい値電圧の絶対値が大きい薄膜トランジスタの場合には、駆動電圧が低い状態ではTFTとしてのスイッチング機能を果たすことができず、負荷となる恐れがある。nチャネル型の薄膜トランジスタの場合、ゲート電圧に正の電圧を印加してはじめてチャネルが形成されて、ドレイン電流が流れ出すトランジスタが望ましい。駆動電圧を高くしないとチャネルが形成されないトランジスタや、負の電圧状態でもチャネルが形成されてドレイン電流が流れるトランジスタは、回路に用いる薄膜トランジスタとしては不向きである。

【0032】

また、加熱温度Tから下げるガス雰囲気は、加熱温度Tまで昇温したガス雰囲気と異なるガス雰囲気に切り替えてよい。例えば、脱水化または脱水素化を行った同じ炉で大気に触れさせることなく、炉の中を高純度の酸素ガスまたはN₂Oガス、超乾燥エア（露点が-40以下、好ましくは-60以下）で満たして冷却を行う。

【0033】

脱水化または脱水素化を行う加熱処理によって膜中の含有水分を低減させた後、水分を含まない雰囲気（露点が-40以下、好ましくは-60以下）下で徐冷（または冷却）した酸化物半導体膜を用いて、薄膜トランジスタの電気特性を向上させるとともに、量産性と高性能の両方を備えた薄膜トランジスタを実現する。

【0034】

本明細書では、窒素、または希ガス（アルゴン、ヘリウムなど）の不活性気体雰囲気下での加熱処理を脱水化または脱水素化のための加熱処理と呼ぶ。本明細書では、この加熱処理によってH₂として脱離させていることのみを脱水素化と呼んでいいわけではなく、H、OHなどを脱離することを含めて脱水化または脱水素化と便宜上呼ぶこととする。

【0035】

窒素、または希ガス（アルゴン、ヘリウムなど）の不活性気体雰囲気下での加熱処理を行った場合、酸化物半導体層は加熱処理により酸素欠乏型となって低抵抗化、即ちN型化（N⁻化など）させる。

【0036】

また、ドレイン電極層と重なる酸素欠乏型である高抵抗ドレイン領域（HRD領域とも呼ぶ）が形成される。また、ソース電極層と重なる酸素欠乏型である高抵抗ソース領域（HRS領域とも呼ぶ）が形成される。

【0037】

具体的には、高抵抗ドレイン領域のキャリア濃度は、 $1 \times 10^{18} / \text{cm}^3$ 以上の範囲内であり、少なくともチャネル形成領域のキャリア濃度（ $1 \times 10^{18} / \text{cm}^3$ 未満）よりも高い領域である。なお、本明細書のキャリア濃度は、室温にてHall効果測定から求めたキャリア濃度の値を指す。

【0038】

そして、脱水化または脱水素化した酸化物半導体層の少なくとも一部を酸素過剰な状態とすることで、さらに高抵抗化、即ちI型化させてチャネル形成領域を形成する。なお、脱水化または脱水素化した酸化物半導体層を酸素過剰な状態とする処理としては、脱水化または脱水素化した酸化物半導体層に接する酸化物絶縁膜のスパッタ法の成膜、または酸化物絶縁膜成膜後の加熱処理、または酸化物絶縁膜成膜後の酸素を含む雰囲気での加熱処理、または酸化物絶縁膜成膜後の不活性ガス雰囲気下で加熱した後に酸素雰囲気で冷却する

10

20

30

40

50

処理、または酸化物絶縁膜成膜後の不活性ガス雰囲気下で加熱した後に超乾燥工ア（露点が-40以下、好ましくは-60以下）で冷却する処理などによって行う。

【0039】

また、脱水化または脱水素化した酸化物半導体層の少なくとも一部（ゲート電極層と重なる部分）をチャネル形成領域とするため、選択的に酸素過剰な状態とすることで、高抵抗化、即ちI型化させることもできる。

【0040】

これにより、電気特性が良好で信頼性のよい薄膜トランジスタを有する半導体装置を作製し、提供することが可能となる。

【0041】

なお、ドレイン電極層と重畠した酸化物半導体層において高抵抗ドレイン領域を形成することにより、駆動回路を形成した際の信頼性の向上を図ることができる。具体的には、高抵抗ドレイン領域を形成することで、ドレイン電極層から高抵抗ドレイン領域、チャネル形成領域にかけて、導電性を段階的に変化させうるような構造とすることができます。そのため、ドレイン電極層に高電源電位VDDを供給する配線に接続して動作させる場合、ゲート電極層とドレイン電極層との間に高電界が印加されても高抵抗ドレイン領域がバッファとなり局所的な高電界が印加されず、トランジスタの耐圧を向上させた構成とすることができます。

【0042】

また、ドレイン電極層（及びソース電極層）と重畠した酸化物半導体層において高抵抗ドレイン領域を形成することにより、駆動回路を形成した際のチャネル形成領域でのリーク電流の低減を図ることができる。具体的には、高抵抗ドレイン領域を形成することで、ドレイン電極層とソース電極層との間に流れるトランジスタのリーク電流の経路として、ドレイン電極層、ドレイン電極層側の高抵抗ドレイン領域、チャネル形成領域、ソース電極層側の高抵抗ソース領域、ソース電極層の順となる。このときチャネル形成領域では、ドレイン電極層側の高抵抗ドレイン領域よりチャネル形成領域に流れるリーク電流を、トランジスタがオフ時に高抵抗となるゲート絶縁層とチャネル形成領域の界面近傍に集中させることができ、バックチャネル部（ゲート電極層から離れているチャネル形成領域の表面の一部）でのリーク電流を低減することができる。

【0043】

また、駆動回路を有する表示装置としては、液晶表示装置の他に、発光素子を用いた発光表示装置や、電気泳動表示素子を用いた電子ペーパーとも称される表示装置が挙げられる。

【0044】

発光素子を用いた発光表示装置においては、画素部に複数の薄膜トランジスタを有し、画素部においてもある薄膜トランジスタのゲート電極と他のトランジスタのソース配線、或いはドレイン配線を接続させる箇所を有している。また、発光素子を用いた発光表示装置の駆動回路においては、薄膜トランジスタのゲート電極とその薄膜トランジスタのソース配線、或いはドレイン配線を接続させる箇所を有している。

【0045】

また、薄膜トランジスタは静電気などにより破壊されやすいため、ゲート線またはソース線に対して、画素部の薄膜トランジスタの保護用の保護回路を同一基板上に設けることが好ましい。保護回路は、酸化物半導体層を用いた非線形素子を用いて構成することが好ましい。

【0046】

なお、第1、第2として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

【発明の効果】

【0047】

10

20

30

40

50

酸化物半導体層の周縁部を酸化物絶縁層で覆い寄生容量の低減された薄膜トランジスタを作製することができる。また、ソース電極層とドレイン電極層の間隔距離を離すことにより、オフ電流を低減させた薄膜トランジスタを実現できる。

【図面の簡単な説明】

【0048】

【図1】本発明の一態様を示す平面図及び断面図である。

【図2】本発明の一態様を示す工程断面図である。

【図3】本発明の一態様を示す断面図である。

【図4】本発明の一態様を示す断面図及び上面図である。

【図5】本発明の一態様を示す断面図及び上面図である。

【図6】本発明の一態様を示す断面図である。

【図7】本発明の一態様を示す平面図及び断面図である。

【図8】本発明の一態様を示す工程断面図である。

【図9】半導体装置を説明する図。

【図10】半導体装置を説明する図。

【図11】半導体装置を説明する図。

【図12】半導体装置の画素等価回路を説明する図。

【図13】半導体装置を説明する図。

【図14】半導体装置のブロック図を説明する図。

【図15】信号線駆動回路の構成を説明する図及び動作を説明するタイミングチャート。

20

【図16】シフトレジスタの構成を示す回路図。

【図17】シフトレジスタの動作を説明する図とタイミングチャート。

【図18】半導体装置を説明する図。

【図19】半導体装置を説明する図。

【図20】電子書籍の一例を示す外観図。

【図21】テレビジョン装置およびデジタルフォトフレームの例を示す外観図。

【図22】遊技機の例を示す外観図。

【図23】携帯型のコンピュータ及び携帯電話機の一例を示す外観図。

【図24】半導体装置を説明する図。

【図25】半導体装置を説明する図。

30

【図26】半導体装置を説明する図。

【図27】半導体装置を説明する図。

【図28】半導体装置を説明する図。

【図29】半導体装置を説明する図。

【図30】半導体装置を説明する図。

【図31】半導体装置を説明する図。

【図32】半導体装置を説明する図。

【図33】半導体装置を説明する図。

【図34】半導体装置を説明する図。

【図35】半導体装置を説明する図。

40

【発明を実施するための形態】

【0049】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0050】

(実施の形態1)

本実施の形態では、半導体装置及び半導体装置の作製方法の一形態を図1、及び図2を用いて説明する。

50

【0051】

また、図1(A)は画素に配置されるチャネル保護型の薄膜トランジスタ448の平面図であり、図1(B)は図1(A)の線D1-D2における断面図及び図1(A)の線D5-D6における断面図である。また、図1(C)は、図1(A)の線D3-D4における断面図である。なお、図2(E)は図1(B)と同一である。

【0052】

画素に配置される薄膜トランジスタ448はチャネル保護型(チャネルトップ型ともいう)の薄膜トランジスタであり、絶縁表面を有する基板400上に、ゲート電極層421a、ゲート絶縁層402、チャネル形成領域423を含む酸化物半導体層442、チャネル保護層として機能する酸化物絶縁層426a、ソース電極層425a、及びドレイン電極層425bを含む。また、薄膜トランジスタ448を覆い、酸化物絶縁層426a、ソース電極層425a、及びドレイン電極層425bに接して絶縁層428、保護絶縁層403、及び平坦化絶縁層404が積層して設けられている。平坦化絶縁層404上にはドレイン電極層425bと接する画素電極層427が設けられており、薄膜トランジスタ448と電気的に接続している。

10

【0053】

画素用の薄膜トランジスタ448は、ソース電極層と重なる高抵抗ソース領域424a、ドレイン電極層と重なる高抵抗ドレイン領域424b、ソース電極層と重ならない高抵抗ソース領域424e、ドレイン電極層と重ならない高抵抗ドレイン領域424f、及びチャネル形成領域423を含む酸化物半導体層442を有している。なお、ソース電極層425aの下面に接して高抵抗ソース領域424aが形成されている。また、ドレイン電極層425bの下面に接して高抵抗ドレイン領域424bが形成されている。薄膜トランジスタ448は、高電界が印加されても2つの高抵抗ドレイン領域または2つの高抵抗ソース領域がバッファとなり局所的な高電界が印加されず、トランジスタの耐圧を向上させた構成となっている。

20

【0054】

また、図1(B)ではチャネル保護層として機能する酸化物絶縁層426aと、ゲート電極層とがゲート絶縁層を介して重なる酸化物半導体層の領域をチャネル形成領域と呼ぶこととする。従って、薄膜トランジスタ448のチャネル長Lは、酸化物絶縁層426aのチャネル長方向の幅と等しい。なお、薄膜トランジスタ448のチャネル長Lは、酸化物絶縁層426aとの界面における長さ、即ち、図1(B)に示す断面図において酸化物絶縁層426aは台形として示しており、その台形の底辺の長さである。

30

【0055】

また、ゲート配線とソース配線の交差する配線交差部は、寄生容量の低減を図るため、ゲート電極層421bとソース電極層425aとの間にゲート絶縁層402と酸化物絶縁層426bが設けられている。なお、チャネル形成領域423と重なる領域の酸化物絶縁層426aと、チャネル形成領域423と重ならない領域の酸化物絶縁層426bとを異なる符号で示しているが、同じ材料、同じ工程で形成される層である。

【0056】

以下、図2(A)乃至図2(E)を用い、同一基板上に薄膜トランジスタ448と配線交差部を作製する工程を説明する。また、画素部だけでなく駆動回路の薄膜トランジスタを形成してもよく、同じ工程で同一基板上に作製することもできる。

40

【0057】

まず、絶縁表面を有する基板400上に導電膜を形成した後、第1のフォトリソグラフィ工程によりゲート電極層421a、421bを形成する。また、画素部にはゲート電極層421a、421bと同じ材料、同じ第1のフォトリソグラフィ工程により容量配線層を形成する。また、画素部だけでなく駆動回路も形成する場合、駆動回路に容量が必要な場合には、駆動回路にも容量配線層を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

50

【0058】

ゲート電極層421a、421bを形成する導電膜としては、Al、Cr、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、ゲート電極層421a、421bを形成する導電膜として、透光性を有する導電膜を用いてもよく、酸化インジウム(In_2O_3)や酸化インジウム酸化スズ合金(In_2O_3 、 SnO_2 、ITOと略記する)などを用いることができる。

【0059】

本明細書において、可視光に対して透光性を有する膜とは可視光の透過率が75~100%である膜厚を有する膜を指し、その膜が導電性を有する場合は透明の導電膜とも呼ぶ。
また、ゲート電極層、ソース電極層、ドレイン電極層、画素電極層、またはその他の電極層や、その他の配線層に適用する金属酸化物として、可視光に対して半透明の導電膜を用いてもよい。可視光に対して半透明とは可視光の透過率が50~75%であることを指す。

10

【0060】

また、ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が730以上的ものを用いると良い。また、ガラス基板には、例えば、アルミニシリケートガラス、アルミニホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。なお、酸化ホウ素と比較して酸化バリウム(BaO)を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、 B_2O_3 より BaO を多く含むガラス基板を用いることが好ましい。

20

【0061】

なお、上記のガラス基板に代えて、セラミック基板、石英基板、サファイア基板などの絶縁体でなる基板を用いても良い。他にも、結晶化ガラスなどを用いることができる。

【0062】

また、下地膜となる絶縁膜を基板400とゲート電極層421a、421bの間に設けてもよい。下地膜は、基板400からの不純物元素の拡散を防止する機能があり、窒化珪素膜、酸化珪素膜、窒化酸化珪素膜、又は酸化窒化珪素膜から選ばれた一又は複数の膜による積層構造により形成することができる。

30

【0063】

次いで、ゲート電極層421a、421b上にゲート絶縁層402を形成する。

【0064】

ゲート絶縁層402は、プラズマCVD法又はスパッタリング法等を用いて、酸化珪素層、窒化珪素層、酸化窒化珪素層又は窒化酸化珪素層を単層で又は積層して形成することができる。例えば、成膜ガスとして、 SiH_4 、酸素及び窒素を用いてプラズマCVD法により酸化窒化珪素層を形成すればよい。ゲート絶縁層402の膜厚は、100nm以上500nm以下とし、積層の場合は、例えば、膜厚50nm以上200nm以下の第1のゲート絶縁層と、第1のゲート絶縁層上に膜厚5nm以上300nm以下の第2のゲート絶縁層の積層とする。

40

【0065】

本実施の形態では、プラズマCVD法により窒化珪素層である膜厚200nm以下のゲート絶縁層402とする。

【0066】

次いで、ゲート絶縁層402上に、膜厚5nm以上200nm以下、好ましくは10nm以上20nm以下の酸化物半導体膜430を形成する(図2(A)参照。)。酸化物半導体膜430の形成後に脱水化または脱水素化のための加熱処理を行っても酸化物半導体膜を非晶質な状態とし、膜厚を50nm以下と薄くすることが好ましい。酸化物半導体膜の膜厚を薄くすることで酸化物半導体層の形成後に加熱処理した場合に、結晶化してしまうのを抑制することができる。

【0067】

50

酸化物半導体膜430は、In-Ga-Zn-O系非単結晶膜、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の酸化物半導体膜を用いる。本実施の形態では、In-Ga-Zn-O系酸化物半導体ターゲットを用いてスパッタ法により成膜する。また、酸化物半導体膜430は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、又は希ガス(代表的にはアルゴン)及び酸素雰囲気下においてスパッタ法により形成することができる。また、スパッタ法を用いる場合、SiO₂を2重量%以上10重量%以下含むターゲットを用いて成膜を行い、酸化物半導体膜430に結晶化を阻害するSiO_x(X>0)を含ませ、後の工程で行う脱水化または脱水素化のための加熱処理の際に結晶化してしまうのを抑制することが好ましい。

10

【0068】

酸化物半導体は、好ましくはInを含有する酸化物半導体、さらに好ましくは、In、及びGaを含有する酸化物半導体である。酸化物半導体層をI型(真性)とするため、脱水化または脱水素化の工程を経ることは有効である。

【0069】

本実施の形態では、In-Ga-Zn-O系酸化物半導体膜を用いる。

【0070】

ここでは、In、Ga、及びZnを含む酸化物半導体ターゲット(In₂O₃:Ga₂O₃:ZnO=1:1:1[mol数比])を用いて、基板とターゲットの間との距離を100mm、圧力0.2Pa、直流(DC)電源0.5kW、アルゴン及び酸素(アルゴン:酸素=30sccm:20sccm 酸素流量比率40%)雰囲気下で成膜する。なお、パルス直流(DC)電源を用いると、ごみが軽減でき、膜厚分布も均一となるために好ましい。In-Ga-Zn-O系非単結晶膜の膜厚は、5nm~200nmとする。本実施の形態では、酸化物半導体膜として、In-Ga-Zn-O系酸化物半導体ターゲットを用いてスパッタ法により膜厚20nmのIn-Ga-Zn-O系非単結晶膜を成膜する。

20

【0071】

スパッタ法にはスパッタ用電源に高周波電源を用いるRFスパッタ法と、DCスパッタ法があり、さらにパルス的にバイアスを与えるパルスDCスパッタ法もある。RFスパッタ法は主に絶縁膜を成膜する場合に用いられ、DCスパッタ法は主に金属膜を成膜する場合に用いられる。

30

【0072】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

【0073】

また、チャンバー内部に磁石機構を備えたマグнетロンスパッタ法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタ法を用いるスパッタ装置がある。

40

【0074】

また、スパッタ法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタ法や、成膜中に基板にも電圧をかけるバイアススパッタ法もある。

【0075】

次いで、酸化物半導体膜430を第2のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。また、島状の酸化物半導体層を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0076】

50

次いで、酸化物半導体層の脱水化または脱水素化を行う。脱水化または脱水素化を行う第1の加熱処理の温度は、400以上基板の歪み点未満、好ましくは425以上とする。なお、425以上であれば加熱処理時間は1時間以下でよいが、425未満であれば加熱処理時間は、1時間よりも長時間行うこととする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下において加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層を得る。本実施の形態では、酸化物半導体層の脱水化または脱水素化を行う加熱温度Tから、再び水が入らないような十分な温度まで同じ炉を用い、具体的には加熱温度Tよりも100以上下がるまで窒素雰囲気下で徐冷する。また、窒素雰囲気に限定されず、ヘリウム、ネオン、アルゴン等の希ガス雰囲気下において脱水化または脱水素化を行う。

10

【0077】

なお、第1の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.9999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0078】

また、第1の加熱処理の条件、または酸化物半導体層の材料によっては、結晶化し、微結晶膜または多結晶膜となる場合もある。

20

【0079】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜430に行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

【0080】

また、酸化物半導体膜430の成膜前に、不活性ガス雰囲気(窒素、またはヘリウム、ネオン、アルゴン等)下、酸素雰囲気下において加熱処理(400以上基板の歪み点未満)を行い、ゲート絶縁層内に含まれる水素及び水などの不純物を除去してもよい。

【0081】

次いで、ゲート絶縁層402、及び酸化物半導体層上に、スパッタ法で酸化物絶縁膜を形成した後、第3のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行って酸化物絶縁層426a、426bを形成し、その後レジストマスクを除去する。この段階で、酸化物半導体層は、酸化物絶縁層と接する領域が形成され、この領域のうち、ゲート電極層とゲート絶縁層を介して重なり且つ酸化物絶縁層426aと重なる領域がチャネル形成領域となる。また、酸化物半導体層の周縁及び側面を覆う酸化物絶縁層426bと重なる領域も形成される。

30

【0082】

酸化物絶縁膜は、少なくとも1nm以上の膜厚とし、スパッタリング法など、酸化物絶縁膜に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。本実施の形態では、酸化物絶縁膜として膜厚300nmの酸化珪素膜をスパッタリング法を用いて成膜する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では室温とする。酸化珪素膜のスパッタリング法による成膜は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、または希ガス(代表的にはアルゴン)及び酸素雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素、及び窒素雰囲気下でスパッタリング法により酸化珪素を形成することができる。低抵抗化した酸化物半導体層に接して形成する酸化物絶縁膜は、水分や、水素イオンや、OH⁻などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いる。

40

50

【0083】

次いで、不活性ガス雰囲気下、または窒素ガス雰囲気下で第2の加熱処理（好ましくは200以上400以下、例えば250以上350以下）を行う（図2（B）参照。）。例えば、窒素雰囲気下で250、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化物絶縁層426bと重なる酸化物半導体層442の端部と、酸化物絶縁層426aと重なる酸化物半導体層442の一部が酸化物絶縁層と接した状態で加熱される。なお、第2の加熱処理を行うと、酸化物絶縁層と重ならない酸化物半導体層442の一部は露出した状態で加熱される。酸化物半導体層442が露出している状態で、窒素、または不活性ガス雰囲気下で加熱処理を行うと、酸化物半導体層442において露出している高抵抗化された（I型化された）領域を低抵抗化することができる。また、酸化物絶縁層426aは酸化物半導体層442のチャネル形成領域となる領域上に接して設けられ、チャネル保護層として機能する。

【0084】

次いで、ゲート絶縁層402、酸化物絶縁層426a、426b、及び酸化物半導体層442上に、導電膜を形成した後、第4のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってソース電極層425a、及びドレイン電極層425bを形成する（図2（C）参照）。導電膜の成膜方法は、スパッタ法や真空蒸着法（電子ビーム蒸着法など）や、アーク放電イオンプレーティング法や、スプレー法を用いる。導電膜としては、Ti、Mo、W、Al、Cr、Cu、Ta、から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金等を用いる。導電膜は、上述した元素を含む単層に限定されず、二層以上の積層を用いることができる。本実施の形態では、チタン膜とアルミニウム膜とチタン膜の3層構造の導電膜を形成する。また、Ti膜に変えて窒化チタン膜を用いてもよい。

【0085】

また、第4のフォトリソグラフィ工程においては、酸化物半導体層上に接する導電膜のみが選択的に除去される部分がある。従って、酸化物半導体層上に接する導電膜のみを選択的に除去するため、アルカリ性のエッチャントとしてアンモニア過水（31重量%過酸化水素水：28重量%アンモニア水：水=5:2:2）などを用いれば、導電膜を選択的に除去し、In-Ga-Zn-O系酸化物半導体からなる酸化物半導体層を残存させることができる。

【0086】

なお、ソース電極層425a、ドレイン電極層425bを形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0087】

次いで、酸化物絶縁層426a、426b、ソース電極層425a、ドレイン電極層425b上に絶縁層428と、保護絶縁層403を形成する。本実施の形態では、スパッタ法を用いて酸化珪素膜の絶縁層428と、窒化珪素膜の保護絶縁層403とを積層形成する。

【0088】

なお、酸化物絶縁層426aと絶縁層428を分かりやすく明示するため、図には境界を図示したが、実際にはどちらも同じスパッタ方法の酸化珪素膜であるため不明瞭となる。

【0089】

R Fスパッタ法は、量産性がよいため、保護絶縁層403の成膜方法として好ましい。保護絶縁層403は、水分や、水素イオンや、OH⁻などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、窒化珪素膜、窒化アルミニウム膜、窒化酸化珪素膜、酸化窒化アルミニウム膜などを用いる。勿論、保護絶縁層403は透光性を有する絶縁膜である。

【0090】

次いで、保護絶縁層403上に平坦化絶縁層404を形成する。平坦化絶縁層404とし

10

20

30

40

50

ては、ポリイミド、アクリル樹脂、ベンゾシクロブテン系樹脂、ポリアミド、エポキシ樹脂等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料 (low-k 材料)、シロキサン系樹脂、PSG (リンガラス)、BPSG (リンボロンガラス) 等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁層 404 を形成してもよい。

【0091】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成された Si-O-Si 結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基 (例えばアルキル基やアリール基) やフルオロ基を用いても良い。また、有機基はフルオロ基を有しても良い。

10

【0092】

平坦化絶縁層 404 の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG 法、スピンドルコート、ディップ、スプレー塗布、液滴吐出法 (インクジェット法、スクリーン印刷、オフセット印刷等)、ドクターナイフ、ロールコーティング、カーテンコーティング、ナイフコーティング等を用いることができる。

【0093】

次に、第 5 のフォトリソグラフィ工程を行い、レジストマスクを形成し、平坦化絶縁層 404、絶縁層 428、及び保護絶縁層 403 のエッチングによりドレイン電極層 425b に達するコンタクトホール 441 を形成し、レジストマスクを除去する (図 2 (D) 参照)。図 2 (D) に示すようにコンタクトホールの下方には酸化物絶縁層 426b が設けられており、コンタクトホールの下方に酸化物絶縁層が設けられていない場合に比べて除去する平坦化絶縁層の膜厚を薄くでき、エッチング時間を短くすることができる。また、コンタクトホールの下方に酸化物絶縁層が設けられていない場合に比べてコンタクトホール 441 の深さを浅くすることができ、コンタクトホール 441 と重なる領域において、後の工程で形成する透光性を有する導電膜のカバーレッジを良好なものとすることができる。また、ここでエッチングによりゲート電極層 421b に達するコンタクトホールも形成する。また、ドレイン電極層 425b に達するコンタクトホールを形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

20

【0094】

次いで、透光性を有する導電膜を成膜する。透光性を有する導電膜の材料としては、酸化インジウム (In₂O₃) や酸化インジウム酸化スズ合金 (In₂O₃-SnO₂、ITO と略記する)などをスパッタ法や真空蒸着法などを用いて形成する。透光性を有する導電膜の他の材料として、窒素を含ませた Al-Zn-O 系非単結晶膜、即ち Al-Zn-O-N 系非単結晶膜や、Zn-O-N 系非単結晶膜や、Sn-Zn-O-N 系非単結晶膜を用いてもよい。なお、Al-Zn-O-N 系非単結晶膜の亜鉛の組成比 (原子%) は、47 原子% 以下とし、非単結晶膜中のアルミニウムの組成比 (原子%) より大きく、非単結晶膜中のアルミニウムの組成比 (原子%) は、非単結晶膜中の窒素の組成比 (原子%) より大きい。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特に ITO のエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金 (In₂O₃-ZnO) を用いてもよい。

30

【0095】

なお、透光性を有する導電膜の組成比の単位は原子% とし、電子線マイクロアナライザー (EPMA: Electron Probe X-ray Micro Analyzer) を用いた分析により評価するものとする。

40

【0096】

次に、第 6 のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して画素電極層 427 を形成し、レジストマスクを除去する (図 2 (E) 参照)。

【0097】

50

以上の工程により、6枚のマスクを用いて、同一基板上に薄膜トランジスタ448と、寄生容量の低減された配線交差部を作製することができる。画素用の薄膜トランジスタ448は、ソース電極層と重なる高抵抗ソース領域424a、ドレイン電極層と重なる高抵抗ドレイン領域424b、ソース電極層と重ならない高抵抗ソース領域424e、ドレイン電極層と重ならない高抵抗ドレイン領域424f、及びチャネル形成領域423を含む酸化物半導体層442を含むチャネル保護型薄膜トランジスタである。よって、薄膜トランジスタ448は、高電界が印加されても2つの高抵抗ドレイン領域または2つの高抵抗ソース領域がバッファとなり局所的な高電界が印加されず、薄膜トランジスタの耐圧を向上させた構成となっている。また、ソース電極層とドレイン電極層の間隔距離を離すことにより、薄膜トランジスタのオフ電流を低減させた構成となっている。

10

【0098】

また、ゲート絶縁層402を誘電体とし容量配線層と容量電極とで形成される保持容量も同一基板上に形成することができる。薄膜トランジスタ448と保持容量を個々の画素に対応してマトリクス状に配置して画素部を構成し、アクティブマトリクス型の表示装置を作製するための一方の基板とすることができる。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0099】

また、同一基板上に駆動回路の薄膜トランジスタを設けることもできる。同一基板上に駆動回路と画素部を形成することによって、駆動回路と外部信号との接続配線が短縮でき、半導体装置の小型化、低コスト化が可能である。

20

【0100】

また、図1(B)に示す画素用の薄膜トランジスタ448の酸化物半導体層442は、酸化物絶縁層426bと重なる第1領域424c、第2領域424dを周縁部に有している。酸化物半導体層442の周縁部である第1領域424c、及び第2領域424dは、チャネル形成領域423と同じ酸素過剰な状態であり、近くに電位の異なる配線や酸化物半導体層が配置された場合にリーク電流の低減や、寄生容量の低減を実現できる。

【0101】

特に駆動回路においては、高集積化のため、複数の配線や複数の酸化物半導体層の間隔を狭めて配置することが好ましく、酸化物絶縁層426bと重ねて第1領域424c、及び第2領域424dを設け、リーク電流の低減や、寄生容量の低減を行うことは有効である。また、複数の薄膜トランジスタを直列または並列に配置する場合、複数の薄膜トランジスタの酸化物半導体層を一つのアイランドとし、それぞれの素子分離を酸化物絶縁層426bと重ねることで行い、酸化物絶縁層426bと重なる領域を素子分離領域とすることができます。このようにすることで、狭い面積に複数の薄膜トランジスタを配置することができるため、駆動回路の高集積化を図ることができる。

30

【0102】

(実施の形態2)

本実施の形態では、実施の形態1に示した薄膜トランジスタを用いて、同一基板上に画素部と駆動回路を形成し、アクティブマトリクス型の液晶表示装置を作製する一例を示す。

【0103】

40

アクティブマトリクス基板の断面構造の一例を図3(A)に示す。

【0104】

実施の形態1では、画素部の薄膜トランジスタ及び配線交差部を図示したが、本実施の形態では、薄膜トランジスタ及び配線交差部に加え、駆動回路の薄膜トランジスタ、保持容量、ゲート配線、ソース配線の端子部も図示して説明する。容量、ゲート配線、ソース配線の端子部は、実施の形態1に示す作製工程と同じ工程で形成することができる。

【0105】

図3(A)において、画素電極層227と電気的に接続する薄膜トランジスタ220は、画素部に設けられるチャネル保護型の薄膜トランジスタであり、本実施の形態では、実施の形態1の薄膜トランジスタ448と同じ構造を用いる。

50

【0106】

薄膜トランジスタ220のゲート電極層と同じ透光性を有する材料、及び同じ工程で形成される容量配線層230は、誘電体となるゲート絶縁層202を介して容量電極231と重なり、保持容量を形成する。なお、容量電極231は、薄膜トランジスタ220のソース電極層またはドレイン電極層と同じ金属材料、及び同じ工程で形成される。

【0107】

なお、保持容量は、画素電極層227の下方に設けられ、容量電極231が画素電極層227と電気的に接続される。

【0108】

本実施の形態では、容量電極231、及び容量配線層230を用いて保持容量を形成する例を示したが、保持容量を形成する構造については特に限定されない。例えば、容量配線層を設けず、画素電極層を隣り合う画素のゲート配線と平坦化絶縁層、保護絶縁層、及びゲート絶縁層を介して重ねて保持容量を形成してもよい。

10

【0109】

また、図3(A)において保持容量は、大きな容量を形成するため、容量配線層と容量電極の間にゲート絶縁層202のみとしており、配線交差部は、寄生容量を低減するためにゲート電極層421bとその上方に形成される配線の間にゲート絶縁層202と酸化物絶縁層266bとを設けている。保持容量において、容量配線層と容量電極の間にゲート絶縁層202のみとする場合、酸化物絶縁層266bを除去するエッチングの際に、選択的にゲート絶縁層202のみを残すようなエッチング条件またはゲート絶縁層の材料を選択する。本実施の形態では、酸化物絶縁層266bがスパッタ法で得られる酸化珪素膜、ゲート絶縁層202がプラズマCVD法で得られる窒化珪素膜であるため、選択的に除去することができる。なお、酸化物絶縁層266bとゲート絶縁層202が同じエッチング条件で除去される材料を用いる場合には、エッチングによりゲート絶縁層の一部が薄膜化されてもゲート絶縁層が少なくとも残存し、容量を形成することができる膜厚とすることが好ましい。保持容量を大きくするためには、ゲート絶縁層の膜厚を薄くすることが好ましいため、酸化物絶縁層266bの選択的なエッチングの際に容量配線上のゲート絶縁層を薄膜化させた構成としてもよい。

20

【0110】

また、薄膜トランジスタ260は、駆動回路に設けられるチャネル保護型の薄膜トランジスタであり、薄膜トランジスタ220に比べチャネル長Lを短くして、動作速度を高速化したものである。駆動回路に設けられるチャネル保護型の薄膜トランジスタのチャネル長Lは、0.1μm以上2μm以下とすることが好ましい。また、薄膜トランジスタ260は、薄膜トランジスタ220と異なる構造であり、ソース電極層265a、及びドレイン電極層265bが酸化物絶縁層266aと重なるように形成されている。

30

【0111】

薄膜トランジスタ260は、絶縁表面を有する基板200上に、ゲート電極層261、ゲート絶縁層202、少なくともチャネル形成領域263、高抵抗ソース領域264a、及び高抵抗ドレイン領域264bを有する酸化物半導体層、ソース電極層265a、及びドレイン電極層265bを含む。また、チャネル形成領域263に接する酸化物絶縁層266aが設けられている。

40

【0112】

また、駆動回路の薄膜トランジスタ260のゲート電極層は、酸化物半導体層の上方に設けられた導電層267と電気的に接続させる構造としてもよい。その場合には、薄膜トランジスタ220のドレイン電極層と、画素電極層227とを電気的に接続するためのコンタクトホールと同じフォトマスクを用い、平坦化絶縁層204、絶縁層216、保護絶縁層203、酸化物絶縁層266b、ゲート絶縁層202を選択的にエッチングしてコンタクトホールを形成する。このコンタクトホールを介して導電層267と駆動回路の薄膜トランジスタ260のゲート電極層261とを電気的に接続する。

【0113】

50

また、絶縁層 216 は、無機絶縁膜を用い、酸化珪素膜、酸化アルミニウム膜、酸化窒化珪素膜、酸化窒化アルミニウム膜などを用いる。本実施の形態ではスパッタ法により得られる酸化珪素膜を用いる。

【0114】

保護絶縁層 203 は、無機絶縁膜を用い、窒化珪素膜、窒化アルミニウム膜、窒化酸化珪素膜、酸化窒化アルミニウム膜などを用いる。本実施の形態ではスパッタ法により得られる窒化珪素膜を用いる。

【0115】

また、薄膜トランジスタ 260 は、ゲート電極層 261 の幅 (チャネル長方向における幅) が酸化物半導体層の幅よりも広い構造となっている。また、酸化物絶縁層 266b は、酸化物半導体層の周縁部と重なっており、さらにゲート電極層 261 とも重なっている。酸化物絶縁層 266b は、ドレイン電極層 265b とゲート電極層 261 との間隔を広げ、ドレイン電極層 265b とゲート電極層 261 との間に形成される寄生容量を低減する機能を果たしている。また、酸化物絶縁層 266b と重なる酸化物半導体層の第 1 領域 264c、第 2 領域 264d は、チャネル形成領域 263 と同じ酸素過剰な状態であり、リーケ電流の低減や、寄生容量を低減する機能も果たしている。

10

【0116】

また、ゲート配線、ソース配線、及び容量配線層は画素密度に応じて複数本設けられるものである。また、端子部においては、ゲート配線と同電位の第 1 の端子電極、ソース配線と同電位の第 2 の端子電極、容量配線層と同電位の第 3 の端子電極などが複数並べられて配置される。それぞれの端子電極の数は、それぞれ任意な数で設ければ良いものとし、実施者が適宣決定すれば良い。

20

【0117】

端子部において、ゲート配線と同電位の第 1 の端子電極は、画素電極層 227 と同じ透光性を有する材料で形成することができる。第 1 の端子電極は、ゲート配線に達するコンタクトホールを介してゲート配線と電気的に接続される。ゲート配線に達するコンタクトホールは、薄膜トランジスタ 220 のドレイン電極層と、画素電極層 227 とを電気的に接続するためのコンタクトホールと同じフォトマスクを用い、平坦化絶縁層 204、絶縁層 216、保護絶縁層 203、酸化物絶縁層 266b、ゲート絶縁層 202 を選択的にエッチングして形成する。

30

【0118】

また、端子部のソース配線 254 と同電位の第 2 の端子電極 255 は、画素電極層 227 と同じ透光性を有する材料で形成することができる。第 2 の端子電極 255 は、ソース配線 254 に達するコンタクトホールを介してソース配線と電気的に接続される。ソース配線は金属配線であり、薄膜トランジスタ 260 のソース電極層 265a と同じ材料、同じ工程で形成され、同電位である。

【0119】

また、容量配線層 230 と同電位の第 3 の端子電極は、画素電極層 227 と同じ透光性を有する材料で形成することができる。また、容量配線層 230 に達するコンタクトホールは、容量電極 231 が画素電極層 227 と電気的に接続するためのコンタクトホールと同じフォトマスク、同じ工程で形成することができる。

40

【0120】

また、アクティブマトリクス型の液晶表示装置を作製する場合には、アクティブマトリクス基板と、対向電極が設けられた対向基板との間に液晶層を設け、アクティブマトリクス基板と対向基板とを固定する。なお、対向基板に設けられた対向電極と電気的に接続する共通電極をアクティブマトリクス基板上に設け、共通電極と電気的に接続する第 4 の端子電極を端子部に設ける。この第 4 の端子電極は、共通電極を固定電位、例えば GND、0V などに設定するための端子である。第 4 の端子電極は、画素電極層 227 と同じ透光性を有する材料で形成することができる。

【0121】

50

また、ゲート電極層、ソース電極層、ドレイン電極層、画素電極層、またはその他の電極層や、その他の配線層に同じ材料を用いれば共通のスパッターティングや共通の製造装置を用いることができ、その材料コスト及びエッティング時に使用するエッチャント（またはエッティングガス）に要するコストを低減することができ、結果として製造コストを削減することができる。

【0122】

また、図3(A)の構造において、平坦化絶縁層204として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

【0123】

また、図3(B)に、図3(A)とは一部異なる断面構造を示す。図3(B)は、図3(A)と平坦化絶縁層204が端子部で存在しない点と駆動回路の薄膜トランジスタの構造が異なる点以外は同じであるため、同じ箇所には同じ符号を用い、同じ箇所の詳細な説明は省略する。図3(B)では、金属配線を用いる薄膜トランジスタ270を配置する。また、端子電極も金属配線と同じ材料、同じ工程で形成する。

10

【0124】

また、図3(B)の構造においては、平坦化絶縁層204として感光性の樹脂材料を用い、レジストマスクを形成する工程を省略する。従って、レジストマスクを用いることなく、平坦化絶縁層204が端子部で存在しない構成とすることができる。端子部において、平坦化絶縁層が存在しないと、FPCとの良好な接続を行いややすい。

20

【0125】

薄膜トランジスタ270は、絶縁表面を有する基板200上に、ゲート電極層271、ゲート絶縁層202、少なくともチャネル形成領域273、高抵抗ソース領域274a、及び高抵抗ドレイン領域274bを有する酸化物半導体層、ソース電極層275a、及びドレイン電極層275bを含む。また、チャネル形成領域273に接する酸化物絶縁層276aが設けられている。また、ソース電極層275a、及びドレイン電極層275b上には絶縁層216と保護絶縁層203が設けられる。

【0126】

また、酸化物絶縁層276bと重なる酸化物半導体層の第1領域274c、第2領域274dは、チャネル形成領域273と同じ酸素過剰な状態であり、リーク電流の低減や、寄生容量を低減する機能も果たしている。また、絶縁層216と接する酸化物半導体層の第3領域274eは、チャネル形成領域273と高抵抗ソース領域274aの間に設けられる。また、絶縁層216と接する酸化物半導体層の第4領域274fは、チャネル形成領域273と高抵抗ドレイン領域274bの間に設けられる。絶縁層216と接する酸化物半導体層の第3領域274e、及び第4領域274fはオフ電流の低減を図ることができる。

30

【0127】

また、チャネル保護型の薄膜トランジスタは、チャネル形成領域のチャネル長Lを短くするため酸化物絶縁層の幅を狭くして、幅の狭い酸化物絶縁物層上にソース電極層及びドレイン電極層を設けると酸化物絶縁物層上で短絡する恐れがある。そのため、幅の狭い酸化物絶縁層276aから端部を離してソース電極層275a及びドレイン電極層275bを設ける構成である。

40

【0128】

また、駆動回路の薄膜トランジスタ270のゲート電極層は、酸化物半導体層の上方に設けられた導電層277と電気的に接続させる構造としてもよい。

【0129】

また、端子部のソース配線256と同電位の第2の端子電極257は、画素電極層227と同じ透光性を有する材料で形成することができる。ソース配線は金属配線であり、薄膜トランジスタ270のソース電極層275aと同じ材料、同じ工程で形成され、同電位である。

【0130】

50

また、薄膜トランジスタは静電気などにより破壊されやすいため、画素部または駆動回路と同一基板上に保護回路を設けることが好ましい。保護回路は、酸化物半導体層を用いた非線形素子を用いて構成することが好ましい。例えば、保護回路は画素部と、走査線入力端子及び信号線入力端子との間に配設されている。本実施の形態では複数の保護回路を配設して、走査線、信号線及び容量バス線に静電気等によりサージ電圧が印加され、画素トランジスタなどが破壊されないように構成されている。そのため、保護回路にはサージ電圧が印加されたときに、共通配線又は共通配線に電荷を逃がすように構成する。また、保護回路は、走査線に対して並列に配置された非線形素子によって構成されている。非線形素子は、ダイオードのような二端子素子又はトランジスタのような三端子素子で構成される。例えば、画素部の薄膜トランジスタ 220 と同じ工程で形成することも可能であり、例えばゲート端子とドレイン端子を接続することによりダイオードと同様の特性を持たせることができる。10

【 0 1 3 1 】

なお、平坦化絶縁層 204 の形成工程を省略し、平坦化絶縁層 204 を設けない構造としてもよい。この場合、画素電極層 227、第 2 の端子電極 255 は保護絶縁層 203 上に接して設けられる。

【 0 1 3 2 】

本実施の形態は実施の形態 1 と自由に組み合わせることができる。

【 0 1 3 3 】

(実施の形態 3)

また、本実施の形態では、薄膜トランジスタと同一基板上に設けられる端子部の構成の一例を示す。なお、実施の形態 2 ではソース配線の端子部の一例を示したが、本実施の形態では実施の形態 2 とは異なる構成のソース配線の端子部と、ゲート配線の端子部を図示する。なお、図 4 において、図 3 (A) または図 3 (B) と同じ箇所には同じ符号を用いて説明する。20

【 0 1 3 4 】

図 4 (A 1)、図 4 (A 2) は、ゲート配線端子部の断面図及び上面図をそれぞれ図示している。図 4 (A 1) は図 4 (A 2) 中の C1 - C2 線に沿った断面図に相当する。図 4 (A 1) において、絶縁層 216 と保護絶縁層 203 の積層上に形成される導電層 225 は、入力端子として機能する接続用の端子電極である。また、図 4 (A 1) において、端子部では、図 2 (E) のゲート電極 421b と同じ材料で形成される第 1 の端子 221 と、ソース配線と同じ材料で形成される接続電極層 223 とがゲート絶縁層 202 を介して重なり、導電層 225 で導通させている。30

【 0 1 3 5 】

また、図 4 (B 1)、及び図 4 (B 2) は、図 3 (B) に示すソース配線端子部とは異なるソース配線端子部の断面図及び上面図をそれぞれ図示している。また、図 4 (B 1) は図 4 (B 2) 中の C3 - C4 線に沿った断面図に相当する。図 4 (B 1) において、絶縁層 216 と保護絶縁層 203 の積層上に形成される導電層 225 は、入力端子として機能する接続用の端子電極である。また、図 4 (B 1) において、端子部では、ゲート配線と同じ材料で形成される電極層 226 が、ソース配線と電気的に接続される第 2 の端子 222 の下方にゲート絶縁層 202 を介して重なる。電極層 226 は第 2 の端子 222 とは電気的に接続しておらず、電極層 226 を第 2 の端子 222 と異なる電位、例えばフローティング、GND、0V などに設定すれば、ノイズ対策のための容量または静電気対策のための容量を形成することができる。また、第 2 の端子 222 は、絶縁層 216 と保護絶縁層 203 の積層に形成されたコンタクトホールを介して導電層 225 と電気的に接続している。40

【 0 1 3 6 】

ゲート配線、ソース配線、及び容量配線は画素密度に応じて複数本設けられるものである。また、端子部においては、ゲート配線と同電位の第 1 の端子、ソース配線と同電位の第 2 の端子、容量配線と同電位の第 3 の端子などが複数並べられて配置される。それぞれの

端子の数は、それぞれ任意な数で設ければ良いものとし、実施者が適宣決定すれば良い。

【0137】

本実施の形態は実施の形態1または実施の形態2と自由に組み合わせることができる。

【0138】

(実施の形態4)

ここでは、第1の基板と第2の基板の間に液晶層を封入する液晶表示装置において、第2の基板に設けられた対向電極と電気的に接続するための共通接続部を第1の基板上に形成する例を示す。なお、第1の基板にはスイッチング素子として薄膜トランジスタが形成されており、共通接続部の作製工程を画素部のスイッチング素子の作製工程と共通化させることで工程を複雑にすることなく形成する。

10

【0139】

共通接続部は、第1の基板と第2の基板とを接着するためのシール材と重なる位置に配置され、シール材に含まれる導電性粒子を介して対向電極と電気的な接続が行われる。或いは、シール材と重ならない箇所(ただし画素部を除く)に共通接続部を設け、共通接続部に重なるように導電性粒子を含むペーストをシール材とは別途設けて、対向電極と電気的な接続が行われる。

【0140】

図5(A)は薄膜トランジスタと共に接続部とを同一基板上に作製する半導体装置の断面構造図を示す図である。

【0141】

図5(A)において、画素電極層227と電気的に接続する薄膜トランジスタ220は、画素部に設けられるチャネル保護型の薄膜トランジスタであり、本実施の形態では、実施の形態1の薄膜トランジスタ448と同じ構造を用いる。

20

【0142】

また、図5(B)は共通接続部の上面図の一例を示す図であり、図中の鎖線C5-C6が図5(A)の共通接続部の断面に相当する。なお、図5(B)において図5(A)と同一の部分には同じ符号を用いて説明する。

【0143】

共通電位線205は、ゲート絶縁層202上に設けられ、薄膜トランジスタ220のソース電極層及びドレイン電極層と同じ材料及び同じ工程で作製される。

30

【0144】

また、共通電位線205は、絶縁層216と保護絶縁層203の積層で覆われ、絶縁層216と保護絶縁層203の積層は、共通電位線205と重なる位置に複数の開口部を有している。この開口部は、薄膜トランジスタ220のドレイン電極層と画素電極層227とを接続するコンタクトホールと同じ工程で作製される。

【0145】

なお、ここでは面積サイズが大きく異なるため、画素部におけるコンタクトホールと、共通接続部の開口部と使い分けて呼ぶこととする。また、図5(A)では、画素部と共に接続部とで同じ縮尺で図示しておらず、例えば共通接続部の鎖線C5-C6の長さが500μm程度であるのに対して、薄膜トランジスタの幅は50μm未満であり、実際には10倍以上面積サイズが大きいが、分かりやすくするため、図5(A)に画素部と共に接続部の縮尺をそれぞれ変えて図示している。

40

【0146】

また、共通電極層206は、絶縁層216と保護絶縁層203の積層上に設けられ、画素部の画素電極層227と同じ材料及び同じ工程で作製される。

【0147】

このように、画素部のスイッチング素子の作製工程と共に接続部の作製工程を行う。

【0148】

そして画素部と共に接続部が設けられた第1の基板と、対向電極を有する第2の基板とを

50

シール材を用いて固定する。

【0149】

シール材に導電性粒子を含ませる場合は、シール材と共に接続部が重なるように一対の基板の位置合わせが行われる。例えば、小型の液晶パネルにおいては、画素部の対角などに2個の共通接続部がシール材と重ねて配置される。また、大型の液晶パネルにおいては、4個以上の共通接続部がシール材と重ねて配置される。

【0150】

なお、共通電極層206は、シール材に含まれる導電性粒子と接触する電極であり、第2の基板の対向電極と電気的に接続が行われる。

【0151】

液晶注入法を用いる場合は、シール材で一対の基板を固定した後、液晶を一対の基板間に注入する。また、液晶滴下法を用いる場合は、第2の基板或いは第1の基板上にシール材を描画し、液晶を滴下させた後、減圧下で一対の基板を貼り合わせる。

【0152】

なお、本実施の形態では、対向電極と電気的に接続する共通接続部の例を示したが、特に限定されず、他の配線と接続する接続部や、外部接続端子などと接続する接続部に用いることができる。

【0153】

本実施の形態は実施の形態1乃至3のいずれか一と自由に組み合わせることができる。

【0154】

(実施の形態5)

実施の形態1または実施の形態2ではゲート絶縁層が単層の例を示したが、本実施の形態では、積層の例を示す。なお、図6において、図3(A)または図3(B)と同じ箇所には同じ符号を用いて説明する。

【0155】

図6(A)において、薄膜トランジスタ280は、画素部に設けられるチャネル保護型の薄膜トランジスタであり、ゲート絶縁層が2層の例である。なお、ゲート絶縁層が2層である点以外は薄膜トランジスタ220と同じである。

【0156】

本実施の形態では、膜厚50nm以上200nm以下の第1のゲート絶縁層282aと、膜厚50nm以上300nm以下の第2のゲート絶縁層282bの積層のゲート絶縁層とする。第1のゲート絶縁層282aとしては膜厚100nmの窒化珪素膜または窒化酸化珪素膜を用いる。また、第2のゲート絶縁層282bとしては、膜厚100nmの酸化珪素膜を用いる。

【0157】

なお、保持容量は、画素電極層227の下方に設けられ、容量電極231が画素電極層227と電気的に接続される。

【0158】

本実施の形態では、容量電極231、及び容量配線層230を用いて保持容量を形成する。

【0159】

また、図6(A)において保持容量は、大きな容量を形成するため、容量配線と容量電極の間にゲート絶縁層のみとしている。

【0160】

本実施の形態では酸化物絶縁層282bとしてスパッタ法で得られる酸化珪素膜を用い、容量配線層230と重なる酸化物絶縁層を除去する際に、酸化珪素膜である第2のゲート絶縁層もエッティングして薄膜化して第3のゲート絶縁層282cとする例である。なお、第1のゲート絶縁層282aは、窒化珪素膜または窒化酸化珪素膜であり、エッティングストッパーとして機能し、ゲート電極層や基板へのエッティングダメージを防ぐ。

【0161】

10

20

30

40

50

膜厚の薄い第3のゲート絶縁層282cとすることによって保持容量を増大させることができる。

【0162】

また、図6(B)に、図6(A)とは一部異なる断面構造を示す。

【0163】

図6(B)に示す薄膜トランジスタ290では、膜厚50nm以上200nm以下の第1のゲート絶縁層292aと、膜厚1nm以上50nm以下の第2のゲート絶縁層292bの積層のゲート絶縁層とする。第1のゲート絶縁層292aとしては膜厚100nmの酸化珪素膜を用いる。また、第2のゲート絶縁層292bとしては、膜厚10nmの窒化珪素膜または窒化酸化珪素膜を用いる。

10

【0164】

薄膜トランジスタ290は、画素部に設けられるチャネル保護型の薄膜トランジスタであり、ゲート絶縁層が2層の例である。なお、ゲート絶縁層が2層である点以外は薄膜トランジスタ220と同じである。

【0165】

本実施の形態は実施の形態1乃至4のいずれか一と自由に組み合わせることができる。

【0166】

(実施の形態6)

本実施の形態では、薄膜トランジスタの作製工程の一部が実施の形態1と異なる例を図7及び図8に示す。図7及び図8は、図1及び図2と工程が一部異なる点以外は同じであるため、同じ箇所には同じ符号を用い、同じ箇所の詳細な説明は省略する。

20

【0167】

まず、実施の形態1に従って、基板上にゲート電極層、ゲート絶縁層、及び酸化物半導体膜430の形成を行い、実施の形態1における図2(A)の工程まで行う。図2(A)は図8(A)と同一である。

【0168】

そして、酸化物半導体膜430を第2のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。

【0169】

次いで、酸化物半導体層の脱水化または脱水素化を行う。脱水化または脱水素化を行う第1の加熱処理の温度は、400以上基板の歪み点未満、好ましくは425以上とする。なお、425以上であれば加熱処理時間は1時間以下でよいが、425未満であれば加熱処理時間は、1時間よりも長時間行うこととする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下において加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層を得る。その後、同じ炉に高純度の酸素ガス、高純度のN₂Oガス、又は超乾燥エア(露点が-40以下、好ましくは-60以下)を導入して冷却を行う。酸素ガスまたはN₂Oガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する酸素ガスまたはN₂Oガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち酸素ガスまたはN₂Oガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

30

【0170】

また、脱水化または脱水素化を行う第1の加熱処理後に200以上400以下、好ましくは200以上300以下の温度で酸素ガスまたはN₂Oガス雰囲気下での加熱処理を行ってよい。

【0171】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜430に行うことできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

【0172】

40

50

以上の工程を経ることによって酸化物半導体膜全体を酸素過剰な状態とすることで、高抵抗化、即ちI型化させる。

【0173】

次いで、ゲート絶縁層402、及び酸化物半導体層上に、スパッタ法で酸化物絶縁膜を形成した後、第3のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッティングを行って酸化物絶縁層426a、426bを形成し、その後レジストマスクを除去する(図8(B)参照)。

【0174】

次いで、ゲート絶縁層402、酸化物絶縁層426a、426b、及び酸化物半導体層422上に、導電膜を形成した後、第4のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッティングを行ってソース電極層425a、及びドレイン電極層425bを形成する(図8(C)参照)。

【0175】

次いで、薄膜トランジスタの電気的特性のばらつきを軽減するため、不活性ガス雰囲気下、または窒素ガス雰囲気下で加熱処理(好ましくは150以上350未満)を行ってもよい。例えば、窒素雰囲気下で250、1時間の加熱処理を行う。

【0176】

次いで、酸化物絶縁層426a、426b、ソース電極層425a、ドレイン電極層425b上に絶縁層428と保護絶縁層403の積層を形成する。

【0177】

次いで、保護絶縁層403上に平坦化絶縁層404を形成する。

【0178】

次に、第5のフォトリソグラフィ工程を行い、レジストマスクを形成し、平坦化絶縁層404、保護絶縁層403、及び絶縁層428のエッティングによりドレイン電極層425bに達するコンタクトホール441を形成し、レジストマスクを除去する(図8(D)参照。)。

【0179】

次いで、透光性を有する導電膜を成膜する。

【0180】

次に、第6のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッティングにより不要な部分を除去して画素電極層427を形成し、レジストマスクを除去する(図8(E)参照。)。

【0181】

以上の工程により、6枚のマスクを用いて、同一基板上に薄膜トランジスタ420と、寄生容量の低減された配線交差部を作製することができる。

【0182】

画素用の薄膜トランジスタ420は、チャネル形成領域を含む酸化物半導体層422を含むチャネル保護型薄膜トランジスタである。

【0183】

また、図7(A)は、画素に配置されるチャネル保護型の薄膜トランジスタ420の平面図であり、図7(B)は図7(A)の線D7-D8における断面図及び図7(A)の線D11-D12における断面図である。また、図7(C)は、図7(A)の線D9-D10における断面図である。なお、図8(E)は図7(B)と同一である。

【0184】

本実施の形態は実施の形態1乃至5のいずれか一と自由に組み合わせることができる。

【0185】

(実施の形態7)

本実施の形態では、保持容量の構成について、実施の形態2と異なる例を図9(A)及び図9(B)に示す。図9(A)は、図3(A)と保持容量の構成が異なる点以外は同じであるため、同じ箇所には同じ符号を用い、同じ箇所の詳細な説明は省略する。なお、図9

10

20

30

40

50

(A) では画素部の薄膜トランジスタ 220 と保持容量の断面構造を示す。

【0186】

図9(A)は、誘電体を保護絶縁層 203、及び平坦化絶縁層 204 とし、画素電極層 227 と、該画素電極層 227 と重なる容量配線層 250 とで保持容量を形成する例である。容量配線層 250 は、画素部の薄膜トランジスタ 220 のドレイン電極層と異なる材料で形成する。また、容量配線層 250 は、薄膜トランジスタ 220 の酸化物半導体層とも異なる材料で形成する。容量配線層 250 は、透光性を有する導電膜を用いて形成する。なお、実施の形態 2 と比べて容量配線層 250 をパターニングするためのフォトマスクが 1 枚増加する。また、容量配線層 250 を形成するためのエッチングで、露呈している薄膜トランジスタ 220 の酸化物半導体層が消失しない条件でエッチングすることとする。

10

【0187】

図9(A)に示す保持容量は、一対の電極及び誘電体が透光性を有しており、保持容量全体として透光性を有する。保持容量を透光性とすることで開口率の向上を図ることができる。

【0188】

また、図9(B)は、図9(A)と異なる保持容量の構成の例である。図9(B)も、図3(A)と保持容量の構成が異なる点以外は同じであるため、同じ箇所には同じ符号を用い、同じ箇所の詳細な説明は省略する。

【0189】

図9(B)は、誘電体をゲート絶縁層 202 とし、容量配線層 230 と、該容量配線層 230 と重なる酸化物半導体層 251 と容量電極 231 との積層で保持容量を形成する例である。また、酸化物半導体層 251 上に容量電極 231 は接して積層されており、保持容量の一方の電極として機能する。なお、酸化物半導体層 251 は、薄膜トランジスタ 220 の酸化物半導体層と同じ材料、同じ工程で形成する。また、容量配線層 230 は、薄膜トランジスタ 220 のゲート電極層と同じ材料、同じ工程で形成されるため、薄膜トランジスタ 220 のゲート配線層と重ならないようにレイアウトされる。また、容量電極 231 は画素電極層 227 と電気的に接続されている。

20

【0190】

また、容量配線層 230 は、薄膜トランジスタ 220 の酸化物半導体層とも異なる材料で形成する。容量電極 231 は、透光性を有する導電膜を用いて形成する。なお、実施の形態 2 と比べて容量電極 231 をパターニングするためのフォトマスクが 1 枚増加する。また、容量電極 231 を形成するためのエッチングで、露呈している薄膜トランジスタ 220 の酸化物半導体層が消失しない条件でエッチングすることとする。

30

【0191】

図9(B)に示す保持容量も、一対の電極及び誘電体が透光性を有しており、保持容量全体として透光性を有する。

【0192】

図9(A)及び図9(B)に示す保持容量は、透光性を有しており、ゲート配線の本数を増やすなどして表示画像の高精細化を図るため、画素寸法を微細化しても、十分な容量を得ることができ、且つ、高い開口率を実現することができる。

40

【0193】

本実施の形態は他の実施の形態と自由に組み合わせることができる。

【0194】

(実施の形態 8)

本実施の形態では、同一基板上に少なくとも駆動回路の一部と、画素部に配置する薄膜トランジスタを作製する例について以下に説明する。

【0195】

画素部に配置する薄膜トランジスタは、実施の形態 1、2、5、6 に従って形成する。また、実施の形態 1、2、5、6 に示す薄膜トランジスタは n チャネル型 TFT であるため、駆動回路のうち、n チャネル型 TFT で構成することができる駆動回路の一部を画素部

50

の薄膜トランジスタと同一基板上に形成する。

【0196】

アクティブマトリクス型表示装置のブロック図の一例を図14(A)に示す。表示装置の基板5300には、画素部5301、第1の走査線駆動回路5302、第2の走査線駆動回路5303、信号線駆動回路5304を有する。画素部5301には、複数の信号線が信号線駆動回路5304から延伸して配置され、複数の走査線が第1の走査線駆動回路5302、及び第2の走査線駆動回路5303から延伸して配置されている。なお走査線と信号線との交差領域には、各々、表示素子を有する画素がマトリクス状に配置されている。また、表示装置の基板5300はFPC(Flexible Printed Circuit)等の接続部を介して、タイミング制御回路5305(コントローラ、制御ICともいう)に接続されている。10

【0197】

図14(A)では、第1の走査線駆動回路5302、第2の走査線駆動回路5303、信号線駆動回路5304は、画素部5301と同じ基板5300上に形成される。そのため、外部に設ける駆動回路等の部品の数が減るので、コストの低減を図ることができる。また、基板5300外部に駆動回路を設けた場合の配線を延伸させることによる接続部での接続数を減らすことができ、信頼性の向上、又は歩留まりの向上を図ることができる。

【0198】

なお、タイミング制御回路5305は、第1の走査線駆動回路5302に対し、一例として、第1の走査線駆動回路用スタート信号(GSP1)、走査線駆動回路用クロック信号(GCK1)を供給する。また、タイミング制御回路5305は、第2の走査線駆動回路5303に対し、一例として、第2の走査線駆動回路用スタート信号(GSP2)(スタートパルスともいう)、走査線駆動回路用クロック信号(GCK2)を供給する。信号線駆動回路5304に、信号線駆動回路用スタート信号(SSP)、信号線駆動回路用クロック信号(SCK)、ビデオ信号用データ(DATA)(単にビデオ信号ともいう)、ラッチ信号(LAT)を供給するものとする。なお各クロック信号は、周期のずれた複数のクロック信号でもよいし、クロック信号を反転させた信号(CKB)とともに供給されるものであってもよい。なお、第1の走査線駆動回路5302と第2の走査線駆動回路5303との一方を省略することが可能である。20

【0199】

図14(B)では、駆動周波数が低い回路(例えば、第1の走査線駆動回路5302、第2の走査線駆動回路5303)を画素部5301と同じ基板5300に形成し、信号線駆動回路5304を画素部5301とは別の基板に形成する構成について示している。当該構成により、単結晶半導体を用いたトランジスタと比較すると電界効果移動度が小さい薄膜トランジスタによって、基板5300に形成する駆動回路を構成することができる。したがって、表示装置の大型化、コストの低減、又は歩留まりの向上などを図ることができる。30

【0200】

また、実施の形態1、2、5、6に示す薄膜トランジスタは、nチャネル型TFTである。図15(A)、図15(B)ではnチャネル型TFTで構成する信号線駆動回路の構成、動作について一例を示し説明する。40

【0201】

信号線駆動回路は、シフトレジスタ5601、及びスイッチング回路部5602を有する。スイッチング回路部5602は、スイッチング回路5602_1～5602_N(Nは自然数)という複数の回路を有する。スイッチング回路5602_1～5602_Nは、各々、薄膜トランジスタ5603_1～5603_k(kは自然数)という複数のトランジスタを有する。薄膜トランジスタ5603_1～5603_kは、Nチャネル型TFTである例を説明する。

【0202】

信号線駆動回路の接続関係について、スイッチング回路5602_1を例にして説明する50

。薄膜トランジスタ 5603_1 ~ 5603_k の第 1 端子は、各々、配線 5604_1 ~ 5604_k と接続される。薄膜トランジスタ 5603_1 ~ 5603_k の第 2 端子は、各々、信号線 S1 ~ Sk と接続される。薄膜トランジスタ 5603_1 ~ 5603_k のゲートは、配線 5605_1 と接続される。

【0203】

シフトレジスタ 5601 は、配線 5605_1 ~ 5605_N に順番に H レベル (H 信号、高電源電位レベル、ともいう) の信号を出力し、スイッチング回路 5602_1 ~ 5602_N を順番に選択する機能を有する。

【0204】

スイッチング回路 5602_1 は、配線 5604_1 ~ 5604_k と信号線 S1 ~ Sk 10 との導通状態 (第 1 端子と第 2 端子との間の導通) を制御する機能、即ち配線 5604_1 ~ 5604_k の電位を信号線 S1 ~ Sk に供給するか否かを制御する機能を有する。このように、スイッチング回路 5602_1 は、セレクタとしの機能を有する。また薄膜トランジスタ 5603_1 ~ 5603_k は、各々、配線 5604_1 ~ 5604_k と信号線 S1 ~ Sk との導通状態を制御する機能、即ち配線 5604_1 ~ 5604_k の電位を信号線 S1 ~ Sk に供給する機能を有する。このように、薄膜トランジスタ 5603_1 ~ 5603_k は、各々、スイッチとしての機能を有する。

【0205】

なお、配線 5604_1 ~ 5604_k には、各々、ビデオ信号用データ (DATA) が 20 入力される。ビデオ信号用データ (DATA) は、画像情報又は画像信号に応じたアナログ信号である場合が多い。

【0206】

次に、図 15 (A) の信号線駆動回路の動作について、図 15 (B) のタイミングチャートを参照して説明する。図 15 (B) には、信号 Sout_1 ~ Sout_N、及び信号 Vdata_1 ~ Vdata_k の一例を示す。信号 Sout_1 ~ Sout_N は、各々、シフトレジスタ 5601 の出力信号の一例であり、信号 Vdata_1 ~ Vdata_k は、各々、配線 5604_1 ~ 5604_k に入力される信号の一例である。なお、信号線駆動回路の 1 動作期間は、表示装置における 1 ゲート選択期間に対応する。1 ゲート選択期間は、一例として、期間 T1 ~ 期間 TN に分割される。期間 T1 ~ TN は、各々、選択された行に属する画素にビデオ信号用データ (DATA) を書き込むための期間である。

【0207】

なお、本実施の形態の図面等において示す各構成の、信号波形のなまり等は、明瞭化のために誇張して表記している場合がある。よって、必ずしもそのスケールに限定されないものであることを付記する。

【0208】

期間 T1 ~ 期間 TN において、シフトレジスタ 5601 は、H レベルの信号を配線 5605_1 ~ 5605_N に順番に出力する。例えば、期間 T1 において、シフトレジスタ 5601 は、ハイレベルの信号を配線 5605_1 に出力する。すると、薄膜トランジスタ 5603_1 ~ 5603_k はオンになるので、配線 5604_1 ~ 5604_k と、信号線 S1 ~ Sk とが導通状態になる。このとき、配線 5604_1 ~ 5604_k には、Data (S1) ~ Data (Sk) が入力される。Data (S1) ~ Data (Sk) は、各々、薄膜トランジスタ 5603_1 ~ 5603_k を介して、選択される行に属する画素のうち、1 列目 ~ k 列目の画素に書き込まれる。こうして、期間 T1 ~ TN において、選択された行に属する画素に、k 列ずつ順番にビデオ信号用データ (DATA) が書き込まれる。

【0209】

以上のように、ビデオ信号用データ (DATA) が複数の列ずつ画素に書き込まれることによって、ビデオ信号用データ (DATA) の数、又は配線の数を減らすことができる。よって、外部回路との接続数を減らすことができる。また、ビデオ信号が複数の列ずつ画

10

20

30

40

50

素に書き込まれることによって、書き込み時間を長くすることができ、ビデオ信号の書き込み不足を防止することができる。

【0210】

なお、シフトレジスタ5601及びスイッチング回路5602としては、実施の形態1、2、5、6に示す薄膜トランジスタで構成される回路を用いることが可能である。この場合、シフトレジスタ5601が有する全てのトランジスタの極性をNチャネル型、又はPチャネル型のいずれかの極性のみで構成することができる。

【0211】

走査線駆動回路及び/または信号線駆動回路の一部に用いるシフトレジスタの一形態について図16及び図17を用いて説明する。

10

【0212】

走査線駆動回路は、シフトレジスタを有している。また場合によってはレベルシフタ、バッファ等を有していても良い。走査線駆動回路において、シフトレジスタにクロック信号(CLK)及びスタートパルス信号(SP)が入力されることによって、選択信号が生成される。生成された選択信号はバッファにおいて緩衝増幅され、対応する走査線に供給される。走査線には、1ライン分の画素のトランジスタのゲート電極が接続されている。そして、1ライン分の画素のトランジスタを一斉にONにしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

【0213】

シフトレジスタは、第1のパルス出力回路10_1乃至第Nのパルス出力回路10_N(Nは3以上の自然数)を有している(図16(A)参照)。図16(A)に示すシフトレジスタの第1のパルス出力回路10_1乃至第Nのパルス出力回路10_Nには、第1の配線1_1より第1のクロック信号CK1、第2の配線1_2より第2のクロック信号CK2、第3の配線1_3より第3のクロック信号CK3、第4の配線1_4より第4のクロック信号CK4が供給される。また第1のパルス出力回路10_1では、第5の配線1_5からのスタートパルスSP1(第1のスタートパルス)が入力される。また2段目以降の第nのパルス出力回路10_n(nは、2以上N以下の自然数)では、一段前段のパルス出力回路からの信号(前段信号OUT(n-1)(SR)という)(nは2以上N以下の自然数)が入力される。また第1のパルス出力回路10_1では、2段後段の第3のパルス出力回路10_3からの信号が入力される。同様に、2段目以降の第nのパルス出力回路10_nでは、2段後段の第(n+2)のパルス出力回路10_(n+2)からの信号(後段信号OUT(n+2)(SR)という)が入力される。従って、各段のパルス出力回路からは、後段及び/または二つ前段のパルス出力回路に入力するための第1の出力信号(OUT(1)(SR)~OUT(N)(SR))及び別の回路等に入力される第2の出力信号(OUT(1)~OUT(N))が出力される。なお、図16(A)に示すように、シフトレジスタの最終段の2つの段には、後段信号OUT(n+2)が入力されないため、一例としては、別途第2のスタートパルスSP2、第3のスタートパルスSP3をそれぞれ入力する構成とすればよい。

20

【0214】

なお、クロック信号(CK)は、一定の間隔でHレベルとLレベル(L信号、低電源電位レベル、ともいう)を繰り返す信号である。ここで、第1のクロック信号(CK1)~第4のクロック信号(CK4)は、順に1/4周期分遅延している。本実施の形態では、第1のクロック信号(CK1)~第4のクロック信号(CK4)を利用して、パルス出力回路の駆動の制御等を行う。なお、クロック信号は、入力される駆動回路に応じて、GCK、SCKということもあるが、ここではCKとして説明を行う

40

【0215】

第1の入力端子2_1、第2の入力端子2_2及び第3の入力端子2_3は、第1の配線1_1~第4の配線1_4のいずれかと電気的に接続されている。例えば、図16(A)において、第1のパルス出力回路10_1は、第1の入力端子2_1が第1の配線1_1と電気的に接続され、第2の入力端子2_2が第2の配線1_2と電気的に接続され、第3の入力端子2_3

50

が第3の配線13と電気的に接続されている。また、第2のパルス出力回路10_2は、第1の入力端子21が第2の配線12と電気的に接続され、第2の入力端子22が第3の配線13と電気的に接続され、第3の入力端子23が第4の配線14と電気的に接続されている。

【0216】

第1のパルス出力回路10_1～第Nのパルス出力回路10_Nの各々は、第1の入力端子21、第2の入力端子22、第3の入力端子23、第4の入力端子24、第5の入力端子25、第1の出力端子26、第2の出力端子27を有しているとする(図16(B)参照)。第1のパルス出力回路10_1において、第1の入力端子21に第1のクロック信号CK1が入力され、第2の入力端子22に第2のクロック信号CK2が入力され、第3の入力端子23に第3のクロック信号CK3が入力され、第4の入力端子24にスタートパルスが入力され、第5の入力端子25に後段信号OUT(3)が入力され、第1の出力端子26より第1の出力信号OUT(1)(SR)が出力され、第2の出力端子27より第2の出力信号OUT(1)が出力されていることとなる。

【0217】

なお第1のパルス出力回路10_1～第Nのパルス出力回路10_Nは、3端子の薄膜トランジスタ(TFT:Thin Film Transistorともいう)の他に、上記実施の形態で説明した4端子の薄膜トランジスタを用いることができる。図16(C)に上記実施の形態で説明した4端子の薄膜トランジスタ28のシンボルについて示す。図16(C)に示す薄膜トランジスタ28のシンボルは、上記実施の形態1、2、5、6のいずれか一で説明した4端子の薄膜トランジスタを意味し、図面等で以下用いることとする。なお、本明細書において、薄膜トランジスタが半導体層を介して二つのゲート電極を有する場合、半導体層より下方のゲート電極を下方のゲート電極、半導体層に対して上方のゲート電極を上方のゲート電極とも呼ぶ。薄膜トランジスタ28は、下方のゲート電極に入力される第1の制御信号G1及び上方のゲート電極に入力される第2の制御信号G2によって、In端子とOut端子間の電気的な制御を行うことのできる素子である。

【0218】

酸化物半導体を薄膜トランジスタのチャネル形成領域を含む半導体層に用いた場合、製造工程により、しきい値電圧がマイナス側、或いはプラス側にシフトすることがある。そのため、チャネル形成領域を含む半導体層に酸化物半導体を用いた薄膜トランジスタでは、しきい値電圧の制御を行うことのできる構成が好適である。図16(C)に示す薄膜トランジスタ28のしきい値電圧は、薄膜トランジスタ28のチャネル形成領域の上下にゲート絶縁膜を介してゲート電極を設け、上部及び/または下部のゲート電極の電位を制御することにより所望の値に制御することができる。

【0219】

次に、図16(B)に示したパルス出力回路の具体的な回路構成の一例について、図16(D)で説明する。

【0220】

図16(D)に示したパルス出力回路は、第1のトランジスタ31～第13のトランジスタ43を有している(図16(D)参照)。また、上述した第1の入力端子21～第5の入力端子25、及び第1の出力端子26、第2の出力端子27に加え、第1の高電源電位VDDが供給される電源線51、第2の高電源電位VCCが供給される電源線52、低電源電位VSSが供給される電源線53から、第1のトランジスタ31～第13のトランジスタ43に信号、または電源電位が供給される。ここで図16(D)における各電源線の電源電位の大小関係は、第1の電源電位VDDは第2の電源電位VCC以上の電位とし、第2の電源電位VCCは第3の電源電位VSSより大きい電位とする。なお、第1のクロック信号(CK1)～第4のクロック信号(CK4)は、一定の間隔でHレベルとLレベルを繰り返す信号であるが、HレベルのときVDD、LレベルのときVSSであるとする。なお電源線51の電位VDDを、電源線52の電位VCCより高くすることにより、動作に影響を与えることなく、トランジスタのゲート電極に印加される電位を低く抑えるこ

10

20

30

40

50

とができ、トランジスタのしきい値のシフトを低減し、劣化を抑制することができる。なお、第1のトランジスタ31～第13のトランジスタ43のうち、第1のトランジスタ31、第6のトランジスタ36乃至第9のトランジスタ39には、4端子の薄膜トランジスタ28を用いることが好ましい。第1のトランジスタ31、第6のトランジスタ36乃至第9のトランジスタ39の動作は、ソースまたはドレインとなる電極の一方が接続されたノードの電位を、ゲート電極の制御信号によって切り替えることが求められるトランジスタであり、ゲート電極に入力される制御信号に対する応答が速い（オン電流の立ち上がりが急峻）ことでよりパルス出力回路の誤動作を低減することができるトランジスタである。そのため、4端子の薄膜トランジスタを用いることによりしきい値電圧を制御することができ、誤動作がより低減できるパルス出力回路とすることができます。

10

【0221】

図16(D)において第1のトランジスタ31は、第1端子が電源線51に電気的に接続され、第2端子が第9のトランジスタ39の第1端子に電気的に接続され、ゲート電極（下方のゲート電極及び上方のゲート電極）が第4の入力端子24に電気的に接続されている。第2のトランジスタ32は、第1端子が電源線53に電気的に接続され、第2端子が第9のトランジスタ39の第1端子に電気的に接続され、ゲート電極が第4のトランジスタ34のゲート電極に電気的に接続されている。第3のトランジスタ33は、第1端子が第1の入力端子21に電気的に接続され、第2端子が第1の出力端子26に電気的に接続されている。第4のトランジスタ34は、第1端子が電源線53に電気的に接続され、第2端子が第1の出力端子26に電気的に接続されている。第5のトランジスタ35は、第1端子が電源線53に電気的に接続され、第2端子が第2のトランジスタ32のゲート電極及び第4のトランジスタ34のゲート電極に電気的に接続され、ゲート電極が第4の入力端子24に電気的に接続されている。第6のトランジスタ36は、第1端子が電源線52に電気的に接続され、第2端子が第2のトランジスタ32のゲート電極及び第4のトランジスタ34のゲート電極に電気的に接続され、ゲート電極（下方のゲート電極及び上方のゲート電極）が第5の入力端子25に電気的に接続されている。第7のトランジスタ37は、第1端子が電源線52に電気的に接続され、第2端子が第8のトランジスタ38の第2端子に電気的に接続され、ゲート電極（下方のゲート電極及び上方のゲート電極）が第3の入力端子23に電気的に接続されている。第8のトランジスタ38は、第1端子が第2のトランジスタ32のゲート電極及び第4のトランジスタ34のゲート電極に電気的に接続され、ゲート電極（下方のゲート電極及び上方のゲート電極）が第2の入力端子22に電気的に接続されている。第9のトランジスタ39は、第1端子が第1のトランジスタ31の第2端子及び第2のトランジスタ32の第2端子に電気的に接続され、第2端子が第3のトランジスタ33のゲート電極及び第10のトランジスタ40のゲート電極に電気的に接続され、ゲート電極（下方のゲート電極及び上方のゲート電極）が電源線52に電気的に接続されている。第10のトランジスタ40は、第1端子が第1の入力端子21に電気的に接続され、第2端子が第2の出力端子27に電気的に接続され、ゲート電極が第9のトランジスタ39の第2端子に電気的に接続されている。第11のトランジスタ41は、第1端子が電源線53に電気的に接続され、第2端子が第2の出力端子27に電気的に接続され、ゲート電極が第2のトランジスタ32のゲート電極及び第4のトランジスタ34のゲート電極に電気的に接続されている。第12のトランジスタ42は、第1端子が電源線53に電気的に接続され、第2端子が第2の出力端子27に電気的に接続され、ゲート電極が第7のトランジスタ37のゲート電極（下方のゲート電極及び上方のゲート電極）に電気的に接続されている。第13のトランジスタ43は、第1端子が電源線53に電気的に接続され、第2端子が第1の出力端子26に電気的に接続され、ゲート電極が第7のトランジスタ37のゲート電極（下方のゲート電極及び上方のゲート電極）に電気的に接続されている。

20

【0222】

図16(D)において、第3のトランジスタ33のゲート電極、第10のトランジスタ40のゲート電極、及び第9のトランジスタ39の第2端子の接続箇所をノードAとする

30

40

50

。また、第2のトランジスタ32のゲート電極、第4のトランジスタ34のゲート電極、第5のトランジスタ35の第2端子、第6のトランジスタ36の第2端子、第8のトランジスタ38の第1端子、及び第11のトランジスタ41のゲート電極の接続箇所をノードBとする。

【0223】

図17(A)に、図16(D)で説明したパルス出力回路を第1のパルス出力回路10_1に適用した場合に、第1の入力端子21乃至第5の入力端子25と第1の出力端子26及び第2の出力端子27に入力または出力される信号を示している。

【0224】

具体的には、第1の入力端子21に第1のクロック信号CK1が入力され、第2の入力端子22に第2のクロック信号CK2が入力され、第3の入力端子23に第3のクロック信号CK3が入力され、第4の入力端子24にスタートパルスが入力され、第5の入力端子25に後段信号OUT(3)が入力され、第1の出力端子26より第1の出力信号OUT(1)(SR)が出力され、第2の出力端子27より第2の出力信号OUT(1)が出力される。

【0225】

なお、薄膜トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。また、ゲートと重畳した領域にチャネル領域が形成される半導体を有しており、ゲートの電位を制御することで、チャネル領域を介してドレインとソースの間に流れる電流を制御することが出来る。ここで、ソースとドレインとは、薄膜トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第1端子、第2端子と表記する場合がある。

【0226】

なお図16(D)、図17(A)において、ノードAを浮遊状態とすることによりブートストラップ動作を行うための、容量素子を別途設けても良い。またノードBの電位を保持するため、一方の電極をノードBに電気的に接続した容量素子を別途設けてもよい。

【0227】

ここで、図17(A)に示したパルス出力回路を複数具備するシフトレジスタのタイミングチャートについて図17(B)に示す。なおシフトレジスタが走査線駆動回路である場合、図17(B)中の期間61は垂直帰線期間であり、期間62はゲート選択期間に相当する。

【0228】

なお、図17(A)に示すように、ゲートに第2の電源電位VCCが印加される第9のトランジスタ39を設けておくことにより、ブートストラップ動作の前後において、以下のようない点がある。

【0229】

ゲート電極に第2の電位VCCが印加される第9のトランジスタ39がない場合、ブートストラップ動作によりノードAの電位が上昇すると、第1のトランジスタ31の第2端子であるソースの電位が上昇していき、第1の電源電位VDDより大きくなる。そして、第1のトランジスタ31のソースが第1端子側、即ち電源線51側に切り替わる。そのため、第1のトランジスタ31においては、ゲートとソースの間、ゲートとドレインの間ともに、大きなバイアス電圧が印加されるために大きなストレスがかかり、トランジスタの劣化の要因となりうる。そこで、ゲート電極に第2の電源電位VCCが印加される第9のトランジスタ39を設けておくことにより、ブートストラップ動作によりノードAの電位は上昇するものの、第1のトランジスタ31の第2端子の電位の上昇を生じないようにすることができる。つまり、第9のトランジスタ39を設けることにより、第1のトランジスタ31のゲートとソースの間に印加される負のバイアス電圧の値を小さくすることができる。よって、本実施の形態の回路構成とすることにより、第1のトランジスタ31のゲー

10

20

30

40

50

トとソースの間に印加される負のバイアス電圧も小さくできるため、ストレスによる第1のトランジスタ31の劣化を抑制することができる。

【0230】

なお、第9のトランジスタ39を設ける箇所については、第1のトランジスタ31の第2端子と第3のトランジスタ33のゲートとの間に第1端子と第2端子を介して接続されるように設ける構成であればよい。なお、本実施形態でのパルス出力回路を複数具備するシフトレジスタの場合、走査線駆動回路より段数の多い信号線駆動回路では、第9のトランジスタ39を省略してもよく、トランジスタ数を削減することが利点である。

【0231】

なお第1のトランジスタ31乃至第13のトランジスタ43の半導体層として、酸化物半導体を用いることにより、薄膜トランジスタのオフ電流を低減すると共に、オン電流及び電界効果移動度を高めることができると共に、劣化の度合いを低減することができるため、回路内の誤動作を低減することができる。また酸化物半導体を用いたトランジスタ、アモルファスシリコンを用いたトランジスタに比べ、ゲート電極に高電位が印加されることによるトランジスタの劣化の程度が小さい。そのため、第2の電源電位VCCを供給する電源線に、第1の電源電位VDDを供給しても同様の動作が得られ、且つ回路間を引き回す電源線の数を低減することができるため、回路の小型化を図ることが出来る。

10

【0232】

なお、第7のトランジスタ37のゲート電極（下方のゲート電極及び上方のゲート電極）に第3の入力端子23によって供給されるクロック信号、第8のトランジスタ38のゲート電極（下方のゲート電極及び上方のゲート電極）に第2の入力端子22によって供給されるクロック信号は、第7のトランジスタ37のゲート電極（下方のゲート電極及び上方のゲート電極）に第2の入力端子22によって供給されるクロック信号、第8のトランジスタ38ゲート電極（下方のゲート電極及び上方のゲート電極）に第3の入力端子23によって供給されるクロック信号となるように、結線関係を入れ替えることで同様の作用を奏する。この時、図17(A)に示すシフトレジスタにおいて、第7のトランジスタ37及び第8のトランジスタ38が共にオンの状態から、第7のトランジスタ37がオフ、第8のトランジスタ38がオンの状態、次いで第7のトランジスタ37がオフ、第8のトランジスタ38がオフの状態とすることによって、第2の入力端子22及び第3の入力端子23の電位が低下することで生じる、ノードBの電位の低下が第7のトランジスタ37のゲート電極の電位の低下、及び第8のトランジスタ38のゲート電極の電位の低下に起因して2回生じることとなる。一方、図17(A)に示すシフトレジスタを図17(B)の期間61のように、第7のトランジスタ37及び第8のトランジスタ38が共にオンの状態から、第7のトランジスタ37がオン、第8のトランジスタ38がオフの状態、次いで、第7のトランジスタ37がオフ、第8のトランジスタ38がオフの状態とすることによって、第2の入力端子22及び第3の入力端子23の電位が低下することで生じるノードBの電位の低下を、第8のトランジスタ38のゲート電極の電位の低下による一回に低減することができる。そのため、第7のトランジスタ37のゲート電極（下方のゲート電極及び上方のゲート電極）に第3の入力端子23からクロック信号が供給され、第8のトランジスタ38のゲート電極（下方のゲート電極及び上方のゲート電極）に第2の入力端子22に

20

30

からクロック信号が供給される結線関係とすることが好適である。なぜなら、ノードBの電位の変動回数が低減され、またノイズを低減することができるからである。

40

【0233】

このように、第1の出力端子26及び第2の出力端子27の電位をLレベルに保持する期間に、ノードBに定期的にHレベルの信号が供給される構成とすることにより、パルス出力回路の誤動作を抑制することができる。

【0234】

（実施の形態9）

薄膜トランジスタを作製し、該薄膜トランジスタを画素部、さらには駆動回路に用いて表

50

示機能を有する半導体装置（表示装置ともいう）を作製することができる。また、薄膜トランジスタを駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

【0235】

表示装置は表示素子を含む。表示素子としては液晶素子（液晶表示素子ともいう）、発光素子（発光表示素子ともいう）を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL（E l e c t r o L u m i n e s c e n c e）素子、有機EL素子等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。

【0236】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに、該表示装置を作製する過程における、表示素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、エッティングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

【0237】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源（照明装置含む）を指す。また、コネクター、例えばFPC（F l e x i b l e p r i n t e d c i r c u i t）もしくはTAB（Tape Automated Bonding）テープもしくはTCP（Tape Carrier Package）が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG（C h i p O n G l a s s）方式によりIC（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。

【0238】

半導体装置の一形態に相当する液晶表示パネルの外観及び断面について、図10を用いて説明する。図10（A1）（A2）は、薄膜トランジスタ4010、4011、及び液晶素子4013を、第1の基板4001と第2の基板4006との間にシール材4005によって封止した、パネルの平面図であり、図10（B）は、図10（A1）（A2）のM-Nにおける断面図に相当する。

【0239】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。

【0240】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。図10（A1）は、COG方法により信号線駆動回路4003を実装する例であり、図10（A2）は、TAB方法により信号線駆動回路4003を実装する例である。

【0241】

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図10（B）では、画素部4002に含まれる薄膜トランジスタ4010と、走査線駆動回路4004に含まれる薄膜トランジスタ4011とを例示している。薄膜トランジスタ4010、4011上には絶縁層4041a、4041b、4042a、4042b、4020、4021が設けられている。

10

20

30

40

50

【0242】

薄膜トランジスタ4010、4011は、実施の形態1、2、5、6で示した酸化物半導体層を含む信頼性の高い薄膜トランジスタを適用することができる。駆動回路用の薄膜トランジスタ4011としては、実施の形態1、2、5、6で示した薄膜トランジスタ260、270、画素用の薄膜トランジスタ4010としては、薄膜トランジスタ420、448、220、280、290を用いることができる。本実施の形態において、薄膜トランジスタ4010、4011はnチャネル型薄膜トランジスタである。

【0243】

絶縁層4021上において、駆動回路用の薄膜トランジスタ4011の酸化物半導体層のチャネル形成領域と重なる位置に導電層4040が設けられている。導電層4040を酸化物半導体層のチャネル形成領域と重なる位置に設けることによって、BT試験前後における薄膜トランジスタ4011のしきい値電圧の変化量を低減することができる。また、導電層4040は、電位が薄膜トランジスタ4011のゲート電極層と同じでもよいし、異なっていても良く、第2のゲート電極層として機能させることもできる。また、導電層4040の電位がGND、0V、或いはフローティング状態であってもよい。

10

【0244】

また、液晶素子4013が有する画素電極層4030は、薄膜トランジスタ4010と電気的に接続されている。そして液晶素子4013の対向電極層4031は第2の基板4006上に形成されている。画素電極層4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極層4030、対向電極層4031はそれぞれ配向膜として機能する絶縁層4032、4033が設けられ、絶縁層4032、4033を介して液晶層4008を挟持している。

20

【0245】

なお、第1の基板4001、第2の基板4006としては、透光性基板を用いることができる、ガラス、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP (Fiberglass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。

【0246】

また4035は絶縁膜を選択的にエッティングすることで得られる柱状のスペーサであり、画素電極層4030と対向電極層4031との間の距離(セルギャップ)を制御するためには設けられている。なお球状のスペーサを用いていても良い。また、対向電極層4031は、薄膜トランジスタ4010と同一基板上に設けられる共通電位線と電気的に接続される。共通接続部を用いて、一対の基板間に配置される導電性粒子を介して対向電極層4031と共通電位線とを電気的に接続することができる。なお、導電性粒子はシール材4005に含有させる。

30

【0247】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が1ms以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

40

【0248】

なお透過型液晶表示装置の他に、半透過型液晶表示装置でも適用できる。

【0249】

また、液晶表示装置では、基板の外側(視認側)に偏光板を設け、内側に着色層、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、表示部以外にブラックマトリクスとし

50

て機能する遮光膜を設けてもよい。

【0250】

薄膜トランジスタ4011は、チャネル保護層として機能する絶縁層4041aと、酸化物半導体層の周縁部（側面を含む）を覆う絶縁層4041bとが形成されている。同様に薄膜トランジスタ4010は、チャネル保護層として機能する絶縁層4042aと、酸化物半導体層の周縁部（側面を含む）を覆う絶縁層4042bとが形成されている。

【0251】

酸化物半導体層の周縁部（側面を含む）を覆う酸化物絶縁層である絶縁層4041b、4042bは、ゲート電極層と、その上方または周辺に形成される配線層（ソース配線層や容量配線層など）との距離を大きくし、寄生容量の低減を図ることができる。絶縁層4041a、4041b、4042a、4042bは実施の形態1で示した酸化物絶縁層426a、426bと同様な材料及び方法で形成すればよい。また、薄膜トランジスタの表面凹凸を低減するため平坦化絶縁膜として機能する絶縁層4021で覆う構成となっている。ここでは、絶縁層4041a、4041b、4042a、4042bとして、実施の形態1を用いてスパッタ法により酸化珪素膜を形成する。

10

【0252】

また、絶縁層4041a、4041b、4042a、4042b上に絶縁層4020が形成されている。絶縁層4020は実施の形態1で示した絶縁層428と保護絶縁層403とを同様な材料及び方法で積層形成すればよい。図10（B）では単層として図示したが、絶縁層428と、絶縁層428と異なる材料の保護絶縁層403の積層である。ここでは、絶縁層4020として、スパッタ法により、酸化珪素膜と、スパッタ法により窒化珪素膜とを積層形成する。

20

【0253】

また、平坦化絶縁膜として絶縁層4021を形成する。絶縁層4021としては、実施の形態1で示した平坦化絶縁層404と同様な材料及び方法で形成すればよく、ポリイミド、アクリル樹脂、ベンゾシクロブテン系樹脂、ポリアミド、エポキシ樹脂等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（LOW-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層4021を形成してもよい。

30

【0254】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

【0255】

絶縁層4021の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピンドルコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーティング、カーテンコーティング、ナイフコーティング等を用いることができる。絶縁層4021の焼成工程と半導体層のアニールを兼ねることで効率よく半導体装置を作製することが可能となる。

40

【0256】

画素電極層4030、対向電極層4031は、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

【0257】

また、画素電極層4030、対向電極層4031として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形

50

成した画素電極は、シート抵抗が 10000 / 以下、波長 550 nm における透光率が 70 % 以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が 0.1 · cm 以下であることが好ましい。

【0258】

導電性高分子としては、いわゆる 電子共役系導電性高分子を用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの 2 種以上の共重合体などがあげられる。

【0259】

また別途形成された信号線駆動回路 4003 と、走査線駆動回路 4004 または画素部 4002 に与えられる各種信号及び電位は、FPC4018 から供給されている。

10

【0260】

接続端子電極 4015 が、液晶素子 4013 が有する画素電極層 4030 と同じ導電膜から形成され、端子電極 4016 は、薄膜トランジスタ 4010、4011 のソース電極層及びドレイン電極層と同じ導電膜で形成されている。

【0261】

接続端子電極 4015 は、FPC4018 が有する端子と、異方性導電膜 4019 を介して電気的に接続されている。

【0262】

また図 10 においては、信号線駆動回路 4003 を別途形成し、第 1 の基板 4001 に実装している例を示しているがこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

20

【0263】

図 19 は、本明細書に開示する作製方法により作製される TFT 基板 2600 を用いて半導体装置として液晶表示モジュールを構成する一例を示している。

【0264】

図 19 は液晶表示モジュールの一例であり、TFT 基板 2600 と対向基板 2601 がシール材 2602 により固着され、その間に TFT 等を含む画素部 2603、液晶層を含む表示素子 2604、着色層 2605 が設けられ表示領域を形成している。着色層 2605 はカラー表示を行う場合に必要であり、RGB 方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。TFT 基板 2600 と対向基板 2601 の外側には偏光板 2606、偏光板 2607、拡散板 2613 が配設されている。光源は冷陰極管 2610 と反射板 2611 により構成され、回路基板 2612 は、フレキシブル配線基板 2609 により TFT 基板 2600 の配線回路部 2608 と接続され、コントローラ回路や電源回路などの外部回路が組みこまれている。また偏光板と、液晶層との間に位相差板を有した状態で積層してもよい。

30

【0265】

液晶表示モジュールには、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、MVA (Multi-domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モードなどを用いることができる。

40

【0266】

以上の工程により、半導体装置として信頼性の高い液晶表示パネルを作製することができる。

【0267】

50

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0268】

(実施の形態10)

半導体装置の一形態として電子ペーパーの例を示す。

【0269】

スイッチング素子と電気的に接続する素子を利用して電子インクを駆動させる電子ペーパーに用いてもよい。電子ペーパーは、電気泳動表示装置（電気泳動ディスプレイ）も呼ばれており、紙と同じ読みやすさ、他の表示装置に比べ低消費電力、薄くて軽い形状とすることが可能という利点を有している。

10

【0270】

電気泳動ディスプレイは、様々な形態が考えられ得るが、プラスの電荷を有する第1の粒子と、マイナスの電荷を有する第2の粒子とを含むマイクロカプセルが溶媒または溶質に複数分散されたものであり、マイクロカプセルに電界を印加することによって、マイクロカプセル中の粒子を互いに反対方向に移動させて一方側に集合した粒子の色のみを表示するものである。なお、第1の粒子または第2の粒子は染料を含み、電界がない場合において移動しないものである。また、第1の粒子の色と第2の粒子の色は異なるもの（無色を含む）とする。

【0271】

このように、電気泳動ディスプレイは、誘電定数の高い物質が高い電界領域に移動する、いわゆる誘電泳動的効果を利用したディスプレイである。

20

【0272】

上記マイクロカプセルを溶媒中に分散させたものが電子インクと呼ばれるものであり、この電子インクはガラス、プラスチック、布、紙などの表面に印刷することができる。また、カラーフィルタや色素を有する粒子を用いることによってカラー表示も可能である。

【0273】

また、アクティブマトリクス基板上に適宜、二つの電極の間に挟まれるように上記マイクロカプセルを複数配置すればアクティブマトリクス型の表示装置が完成し、マイクロカプセルに電界を印加すれば表示を行うことができる。例えば、実施の形態1、2、5、6の薄膜トランジスタによって得られるアクティブマトリクス基板を用いることができる。

30

【0274】

なお、マイクロカプセル中の第1の粒子および第2の粒子は、導電体材料、絶縁体材料、半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁気泳動材料から選ばれた一種の材料、またはこれらの複合材料を用いればよい。

【0275】

図18は、半導体装置の例としてアクティブマトリクス型の電子ペーパーを示す。半導体装置に用いられる薄膜トランジスタ581としては、実施の形態1で示す薄膜トランジスタと同様に作製でき、酸化物半導体層を含む信頼性の高い薄膜トランジスタである。また、実施の形態2、5、6で示す薄膜トランジスタも本実施の薄膜トランジスタ581として適用することもできる。

40

【0276】

図18の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層である第1の電極層及び第2の電極層の間に配置し、第1の電極層及び第2の電極層に電位差を生じさせての球形粒子の向きを制御することにより、表示を行う方法である。

【0277】

基板580上に形成された薄膜トランジスタ581はボトムゲート構造の薄膜トランジスタであり、半導体層と接する絶縁膜583に覆われている。薄膜トランジスタ581のソース電極層又はドレイン電極層によって第1の電極層587と、絶縁層585に形成する

50

開口で接しており電気的に接続している。第1の電極層587と基板596上に形成された第2の電極層588との間には黒色領域590a及び白色領域590bを有し、周りに液体で満たされているキャビティ594を含む球形粒子589が設けられており、球形粒子589の周囲は樹脂等の充填材595で充填されている。第1の電極層587が画素電極に相当し、第2の電極層588が共通電極に相当する。第2の電極層588は、薄膜トランジスタ581と同一基板上に設けられる共通電位線と電気的に接続される。共通接続部を用いて、一対の基板間に配置される導電性粒子を介して第2の電極層588と共通電位線とを電気的に接続することができる。

【0278】

また、ツイストボールの代わりに、電気泳動素子を用いることも可能である。透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径 $10\text{ }\mu\text{m} \sim 20\text{ }\mu\text{m}$ 程度のマイクロカプセルを用いる。第1の電極層と第2の電極層との間に設けられるマイクロカプセルは、第1の電極層と第2の電極層によって、電場が与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、一般的に電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置（単に表示装置、又は表示装置を具備する半導体装置ともいう）を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

【0279】

以上の工程により、半導体装置として信頼性の高い電子ペーパーを作製することができる。

【0280】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0281】

（実施の形態11）

半導体装置として発光表示装置の例を示す。表示装置の有する表示素子としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

【0282】

有機EL素子は、発光素子に電圧を印加することにより、一対の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【0283】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機EL素子を用いて説明する。

【0284】

図12は、半導体装置の例としてデジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

10

20

30

40

50

【0285】

デジタル時間階調駆動を適用可能な画素の構成及び画素の動作について説明する。ここでは酸化物半導体層をチャネル形成領域に用いるnチャネル型のトランジスタを1つの画素に2つ用いる例を示す。

【0286】

画素6400は、スイッチング用トランジスタ6401、発光素子駆動用トランジスタ6402、発光素子6404及び容量素子6403を有している。スイッチング用トランジスタ6401はゲートが走査線6406に接続され、第1電極（ソース電極及びドレイン電極の一方）が信号線6405に接続され、第2電極（ソース電極及びドレイン電極の他方）が発光素子駆動用トランジスタ6402のゲートに接続されている。発光素子駆動用トランジスタ6402は、ゲートが容量素子6403を介して電源線6407に接続され、第1電極が電源線6407に接続され、第2電極が発光素子6404の第1電極（画素電極）に接続されている。発光素子6404の第2電極は共通電極6408に相当する。共通電極6408は、同一基板上に形成される共通電位線と電気的に接続される。

10

【0287】

なお、発光素子6404の第2電極（共通電極6408）には低電源電位が設定されている。なお、低電源電位とは、電源線6407に設定される高電源電位を基準にして低電源電位 < 高電源電位を満たす電位であり、低電源電位としては例えばGND、0Vなどが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子6404に印加して、発光素子6404に電流を流して発光素子6404を発光させるため、高電源電位と低電源電位との電位差が発光素子6404の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

20

【0288】

なお、容量素子6403は発光素子駆動用トランジスタ6402のゲート容量を代用して省略することも可能である。発光素子駆動用トランジスタ6402のゲート容量については、チャネル領域とゲート電極との間で容量が形成されていてもよい。

【0289】

ここで、電圧入力電圧駆動方式の場合には、発光素子駆動用トランジスタ6402のゲートには、発光素子駆動用トランジスタ6402が十分にオンするか、オフするかの二つの状態となるようなビデオ信号を入力する。つまり、駆動用トランジスタ6402は線形領域で動作させる。発光素子駆動用トランジスタ6402は線形領域で動作させるため、電源線6407の電圧よりも高い電圧を発光素子駆動用トランジスタ6402のゲートにかける。なお、信号線6405には、（電源線電圧 + 発光素子駆動用トランジスタ6402のVth）以上の電圧をかける。

30

【0290】

また、デジタル時間階調駆動に代えて、アナログ階調駆動を行う場合、信号の入力を異ならせることで、図12と同じ画素構成を用いることができる。

【0291】

アナログ階調駆動を行う場合、発光素子駆動用トランジスタ6402のゲートに発光素子6404の順方向電圧 + 発光素子駆動用トランジスタ6402のVth以上の電圧をかける。発光素子6404の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。なお、発光素子駆動用トランジスタ6402が飽和領域で動作するようなビデオ信号を入力することで、発光素子6404に電流を流すことができる。発光素子駆動用トランジスタ6402を飽和領域で動作させるため、電源線6407の電位は、発光素子駆動用トランジスタ6402のゲート電位よりも高くする。ビデオ信号をアナログとすることで、発光素子6404にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

40

【0292】

なお、図12に示す画素構成は、これに限定されない。例えば、図12に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。

50

【0293】

次に、発光素子の構成について、図13を用いて説明する。ここでは、駆動用TFTがn型の場合を例に挙げて、画素の断面構造について説明する。図13(A)(B)(C)の半導体装置に用いられる駆動用TFTであるTFT7001、7011、7021は、実施の形態1で示す薄膜トランジスタと同様に作製でき、酸化物半導体層を含む信頼性の高い薄膜トランジスタである。また、実施の形態2、5、6で示す薄膜トランジスタをTFT7001、7011、7021として適用することもできる。

【0294】

発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、画素構成はどの射出構造の発光素子にも適用することができる。

10

【0295】

上面射出構造の発光素子について図13(A)を用いて説明する。

【0296】

図13(A)に、発光素子駆動用TFTであるTFT7001がn型で、発光素子7002から発せられる光が陽極7005側に抜ける場合の、画素の断面図を示す。図13(A)では、発光素子7002の陰極7003と駆動用TFTであるTFT7001が平坦化絶縁層7007、保護絶縁層7000、及び絶縁層7006に形成されたコンタクトホールを介して電気的に接続されており、コンタクトホール上には隔壁7009が設けられ、陰極7003上に発光層7004、陽極7005が順に積層されている。陰極7003は仕事関数が小さく、なおかつ光を反射する導電膜であれば様々な材料を用いることができる。例えば、Ca、Al、MgAg、AlLi等が望ましい。そして発光層7004は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極7003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極7005は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物(以下、ITOと示す。)、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性導電膜を用いても良い。

20

【0297】

陰極7003及び陽極7005で発光層7004を挟んでいる領域が発光素子7002に相当する。図13(A)に示した画素の場合、発光素子7002から発せられる光は、矢印で示すように陽極7005側に射出する。

30

【0298】

次に、下面射出構造の発光素子について図13(B)を用いて説明する。発光素子駆動用TFT7011がn型で、発光素子7012から発せられる光が陰極7013側に射出する場合の、画素の断面図を示す。図13(B)では、発光素子駆動用TFT7011と電気的に接続された透光性を有する導電膜7017上に、発光素子7012の陰極7013が成膜されており、陰極7013上に発光層7014、陽極7015が順に積層されている。なお、陽極7015が透光性を有する場合、陽極上を覆うように、光を反射または遮蔽するための遮蔽膜7016が成膜されていてもよい。陰極7013は、図13(A)の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度(好ましくは、5nm~30nm程度)とする。例えば20nmの膜厚を有するアルミニウム膜を、陰極7013として用いることができる。そして発光層7014は、図13(A)と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極7015は光を透過する必要はないが、図13(A)と同様に、透光性を有する導電性材料を用いて形成すること

40

50

ができる。そして遮蔽膜 7016 は、例えば光を反射する金属等を用いることができるが、金属膜に限定されない。例えば黒の顔料を添加した樹脂等を用いることもできる。

【0299】

陰極 7013 及び陽極 7015 で、発光層 7014 を挟んでいる領域が発光素子 7012 に相当する。図 13 (B) に示した画素の場合、発光素子 7012 から発せられる光は、矢印で示すように陰極 7013 側に射出する。なお、図 13 (B) ではゲート電極層として透光性を有する導電膜を用いる例を示しており、発光素子 7012 から発せられる光は、ゲート電極層を通過して射出させる。

【0300】

次に、両面射出構造の発光素子について、図 13 (C) を用いて説明する。図 13 (C) 10 では、発光素子駆動用 TFT 7021 と電気的に接続された透光性を有する導電膜 7027 上に、発光素子 7022 の陰極 7023 が成膜されており、陰極 7023 上に発光層 7024、陽極 7025 が順に積層されている。陰極 7023 は、図 13 (A) の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば 20 nm の膜厚を有する A1 を、陰極 7023 として用いることができる。そして発光層 7024 は、図 13 (A) と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極 7025 は、図 13 (A) と同様に、光を透過する透光性を有する導電性材料を用いて形成することができる。

【0301】

陰極 7023 と、発光層 7024 と、陽極 7025 とが重なっている部分が発光素子 7022 に相当する。図 13 (C) に示した画素の場合、発光素子 7022 から発せられる光は、矢印で示すように陽極 7025 側と陰極 7023 側の両方に射出する。

【0302】

なお、ここでは、発光素子として有機 EL 素子について述べたが、発光素子として無機 EL 素子を設けることも可能である。

【0303】

なお、発光素子の駆動を制御する薄膜トランジスタ（発光素子駆動用 TFT）と発光素子が電気的に接続されている例を示したが、駆動用 TFT と発光素子との間に電流制御用 TFT が接続されている構成であってもよい。

30

【0304】

なお半導体装置は、図 13 に示した構成に限定されるものではなく、本明細書に開示する技術的思想に基づく各種の変形が可能である。

【0305】

次に、半導体装置の一形態に相当する発光表示パネル（発光パネルともいう）の外観及び断面について、図 11 を用いて説明する。図 11 (A) は、第 1 の基板上に形成された薄膜トランジスタ及び発光素子を、第 2 の基板との間にシール材によって封止した、パネルの平面図であり、図 11 (B) は、図 11 (A) の H-I における断面図に相当する。

【0306】

第 1 の基板 4501 上に設けられた画素部 4502、信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b を囲むようにして、シール材 4505 が設けられている。また画素部 4502、信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b の上に第 2 の基板 4506 が設けられている。よって画素部 4502、信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b は、第 1 の基板 4501 とシール材 4505 と第 2 の基板 4506 とによって、充填材 4507 と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

40

【0307】

また第 1 の基板 4501 上に設けられた画素部 4502、信号線駆動回路 4503a、4

50

503b、及び走査線駆動回路4504a、4504bは、薄膜トランジスタを複数有しており、図11(B)では、画素部4502に含まれる薄膜トランジスタ4510と、信号線駆動回路4503aに含まれる薄膜トランジスタ4509とを例示している。

【0308】

薄膜トランジスタ4509、4510は、実施の形態1、2、5、6で示した酸化物半導体層を含む信頼性の高い薄膜トランジスタを適用することができる。駆動回路用の薄膜トランジスタ4509としては、実施の形態1、2、5、6で示した薄膜トランジスタ260、270、画素用の薄膜トランジスタ4510としては、薄膜トランジスタ420、448、220、280、290を用いることができる。本実施の形態において、薄膜トランジスタ4509、4510はnチャネル型薄膜トランジスタである。

10

【0309】

絶縁層4544上において駆動回路用の薄膜トランジスタ4509の酸化物半導体層のチャネル形成領域と重なる位置に導電層4540が設けられている。導電層4540を酸化物半導体層のチャネル形成領域と重なる位置に設けることによって、BT試験前後における薄膜トランジスタ4509のしきい値電圧の変化量を低減することができる。また、導電層4540は、電位が薄膜トランジスタ4509のゲート電極層と同じでもよいし、異なっていても良く、第2のゲート電極層として機能させることもできる。また、導電層4540の電位がGND、0V、或いはフローティング状態であってもよい。

【0310】

薄膜トランジスタ4509は、チャネル保護層として機能する絶縁層4541aと、酸化物半導体層の周縁部(側面を含む)を覆う絶縁層4541bとが形成されている。同様に薄膜トランジスタ4510は、チャネル保護層として機能する絶縁層4542aと、酸化物半導体層の周縁部(側面を含む)を覆う絶縁層4542bとが形成されている。

20

【0311】

酸化物半導体層の周縁部(側面を含む)を覆う酸化物絶縁層である絶縁層4541b、4542bは、ゲート電極層と、その上方または周辺に形成される配線層(ソース配線層や容量配線層など)との距離を大きくし、寄生容量の低減を図ることができる。絶縁層4541a、4541b、4542a、4542bは実施の形態1で示した酸化物絶縁層426a、426bと同様な材料及び方法で形成すればよい。また、薄膜トランジスタの表面凹凸を低減するため平坦化絶縁膜として機能する絶縁層4543で覆う構成となっている。ここでは、絶縁層4541a、4541b、4542a、4542bとして、実施の形態1を用いてスパッタ法により酸化珪素膜を形成する。

30

【0312】

また、絶縁層4541a、4541b、4542a、4542b上に絶縁層4543が形成されている。絶縁層4543は実施の形態1で示した絶縁層428と、保護絶縁層403と同様な材料及び方法で形成すればよい。図10(B)では単層として図示したが、絶縁層428と、絶縁層428と異なる材料の保護絶縁層403の積層である。ここでは、絶縁層4543として、スパッタ法により、酸化珪素膜と、スパッタ法により窒化珪素膜とを積層形成する。

【0313】

40

また、平坦化絶縁膜として絶縁層4544を形成する。絶縁層4544としては、実施の形態1で示した平坦化絶縁層404と同様な材料及び方法で形成すればよい。ここでは、絶縁層4544としてアクリルを用いる。

【0314】

本実施の形態では、画素部の複数の薄膜トランジスタをまとめて窒化物絶縁膜で囲む構成としてもよい。絶縁層4543とゲート絶縁層とに窒化物絶縁膜を用いて、図11に示すように少なくともアクティブマトリクス基板の画素部の周縁を囲むように絶縁層4543とゲート絶縁層とが接する領域を設ける構成とすればよい。このような構成とすることにより、外部からの水分の侵入を防ぐことができる。また、半導体装置、例えば表示装置としてデバイスが完成した後にも長期的に、外部からの水分の侵入を防ぐことができデバイ

50

スの長期信頼性を向上することができる。

【0315】

また4511は発光素子に相当し、発光素子4511が有する画素電極である第1の電極層4517は、薄膜トランジスタ4510のソース電極層またはドレイン電極層と電気的に接続されている。なお発光素子4511の構成は、第1の電極層4517、電界発光層4512、第2の電極層4513の積層構造であるが、示した構成に限定されない。発光素子4511から取り出す光の方向などに合わせて、発光素子4511の構成は適宜変えることができる。

【0316】

隔壁4520は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、第1の電極層4517上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することができる。

10

【0317】

電界発光層4512は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【0318】

発光素子4511に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の電極層4513及び隔壁4520上に保護膜を形成してもよい。保護膜としては、窒化珪素膜、窒化酸化珪素膜、DLC膜等を形成することができる。

【0319】

また、信号線駆動回路4503a、4503b、走査線駆動回路4504a、4504b、または画素部4502に与えられる各種信号及び電位は、FPC4518a、4518bから供給されている。

20

【0320】

接続端子電極4515が、発光素子4511が有する第1の電極層4517と同じ導電膜から形成され、端子電極4516は、薄膜トランジスタ4509、4510が有するソース電極層及びドレイン電極層と同じ導電膜から形成されている。

【0321】

接続端子電極4515は、FPC4518aが有する端子と、異方性導電膜4519を介して電気的に接続されている。

30

【0322】

発光素子4511からの光の取り出し方向に位置する第2の基板4506は透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【0323】

また、充填材4507としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。例えば充填材として窒素を用いればよい。

40

【0324】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板(楕円偏光板を含む)、位相差板(1/4板、1/2板)、カラーフィルタなどの光学フィルムを適宜設けてよい。また、偏光板又は円偏光板に反射防止膜を設けてよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【0325】

信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜によって形成された駆動回路で実装されていてよい。また、信号線駆動回路のみ、或いは一部、又は走査線駆動回路のみ、或いは一部のみを別途形成して実装しても良く、図11の構成に限定されない。

50

【 0 3 2 6 】

以上の工程により、半導体装置として信頼性の高い発光表示装置（表示パネル）を作製することができる。

【 0 3 2 7 】

本実施の形態は、実施の形態 1 乃至 4 、及び 6 乃至 8 に記載した構成と適宜組み合わせて実施することが可能である。

【 0 3 2 8 】**（実施の形態 1 2 ）**

本明細書に開示する半導体装置は、電子ペーパーとして適用することができる。電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍（電子ブック）、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図 2 0 に示す。

10

【 0 3 2 9 】

図 2 0 は、電子書籍 2 7 0 0 の一例を示している。例えば、電子書籍 2 7 0 0 は、筐体 2 7 0 1 および筐体 2 7 0 3 の 2 つの筐体で構成されている。筐体 2 7 0 1 および筐体 2 7 0 3 は、軸部 2 7 1 1 により一体とされており、該軸部 2 7 1 1 を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

【 0 3 3 0 】

20

筐体 2 7 0 1 には表示部 2 7 0 5 が組み込まれ、筐体 2 7 0 3 には表示部 2 7 0 7 が組み込まれている。表示部 2 7 0 5 および表示部 2 7 0 7 は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成としてことで、例えば右側の表示部（図 2 0 では表示部 2 7 0 5 ）に文章を表示し、左側の表示部（図 2 0 では表示部 2 7 0 7 ）に画像を表示することができる。

【 0 3 3 1 】

また、図 2 0 では、筐体 2 7 0 1 に操作部などを備えた例を示している。例えば、筐体 2 7 0 1 において、電源 2 7 2 1 、操作キー 2 7 2 3 、スピーカ 2 7 2 5 などを備えている。操作キー 2 7 2 3 により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、U S B 端子、または A C アダプタおよび U S B ケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍 2 7 0 0 は、電子辞書としての機能を持たせた構成としてもよい。

30

【 0 3 3 2 】

また、電子書籍 2 7 0 0 は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【 0 3 3 3 】

40

（実施の形態 1 3 ）

本明細書に開示する半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

【 0 3 3 4 】

図 2 1 (A) は、テレビジョン装置 9 6 0 0 の一例を示している。テレビジョン装置 9 6 0 0 は、筐体 9 6 0 1 に表示部 9 6 0 3 が組み込まれている。表示部 9 6 0 3 により、映像を表示することができる。また、ここでは、スタンド 9 6 0 5 により筐体 9 6 0 1

50

を支持した構成を示している。

【0335】

テレビジョン装置9600の操作は、筐体9601が備える操作スイッチや、別体のリモコン操作機9610により行うことができる。リモコン操作機9610が備える操作キー9609により、チャンネルや音量の操作を行うことができ、表示部9603に表示される映像を操作することができる。また、リモコン操作機9610に、当該リモコン操作機9610から出力する情報を表示する表示部9607を設ける構成としてもよい。

【0336】

なお、テレビジョン装置9600は、受信機やモデムなどを備えた構成とする。受信機により一般的のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

10

【0337】

図21（B）は、デジタルフォトフレーム9700の一例を示している。例えば、デジタルフォトフレーム9700は、筐体9701に表示部9703が組み込まれている。表示部9703は、各種画像を表示することができ、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

【0338】

なお、デジタルフォトフレーム9700は、操作部、外部接続用端子（USB端子、USBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部9703に表示させることができる。

20

【0339】

また、デジタルフォトフレーム9700は、無線で情報を送受信できる構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

【0340】

図22（A）は携帯型遊技機であり、筐体9881と筐体9891の2つの筐体で構成されており、連結部9893により、開閉可能に連結されている。筐体9881には表示部9882が組み込まれ、筐体9891には表示部9883が組み込まれている。また、図22（A）に示す携帯型遊技機は、その他、スピーカ部9884、記録媒体挿入部9886、LEDランプ9890、入力手段（操作キー9885、接続端子9887、センサ9888（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）、マイクロフォン9889）等を備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも本明細書に開示する半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。図22（A）に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図22（A）に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

30

【0341】

図22（B）は大型遊技機であるスロットマシン9900の一例を示している。スロットマシン9900は、筐体9901に表示部9903が組み込まれている。また、スロットマシン9900は、その他、スタートレバーやストップスイッチなどの操作手段、コイン投入口、スピーカなどを備えている。もちろん、スロットマシン9900の構成は上述のものに限定されず、少なくとも本明細書に開示する半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。

40

【0342】

50

図23(A)は携帯型のコンピュータの一例を示す斜視図である。

【0343】

図23(A)の携帯型のコンピュータは、上部筐体9301と下部筐体9302とを接続するヒンジユニットを閉状態として表示部9303を有する上部筐体9301と、キーボード9304を有する下部筐体9302とを重ねた状態とすることができ、持ち運ぶことが便利であるとともに、使用者がキーボード入力する場合には、ヒンジユニットを開状態として、表示部9303を見て入力操作を行うことができる。

【0344】

また、下部筐体9302はキーボード9304の他に入力操作を行うポインティングデバイス9306を有する。また、表示部9303をタッチ入力パネルとすれば、表示部の一部に触れることで入力操作を行うこともできる。また、下部筐体9302はCPUやハードディスク等の演算機能部を有している。また、下部筐体9302は他の機器、例えばUSBの通信規格に準拠した通信ケーブルが差し込まれる外部接続ポート9305を有している。

10

【0345】

上部筐体9301には更に上部筐体9301内部にスライドさせて収納可能な表示部9307を有しており、広い表示画面を実現することができる。また、収納可能な表示部9307の画面の向きは使用者は調節できる。また、収納可能な表示部9307をタッチ入力パネルとすれば、収納可能な表示部9307の一部に触れることで入力操作を行うこともできる。

20

【0346】

表示部9303または収納可能な表示部9307は、液晶表示パネル、有機発光素子または無機発光素子などの発光表示パネルなどの映像表示装置を用いる。

【0347】

また、図23(A)の携帯型のコンピュータは、受信機などを備えた構成として、テレビ放送を受信して映像を表示部に表示することができる。また、上部筐体9301と下部筐体9302とを接続するヒンジユニットを閉状態としたまま、表示部9307をスライドさせて画面全面を露出させ、画面角度を調節して使用者がテレビ放送を見る 것도できる。この場合には、ヒンジユニットを開状態として表示部9303を表示せず、さらにテレビ放送を表示するだけの回路の起動のみを行うため、最小限の消費電力とすることができ、バッテリー容量の限られている携帯型のコンピュータにおいて有用である。

30

【0348】

また、図23(B)は、腕時計のように使用者の腕に装着可能な形態を有している携帯電話の一例を示す斜視図である。

【0349】

この携帯電話は、少なくとも電話機能を有する通信装置及びバッテリーを有する本体、本体を腕に装着するためのバンド部9204、腕に対するバンド部の固定状態を調節する調節部9205、表示部9201、スピーカ9207、及びマイク9208から構成されている。

40

【0350】

また、本体は、操作スイッチ9203を有し、電源入力スイッチや、表示切り替えスイッチや、撮像開始指示スイッチの他、例えばボタンを押すとインターネット用のプログラムが起動されるなど、各ファンクションを対応づけることができる。

【0351】

この携帯電話の入力操作は、表示部9201に指や入力ペンなどで触れること、又は操作スイッチ9203の操作、またはマイク9208への音声入力により行われる。なお、図23(B)では、表示部9201に表示された表示ボタン9202を図示しており、指などで触れることにより入力を行うことができる。

【0352】

また、本体は、撮影レンズを通して結像される被写体像を電子画像信号に変換する撮像手

50

段を有するカメラ部 9206 を有する。なお、特にカメラ部は設けなくともよい。

【0353】

また、図23(B)に示す携帯電話は、テレビ放送の受信機などを備えた構成として、テレビ放送を受信して映像を表示部9201に表示することができ、さらにメモリーなどの記憶装置などを備えた構成として、テレビ放送をメモリーに録画できる。また、図23(B)に示す携帯電話は、GPSなどの位置情報を収集できる機能を有していてもよい。

【0354】

表示部9201は、液晶表示パネル、有機発光素子または無機発光素子などの発光表示パネルなどの映像表示装置を用いる。図23(B)に示す携帯電話は、小型、且つ、軽量であるため、バッテリー容量の限られており、表示部9201に用いる表示装置は低消費電力で駆動できるパネルを用いることが好ましい。

10

【0355】

なお、図23(B)では”腕”に装着するタイプの電子機器を図示したが、特に限定されず、携行できる形状を有しているものであればよい。

【0356】

(実施の形態14)

本実施の形態では、半導体装置の一形態として、実施の形態1、2、5、6で示す薄膜トランジスタを有する表示装置の例を図24乃至図35を用いて説明する。本実施の形態は、表示素子として液晶素子を用いた液晶表示装置の例を図24乃至図35を用いて説明する。図24乃至図35の液晶表示装置に用いられるTFT628、629は、実施の形態1、2、5、6で示す薄膜トランジスタを適用することができ、実施の形態1、2、5、6で示す工程で同様に作製できる電気特性及び信頼性の高い薄膜トランジスタである。TFT628はチャネル保護層608を、TFT629はチャネル保護層611をそれぞれ有し、半導体層膜をチャネル形成領域とするボトムゲート型薄膜トランジスタである。

20

【0357】

はじめにVA(Vertical Alignment)型の液晶表示装置について示す。VA型の液晶表示装置とは、液晶表示パネルの液晶分子の配列を制御する方式の一種である。VA型の液晶表示装置は、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。本実施の形態では、特に画素(ピクセル)をいくつかの領域(サブピクセル)に分け、それぞれ別の方向に分子を倒すよう工夫されている。これをマルチドメイン化あるいはマルチドメイン設計という。以下の説明では、マルチドメイン設計が考慮された液晶表示装置について説明する。

30

【0358】

図25及び図26は、それぞれ画素電極及び対向電極を示している。なお、図25は画素電極が形成される基板側の平面図であり、図中に示す切断線E-Fに対応する断面構造を図24に表している。また、図26は対向電極が形成される基板側の平面図である。以下の説明ではこれらの図を参照して説明する。

【0359】

図24は、TFT628とそれに接続する画素電極624、及び保持容量部630が形成された基板600と、対向電極640等が形成される対向基板601とが重ね合わせられ、液晶が注入された状態を示している。

40

【0360】

図示しないが、対向基板601においてスペーサが形成される位置には、第1の着色膜、第2の着色膜、第3着色膜、対向電極640が形成されている。この構造により、液晶の配向を制御するための突起644とスペーサの高さを異ならせている。画素電極624上には配向膜648が形成され、同様に対向電極640上にも配向膜646が形成されている。この間に液晶層650が形成されている。

【0361】

スペーサ柱状スペーサを形成してもビーズスペーサを散布してもよい。スペーサが透光性の場合は、基板600上に形成される画素電極624上に形成してもよい。

50

【0362】

基板600上には、TFT628とそれに接続する画素電極624、及び保持容量部630が形成される。画素電極624は、TFT628、配線616、及び保持容量部630を覆う絶縁膜620、絶縁膜620を覆う第3絶縁膜622をそれぞれ貫通するコンタクトホール623で、配線618と接続する。絶縁膜620は、絶縁層と保護絶縁層の積層であり、半導体層と接する絶縁層をスパッタ法の酸化珪素膜とし、その上の保護絶縁層をスパッタ法の窒化珪素膜とする。なお、図24では簡略化のため、積層である絶縁膜620を単層として図示している。TFT628は実施の形態1、2、5、6で示す薄膜トランジスタを適宜用いることができる。また、保持容量部630は、TFT628のゲート配線602と同時に形成した第1の容量配線604と、ゲート絶縁膜606と、配線616、618と同時に形成した第2の容量配線617で構成される。 10

【0363】

画素電極624と液晶層650と対向電極640が重なり合うことで、液晶素子が形成されている。

【0364】

図25に基板600上の構造を示す。画素電極624は実施の形態1で示した材料を用いて形成する。画素電極624にはスリット625を設ける。スリット625は液晶の配向を制御するためのものである。

【0365】

図25に示すTFT629とそれに接続する画素電極626及び保持容量部631は、それぞれTFT628、画素電極624及び保持容量部630と同様に形成することができる。TFT628とTFT629は共に配線616と接続している。この液晶表示パネルの画素(ピクセル)は、画素電極624と画素電極626により構成されている。画素電極624と画素電極626はサブピクセルである。 20

【0366】

図26に対向基板側の構造を示す。遮光膜632上に対向電極640が形成されている。対向電極640は、画素電極624と同様の材料を用いて形成することが好ましい。対向電極640上には液晶の配向を制御する突起644が形成されている。

【0367】

この画素構造の等価回路を図27に示す。TFT628とTFT629は、共にゲート配線602、配線616と接続している。この場合、容量配線604と容量配線605の電位を異ならせることで、液晶素子651と液晶素子652の動作を異ならせることができる。すなわち、容量配線604と容量配線605の電位を個別に制御することにより液晶の配向を精密に制御して視野角を広げている。 30

【0368】

スリット625を設けた画素電極624に電圧を印加すると、スリット625の近傍には電界の歪み(斜め電界)が発生する。このスリット625と、対向基板601側の突起644とを交互に咬み合うように配置することで、斜め電界を効果的に発生させて液晶の配向を制御することで、液晶が配向する方向を場所によって異ならせている。すなわち、マルチドメイン化して液晶表示パネルの視野角を広げている。 40

【0369】

次に、上記とは異なるVA型の液晶表示装置について、図28乃至図31を用いて説明する。

【0370】

図28と図29は、VA型液晶表示パネルの画素構造を示している。図29は基板600の平面図であり、図中に示す切断線Y-Zに対応する断面構造を図28に表している。以下の説明ではこの両図を参照して説明する。

【0371】

この画素構造は、一つの画素に複数の画素電極が有り、それぞれの画素電極にTFTが接続されている。各TFTは、異なるゲート信号で駆動されるように構成されている。すな 50

わち、マルチドメイン設計された画素において、個々の画素電極に印加する信号を、独立して制御する構成を有している。

【0372】

画素電極 624 はコンタクトホール 623 において、配線 618 で TFT628 と接続している。また、画素電極 626 はコンタクトホール 627 において、配線 619 で TFT629 と接続している。TFT628 のゲート配線 602 と、TFT629 のゲート配線 603 には、異なるゲート信号を与えることができるよう分離されている。一方、データ線として機能する配線 616 は、TFT628 と TFT629 で共通に用いられている。TFT628 と TFT629 は実施の形態 1、2、5、6 で示す薄膜トランジスタを適宜用いることができる。また、容量配線 690 が設けられている。絶縁膜 620 は、絶縁層と保護絶縁層の積層であり、半導体層と接する絶縁層をスパッタ法の酸化珪素膜とし、その上の保護絶縁層をスパッタ法の窒化珪素膜とする。なお、図 28 では簡略化のため、積層である絶縁膜 620 を単層として図示している。

【0373】

画素電極 624 と画素電極 626 の形状は異なっており、スリット 625 によって分離されている。V 字型に広がる画素電極 624 の外側を囲むように画素電極 626 が形成されている。画素電極 624 と画素電極 626 に印加する電圧のタイミングを、TFT628 及び TFT629 により異ならせることで、液晶の配向を制御している。この画素構造の等価回路を図 31 に示す。TFT628 はゲート配線 602 と接続し、TFT629 はゲート配線 603 と接続している。ゲート配線 602 とゲート配線 603 は異なるゲート信号を与えることで、TFT628 と TFT629 の動作タイミングを異ならせることができる。

【0374】

対向基板 601 には、第 2 の着色膜 636、対向電極 640 が形成されている。また、第 2 の着色膜 636 と対向電極 640 の間には平坦化膜 637 が形成され、液晶の配向乱れを防いでいる。図 30 に対向基板側の構造を示す。対向電極 640 は異なる画素間で共通化されている電極であるが、スリット 641 が形成されている。このスリット 641 と、画素電極 624 及び画素電極 626 側のスリット 625 とを交互に咬み合うように配置することで、斜め電界が効果的に発生させて液晶の配向を制御することができる。これにより、液晶が配向する方向を場所によって異ならせることができ、視野角を広げている。

【0375】

画素電極 624 と液晶層 650 と対向電極 640 が重なり合うことで、第 1 の液晶素子が形成されている。また、画素電極 626 と液晶層 650 と対向電極 640 が重なり合うことで、第 2 の液晶素子が形成されている。また、一画素に第 1 の液晶素子と第 2 の液晶素子が設けられたマルチドメイン構造である。

【0376】

次に、横電界方式の液晶表示装置について示す。横電界方式は、セル内の液晶分子に対して水平方向に電界を加えることで液晶を駆動して階調表現する方式である。この方式によれば、視野角を約 180 度にまで広げることができる。以下の説明では、横電界方式を採用する液晶表示装置について説明する。

【0377】

図 32 は、TFT628 とそれに接続する画素電極 624 が形成された基板 600 と、対向基板 601 を重ね合わせ、液晶を注入した状態を示している。対向基板 601 には、第 2 の着色膜 636、平坦化膜 637 などが形成されている。画素電極は基板 600 側に有るので、対向基板 601 側には設けられていない。基板 600 と対向基板 601 の間に液晶層 650 が形成されている。

【0378】

基板 600 上には、第 1 の画素電極 607 及び第 1 の画素電極 607 に接続する容量配線 604、並びに及び実施の形態 1、2、5、6 で示す TFT628 が形成される。第 1 の画素電極 607 は、実施の形態 1 で示す画素電極層 427 と同様の材料を用いることがで

10

20

30

40

50

きる。また、第1の画素電極607は略画素の形状に区画化した形状で形成する。なお、第1の画素電極607及び容量配線604上にはゲート絶縁膜606が形成される。

【0379】

TFT628の配線616、配線618がゲート絶縁膜606上に形成される。配線616は液晶表示パネルにおいてビデオ信号をのせるデータ線であり一方に伸びる配線であると同時に、TFT628のソース領域又はドレイン領域と接続し、ソース及びドレインの一方の電極となる。配線618はソース及びドレインの他方の電極となり、第2の画素電極624と接続する配線である。

【0380】

配線616、配線618上に第2の絶縁膜620が形成される。絶縁膜620は、絶縁層と保護絶縁層の積層であり、半導体層と接する絶縁層をスパッタ法の酸化珪素膜とし、その上の保護絶縁層をスパッタ法の窒化珪素膜とする。なお、図32では簡略化のため、積層である絶縁膜620を単層として図示している。また、絶縁膜620上には、絶縁膜620に形成されるコンタクトホールにおいて、配線618に接続する第2の画素電極624が形成される。画素電極624は実施の形態1で示した画素電極層427と同様の材料を用いて形成する。

【0381】

このようにして、基板600上にTFT628とそれに接続する画素電極624が形成される。なお、保持容量は画素電極607と画素電極624の間で形成している。

【0382】

図33は、画素電極の構成を示す平面図である。図33に示す切断線O-Pに対応する断面構造を図32に表している。画素電極624にはスリット625が設けられる。スリット625は液晶の配向を制御するためのものである。この場合、電界は画素電極607と画素電極624の間で発生する。画素電極607と画素電極624の間にはゲート絶縁膜606が形成されているが、ゲート絶縁膜606の厚さは50~200nmであり、2~10μmである液晶層の厚さと比較して十分薄いので、実質的に基板600と平行な方向(水平方向)に電界が発生する。この電界により液晶の配向が制御される。この基板と略平行な方向の電界を利用して液晶分子を水平に回転させる。この場合、液晶分子はどの状態でも水平であるため、見る角度によるコントラストなどの影響は少なく、視野角が広がることとなる。また、画素電極607と画素電極624は共に透光性の電極であるので、開口率を向上させることができる。

【0383】

次に、横電界方式の液晶表示装置の他の一例について示す。

【0384】

図34と図35は、IPS型の液晶表示装置の画素構造を示している。図35は平面図であり、図中に示す切断線V-Wに対応する断面構造を図34に表している。以下の説明ではこの両図を参照して説明する。

【0385】

図34は、TFT628とそれに接続する画素電極624が形成された基板600と、対向基板601を重ね合わせ、液晶を注入した状態を示している。対向基板601には、第2の着色膜636、平坦化膜637などが形成されている。画素電極624は基板600側にあるので、対向基板601側には設けられていない。基板600と対向基板601の間に液晶層650が形成されている。

【0386】

基板600上には、共通電位線609、及び実施の形態1、2、5、6で示すTFT628が形成される。共通電位線609はTFT628のゲート配線602と同時に形成することができる。

【0387】

TFT628の配線616、配線618がゲート絶縁膜606上に形成される。配線616は液晶表示パネルにおいてビデオ信号をのせるデータ線であり一方に伸びる配線であ

10

20

30

40

50

ると同時に、TFT628のソース領域又はドレイン領域と接続し、ソース及びドレインの一方の電極となる。配線618はソース及びドレインの他方の電極となり、第2の画素電極624と接続する配線である。

【0388】

配線616、配線618上に第2の絶縁膜620が形成される。また、絶縁膜620上には、絶縁膜620に形成されるコンタクトホール623において、配線618に接続する画素電極624が形成される。絶縁膜620は、絶縁層と保護絶縁層の積層であり、半導体層と接する絶縁層をスパッタ法の酸化珪素膜とし、その上の保護絶縁層をスパッタ法の窒化珪素膜とする。なお、図では簡略化のため、積層である絶縁膜620を単層として図示している。画素電極624は実施の形態1で示した画素電極層427と同様の材料を用いて形成する。なお、図35に示すように、画素電極624は、共通電位線609と同時に形成した櫛形の電極と横電界が発生するように形成される。また、画素電極624の櫛歯の部分が共通電位線609と一緒に形成した櫛形の電極と交互に咬み合うように形成される。

10

【0389】

画素電極624に印加される電位と共通電位線609の電位との間に電界が生じると、この電界により液晶の配向が制御される。この基板と略平行な方向の電界を利用して液晶分子を水平に回転させる。この場合、液晶分子はどの状態でも水平であるため、見る角度によるコントラストなどの影響は少なく、視野角が広がることとなる。

20

【0390】

このようにして、基板600上にTFT628とそれに接続する画素電極624が形成される。保持容量は共通電位線609と容量電極615の間にゲート絶縁膜606を設け、それにより形成している。容量電極615と画素電極624はコンタクトホール633を介して接続されている。

【0391】

以上の工程により、表示装置として液晶表示装置を作製することができる。本実施の形態の液晶表示装置は、信頼性が高い液晶表示装置である。

【符号の説明】

【0392】

- | | | |
|-----|----------|----|
| 1 0 | パルス出力回路 | 30 |
| 1 1 | 第1の配線 | |
| 1 2 | 第2の配線 | |
| 1 3 | 第3の配線 | |
| 1 4 | 第4の配線 | |
| 1 5 | 第5の配線 | |
| 2 1 | 第1の入力端子 | |
| 2 2 | 第2の入力端子 | |
| 2 3 | 第3の入力端子 | |
| 2 4 | 第4の入力端子 | |
| 2 5 | 第5の入力端子 | 40 |
| 2 6 | 第1の出力端子 | |
| 2 7 | 第2の出力端子 | |
| 2 8 | 薄膜トランジスタ | |
| 3 1 | トランジスタ | |
| 3 2 | トランジスタ | |
| 3 3 | トランジスタ | |
| 3 4 | トランジスタ | |
| 3 5 | トランジスタ | |
| 3 6 | トランジスタ | |
| 3 7 | トランジスタ | 50 |

3 8	トランジスタ	
3 9	トランジスタ	
4 0	トランジスタ	
4 1	トランジスタ	
4 2	トランジスタ	
4 3	トランジスタ	
5 1	電源線	
5 2	電源線	
5 3	電源線	
6 1	期間	10
6 2	期間	
2 0 0	基板	
2 0 2	ゲート絶縁層	
2 0 3	保護絶縁層	
2 0 4	平坦化絶縁層	
2 0 5	共通電位線	
2 0 6	共通電極層	
2 0 7	酸化物半導体層	
2 0 8	酸化物絶縁層	
2 0 9	共通電位線	20
2 1 6	絶縁層	
2 2 0	薄膜トランジスタ	
2 2 1	端子	
2 2 2	端子	
2 2 3	接続電極層	
2 2 5	導電層	
2 2 6	電極層	
2 2 7	画素電極層	
2 3 0	容量配線層	
2 3 1	容量電極	30
2 3 6	金属配線層	
2 3 7	金属配線層	
2 4 1	金属配線層	
2 4 2	金属配線層	
2 4 3	金属配線層	
2 4 4	金属配線層	
2 5 0	容量配線層	
2 5 1	酸化物半導体層	
2 5 4	ソース配線	
2 5 5	端子電極	40
2 5 6	ソース配線	
2 5 7	端子電極	
2 6 0	薄膜トランジスタ	
2 6 1	ゲート電極層	
2 6 3	チャネル形成領域	
2 6 4 a	高抵抗ソース領域	
2 6 4 b	高抵抗ドレイン領域	
2 6 4 c	領域	
2 6 4 d	領域	
2 6 5 a	ソース電極層	50

2 6 5 b	ドレイン電極層	
2 6 6 a	酸化物絶縁層	
2 6 6 b	酸化物絶縁層	
2 6 7	導電層	
2 7 0	薄膜トランジスタ	
2 7 1	ゲート電極層	
2 7 3	チャネル形成領域	
2 7 4 a	高抵抗ソース領域	10
2 7 4 b	高抵抗ドレイン領域	
2 7 4 c	領域	
2 7 4 d	領域	
2 7 4 e	領域	
2 7 4 f	領域	
2 7 5 a	ソース電極層	
2 7 5 b	ドレイン電極層	
2 7 6 a	酸化物絶縁層	
2 7 6 b	酸化物絶縁層	
2 7 7	導電層	
2 8 0	薄膜トランジスタ	20
2 8 2 a	第1のゲート絶縁層	
2 8 2 b	第2のゲート絶縁層	
2 8 2 c	ゲート絶縁層	
2 8 6 b	酸化物絶縁層	
2 9 0	薄膜トランジスタ	
2 9 2 a	第1のゲート絶縁層	
2 9 2 b	第2のゲート絶縁層	
4 0 0	基板	
4 0 2	ゲート絶縁層	
4 0 3	保護絶縁層	
4 0 4	平坦化絶縁層	30
4 2 0	薄膜トランジスタ	
4 2 1 a	ゲート電極層	
4 2 1 b	ゲート電極層	
4 2 2	酸化物半導体層	
4 2 3	チャネル形成領域	
4 2 4 a	高抵抗ソース領域	
4 2 4 b	高抵抗ドレイン領域	
4 2 4 c	領域	
4 2 4 d	領域	
4 2 4 e	高抵抗ソース領域	40
4 2 4 f	高抵抗ドレイン領域	
4 2 5 a	ソース電極層	
4 2 5 b	ドレイン電極層	
4 2 6 a	酸化物絶縁層	
4 2 6 b	酸化物絶縁層	
4 2 7	画素電極層	
4 2 8	絶縁層	
4 2 9	酸化物半導体層	
4 4 1	コンタクトホール	
4 4 2	酸化物半導体層	50

4 4 8	薄膜トランジスタ	
5 8 0	基板	
5 8 1	薄膜トランジスタ	
5 8 3	絶縁膜	
5 8 5	絶縁層	
5 8 7	電極層	
5 8 8	電極層	
5 8 9	球形粒子	
5 9 0 a	黒色領域	10
5 9 0 b	白色領域	
5 9 4	キャビティ	
5 9 5	充填材	
5 9 6	基板	
6 0 0	基板	
6 0 1	対向基板	
6 0 2	ゲート配線	
6 0 3	ゲート配線	
6 0 4	容量配線	
6 0 5	容量配線	
6 0 6	ゲート絶縁膜	20
6 0 7	電極層	
6 0 8	チャネル保護層	
6 0 9	共通電位線	
6 1 1	チャネル保護層	
6 1 5	容量電極	
6 1 6	配線	
6 1 7	容量配線	
6 1 8	配線	
6 1 9	配線	
6 2 0	絶縁膜	30
6 2 1	絶縁膜	
6 2 2	絶縁膜	
6 2 3	コンタクトホール	
6 2 4	画素電極	
6 2 5	スリット	
6 2 6	画素電極	
6 2 7	コンタクトホール	
6 2 8	T F T	
6 2 9	T F T	
6 3 0	保持容量部	40
6 3 1	保持容量部	
6 3 2	遮光膜	
6 3 3	コンタクトホール	
6 3 6	着色膜	
6 3 7	平坦化膜	
6 4 0	対向電極層	
6 4 1	スリット	
6 4 4	突起	
6 4 6	配向膜	
6 4 8	配向膜	50

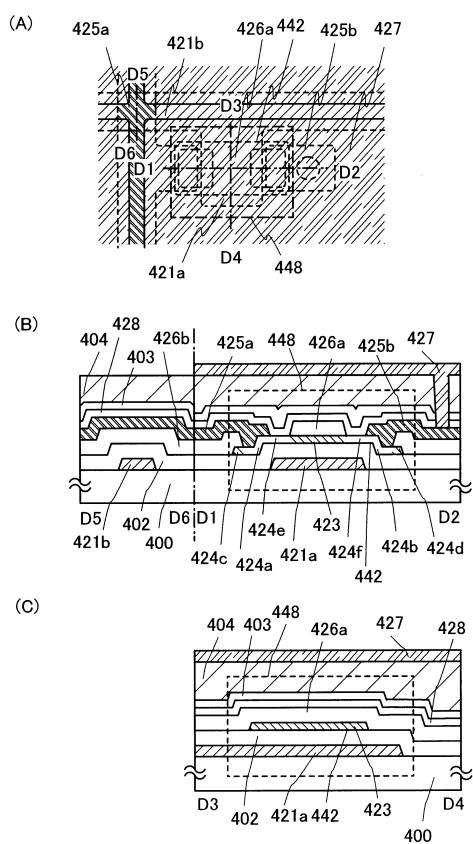
6 5 0	液晶層	
6 5 1	液晶素子	
6 5 2	液晶素子	
6 9 0	容量配線	
2 6 0 0	TFT基板	
2 6 0 1	対向基板	
2 6 0 2	シール材	
2 6 0 3	画素部	
2 6 0 4	表示素子	
2 6 0 5	着色層	10
2 6 0 6	偏光板	
2 6 0 7	偏光板	
2 6 0 8	配線回路部	
2 6 0 9	フレキシブル配線基板	
2 6 1 0	冷陰極管	
2 6 1 1	反射板	
2 6 1 2	回路基板	
2 6 1 3	拡散板	
2 7 0 0	電子書籍	
2 7 0 1	筐体	20
2 7 0 3	筐体	
2 7 0 5	表示部	
2 7 0 7	表示部	
2 7 1 1	軸部	
2 7 2 1	電源	
2 7 2 3	操作キー	
2 7 2 5	スピーカ	
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	30
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	
4 0 0 6	基板	
4 0 0 8	液晶層	
4 0 1 0	薄膜トランジスタ	
4 0 1 1	薄膜トランジスタ	
4 0 1 3	液晶素子	
4 0 1 5	接続端子電極	
4 0 1 6	端子電極	
4 0 1 8	FPC	40
4 0 1 9	異方性導電膜	
4 0 2 0	絶縁層	
4 0 2 1	絶縁層	
4 0 3 0	画素電極層	
4 0 3 1	対向電極層	
4 0 3 2	絶縁層	
4 0 4 0	導電層	
4 0 4 1 a	絶縁層	
4 0 4 1 b	絶縁層	
4 0 4 2 a	絶縁層	50

4 0 4 2 b	絶縁層	
4 5 0 1	基板	
4 5 0 2	画素部	
4 5 0 3 a、4 5 0 3 b	信号線駆動回路	
4 5 0 4 a、4 5 0 4 b	走査線駆動回路	
4 5 0 5	シール材	
4 5 0 6	基板	
4 5 0 7	充填材	
4 5 0 9	薄膜トランジスタ	10
4 5 1 0	薄膜トランジスタ	
4 5 1 1	発光素子	
4 5 1 2	電界発光層	
4 5 1 3	電極層	
4 5 1 5	接続端子電極	
4 5 1 6	端子電極	
4 5 1 7	電極層	
4 5 1 8 a、4 5 1 8 b	F P C	
4 5 1 9	異方性導電膜	
4 5 2 0	隔壁	
4 5 4 0	導電層	20
4 5 4 1 a	絶縁層	
4 5 4 1 b	絶縁層	
4 5 4 2 a	絶縁層	
4 5 4 2 b	絶縁層	
4 5 4 3	絶縁層	
4 5 4 4	絶縁層	
5 3 0 0	基板	
5 3 0 1	画素部	
5 3 0 2	走査線駆動回路	
5 3 0 3	走査線駆動回路	30
5 3 0 4	信号線駆動回路	
5 3 0 5	タイミング制御回路	
5 6 0 1	シフトレジスタ	
5 6 0 2	スイッチング回路	
5 6 0 3	薄膜トランジスタ	
5 6 0 4	配線	
5 6 0 5	配線	
6 4 0 0	画素	
6 4 0 1	スイッチング用トランジスタ	40
6 4 0 2	発光素子駆動用トランジスタ	
6 4 0 3	容量素子	
6 4 0 4	発光素子	
6 4 0 5	信号線	
6 4 0 6	走査線	
6 4 0 7	電源線	
6 4 0 8	共通電極	
7 0 0 0	保護絶縁層	
7 0 0 1	T F T	
7 0 0 2	発光素子	
7 0 0 3	陰極	50

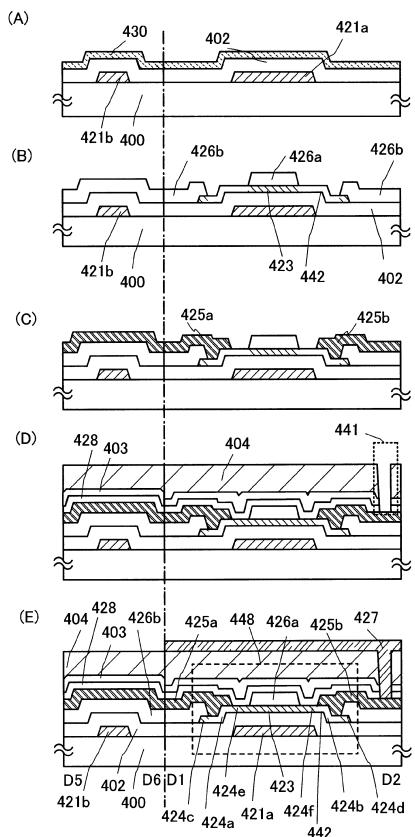
7 0 0 4	発光層	
7 0 0 5	陽極	
7 0 0 6	絶縁層	
7 0 0 7	平坦化絶縁層	
7 0 0 9	隔壁	
7 0 1 1	発光素子駆動用 TFT	
7 0 1 2	発光素子	
7 0 1 3	陰極	
7 0 1 4	発光層	
7 0 1 5	陽極	10
7 0 1 6	遮蔽膜	
7 0 1 7	導電膜	
7 0 2 1	発光素子駆動用 TFT	
7 0 2 2	発光素子	
7 0 2 3	陰極	
7 0 2 4	発光層	
7 0 2 5	陽極	
7 0 2 7	導電膜	
9 2 0 1	表示部	
9 2 0 2	表示ボタン	20
9 2 0 3	操作スイッチ	
9 2 0 4	バンド部	
9 2 0 5	調節部	
9 2 0 6	カメラ部	
9 2 0 7	スピーカ	
9 2 0 8	マイク	
9 3 0 1	上部筐体	
9 3 0 2	下部筐体	
9 3 0 3	表示部	
9 3 0 4	キーボード	30
9 3 0 5	外部接続ポート	
9 3 0 6	ポインティングデバイス	
9 3 0 7	表示部	
9 6 0 0	テレビジョン装置	
9 6 0 1	筐体	
9 6 0 3	表示部	
9 6 0 5	スタンド	
9 6 0 7	表示部	
9 6 0 9	操作キー	
9 6 1 0	リモコン操作機	40
9 7 0 0	デジタルフォトフレーム	
9 7 0 1	筐体	
9 7 0 3	表示部	
9 8 8 1	筐体	
9 8 8 2	表示部	
9 8 8 3	表示部	
9 8 8 4	スピーカ部	
9 8 8 5	入力手段（操作キー）	
9 8 8 6	記録媒体挿入部	
9 8 8 7	接続端子	50

9 8 8 8	センサ
9 8 8 9	マイクロフォン
9 8 9 0	L E D ランプ
9 8 9 1	筐体
9 8 9 3	連結部
9 9 0 0	スロットマシン
9 9 0 1	筐体
9 9 0 3	表示部

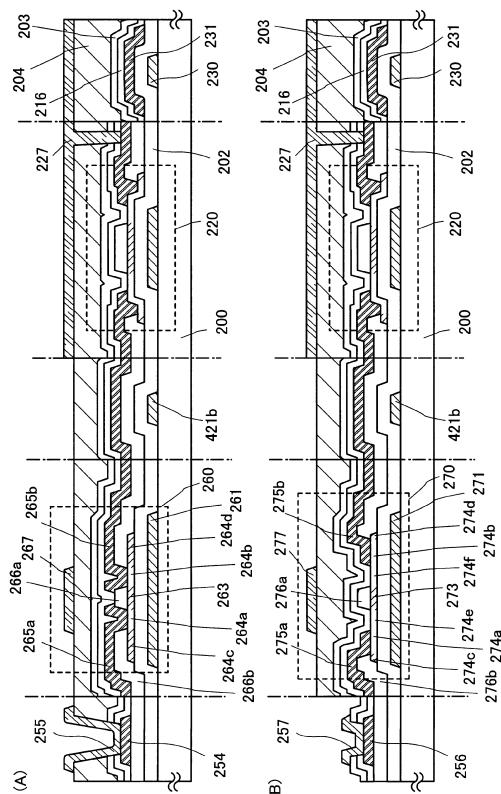
【図1】



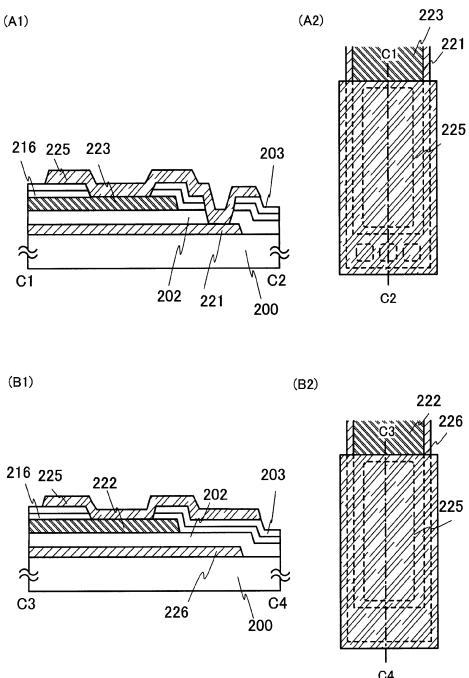
【図2】



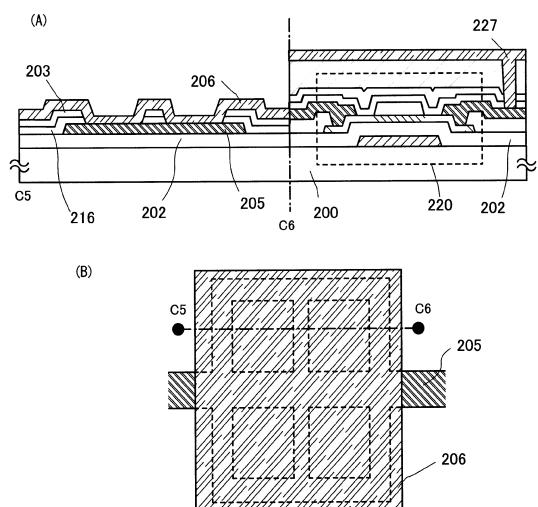
【 3 】



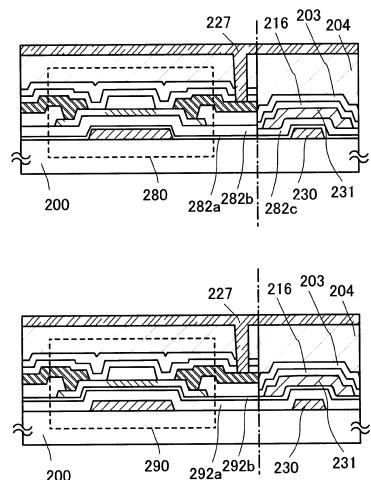
【図4】



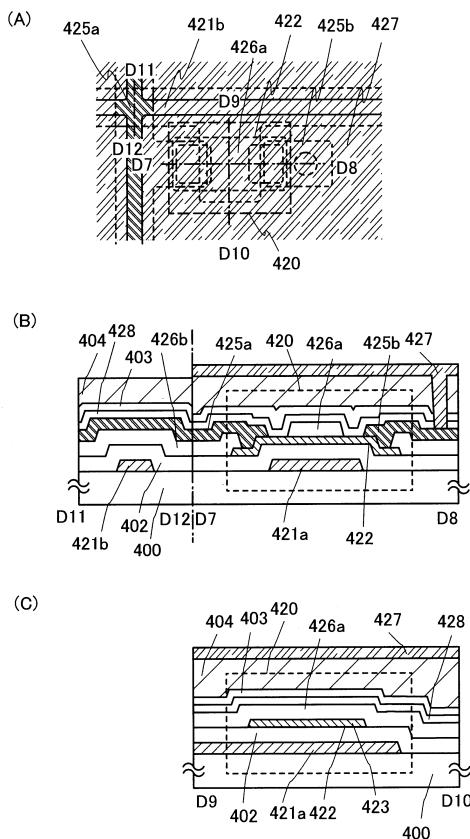
【 図 5 】



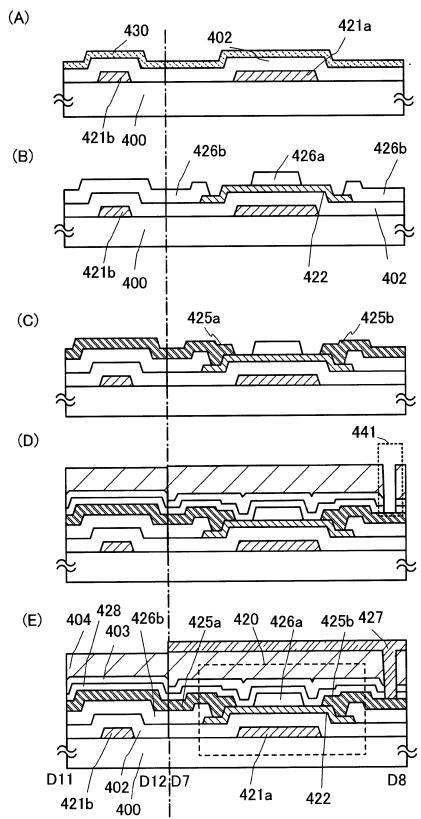
【図6】



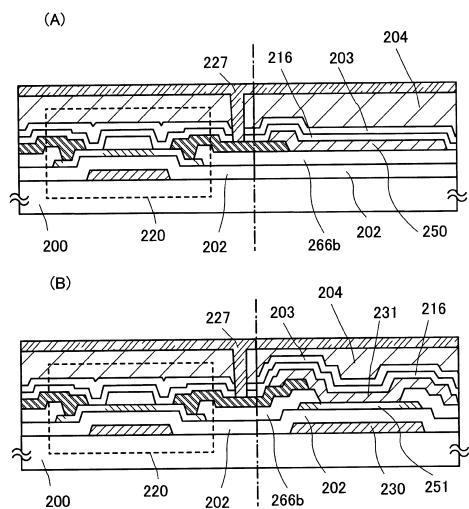
【図7】



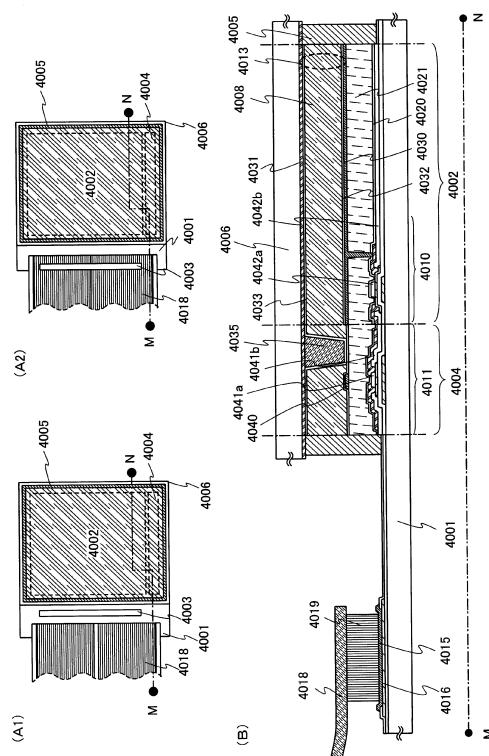
【圖 8】



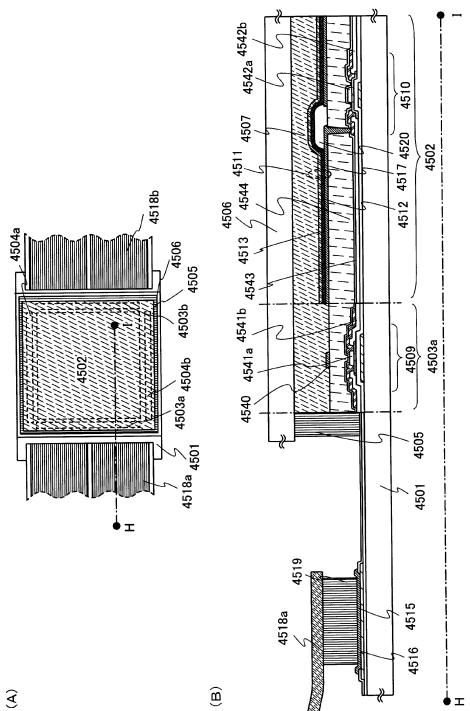
【 図 9 】



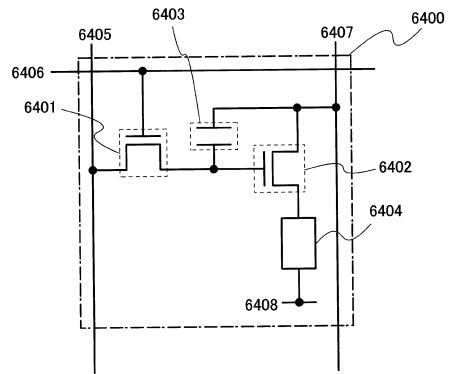
【 囮 1 0 】



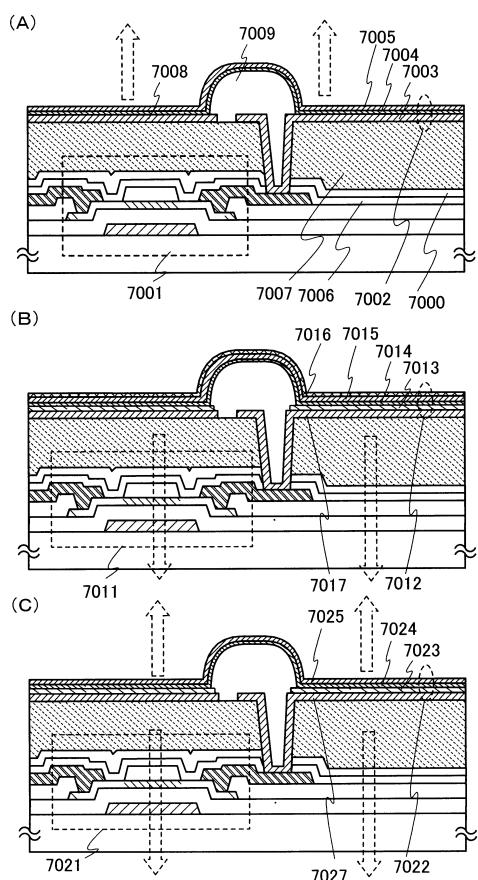
【図11】



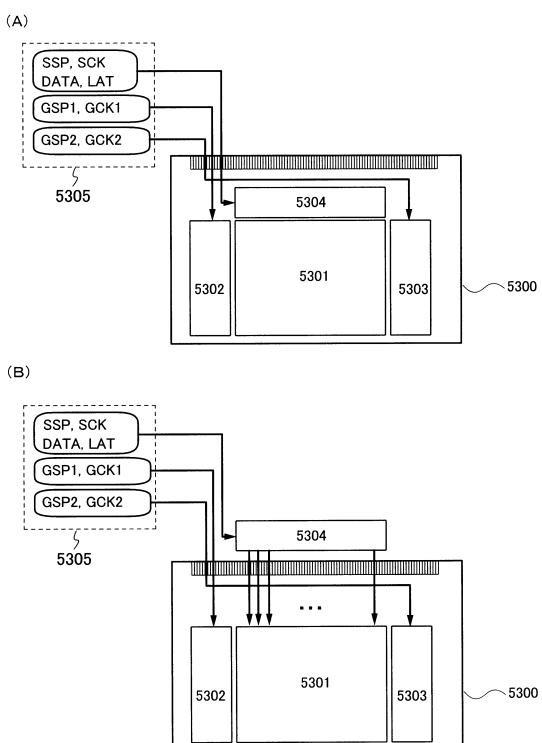
【図12】



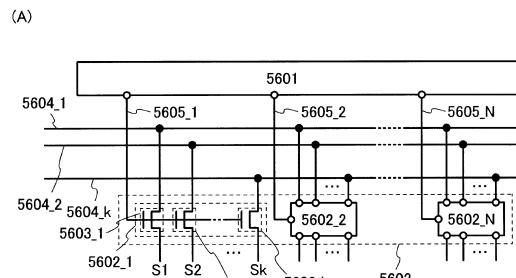
【図13】



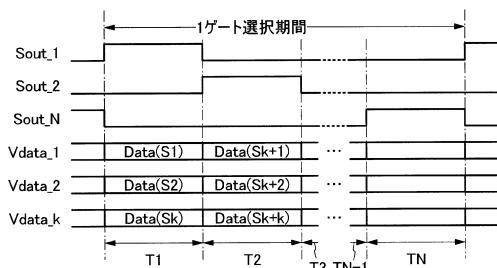
【図14】



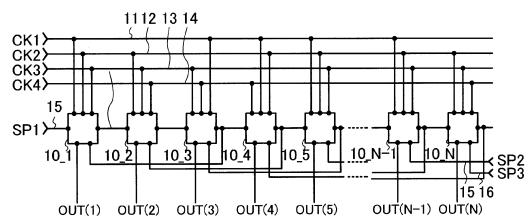
【図15】



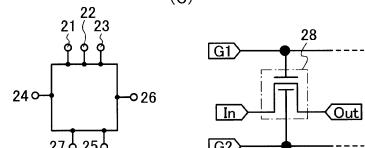
(B)



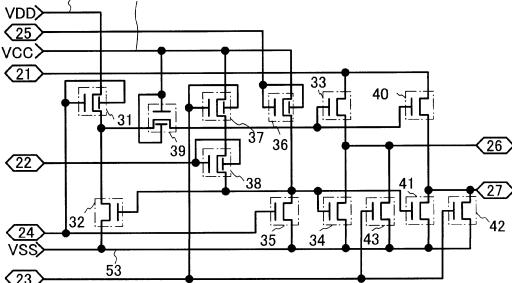
【図16】



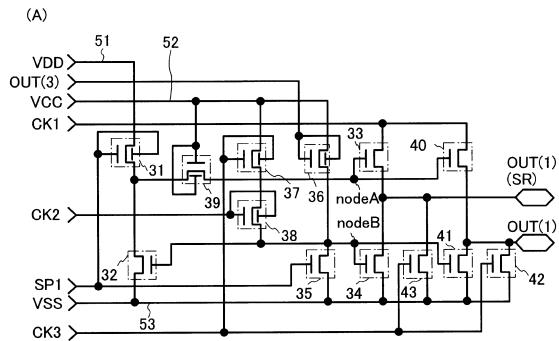
(B)



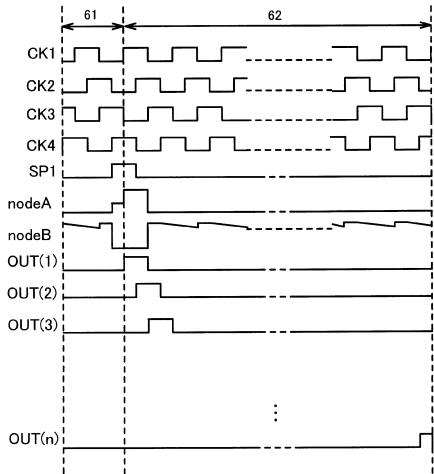
(D)



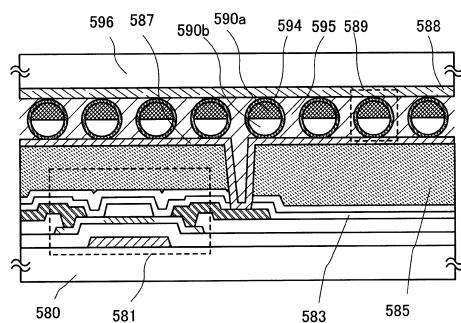
【図17】



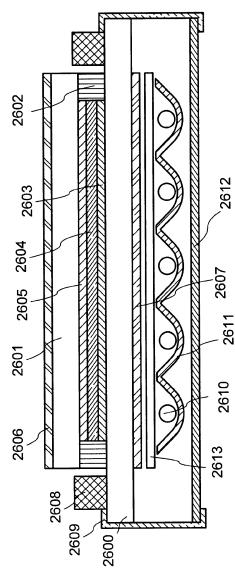
(B)



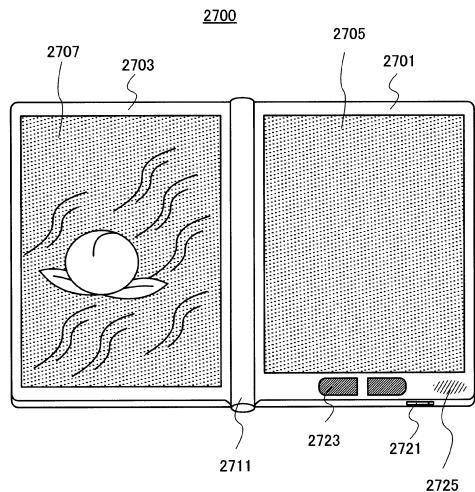
【図18】



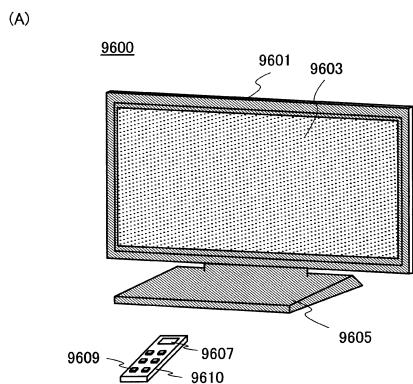
【図19】



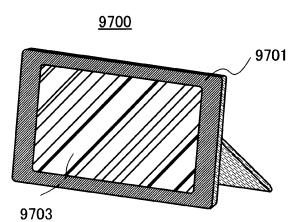
【図20】



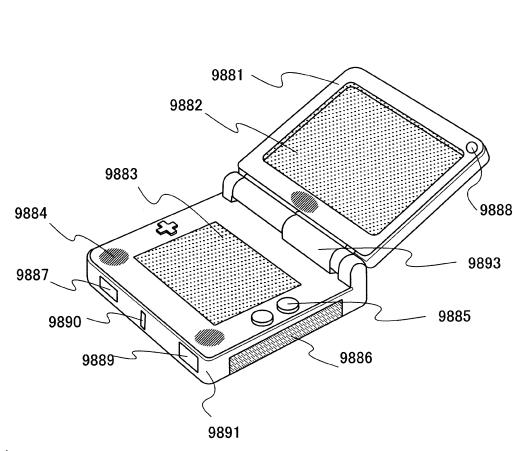
【図21】



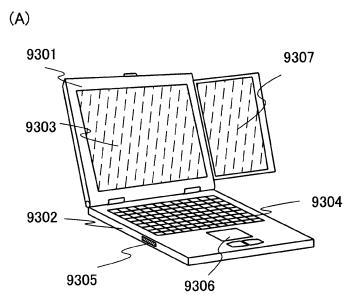
(B)



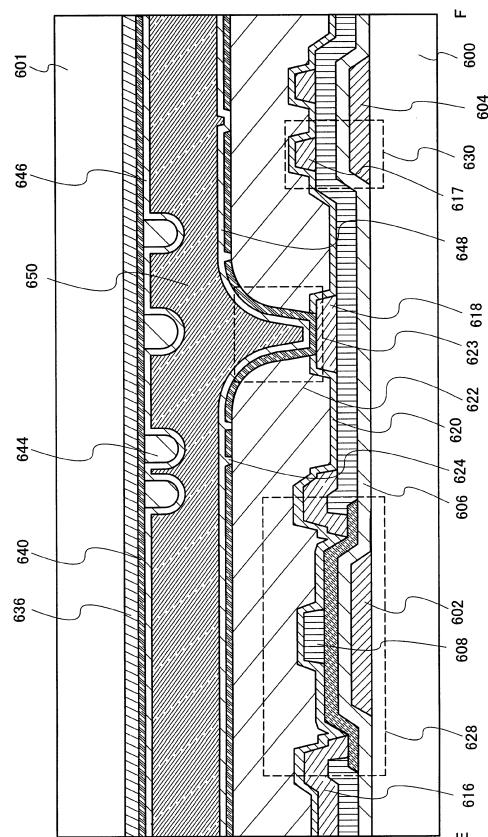
【図22】



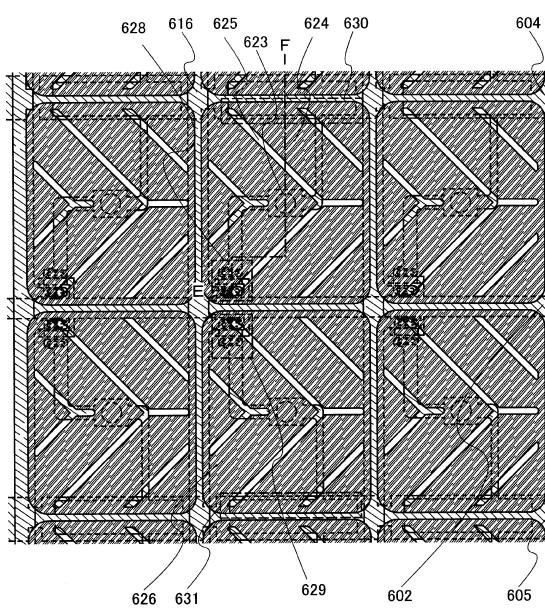
【図23】



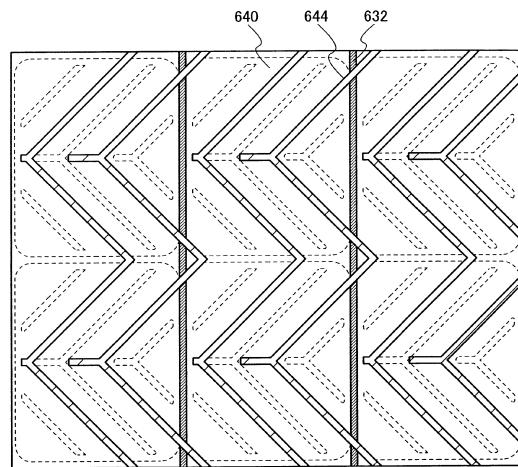
【図24】



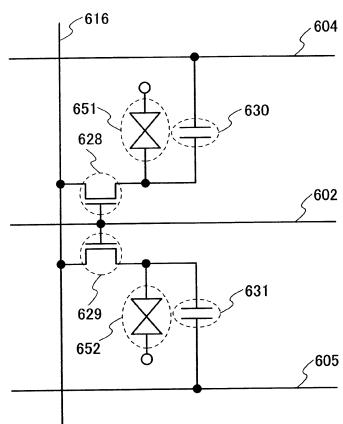
【図25】



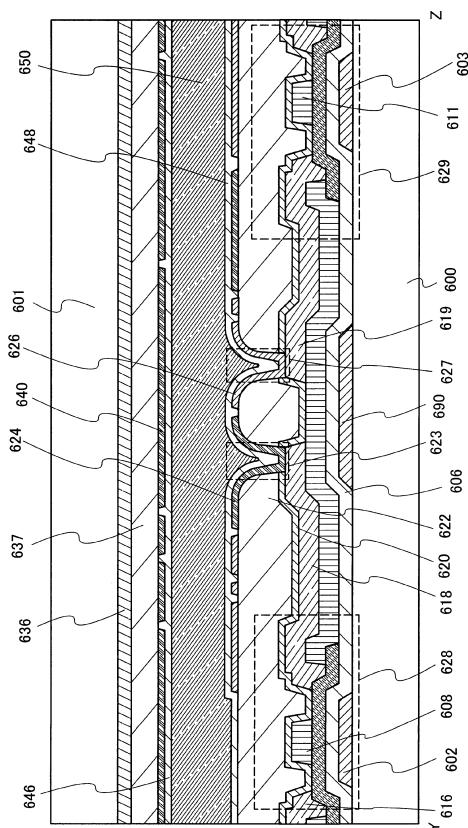
【図26】



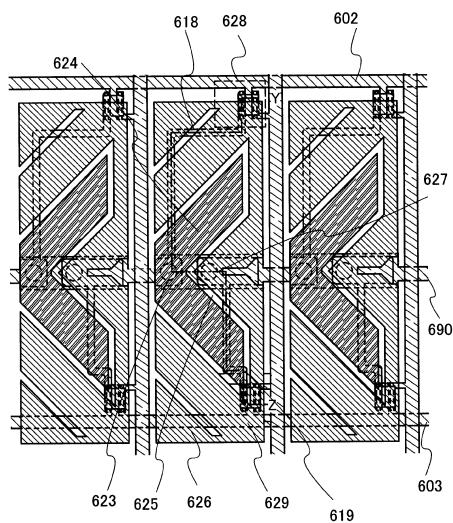
【図27】



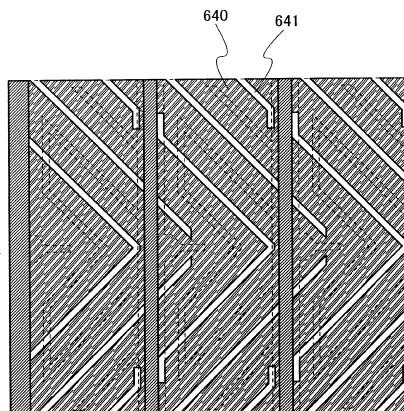
【 図 28 】



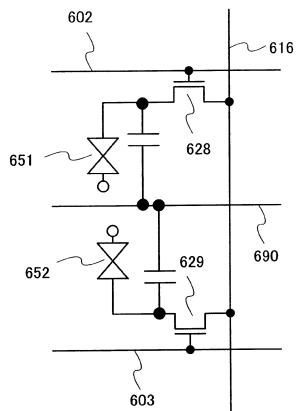
【図29】



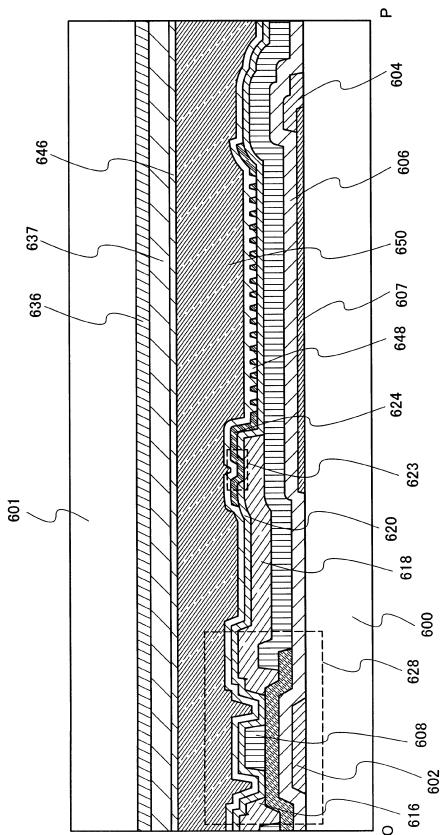
【図30】



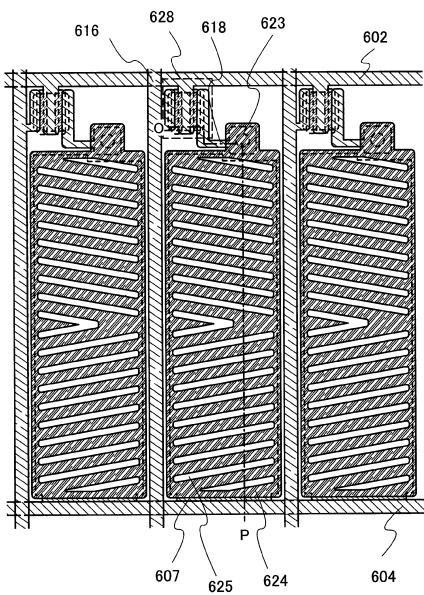
【図31】



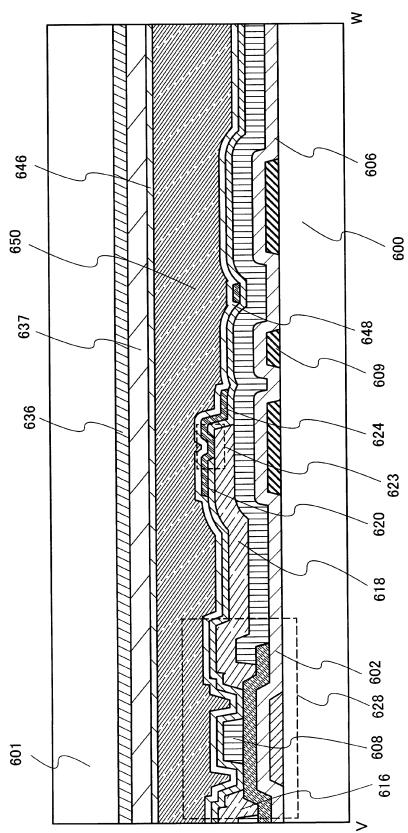
【図32】



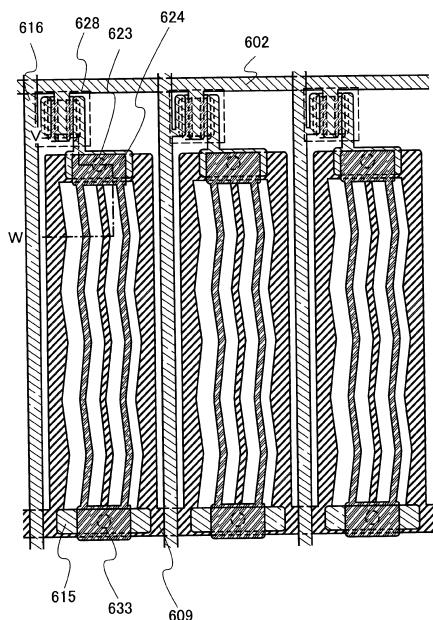
【図33】



【図34】



【図35】



フロントページの続き

審査官 鈴木 聰一郎

(56)参考文献 特開2006-100760(JP, A)

特開2009-135380(JP, A)

特開2006-332497(JP, A)

特開2001-085320(JP, A)

特開平09-139503(JP, A)

特開2009-010362(JP, A)

特開2009-272427(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336

H01L 29/786