

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 12 月 24 日(24.12.2014)



(10) 国際公開番号

WO 2014/203525 A1

- (51) 国際特許分類:
H03F 3/34 (2006.01) G01P 15/12 (2006.01)
G01P 3/44 (2006.01)
- (21) 国際出願番号: PCT/JP2014/003258
- (22) 国際出願日: 2014 年 6 月 17 日(17.06.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-128654 2013 年 6 月 19 日(19.06.2013) JP
- (71) 出願人: 旭化成エレクトロニクス株式会社
(ASAHI KASEI MICRODEVICES CORPORATION)
[JP/JP]; 〒1018101 東京都千代田区神田神保町一丁目 105 番地 Tokyo (JP).
- (72) 発明者: 小川 智彦(OGAWA, Tomohiko); 〒1018101 東京都千代田区神田神保町一丁目 105 番地 Tokyo (JP). 小泉 佳彦(KOIZUMI, Yoshihiko); 〒1018101 東京都千代田区神田神保町一丁目 105 番地 Tokyo (JP).
- (74) 代理人: 森 哲也, 外(MORI, Tetsuya et al.); 〒1056032 東京都港区虎ノ門四丁目 3 番 1 号 城

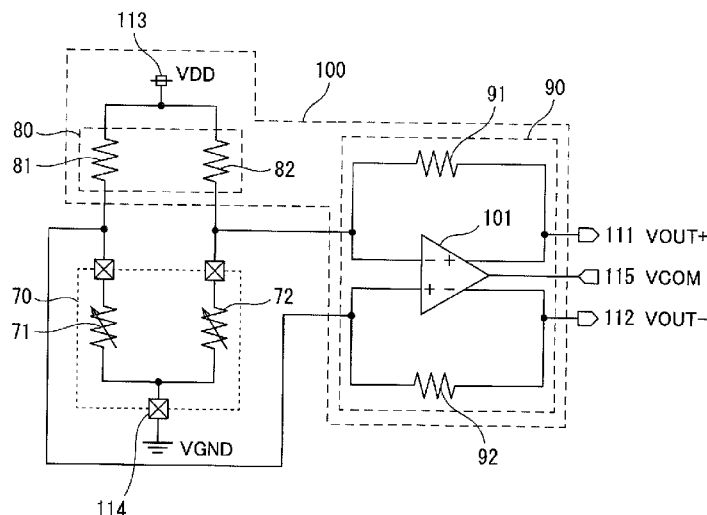
山トラストタワー 3 2 階 特許業務法人日栄国際特許事務所 Tokyo (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: AMPLIFIER CIRCUIT AND AMPLIFIER-CIRCUIT CHIP

(54) 発明の名称: 増幅回路及び増幅回路 IC チップ



(57) Abstract: This invention pertains to a low-noise, small-form-factor amplifier circuit and amplifier-circuit chip that reduce noise components, yielding a high signal-to-noise ratio. Said amplifier circuit (100), which is provided with a conversion unit (70) that converts a prescribed physical quantity to a resistance value, is designed so as to convert the resistance value from the conversion unit (70) to a voltage value and amplify same. The conversion unit (70) is provided with variable-resistance sensors (71, 72) comprising piezoresistive elements. A bias unit (80), which determines a bias current that flows through the conversion unit (70), is provided with bias resistances (81, 82). An output signal based on the bias unit (80) and the conversion unit (70) is used as an input signal for an operational-amplifier unit (90), which is provided with feedback resistances (91, 92) connected to the input and output terminals of a first operational amplifier (101). Said first operational amplifier (101) is a fully differential operational amplifier provided with a common-mode feedback circuit.

(57) 要約:

[続葉有]



WO 2014/203525 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

本発明は、ノイズ成分を低減して高 S/N 比や低ノイズかつ小面積となる増幅回路及び増幅回路 IC チップに関する。増幅回路 (100) は、所定の物理量を抵抗値に変換する変換部 (70) を備え、変換部 (70) により変換された抵抗値を電圧値に変換して増幅するように構成される。変換部 (70) は、ピエゾ抵抗素子からなる可変抵抗型センサ (71, 72) を備える。バイアス部 (80) は、変換部 (70) のバイアス電流を決定するもので、バイアス抵抗 (81, 82) を備える。演算増幅部 (90) は、バイアス部 (80) と変換部 (70) に基づく出力信号を入力信号とし、第 1 の演算増幅器 (101) の入出力端に接続されるフィードバック抵抗 (91, 92) を備え、第 1 の演算増幅器 (101) は、コモンモードフィードバック回路を備えた全差動演算増幅器である。

明 細 書

発明の名称：増幅回路及び増幅回路ＩＣチップ

技術分野

[0001] 本発明は、増幅回路及び増幅回路ＩＣチップに関し、より詳細には、所定の物理量を抵抗値に変換する可変抵抗を用い、この可変抵抗の抵抗値を電圧値に変換して増幅する増幅回路及び増幅回路ＩＣチップに関する。

背景技術

[0002] 従来から、オフセット調整機能付きのインスツルメンテーションアンプを有する出力増幅回路や加速度センサから出力される微小な差動出力電圧を、インスツルメンテーションアンプを有する出力増幅回路により増幅するセンサ装置は知られている。

また、例えば、特許文献１には、加速度センサなどから出力される微小な偏差電圧を増幅するインスツルメンテーション増幅器（*i n s t r u m e n t a t i o n a m p l i f i e r*；計装用増幅器）及びオフセット電圧調整回路を有する出力増幅回路を用いたセンサ装置が開示されている。

[0003] 図１は、特許文献１に記載されている従来の出力増幅回路及びそれを用いたセンサ装置を説明するための回路構成図である。この出力増幅回路は、ピエゾ抵抗などの所定の物理量を抵抗値に変換する可変抵抗を用いたセンサ技術で、可変抵抗の抵抗変化をホイートストンブリッジ回路２０により電圧信号に変換し、インスツルメンテーション増幅器５０により信号の増幅を行っている。

つまり、加速度センサ１０は、基準電圧 V_{REF} を入力する基準電圧入力端子１１とグラウンドとの間に接続されたホイートストンブリッジ回路２０により構成され、このホイートストンブリッジ回路２０は、４つのピエゾ抵抗素子２１乃至２４により構成され、これらの抵抗変化をブリッジ出力電圧の変化として検出し、差動出力電圧 V_{IP} 、 V_{IN} を出力増幅回路３０へ出力する。

[0004] また、出力増幅回路30は、オフセット電圧調整回路40と、オペアンプ51乃至53などで構成されたインスツルメンテーションアンプ50とを有しており、差動出力電圧V_{IP}を入力する第1の入力端子31、差動出力電圧V_{IN}を入力する第2の入力端子32、オフセット電圧V_{OFF IN}を入力する第1の電圧入力端子33、基準電圧V_{REF}の1/2電圧レベルであるインスツルメンテーションアンプ出力の基準電圧V_{COM}を入力する第2の電圧入力端子34、基準電圧V_{COM}を入力する基準電圧入力端子35及び増幅回路出力電圧V_{OUT}を出力する出力端子36と、出力側が入力端子33に接続されたオフセット電圧調整回路40と、入力側が入力端子31乃至34に接続されたインスツルメンテーションアンプ50とを有している。

先行技術文献

特許文献

[0005] 特許文献1：特開2006-174122号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、増幅された最終的なセンサ全体の出力信号のS/N比に効いてくるノイズ成分として、加速度センサ10だけでなく、この加速度センサ10に接続される第1の増幅器51と第2の増幅器52の入力部分のトランジスタが発生するノイズがある。インスツルメンテーションアンプ50は、センサに2個の増幅器が接続されているため、ノイズに効いてくる入力部分のトランジスタは2対である。そのため、従来の構成ではノイズが大きい。または、ノイズとトレードオフの関係にある回路面積や消費電流が大きい。

このように、上述した特許文献1のものは、可変抵抗の抵抗変化を電圧信号に変換し、信号の増幅を行う信号処理において、簡単な回路構成で、かつ、低ノイズを実現することが困難であった。

本発明は、このような問題を鑑みてなされたもので、その目的とするところは、ノイズ成分を低減して、かつ、簡素な回路構成の増幅回路及び増幅回

路 I C チップを提供することにある。

課題を解決するための手段

[0007] 本発明は、このような目的を達成するためになされたもので、以下の事項を特徴とする。

(1) 第1の可変抵抗型センサ(71)の一端に接続される第1のバイアス部(81)と、前記第1の可変抵抗型センサの他端と第2の可変抵抗型センサの他端とが接続され、前記第2の可変抵抗型センサ(72)の一端に接続される第2のバイアス部(82)と、前記第1の可変抵抗型センサの一端及び前記第2の可変抵抗型センサの一端からの出力電流をそれぞれ電圧へ変換して出力するI-V変換回路(90)と、を備えていることを特徴とする増幅回路である。

[0008] (2) 前記I-V変換回路(90)は、全差動演算増幅器(101)と、前記全差動演算増幅器の差動出力から差動入力へフィードバックするフィードバック抵抗(91, 92)とを有することを特徴とする。

(3) 前記第1の可変抵抗型センサの一端のノードの電圧と前記第2の可変抵抗型センサの一端のノードの電圧の平均値が所定の基準電圧となるように、前記第1の可変抵抗型センサの他端と前記第2の可変抵抗型センサの他端との接続点の電圧を制御する電圧制御回路(120)をさらに備えていることを特徴とする。

[0009] (4) 前記電圧制御回路(120)は、前記第1の可変抵抗型センサの他端と前記第2の可変抵抗型センサの他端との接続点に接続される電流源(124)と、前記電流源の電流の電流を制御する電流制御回路と、を有することを特徴とする。

(5) 前記電圧制御回路(120)は、前記第1の可変抵抗型センサの他端と前記第2の可変抵抗型センサの他端との接続点にドレインが接続される第1のトランジスタ(124)と、前記第1のトランジスタのゲート電圧を制御するゲート電圧制御回路と、を有することを特徴とする。

(6) 前記I-V変換回路(90)は、全差動演算増幅器と、前記全差動

演算増幅器の差動出力から差動入力へフィードバックするフィードバック抵抗とを有し、前記全差動演算増幅器のコモン電圧が、前記所定の基準電圧と同じ電圧であることを特徴とする。

[0010] (7) 前記第1のバイアス部が、第1のバイアス抵抗(81)であり、前記第2のバイアス部が、第2のバイアス抵抗(82)であることを特徴とする。

(8) 前記第1のバイアス抵抗、前記第2のバイアス抵抗、及び、前記フィードバック抵抗が同一材料の抵抗素子であることを特徴とする。

(9) 前記第1のバイアス抵抗の一端が前記第1の可変抵抗型センサの一端に接続され、前記第2のバイアス抵抗の一端が前記第2の可変抵抗型センサの一端に接続され、前記第1のバイアス抵抗の他端と前記第2のバイアス抵抗の他端とが接続され、前記第1のバイアス抵抗の他端と前記第2のバイアス抵抗の他端との接続点に第1の電圧が供給されることを特徴とする。

[0011] (10) 前記第1のバイアス部が第1の電流源であり、前記第2のバイアス部が第2の電流源であり、前記第1の電流源及び前記第2の電流源は、参照抵抗の抵抗値に反比例した電流を、前記第1の可変抵抗型センサ及び前記第2の可変抵抗型センサへそれぞれ供給することを特徴とする。

(11) 前記第1の可変抵抗型センサと前記第2の可変抵抗型センサの出力電流は、互いに逆の方向に変化することを特徴とする。

(12) 前記第1の可変抵抗型センサと前記第2の可変抵抗型センサは、ピエゾ抵抗であることを特徴とする。

[0012] (13) (1)～(12)のいずれか一項に記載の増幅回路と、角速度に応じて抵抗値が変化する前記第1の可変抵抗型センサ及び前記第2の可変抵抗型センサと、を備えた角速度検出回路であることを特徴とする。

(14) (1)～(12)のいずれか一項に記載の増幅回路と、加速度に応じて抵抗値が変化する前記第1の可変抵抗型センサ及び前記第2の可変抵抗型センサと、を備えた加速度検出回路であることを特徴とする。

[0013] (15) 第1の可変抵抗型センサの一端からの出力電流が入力される第1

PADと、第2の可変抵抗型センサの一端からの出力電流が入力される第2 PADと、前記前記第1の可変抵抗型センサの他端と前記第2の可変抵抗型センサの他端とが接続された接続点に所定の電圧を供給する第3 PADと、前記第1 PADに接続される第1のバイアス抵抗素子と、前記第2 PADに接続される第2のバイアス抵抗素子と、前記第1 PAD及び前記第2 PADからの出力電流をそれぞれ電圧へ変換するI-V変換回路と、を備えるセンサICチップであることを特徴とする。

(16) 前記第1 PADの電圧と前記第2 PADの電圧に基づいて、前記第3 PADの電圧を制御する電圧制御回路を備えることを特徴とする。

(17) 前記第3 PADにドレインが接続される第1のトランジスタを備え、前記電圧制御回路は、前記第1 PADの電圧と前記第2 PADの電圧に基づいて、前記第1のトランジスタのゲート電圧を制御することを特徴とする。

[0014] (18) 前記I-V変換回路は、I-V変換用抵抗素子を有し、前記第1のバイアス抵抗素子と、前記第2のバイアス抵抗素子と、前記I-V変換用抵抗素子が、半導体基板上に近接して配置されることを特徴とする。

(19) 前記第1の可変抵抗型センサと前記第2の可変抵抗型センサの出力電流は、互いに逆の方向に変化することを特徴とする。

(20) 前記第1の可変抵抗型センサと前記第2の可変抵抗型センサは、ピエゾ抵抗であることを特徴とする。

[0015] (21) (15)～(20)のいずれか一項に記載のセンサICチップと、角速度に応じて抵抗値が変化する前記第1の可変抵抗型センサ及び前記第2の可変抵抗型センサと、を備えた角速度検出装置であることを特徴とする。

(22) (15)～(20)のいずれか一項に記載のセンサICチップと、加速度に応じて抵抗値が変化する前記第1の可変抵抗型センサ及び前記第2の可変抵抗型センサと、を備えた加速度検出装置であることを特徴とする。

発明の効果

[0016] 本発明によれば、可変抵抗の抵抗変化を電圧信号に変換し、信号の増幅を行う信号処理において、低ノイズで、かつ、簡単な回路構成としている。

それによって、ノイズ成分を下げることができ、全体として高S/N比を達成できる。また、低ノイズかつ小面積かつ低消費電流となるセンサ回路も実現可能となる。

図面の簡単な説明

[0017] [図1]図1は、特許文献1に記載されている従来の出力増幅回路及びそれを用いたセンサ装置を説明するための回路構成図である。

[図2]図2は、本発明に係る増幅回路の実施形態1を説明するための回路構成図である。

[図3]図3は、本発明に係る増幅回路の実施形態2を説明するための回路構成図である。

[図4]図4は、本発明に係る増幅回路の実施形態3を説明するための回路構成図である。

[図5]図5は、本発明に係る増幅回路の実施形態4を説明するための回路構成図である。

[図6]図6は、本発明に係る増幅回路の実施形態5を説明するための回路構成図である。

[図7]図7は、本発明に係る増幅回路の実施形態6を説明するための回路構成図である。

[図8]図8は、本発明に係る増幅回路の実施形態7を説明するための回路構成図である。

発明を実施するための形態

[0018] 以下、図面を参照して本発明の各実施形態について説明する。

<実施形態1>

図2は、本発明に係る増幅回路の実施形態1を説明するための回路構成図である。図中符号70は変換部、71、72は可変抵抗型センサ、80はバ

ィアス部、８１，８２はバイアス抵抗、９０は演算増幅部、９１，９２はフィードバック抵抗、１００は増幅回路、１０１は第１の演算増幅器、１１１乃至１１５は端子を示している。

本発明の増幅回路１００は、所定の物理量を抵抗値に変換する変換部７０を備え、この変換部７０により変換された抵抗値を電圧値に変換して増幅するように構成されている増幅回路１００である。

[0019] 変換部７０は、第１の可変抵抗型センサ７１と、第２の可変抵抗型センサ７２からなっている。この可変抵抗型センサ７１，７２は、piezo抵抗素子であることが好ましい。また、可変抵抗型センサ７１，７２は、他端同士が接続された共通接続点を有し、その共通接続点が所定の電位に設定されている。例えば、リファレンス電圧や電源電圧（VDD）に設定される形態や、共通接続点が接地（VGN D）に接続される形態、電圧制御回路によって電圧が制御される形態等が挙げられる。後述する各実施形態（実施形態２～７）においても同様である。

また、バイアス部８０は、変換部７０のバイアス電流を決定するもので、バイアス抵抗８１，８２、つまり、第１及び第２のバイアス素子８１，８２を備えている。

[0020] また、演算増幅部９０は、バイアス部８０と変換部７０に基づく出力信号を入力信号とする。具体的には、変換部７０からの出力電流を電圧に変換して出力する。また、第１の演算増幅器１０１を備え、この第１の演算増幅器１０１の入出力端に接続されるフィードバック抵抗９１，９２を備えている。この第１の演算増幅器１０１は、コモンモードフィードバック回路を備えた全差動演算増幅器である。

つまり、本実施形態１の増幅回路１００は、可変抵抗型センサ７１，７２をVGN D側に接続した増幅回路で、可変抵抗型センサ７１，７２のバイアス電流を決定する素子としてバイアス抵抗８１，８２を備えている。また、抵抗９１，９２は、信号の増幅度を決定するフィードバック抵抗であり、可変抵抗型センサ７１，７２の信号が小さいため、例えば、可変抵抗型センサ

7 1, 7 2 の抵抗値の数 1 0 倍の抵抗値に設定する。

[0021] 次に、本実施形態 1 の増幅回路の動作について説明する。

可変抵抗型センサ 7 1, 7 2 の入力がないときの抵抗値を R_S 、バイアス抵抗 8 1, 8 2 の抵抗値を R_B 、フィードバック抵抗 9 1, 9 2 の抵抗値を R_F と設定する。また、全差動演算増幅器のコモンモードフィードバック回路 1 0 1 により設定された出力端子 1 1 5 のコモン電圧値を V_{COM} とする。また、可変抵抗型センサ 7 1, 7 2 にそれぞれ流れる電流値を I_S とする。このときの電流値 I_S の式 (1) を以下に示す。

[0022] [数1]

$$I_S = \frac{R_F \times (V_{DD} - V_{GND}) + R_B \times (V_{COM} - V_{GND})}{R_B \times R_F + R_F \times R_S + R_B \times R_S} \dots (1)$$

[0023] ここで R_F は R_S の数 1 0 倍の値に設定されており、 R_F が R_S 、 R_B の数 1 0 倍の抵抗値であるとする式 (1) は、下記の式 (2) に近似できる。

[0024] [数2]

$$I_S \cong \frac{(V_{DD} - V_{GND})}{(R_B + R_S)} \dots (2)$$

[0025] 式 (2) から、 R_S がセンサにより決められた値であることより、端子 1 1 3 の電圧 V_{DD} と端子 1 1 4 の電圧 V_{GND} とバイアス抵抗 8 1, 8 2 の抵抗値 R_B により、センサに流す電流値を設定できることが分かる。

また、可変抵抗型センサ 7 1 に入力があるときその抵抗変化量が $+\Delta R$ 、可変抵抗型センサ 7 2 に入力があるときその抵抗変化量が $-\Delta R$ のとき、出力端子 1 1 1 と 1 1 2 の出力電圧を V_{OUT+} , V_{OUT-} とし、それらの差分の出力電圧を V_{OUT} とすると、その関係は以下の式 (3) になる。

[0026] [数3]

$$V_{OUT} = 2 \times \Delta R \times \frac{R_F}{R_S} \times \frac{R_F \times (V_{DD} - V_{GND}) + R_B \times (V_{COM} - V_{GND})}{(R_B \times R_F + R_F \times R_S + R_B \times R_S) - \frac{R_B + R_F}{R_S} \times \Delta R^2} \dots (3)$$

[0027] ここで R_F は R_S の数 1 0 倍の値に設定されており、 ΔR が微小であると

すると、式（３）は下記の（４）に近似できる。

[0028] [数4]

$$V_{OUT} \cong 2 \times \Delta R \times \frac{R_F}{R_S} \times \frac{(V_{DD} - V_{GND})}{(R_B + R_S)} \dots (4)$$

[0029] 式（４）より、増幅度は、フィードバック抵抗 91, 92 の抵抗値 R_F を可変抵抗型センサ 71, 72 の抵抗値 R_S の何倍にするかで決めることができる。

このように、本実施形態 1 の増幅回路 100 によれば、可変抵抗型センサ 71, 72 に入力があるときその抵抗変化量 $\pm \Delta R$ を簡単な回路構成を用いて増幅して電圧として出力することができる。

[0030] 以上のように、本実施形態 1 によれば、可変抵抗型センサの抵抗変化量を電圧信号に変換し、信号の増幅を行うのに簡単な回路構成で、かつ、ノイズ成分を下げることができる。それによって、全体として高 S/N 比や低ノイズかつ小面積となる増幅回路が実現可能である。

具体的には、本実施形態 1 は、可変抵抗型センサの出力電流を I-V 変換する形態であり、ノイズ成分への寄与が大きいセンサ信号の初段の入力部分のトランジスタが 1 対とすることが可能となる。従来の可変抵抗型センサの出力電圧を増幅するインストルメンテーションアンプを使う形態では入力部分のトランジスタが 2 対である。そのため、従来の構成と比較して、本実施形態 1 ではノイズ成分を低減することができる。同時に、ノイズとトレードオフの関係にある回路面積や消費電流も小さくすることが可能である。

[0031] <実施形態 2>

図 3 は、本発明に係る増幅回路の実施形態 2 を説明するための回路構成図である。図中符号 73, 74 は可変抵抗型センサ、83, 84 はバイアス抵抗を示している。その他、図 2 と同じ機能を有する構成要素には同一の符号を付してある。

本実施形態 2 の増幅回路 100 は、可変抵抗型センサ 73, 74 を端子 113 の VDD 側に接続した増幅回路である。

バイアス部 80 は、第 1 及び第 2 の可変抵抗型センサ 73, 74 のバイアス電流を決定するバイアス抵抗 83, 84 を備えている。なお、第 1 の演算増幅器 101 は、図 2 と同様にコモンモードフィードバック回路を備えた全差動演算増幅器である。

つまり、本実施形態 2 の増幅回路 100 は、可変抵抗型センサ 73, 74 を端子 113 の VDD 側に接続した増幅回路で、可変抵抗型センサ 73, 74 のバイアス電流を決定する素子として第 1 及び第 2 のバイアス素子 83, 84 を備えている。また、抵抗 91, 92 は、信号の増幅度を決定するフィードバック抵抗であり、可変抵抗型センサ 73, 74 の信号が小さいため、例えば、可変抵抗型センサ 73, 74 の抵抗値の数 10 倍の抵抗値に設定する。

[0032] 次に、本実施形態 2 の増幅回路の動作について説明する。

可変抵抗型センサ 73, 74 の入力がないときの抵抗値を RS、バイアス抵抗 83, 84 の抵抗値を RB、フィードバック抵抗 91, 92 の抵抗値を RF と設定する。また、全差動演算増幅器のコモンモードフィードバック回路 101 により設定された出力のコモン電圧値を VCOM とする。また、可変抵抗型センサ 73, 74 にそれぞれ流れる電流値を IS とする。このときの IS の式 (5) を以下に示す。

[0033] [数5]

$$IS = \frac{RF \times (VDD - VGND) + RB \times (VDD - VCOM)}{RB \times RF + RF \times RS + RB \times RS} \dots (5)$$

[0034] ここで RF は RS の数 10 倍の値に設定されており、RF が RS、RB の数 10 倍の抵抗値であるとする式 (5) は、下記の式 (6) に近似できる。

[0035] [数6]

$$IS \cong \frac{(VDD - VGND)}{(RB + RS)} \dots (6)$$

[0036] 式 (6) から、RS がセンサにより決められた値であることより、端子 1

13の電圧VDDと端子114の電圧VGNDとバイアス抵抗83, 84の抵抗値RBにより、センサに流す電流値を設定できることが分かる。

また、可変抵抗型センサ73に入力があるときその抵抗変化量が $-\Delta R$ 、可変抵抗型センサ74に入力があるときその抵抗変化量が $+\Delta R$ のとき、出力端子111と112の出力電圧を V_{OUT+} , V_{OUT-} とし、それらの差分の出力電圧を V_{OUT} とすると、その関係は以下の式(7)になる。

[0037] [数7]

$$V_{OUT} = 2 \times \Delta R \times \frac{R_F}{R_S} \times \frac{R_F \times (V_{DD} - V_{GND}) + R_B \times (V_{DD} - V_{COM})}{(R_B \times R_F + R_F \times R_S + R_B \times R_S) - \frac{R_B + R_F}{R_S} \times \Delta R^2} \dots (7)$$

[0038] ここでRFはRSの数10倍の値に設定されており、 ΔR が微小であるとすると、式(7)は下記の(8)に近似できる。

[0039] [数8]

$$V_{OUT} \cong 2 \times \Delta R \times \frac{R_F}{R_S} \times \frac{(V_{DD} - V_{GND})}{(R_B + R_S)} \dots (8)$$

[0040] 式(8)より、増幅度は、フィードバック抵抗91, 92の抵抗値RFを可変抵抗型センサ73, 74の抵抗値RSの何倍にするかで決めることができる。

このように、本実施形態2の増幅回路100によれば、可変抵抗型センサ73, 74入力があるときその抵抗変化量 $\pm \Delta R$ を簡単な回路構成を用いて増幅して電圧として出力することができる。

[0041] 以上のように、本実施形態2によれば、可変抵抗型センサの抵抗変化量を電圧信号に変換し、信号の増幅を行うのに簡単な回路構成で、かつ、ノイズ成分を下げることができる。それによって、全体として高SN比や低ノイズかつ小面積となる増幅回路が実現可能である。

具体的には、本実施形態2は、可変抵抗型センサの出力電流をI-V変換する形態であり、ノイズ成分への寄与が大きいセンサ信号の初段の入力部分のトランジスタが1対とすることが可能となる。従来の可変抵抗型センサの出力電圧を増幅するインストルメンテーションアンプを使う形態では入力部

分のトランジスタが2対である。そのため、従来の構成と比較して、本実施形態1ではノイズ成分を低減することができる。同時に、ノイズとトレードオフの関係にある回路面積や消費電流も小さくすることが可能である。

[0042] <実施形態3>

図4は、本発明に係る増幅回路の実施形態3を説明するための回路構成図である。図中符号85, 86は第1の電流源を示している。なお、図2と同じ機能を有する構成要素には同一の符号を付してある。

本実施形態3の増幅回路100は、図2におけるバイアス抵抗81, 82を第1の電流源85, 86に置き換えた増幅回路である。

バイアス部80は、第1の電流源85, 86を備え、第1及び第2の可変抵抗型センサ71, 72のバイアス電流を決定する第1及び第2のバイアス素子85, 86を備えている。

また、演算増幅部90は、第1及び第2の可変抵抗型センサ71, 72の各出力信号を入力信号とする第1の演算増幅器101を備え、この第1の演算増幅器101は、コモンモードフィードバック回路を備えた全差動演算増幅器である。

つまり、本実施形態3の増幅回路100は、可変抵抗型センサ71, 72を端子114のV_{GND}側に接続した増幅回路で、可変抵抗型センサ71, 72のバイアス電流を決定する素子として第1の電流源85, 86を備えている。また、抵抗91, 92は、信号の増幅度を決定するフィードバック抵抗であり、可変抵抗型センサ71, 72の信号が小さいため、例えば、可変抵抗型センサ71, 72の抵抗値の数10倍の抵抗値に設定する。

[0043] 次に、本本実施形態3の増幅回路の動作について説明する。

可変抵抗型センサ71, 72の入力がないときの抵抗値をR_S、第1の電流源85, 86の電流値をI_B、フィードバック抵抗91, 92の抵抗値をR_Fと設定する。また、全差動演算増幅器のコモンモードフィードバック回路101により設定された出力のコモン電圧値をV_{COM}とする。また、可変抵抗型センサ71, 72にそれぞれ流れる電流値をI_Sとする。このとき

の I_S の式 (9) を以下に示す。

[0044] [数9]

$$I_S = \frac{R_F \times I_B + (V_{COM} - V_{GND})}{R_F + R_S} \dots (9)$$

[0045] ここで R_F は R_S の数 10 倍の値に設定されており、 R_F が R_S の数 10 倍の抵抗値であるとするとき式 (9) は、下記の式 (10) に近似できる。

[0046] [数10]

$$I_S \cong I_B \dots (10)$$

[0047] 式 (10) から、第 1 の電流源 85、86 の電流値 I_B により、センサに流す電流値を設定できることが分かる。

また、可変抵抗型センサ 71 に入力があるときその抵抗変化量が $+\Delta R$ 、可変抵抗型センサ 72 に入力があるときその抵抗変化量が $-\Delta R$ のとき、出力端子 111 と 112 の出力電圧を V_{OUT+} 、 V_{OUT-} とし、それらの差分の出力電圧を V_{OUT} とすると、その関係は以下の式 (11) になる。

[0048] [数11]

$$V_{OUT} = 2 \times \Delta R \times \frac{R_F}{R_S} \times \frac{R_F \times I_B + (V_{COM} - V_{GND})}{(R_F + R_S) - \frac{\Delta R^2}{R_S}} \dots (11)$$

[0049] ここで R_F は R_S の数 10 倍の値に設定されており、 ΔR が微小であるとするとき

式 (11) は、下記の (12) に近似できる。

[0050] [数12]

$$V_{OUT} \cong 2 \times \Delta R \times \frac{R_F}{R_S} \times I_B \dots (12)$$

[0051] 式 (12) より、増幅度は、フィードバック抵抗 91、92 の抵抗値 R_F を可変抵抗型センサ 71、72 の抵抗値 R_S の何倍にするかで決めることができる。

このように、本実施形態 3 の増幅回路 100 によれば、可変抵抗型センサ

71, 72に入力があるときその抵抗変化量 $\pm \Delta R$ を簡単な回路構成を用いて増幅して電圧として出力することができる。

[0052] 以上のように、本実施形態3によれば、可変抵抗型センサの抵抗変化量を電圧信号に変換し、信号の増幅を行うのに簡単な回路構成で、かつ、ノイズ成分を下げることができる。それによって、全体として高SN比や低ノイズかつ小面積となるセンサ回路が実現可能である。

具体的には、本実施形態3は、可変抵抗型センサの出力電流をI-V変換する形態であり、ノイズ成分への寄与が大きいセンサ信号の初段の入力部分のトランジスタが1対とすることが可能となる。従来の可変抵抗型センサの出力電圧を増幅するインストルメンテーションアンプを使う形態では入力部分のトランジスタが2対である。そのため、従来の構成と比較して、本実施形態3ではノイズ成分を低減することができる。同時に、ノイズとトレードオフの関係にある回路面積や消費電流も小さくすることが可能である。

[0053] <実施形態4>

図5は、本発明に係る増幅回路の実施形態4を説明するための回路構成図である。図中符号87, 88は第2の電流源を示している。なお、図3と同じ機能を有する構成要素には同一の符号を付してある。

本実施形態4の増幅回路100は、図3におけるバイアス抵抗83, 84を第2の電流源87, 88に置き換え、可変抵抗型センサを端子113のVDD側に接続した増幅回路である。

また、演算増幅部90は、第1及び第2の可変抵抗型センサ73, 74の各出力信号を入力信号とする第1の演算増幅器101を備え、この第1の演算増幅器101は、コモンモードフィードバック回路を備えた全差動演算増幅器である。

つまり、本実施形態4の増幅回路100は、可変抵抗型センサ73, 74を端子113のVDD側に接続した増幅回路で、可変抵抗型センサ73, 74のバイアス電流を決定する素子として第2の電流源87, 88を備えている。また、抵抗91, 92は、信号の増幅度を決定するフィードバック抵抗

であり、可変抵抗型センサ 73, 74 の信号が小さいため、例えば、可変抵抗型センサ 73, 74 の抵抗値の数 10 倍の抵抗値に設定する。

[0054] 次に、本実施形態 4 の増幅回路の動作について説明する。

可変抵抗型センサ 73, 74 の入力がないときの抵抗値を R_S 、第 2 の電流源 87, 88 の電流値を I_B 、フィードバック抵抗 91, 92 の抵抗値を R_F と設定する。また、全差動演算増幅器のコモンモードフィードバック回路 101 により設定された出力のコモン電圧値を V_{COM} とする。また、可変抵抗型センサ 73, 74 にそれぞれ流れる電流値を I_S とする。このときの I_S の式 (13) を以下に示す。

[0055] [数13]

$$I_S = \frac{R_F \times I_B + (V_{DD} - V_{COM})}{R_F + R_S} \dots (13)$$

[0056] ここで R_F は R_S の数 10 倍の値に設定されており、 R_F が R_S の数 10 倍の抵抗値であるとするとき式 (13) は、下記の式 (14) に近似できる。

[0057] [数14]

$$I_S \cong I_B \dots (14)$$

[0058] 式 (14) から、第 2 の電流源 87, 88 の電流値 I_B により、センサに流す電流値を設定できることが分かる。

また、可変抵抗型センサ 73 に入力があるときその抵抗変化量が $-\Delta R$ 、可変抵抗型センサ 74 に入力があるときその抵抗変化量が $+\Delta R$ のとき、出力端子 111 と 112 の出力電圧を V_{OUT+} , V_{OUT-} とし、それらの差分の出力電圧を V_{OUT} とすると、その関係は以下の式 (15) になる。

[0059] [数15]

$$V_{OUT} = 2 \times \Delta R \times \frac{R_F}{R_S} \times \frac{R_F \times I_B + (V_{DD} - V_{COM})}{(R_F + R_S) - \frac{\Delta R^2}{R_S}} \dots (15)$$

[0060] ここで R_F は R_S の数 10 倍の値に設定されており、 ΔR が微小であるとするとき、式 (15) は下記の (16) に近似できる。

[0061] [数16]

$$V_{OUT} \cong 2 \times \Delta R \times \frac{RF}{RS} \times IB \cdots (16)$$

[0062] 式(16)より、増幅度は抵抗91、92の抵抗値RFを可変抵抗型センサ73、74の抵抗値RSの何倍にするかで決めることができる。

このように、本実施形態4の増幅回路100によれば、可変抵抗型センサ73、74に入力があるときその抵抗変化量 $\pm \Delta R$ を簡単な回路構成を用いて増幅して電圧として出力することができる。

[0063] 以上のように、本実施形態4によれば、可変抵抗型センサの抵抗変化量を電圧信号に変換し、信号の増幅を行うのに簡単な回路構成で、かつ、ノイズ成分を下げることができる。それによって、全体として高SN比や低ノイズかつ小面積となる増幅回路が実現可能である。

具体的には、本実施形態4は、可変抵抗型センサの出力電流をI-V変換する形態であり、ノイズ成分への寄与が大きいセンサ信号の初段の入力部分のトランジスタが1対とすることが可能となる。従来の可変抵抗型センサの出力電圧を増幅するインストルメンテーションアンプを使う形態では入力部分のトランジスタが2対である。そのため、従来の構成と比較して、本実施形態4ではノイズ成分を低減することができる。同時に、ノイズとトレードオフの関係にある回路面積や消費電流も小さくすることが可能である。

[0064] <実施形態5>

図6は、本発明に係る増幅回路の実施形態5を説明するための回路構成図である。図中符号120は第1の電圧制御回路、121は平均値出力回路、122は第3の演算増幅器、124は第3の電流源を示している。なお、図2と同じ機能を有する構成要素には同一の符号を付してある。

本実施形態5の増幅回路100は、可変抵抗型センサ71、72の出力信号に基づいて、この可変抵抗型センサ71、72の他端同士が接続された接続点の電圧を制御する第1の電圧制御回路120を備えている。第1の電圧制御回路120は、第1の可変抵抗型センサの一端のノードの電圧と第2の

可変抵抗型センサの一端のノードの電圧の平均値が、所定の基準電圧となるように、前述の接続点の電圧を制御する。本実施形態5の増幅回路は、上述した実施形態1の増幅回路に第1の電圧制御回路120を追加した増幅回路である。

[0065] また、第1の電圧制御回路120は、全差動演算増幅器101の入力電圧の平均値を出力する平均値出力回路121と、第1の可変抵抗型センサの他端と第2の可変抵抗型センサの他端とが接続された接続点に接続される第3の電流源124と、第3の電流源124の電流を制御する第1の電流制御回路122と、を有する。

具体的には、第3の電流源は、前述の接続点にドレインが接続される第1のトランジスタであり、電流制御回路であるゲート電圧制御回路122が第1のトランジスタ124のゲート電圧を制御する。電流制御回路は、演算増幅器122であり、平均値出力回路121の出力信号と所定の基準電圧VREFを入力とする。

[0066] なお、図3に示した実施形態2においても同様に適用できるものである。つまり、第1の電圧制御回路120は、第1の可変抵抗型センサの他端と第2の可変抵抗型センサの他端とが接続された接続点に接続される第3の電流源124と、第3の電流源124の電流を制御する電流制御回路122とを備えているように構成することもできる。

また、本発明の増幅回路の実施形態5は、可変抵抗型センサ及び抵抗の温度特性と製造ばらつきによる感度の変化（同じセンサ入力に対する出力電圧の増幅度の変化）を低減する回路を追加した増幅回路である。

[0067] 平均値出力回路121は、全差動演算増幅器101の入力電圧の平均値を出力する回路で構成されている。第3の電流源124は、NMOSトランジスタで構成されている。

第3の電流源124は可変抵抗型センサ71，72の接続点に接続されている。

なお、バイアス抵抗81，82の接点に電流源124を接続し、可変抵抗

型センサ 71, 72 の接点を一定電圧とした場合、可変抵抗型センサ及び抵抗の温度特性と製造ばらつきによる感度の変化を低減する効果は得られない。

また、本実施形態 5 の増幅回路 100 は、上述した実施形態 1 の増幅回路に全差動演算増幅器 101 の入力電圧の平均値を V_{REF} の電圧値と等しくなるように制御する回路を追加した増幅回路である。この全差動演算増幅器 101 の入力電圧の平均値出力回路 121 の出力と端子 125 の V_{REF} を演算増幅器 122 により、仮想短絡することにより、全差動演算増幅器 101 の入力電圧が V_{REF} と等しくなるように制御される。

[0068] 次に、本実施形態 5 の増幅回路の動作について説明する。

可変抵抗型センサ 71, 72 の入力がないときの抵抗値を R_S 、バイアス抵抗 81, 82 の抵抗値を R_B 、フィードバック抵抗 91, 92 の抵抗値を R_F と設定する。また、全差動演算増幅器のコモンモードフィードバック回路 101 により設定された出力のコモン電圧値を V_{COM} とする。また、可変抵抗型センサ 71, 72 にそれぞれ流れる電流値を I_S とする。このときの I_S の式 (17) を以下に示す。

[0069] [数17]

$$I_S = \frac{V_{DD} - V_{REF}}{R_B} + \frac{V_{COM} - V_{REF}}{R_F} \dots (17)$$

[0070] ここで V_{REF} と V_{COM} の電圧値を等しい値に設定すると式 (18) になる。

[0071] [数18]

$$I_S = \frac{V_{DD} - V_{REF}}{R_B} \dots (18)$$

[0072] 式 (18) から、端子 113 の電圧 V_{DD} と端子 125 の電圧 V_{REF} とバイアス抵抗 81, 82 の抵抗値 R_B により、可変抵抗型センサ 71, 72 に流す電流値を設定できることが分かる。

また、可変抵抗型センサ 71 に入力があるときその抵抗変化量が $+\Delta R$ 、

可変抵抗型センサ 7 2 に入力があるときその抵抗変化量が $-\Delta R$ のとき、出力端子 1 1 1 と 1 1 2 の出力電圧を V_{OUT+} 、 V_{OUT-} とし、それらの差分の出力電圧を V_{OUT} とすると、その関係は以下の式 (19) になる。

[0073] [数19]

$$V_{OUT} = 2 \times \Delta R \times \frac{R_F}{R_S} \times \left(\frac{V_{DD} - V_{REF}}{R_B} + \frac{V_{COM} - V_{REF}}{R_F} \right) \dots (19)$$

[0074] ここで V_{REF} と V_{COM} の電圧値を等しい値に設定すると式 (20) になる。

[0075] [数20]

$$V_{OUT} = 2 \times \Delta R \times \frac{R_F}{R_S} \times \left(\frac{V_{DD} - V_{REF}}{R_B} \right) \dots (20)$$

[0076] 式 (20) より、増幅度は、フィードバック抵抗 9 1, 9 2 の抵抗値 R_F を可変抵抗型センサ 7 1, 7 2 の抵抗値 R_S の何倍にするかで決めることができる。

次に、可変抵抗型センサ及び抵抗の温度特性と製造ばらつきによる感度の変化の低減効果について説明する。

上述した式 (20) より、可変抵抗型センサ 7 1, 7 2 の入力がないときの抵抗値を R_S と、入力があるときの抵抗変化量 $\pm \Delta R$ の間に温度特性や製造ばらつきの相関があるとすると、 ΔR と分母の R_S で温度特性や製造ばらつきによる抵抗の変化が相殺される。また、バイアス抵抗 8 1, 8 2 の抵抗値 R_B と、フィードバック抵抗 9 1, 9 2 の抵抗値 R_F のマッチングをとれば、温度特性や製造ばらつきによる抵抗の変化が相殺される。これにより、可変抵抗型センサ及び抵抗の温度特性と製造ばらつきによる感度の変化を低減することができる。

[0077] 以上のように、本実施形態 5 によれば、可変抵抗型センサとバイアス抵抗とフィードバック抵抗の抵抗値の製造ばらつきと温度特性による感度変化を、可変抵抗型センサ以外の素子間のマッチングで低減することが可能である。これにより、可変抵抗型センサの製造ばらつきと温度特性にマッチングさ

せた抵抗を必要とせず、容易に製造可能である。

具体的には、上述した実施形態 1 よりも、可変抵抗型センサ、及び、増幅回路を構成する抵抗（バイアス抵抗やフィードバック抵抗）の製造ばらつきによる感度のばらつきや、温度特性による感度変動を抑えることが実現可能である。本実施形態 5 では、可変抵抗型センサの抵抗値と可変抵抗型センサの抵抗値変化分の温度変動が相殺され、バイアス抵抗とフィードバック抵抗の温度変動が相殺され、トータルとして、温度変動がキャンセルするように増幅回路が構成されている。製造バラつきについても同様である。

なお、本実施形態 5 において、トランジスタ 124 を演算増幅器 122 に内蔵してもよい。

[0078] <実施形態 6>

図 7 は、本発明に係る増幅回路の実施形態 6 を説明するための回路構成図である。図中符号 130 は第 2 の電流制御回路、131 は第 4 の電流源、132 は第 4 の演算増幅器、134 はリファレンス抵抗を示している。なお、図 4 と同じ機能を有する構成要素には同一の符号を付してある。

本実施形態 6 の増幅回路 100 は、バイアス部 80 を構成する第 1 の電流源 85、86 の電流値を制御する第 2 の電流制御回路 130 を備え、この第 2 の電流制御回路 130 は、第 4 の電流源 131 とリファレンス抵抗 134 とを備え、このリファレンス抵抗 134 に基づいて、バイアス部 80 のバイアス電流を生成し、第 1 の電流源 85、86 の電流値をリファレンス抵抗 134 の抵抗値に反比例した値に制御する。つまり、本実施形態 6 の増幅回路は、上述した実施形態 3 の増幅回路に第 2 の電流制御回路 130 を追加した増幅回路である。

[0079] なお、図 5 に示した実施形態 4 においても同様に適用できるものである。つまり、バイアス部 80 を構成する前記第 2 の電流源 87、88 の電流値を制御する第 2 の電流制御回路 130 を備えるように構成することもできる。

また、本実施形態 6 の増幅回路 100 は、可変抵抗型センサ及び抵抗の温度特性と製造ばらつきによる感度の変化（同じセンサ入力に対する出力電圧

の増幅度の変化)を低減する回路を追加した増幅回路である。

また、本実施形態6の増幅回路100は、リファレンス抵抗として抵抗134を備え、上述した実施形態3の増幅回路の第1の電流源85、86の電流値をリファレンス抵抗134の抵抗値に反比例した値に制御する回路を追加した増幅回路である。

[0080] 次に、本実施形態6による、可変抵抗型センサ及び抵抗の温度特性と製造ばらつきによる感度の変化の低減方法について説明をする。

リファレンス抵抗134の抵抗値を R_{REF} 、電流源131の電流値を I_{REF} とする。このとき第4の演算増幅器132により、電流源131の電流値は下記の式(21)のように制御される。

[0081] [数21]

$$I_{REF} = \frac{V_{REF}}{R_{REF}} \cdots (21)$$

[0082] また、第1の電流源85、86を第4の電流源131のカレントミラー回路で構成することにより、第1の電流源85、86の電流値を第4の電流源131の電流値 I_{REF} の定数倍(α 倍)の電流値に制御する。これにより式(12)は下記の式(22)になる。

[0083] [数22]

$$V_{OUT} \cong 2 \times \Delta R \times \frac{R_F}{R_S} \times \alpha \frac{V_{REF}}{R_{REF}} \cdots (22)$$

[0084] 式(22)より、可変抵抗型センサ71、72の入力がないときの抵抗値を R_S と、入力があるときの抵抗変化量 $\pm \Delta R$ の間に温度特性や製造ばらつきの相関があるとする、 ΔR と分母の R_S で温度特性や製造ばらつきによる抵抗の変化が相殺される。また、抵抗134の抵抗値 R_{REF} と、フィードバック抵抗91、92の抵抗値 R_F のマッチングをとれば、温度特性や製造ばらつきによる抵抗の変化が相殺される。これにより、可変抵抗型センサ及び抵抗の温度特性と製造ばらつきによる感度の変化を低減することができる。

[0085] 以上のように、本実施形態6によれば、可変抵抗型センサとバイアス抵抗とフィードバック抵抗の抵抗値の製造ばらつきと温度特性による感度変化を、可変抵抗型センサ以外の素子間のマッチングで低減することが可能である。これにより、可変抵抗型センサの製造ばらつきと温度特性にマッチングさせた抵抗を必要とせず、容易に製造可能である。

具体的には、上述した実施形態3よりも、可変抵抗型センサ、及び、増幅回路を構成する抵抗（バイアス抵抗やフィードバック抵抗）の製造ばらつきによる感度のばらつきや、温度特性による感度変動を抑えることが実現可能である。本実施形態6では、可変抵抗型センサの抵抗値と可変抵抗型センサの抵抗値変化分の温度変動が相殺され、バイアス抵抗とフィードバック抵抗の温度変動が相殺され、トータルとして、温度変動がキャンセルするように増幅回路が構成されている。製造バラつきについても同様である。

[0086] <実施形態7>

図8は、本発明に係る増幅回路の実施形態7を説明するための回路構成図である。図中符号102は第2の演算増幅器、93はフィードバック抵抗を示している。なお、図2と同じ機能を有する構成要素には同一の符号を付してある。

本実施形態7に増幅回路100は、可変抵抗型センサ71、72のうち片側のみの可変抵抗型センサ71又は72を第2の演算増幅器102に接続してシングルエンドの回路構成としている。

なお、図3に示した実施形態2においても同様に適用できるものである。つまり、可変抵抗型センサ73、74のうち片側のみの可変抵抗型センサ73又は74を第2の演算増幅器102に接続してシングルエンドの回路構成とすることも可能である。

[0087] つまり、本実施形態7の増幅回路100は、上述した実施形態1の全差動演算増幅器101を第4の演算増幅器102に置き換え、増幅度を決定するフィードバック抵抗91、92をフィードバック抵抗93に置き換え、全差動演算増幅器101の片側の入力端子を第2の演算増幅器102に接続した

増幅回路である。

上述したように、図 8 は、可変抵抗型センサ 7 2 側を第 2 の演算増幅器 1 0 2 に接続した増幅回路の回路構成図である。以降、可変抵抗型センサ 7 2 側を第 2 の演算増幅器 1 0 2 に接続した増幅回路で、本実施形態 7 の増幅回路の動作について説明する。

可変抵抗型センサ 7 1, 7 2 の入力がないときの抵抗値を R_S 、バイアス抵抗 8 1, 8 2 の抵抗値を R_B 、フィードバック抵抗 9 3 の抵抗値を R_F と設定する。また、可変抵抗型センサ 7 2 に流れる電流値を I_S とする。このときの I_S の式 (23) を以下に示す。

[0088] [数23]

$$I_S = \frac{V_{COM} - V_{GND}}{R_S} \dots (23)$$

[0089] 式 (23) から、 R_S がセンサにより決められた値であることより、端子 1 4 3 の電圧 V_{COM} と端子 1 1 4 の電圧 V_{GND} により、可変抵抗型センサ 7 2 に流す電流値を設定できることが分かる。

また、可変抵抗型センサ 7 2 に入力があるときその抵抗変化量が $+\Delta R$ のとき、出力端子 1 4 2 の出力電圧を V_{OUT} とするとその関係は、以下の式 (24) になる。

[0090] [数24]

$$V_{OUT} = -\frac{R_F \times (V_{COM} - V_{GND})}{R_S^2 - \Delta R^2} \Delta R + R_F \left\{ \frac{R_S \times (V_{COM} - V_{GND})}{R_S^2 - \Delta R^2} - \frac{V_{DD} - V_{COM}}{R_B} \right\} + V_{COM} \dots (24)$$

[0091] ここで ΔR が微小であるとし、 R_B を $R_B = (V_{DD} - V_{COM}) / (V_{COM} - V_{GND}) \times R_S$ と設定すると、式 (24) は下記の (25) に近似できる。

[0092] [数25]

$$V_{OUT} \cong -\frac{R_F \times (V_{COM} - V_{GND})}{R_S^2} \Delta R + V_{COM} \dots (25)$$

[0093] 式(25)より、増幅度は、フィードバック抵抗93の抵抗値 R_F を可変抵抗型センサ72の抵抗値 R_S の何倍にするかで決めることができる。

このように、本実施形態7の増幅回路100によれば、上述した実施形態1の全差動演算増幅器101を第2の演算増幅器102に置き換え、増幅度を決定するフィードバック抵抗91, 92を抵抗フィードバック93に置き換え、全差動演算増幅器101の片側の入力端子を第2の演算増幅器102に接続した回路でも、可変抵抗型センサ72に入力があるとき、その抵抗変化量 $\pm \Delta R$ を簡単な回路構成を用いて増幅して電圧として出力することができる。また、可変抵抗型センサ71側の端子を第2の演算増幅器102に接続した場合も同様である。また、接続しない側の可変抵抗型センサ71、バイアス抵抗81はなくて実現可能である。

[0094] 上述した各実施形態における可変抵抗型センサとしては、piezo抵抗素子などが挙げられる。また、上述した各実施形態において、電圧 V_{DD} としてレギュレーターにより生成された電圧を用いてもよい。

また、上述した各実施形態において、可変抵抗型センサと増幅回路とをPAD回路を介している例を挙げたが、可変抵抗型センサに、外付け用ICとして各実施形態の増幅回路を接続してもよく、可変抵抗型センサと増幅回路とを一体化してパッケージしてもよく、可変抵抗型センサと増幅回路とを一体化して1チップ化してもよい。

[0095] つまり、増幅回路ICチップは、第1の可変抵抗型センサの一端からの出力電流が入力される第1のPADと、第2の可変抵抗型センサの一端からの出力電流が入力される第2のPADと、前記第1の可変抵抗型センサの他端と第2の可変抵抗型センサの他端とが接続された接続点に所定の電圧を供給する第3のPADと、第1のPADに接続される第1のバイアス抵抗素子と、第2のPADに接続される第2のバイアス抵抗素子と、第1のPAD及び第2のPADからの出力電流をそれぞれ電圧へ変換するI-V変換回路とを備えている。

[0096] また、第1のPADの電圧と第2のPADの電圧に基づいて、第3のPA

Dの電圧を制御する制御回路を備えている。また、第3のPADにドレインが接続される第1のトランジスタを備え、制御回路は、第1のPADの電圧と第2のPADの電圧に基づいて、第1のトランジスタのゲート電圧を制御する。また、I-V変換回路は、I-V変換用抵抗素子を有し、第1のバイアス抵抗素子と、第2のバイアス抵抗素子と、I-V変換用抵抗素子が、半導体基板上に近接して配置されている。

また、第1の可変抵抗型センサと第2の可変抵抗型センサの出力電流は、互いに逆の方向に変化する。なお、第1の可変抵抗型センサと第2の可変抵抗型センサの抵抗値の変化は互いに逆の方向に変化する。

[0097] 本実施形態の増幅回路と、角速度に応じて抵抗値が変化する第1の可変抵抗型センサ及び第2の可変抵抗型センサと、を備えた角速度検出回路として構成してもよい。

本実施形態の増幅回路と、加速度に応じて抵抗値が変化する第1の可変抵抗型センサ及び第2の可変抵抗型センサと、を備えた加速度検出回路として構成してもよい。

本実施形態の増幅回路と、外部磁場に応じて抵抗値が変化する第1の可変抵抗型センサ及び第2の可変抵抗型センサと、を備えた磁場検出回路として構成してもよい。

なお、本実施形態において、第1のバイアス部（第1のバイアス抵抗、第1の電流源）は、第1の可変抵抗型センサに流れるバイアス電流を決定するものであり、第2のバイアス部（第2のバイアス抵抗、第2の電流源）は、第2の可変抵抗型センサに流れるバイアス電流を決定するものである。

符号の説明

- [0098] 10 加速度センサ
11 基準電圧入力端子
20 ホイートストンブリッジ回路
21乃至24 ピエゾ抵抗素子
30 出力増幅回路

- 3 1 第 1 の入力端子
- 3 2 第 2 の入力端子
- 3 3 第 1 の電圧入力端子
- 3 4 第 2 の電圧入力端子
- 3 5 基準電圧入力端子
- 3 6 出力端子
- 4 0 オフセット電圧調整回路
- 5 0 インストルメンテーション増幅器
- 5 1 乃至 5 3 オペアンプ
- 6 1 乃至 6 9 抵抗
- 7 0 変換部
- 7 1, 7 2, 7 3, 7 4 可変抵抗型センサ
- 8 0 バイアス部
- 8 1, 8 2, 8 3, 8 4 バイアス抵抗
- 8 5, 8 6 第 1 の電流源
- 8 7, 8 8 第 2 の電流源
- 9 0 $I-V$ 変換回路
- 9 1, 9 2, 9 3 フィードバック抵抗
- 1 0 0 増幅回路
- 1 0 1 第 1 の全差動演算増幅器
- 1 0 2 第 2 の演算増幅器
- 1 1 1, 1 1 2, 1 1 5 出力端子
- 1 1 3, 1 1 4 端子
- 1 2 0 第 1 の電圧制御回路
- 1 2 1 平均値出力回路
- 1 2 2 第 3 の演算増幅器
- 1 2 4 第 3 の電流源
- 1 3 0 第 2 の電流制御回路

- 1 3 1 第4の電流源
- 1 3 2 第4の演算増幅器
- 1 3 4 リファレンス抵抗

請求の範囲

- [請求項1] 第1の可変抵抗型センサの一端に接続される第1のバイアス部と、
前記第1の可変抵抗型センサの他端と第2の可変抵抗型センサの他端とが接続され、前記第2の可変抵抗型センサの一端に接続される第2のバイアス部と、
前記第1の可変抵抗型センサの一端及び前記第2の可変抵抗型センサの一端からの出力電流をそれぞれ電圧へ変換して出力するI-V変換回路と、
を備えている増幅回路。
- [請求項2] 前記I-V変換回路は、全差動演算増幅器と、前記全差動演算増幅器の差動出力から差動入力へフィードバックするフィードバック抵抗とを有する請求項1に記載の増幅回路。
- [請求項3] 前記第1の可変抵抗型センサの一端のノードの電圧と前記第2の可変抵抗型センサの一端のノードの電圧の平均値が所定の基準電圧となるように、前記第1の可変抵抗型センサの他端と前記第2の可変抵抗型センサの他端との接続点の電圧を制御する電圧制御回路をさらに備えている請求項1又は2に記載の増幅回路。
- [請求項4] 前記電圧制御回路は、前記第1の可変抵抗型センサの他端と前記第2の可変抵抗型センサの他端との接続点に接続される電流源と、前記電流源の電流を制御する電流制御回路と、を有する請求項3に記載の増幅回路。
- [請求項5] 前記電圧制御回路は、前記第1の可変抵抗型センサの他端と前記第2の可変抵抗型センサの他端との接続点にドレインが接続される第1のトランジスタと、前記第1のトランジスタのゲート電圧を制御するゲート電圧制御回路と、を有する請求項3又は4に記載の増幅回路。
- [請求項6] 前記I-V変換回路は、全差動演算増幅器と、前記全差動演算増幅器の差動出力から差動入力へフィードバックするフィードバック抵抗とを有し、

前記全差動演算増幅器のコモン電圧が、前記所定の基準電圧と同じ電圧である請求項 3 ～ 5 のいずれか一項に記載の増幅回路。

[請求項7] 前記第 1 のバイアス部が、第 1 のバイアス抵抗であり、
前記第 2 のバイアス部が、第 2 のバイアス抵抗である請求項 1 ～ 6 のいずれか一項に記載の増幅回路。

[請求項8] 前記第 1 のバイアス抵抗、前記第 2 のバイアス抵抗、及び、前記フィードバック抵抗が同一材料の抵抗素子である請求項 7 に記載の増幅回路。

[請求項9] 前記第 1 のバイアス抵抗の一端が前記第 1 の可変抵抗型センサの一端に接続され、
前記第 2 のバイアス抵抗の一端が前記第 2 の可変抵抗型センサの一端に接続され、
前記第 1 のバイアス抵抗の他端と前記第 2 のバイアス抵抗の他端とが接続され、
前記第 1 のバイアス抵抗の他端と前記第 2 のバイアス抵抗の他端との接続点に第 1 の電圧が供給される請求項 7 又は 8 に記載の増幅回路。

[請求項10] 前記第 1 のバイアス部が第 1 の電流源であり、前記第 2 のバイアス部が第 2 の電流源であり、
前記第 1 の電流源及び前記第 2 の電流源は、参照抵抗の抵抗値に反比例した電流を、前記第 1 の可変抵抗型センサ及び前記第 2 の可変抵抗型センサへそれぞれ供給する請求項 1 に記載の増幅回路。

[請求項11] 前記第 1 の可変抵抗型センサと前記第 2 の可変抵抗型センサの出力電流は、互いに逆の方向に変化する請求項 1 ～ 10 のいずれか一項に記載の増幅回路。

[請求項12] 前記第 1 の可変抵抗型センサと前記第 2 の可変抵抗型センサは、ピエゾ抵抗である請求項 1 ～ 11 のいずれか一項に記載の増幅回路。

[請求項13] 請求項 1 ～ 12 のいずれか一項に記載の増幅回路と、角速度に応じ

て抵抗値が変化する前記第1の可変抵抗型センサ及び前記第2の可変抵抗型センサと、を備えた角速度検出回路。

[請求項14] 請求項1～12のいずれか一項に記載の増幅回路と、加速度に応じて抵抗値が変化する前記第1の可変抵抗型センサ及び前記第2の可変抵抗型センサと、を備えた加速度検出回路。

[請求項15] 第1の可変抵抗型センサの一端からの出力電流が入力される第1PADと、

第2の可変抵抗型センサの一端からの出力電流が入力される第2PADと、

前記前記第1の可変抵抗型センサの他端と前記第2の可変抵抗型センサの他端とが接続された接続点に所定の電圧を供給する第3PADと、

前記第1PADに接続される第1のバイアス抵抗素子と、

前記第2PADに接続される第2のバイアス抵抗素子と、

前記第1PAD及び前記第2PADからの出力電流をそれぞれ電圧へ変換するI-V変換回路と、

を備えるセンサICチップ。

[請求項16] 前記第1PADの電圧と前記第2PADの電圧に基づいて、前記第3PADの電圧を制御する電圧制御回路を備える請求項15に記載のセンサICチップ。

[請求項17] 前記第3PADにドレインが接続される第1のトランジスタを備え、

前記電圧制御回路は、前記第1PADの電圧と前記第2PADの電圧に基づいて、前記第1のトランジスタのゲート電圧を制御する請求項16に記載のセンサICチップ。

[請求項18] 前記I-V変換回路は、I-V変換用抵抗素子を有し、

前記第1のバイアス抵抗素子と、前記第2のバイアス抵抗素子と、前記I-V変換用抵抗素子が、半導体基板上に近接して配置される請

求項 15～17 のいずれか一項に記載のセンサ IC チップ。

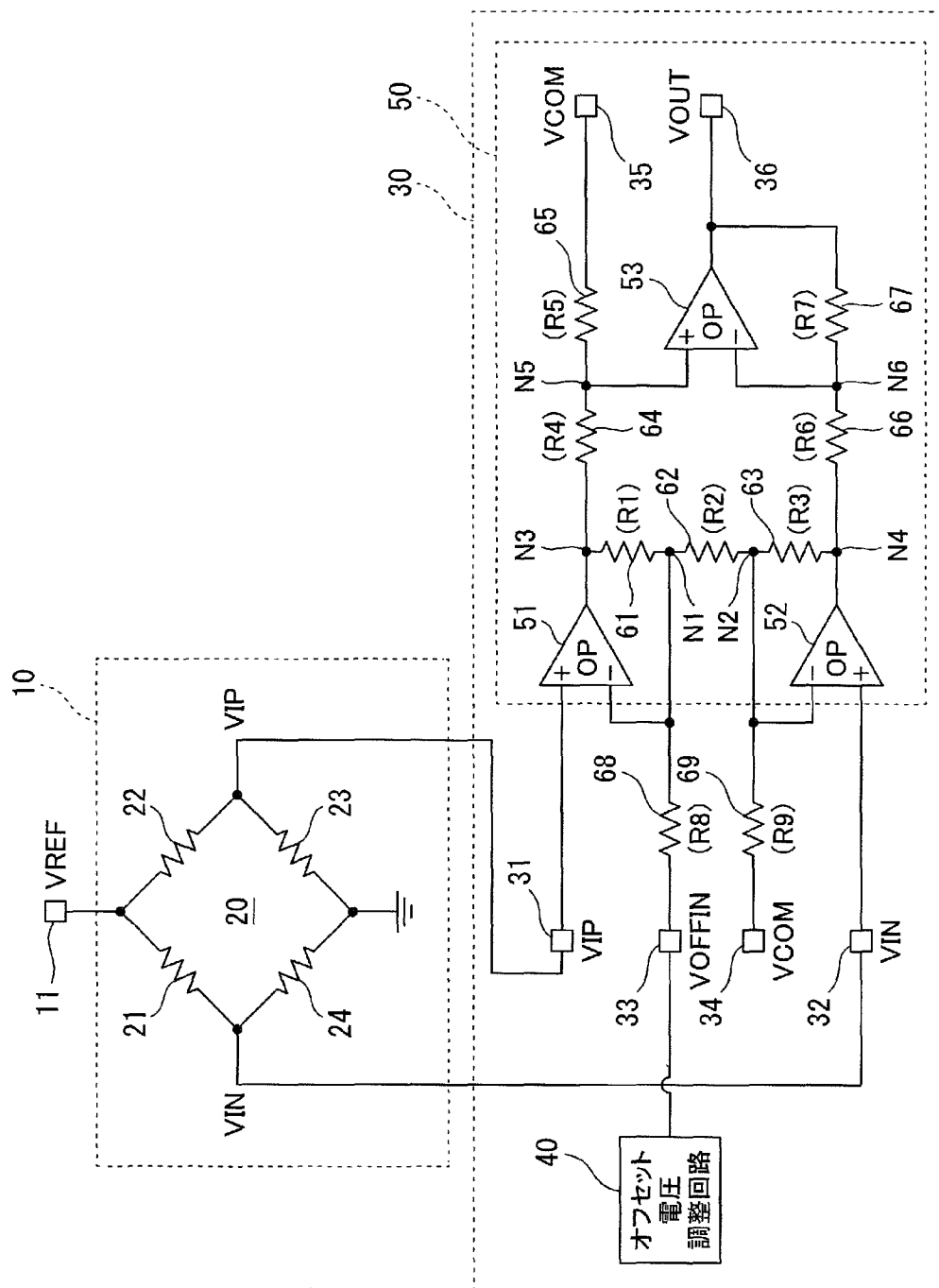
[請求項19] 前記第1の可変抵抗型センサと前記第2の可変抵抗型センサの出力電流は、互いに逆の方向に変化する請求項15～18のいずれか一項に記載のセンサ IC チップ。

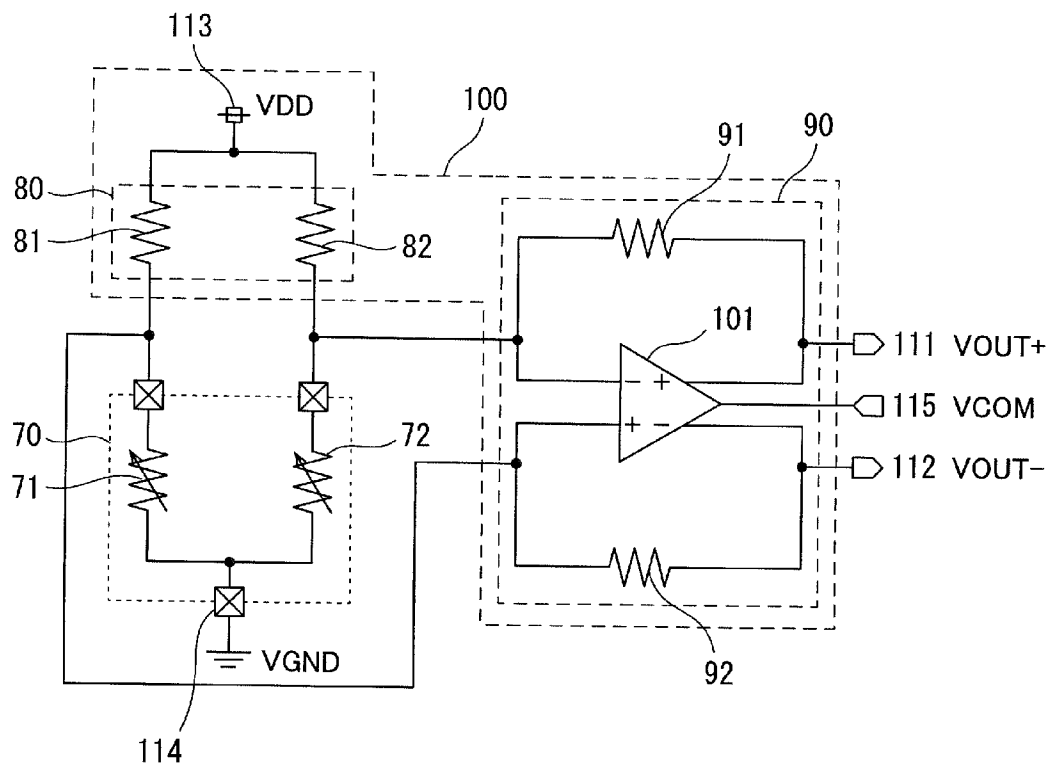
[請求項20] 前記第1の可変抵抗型センサと前記第2の可変抵抗型センサは、ピエゾ抵抗である請求項15～19のいずれか一項に記載のセンサ IC チップ。

[請求項21] 請求項15～20のいずれか一項に記載のセンサ IC チップと、角速度に応じて抵抗値が変化する前記第1の可変抵抗型センサ及び前記第2の可変抵抗型センサと、を備えた角速度検出装置。

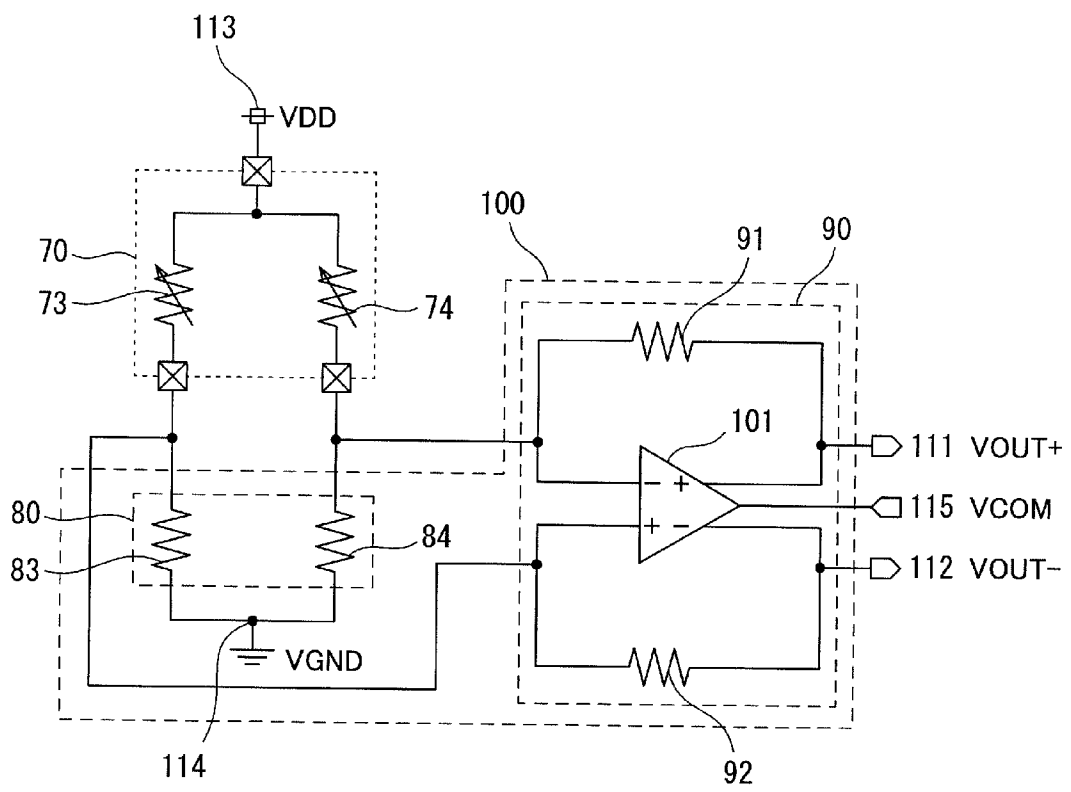
[請求項22] 請求項15～20のいずれか一項に記載のセンサ IC チップと、加速度に応じて抵抗値が変化する前記第1の可変抵抗型センサ及び前記第2の可変抵抗型センサと、を備えた加速度検出装置。

[図1]

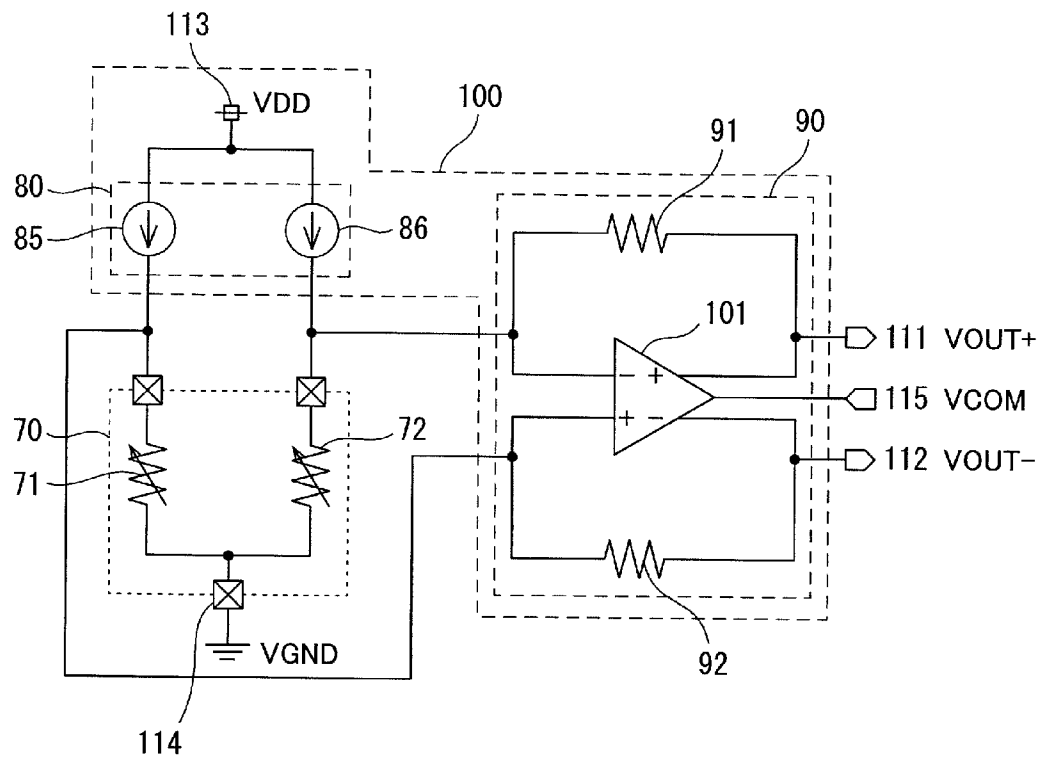




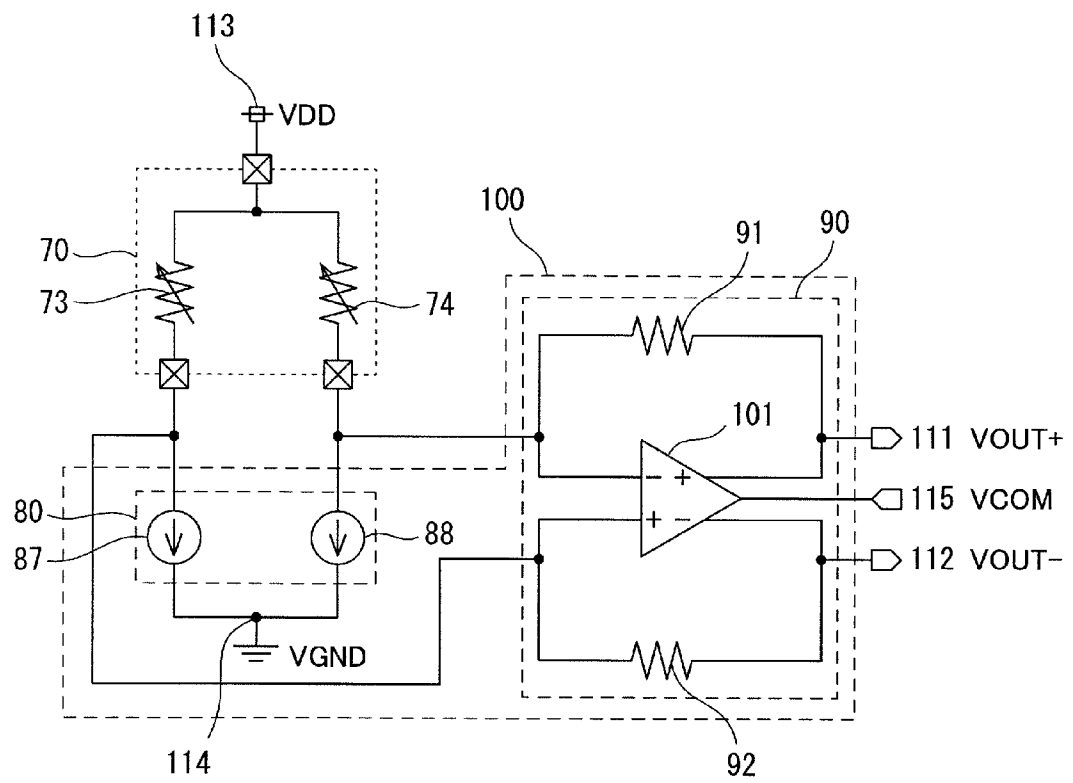
[図3]



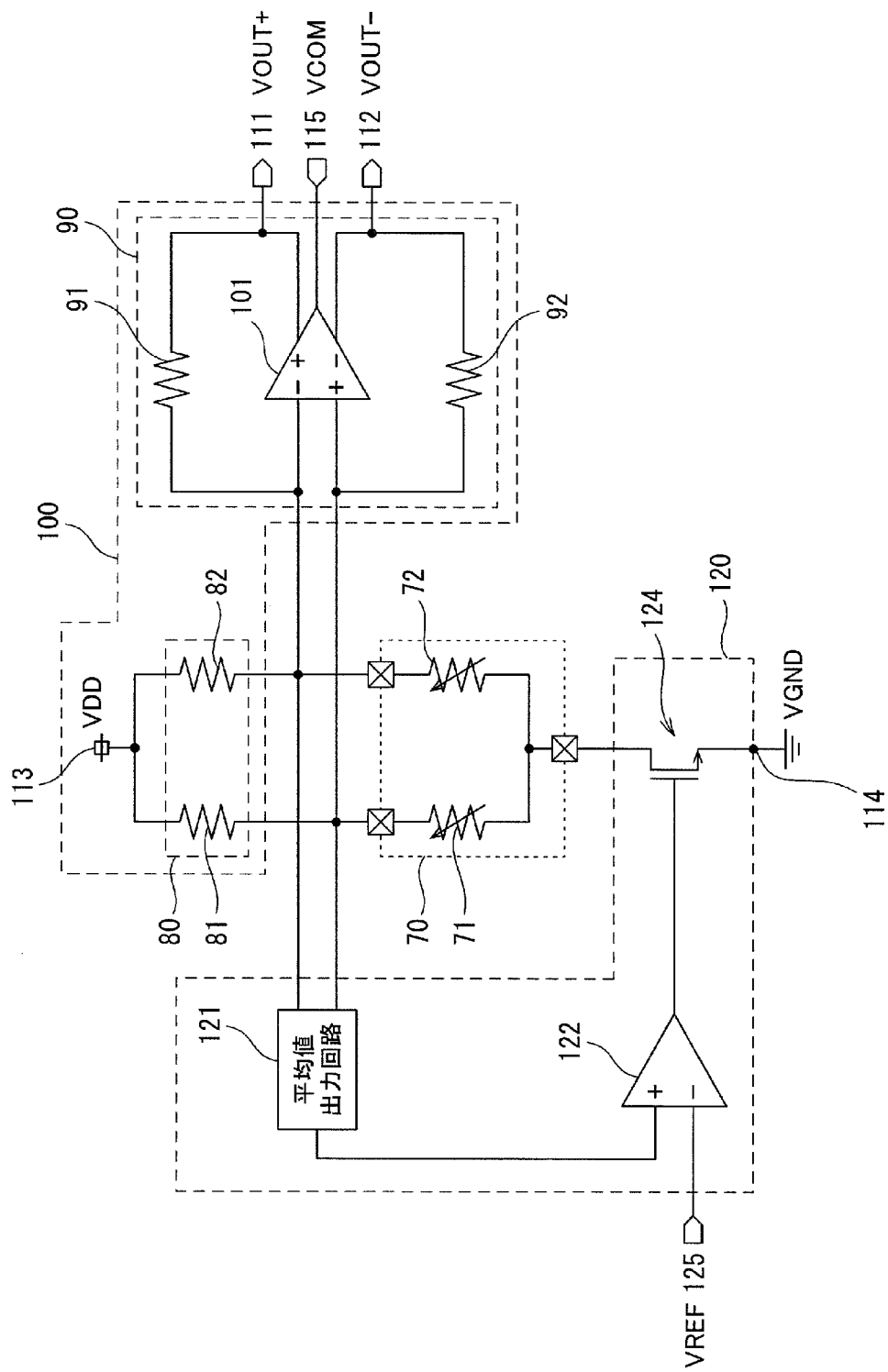
[図4]



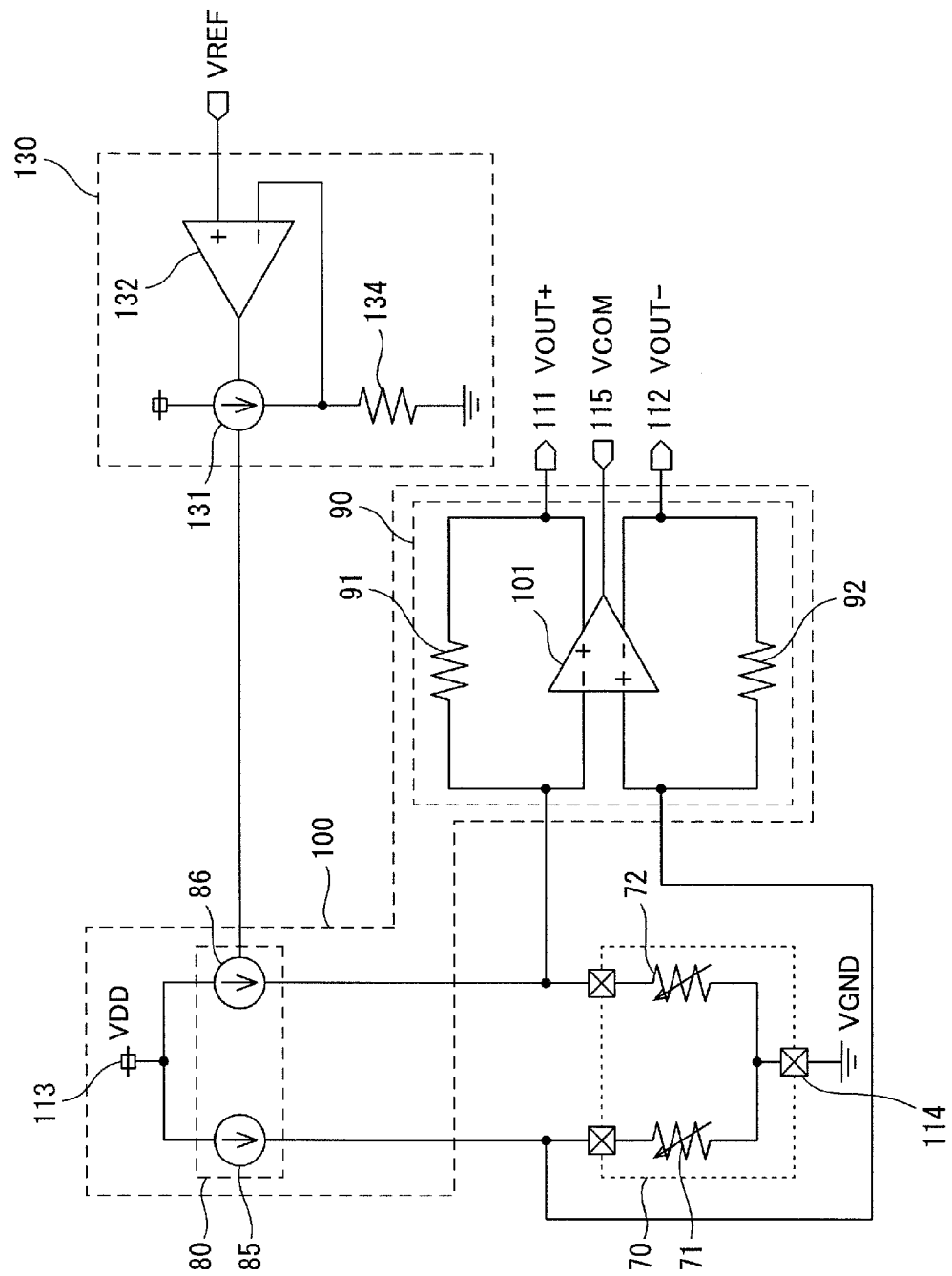
[図5]



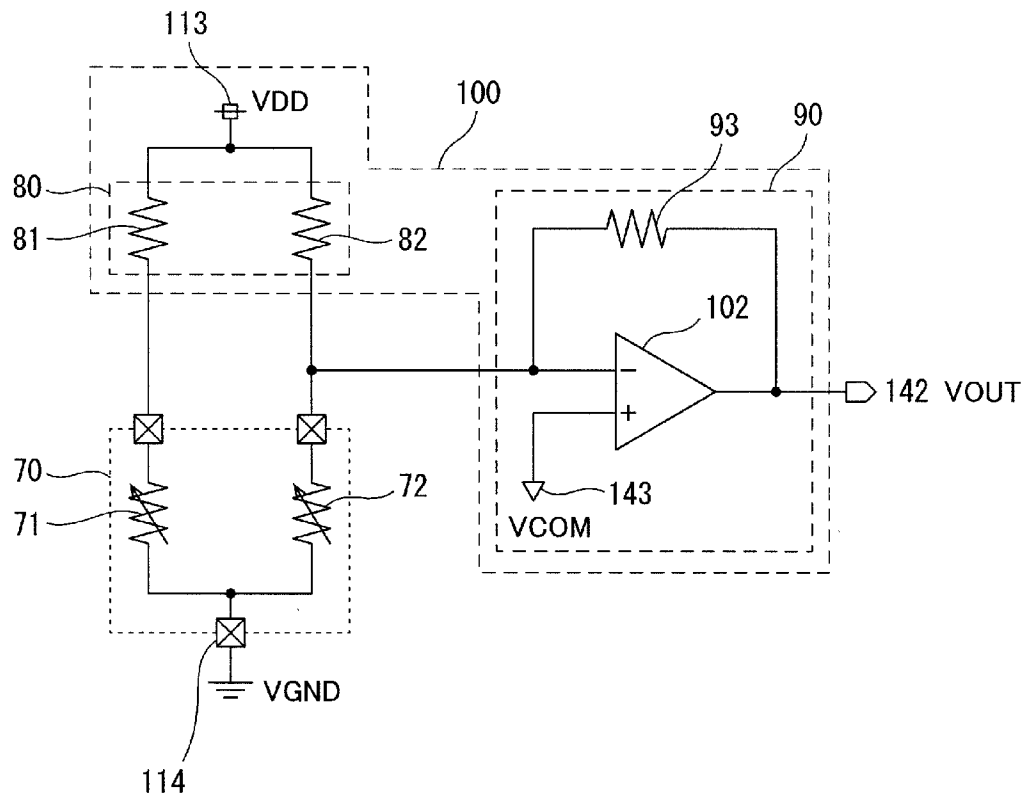
[図6]



[図7]



【図8】



→ 142 VOUT

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/003258

A. CLASSIFICATION OF SUBJECT MATTER

H03F3/34(2006.01)i, G01P3/44(2006.01)i, G01P15/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03F3/34, G01P3/44, G01P15/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2011-089943 A (Yazaki Corp.), 06 May 2011 (06.05.2011), paragraphs [0044] to [0052]; fig. 5 (Family: none)	1, 7-9, 11-15, 18-22 2-6, 10, 16-17
Y A	CD-ROM of the specification and drawings annexed to the request of Japanese Utility Model Application No. 33058/1992 (Laid-open No. 85060/1993) (NEC Corp.), 16 November 1993 (16.11.1993), paragraphs [0002], [0006] to [0010]; fig. 1, 3 (Family: none)	1, 7-9, 11-15, 18-22 2-6, 10, 16-17

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
08 August, 2014 (08.08.14)

Date of mailing of the international search report
19 August, 2014 (19.08.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/003258

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 11-284449 A (Robert Bosch GmbH), 15 October 1999 (15.10.1999), paragraph [0029]; fig. 4 & US 6177840 B1 & DE 19806394 C1	1, 7-9, 11-15, 18-22 2-6, 10, 16-17
Y A	JP 11-271830 A (Nikon Corp.), 08 October 1999 (08.10.1999), paragraphs [0027] to [0032]; fig. 2 (Family: none)	1, 7-9, 11-15, 18-22 2-6, 10, 16-17
Y A	WO 2009/016994 A1 (Alps Electric Co., Ltd.), 05 February 2009 (05.02.2009), paragraph [0002]; fig. 7 (Family: none)	1, 7-9, 11-15, 18-22 2-6, 10, 16-17
Y	JP 2007-147575 A (Tokyo Electron Ltd.), 14 June 2007 (14.06.2007), paragraphs [0002], [0054] & WO 2007/063955 A1	13, 21
A	JP 2005-156251 A (Matsushita Electric Works, Ltd.), 16 June 2005 (16.06.2005), paragraphs [0037] to [0055]; fig. 5 (Family: none)	1-22
A	JP 58-69246 U (Hitachi, Ltd.), 11 May 1983 (11.05.1983), fig. 1 (Family: none)	1-22
A	JP 5-45373 A (NEC Corp.), 23 February 1993 (23.02.1993), paragraphs [0002], [0011]; fig. 1 & US 5396439 A	1-22
A	JP 2000-74733 A (Sumitomo Metal Industries, Ltd.), 14 March 2000 (14.03.2000), paragraphs [0023] to [0025], [0050]; fig. 1, 8, 14 (Family: none)	1-22
A	JP 4-265831 A (Becton Dickinson and Co.), 22 September 1992 (22.09.1992), paragraphs [0020], [0062]; fig. 3 & US 5146788 A & EP 482487 A2 & DE 69120203 C & NZ 270762 A & ES 2087946 T & AT 139337 T & AU 640050 B & KR 10-1995-0005890 B & CA 2053793 A1	1-22

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03F3/34(2006.01)i, G01P3/44(2006.01)i, G01P15/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03F3/34, G01P3/44, G01P15/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2011-089943 A（矢崎総業株式会社）2011.05.06, [0044]-[0052], 図5（ファミリーなし）	1, 7-9, 11-15, 18-22 2-6, 10, 16-17
Y A	日本国実用新案登録出願 4-33058 号（日本国実用新案登録出願公開 5-85060 号）の願書に添付した明細書及び図面の内容を記録した CD-ROM（日本電気株式会社）1993.11.16, [0002], [0006]-[0010], 図 1, 3（ファミリーなし）	1, 7-9, 11-15, 18-22 2-6, 10, 16-17

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 8 . 0 8 . 2 0 1 4

国際調査報告の発送日

1 9 . 0 8 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

5 X

9 6 5 4

▲徳▼田 賢二

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 11-284449 A (ローベルト ボツシュ ゲゼルシャフト ミット ベシユレンクテル ハフツング) 1999. 10. 15, [0029], 図 4 & US 6177840 B1 & DE 19806394 C1	1, 7-9, 11-15, 18-22 2-6, 10, 16-17
Y A	JP 11-271830 A (株式会社ニコン) 1999. 10. 08, [0027]-[0032], 図 2 (ファミリーなし)	1, 7-9, 11-15, 18-22 2-6, 10, 16-17
Y A	WO 2009/016994 A1 (アルプス電気株式会社) 2009. 02. 05, [0002], 図 7 (ファミリーなし)	1, 7-9, 11-15, 18-22 2-6, 10, 16-17
Y A	JP 2007-147575 A (東京エレクトロン株式会社) 2007. 06. 14, [0002], [0054] & WO 2007/063955 A1	13, 21
A	JP 2005-156251 A (松下電工株式会社) 2005. 06. 16, [0037]-[0055], 図 5 (ファミリーなし)	1-22
A	JP 58-69246 U (株式会社日立製作所) 1983. 05. 11, 第 1 図 (ファミリーなし)	1-22
A	JP 5-45373 A (日本電気株式会社) 1993. 02. 23, [0002], [0011], 図 1 & US 5396439 A	1-22
A	JP 2000-74733 A (住友金属工業株式会社) 2000. 03. 14, [0023]-[0025], [0050], 図 1, 8, 14 (ファミリーなし)	1-22
A	JP 4-265831 A (ベクトン・ディッキンソン・アンド・カンパニー) 1992. 09. 22, [0020], [0062], 図 3 & US 5146788 A & EP 482487 A2 & DE 69120203 C & NZ 270762 A & ES 2087946 T & AT 139337 T & AU 640050 B & KR 10-1995-0005890 B & CA 2053793 A1	1-22