

# 公告本

|      |               |
|------|---------------|
| 申請日期 | 91-8-6        |
| 案 號  | OP1117675     |
| 類 別  | 1401C 21/8236 |

A4  
C4

556320

(以上各欄由本局填註)

## 發明專利說明書

|            |               |                                                                                                                                                 |
|------------|---------------|-------------------------------------------------------------------------------------------------------------------------------------------------|
| 一、發明<br>名稱 | 中 文           | 記憶體單元                                                                                                                                           |
|            | 英 文           | MEMORY CELL                                                                                                                                     |
| 二、發明<br>人  | 姓 名           | 1. 富蘭茲 赫夫曼 FRANZ HOFMANN<br>2. 約瑟夫 魏勒 JOSEF WILLER                                                                                              |
|            | 國 籍           | 1. 2. 皆德國 GERMANY                                                                                                                               |
|            | 住、居所          | 1. 德國慕尼黑市赫伯格街25B號<br>HERBERGSTR. 25B, 80995 MÜNCHEN, GERMANY<br>2. 德國瑞摩林市佛德瑞克-弗羅伯街62號<br>FRIEDRICH-FRÖBEL-STR. 62, 85521<br>RIEMERLING, GERMANY |
| 三、申請人      | 姓 名<br>(名稱)   | 德商億恒科技公司<br>INFINEON TECHNOLOGIES AG                                                                                                            |
|            | 國 籍           | 德國 GERMANY                                                                                                                                      |
|            | 住、居所<br>(事務所) | 德國慕尼黑市馬汀街53號<br>ST.-MARTIN-STR. 53, 81669 MÜNCHEN,<br>GERMANY                                                                                   |
|            | 代 表 人<br>姓 名  | 1. 彼得 季里茲 PETER ZEDLITZ<br>2. H. 舒伯特 H. SCHUBERT                                                                                                |

(由本局填寫)

|           |
|-----------|
| 承辦人代碼：    |
| 大類：       |
| I P C 分類： |

A6  
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權  
德國 2001年08月06日 10138585.4 ☒有 ☐無 主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝  
訂  
線

## 五、發明說明(1)

### 發明背景

本發明係關於一種記憶體單元。

具有記憶體陣列的電腦係廣泛用於各種含有大型電腦、個人電腦之應用、洗衣機、廚房器具、機動車、電話、答錄機或其它應用中。此處所指的電腦係以最廣泛的概念視為一種電子控制裝置及/或計算裝置。

電腦的記憶體配置係用於永久或暫時儲存資料，例如運作電腦所需的參數、或電腦運作時由電腦所產生的計算結果。

記憶體配置有一個具有至少一記憶體單元之記憶體，一般是複數個記憶體單元。每一個記憶體單元皆有一存有一電荷量的儲存元件用以設定記憶體單元的記憶內容。

記憶體單元有揮發性及非揮發性。在一揮發性記憶體單元中，一儲存於儲存元件中的記憶內容一般僅在儲存元件中保持約一秒鐘。記憶內容因而必須予以週期性更新。在一非揮發性記憶體單元中，儲存於儲存元件中的記憶內容係對於以年為計量等級的儲存時間永久保持於儲存元件中。

一基於MOSFET(金氧半場效電晶體)之非揮發性記憶體單元(金氧半場效電晶體)係以MOSFET為基礎，該MOSFET具有一源極區、一汲極區、一位於源極區與汲極區之間的通道區、一為了控制通道區而配置的閘極電極(控制閘)、以及一配置於閘極電極(控制閘)與通道區之間的閘極氧化層。

在基於MOSFET之非揮發性記憶體單元中，閘極電極係作為一控制閘。一用於儲存記憶體單元之記憶內容之儲存元

## 五、發明說明(2)

件係置於控制閘與通道區上方之閘極氧化層之間。儲存元件相關於通道區及控制閘兩者具有位能障蔽。由於就絕對值而論夠高之適當電壓係施加至控制閘，電荷載子可由通道區充電至儲存元件，或可由儲存元件放電至通道區。因此，可程式化或抹除記憶體單元之記憶內容。

一非揮發性記憶體之實施例為EEPROM(電子抹除式唯讀記憶體)。在一EEPROM中，所程式化的記憶內容可藉由施加一電壓予以再次抹除。

基於MOSFET之非揮發性記憶體單元就設計而論係浮接閘記憶體單元及MIOS(金屬絕緣體氧化半導體)記憶體單元。

在一浮接閘記憶體單元中，儲存元件係由金屬導電性浮接閘予以形成。

在一MIOS記憶體單元中，儲存元件係由(至少)一種絕緣材料所構成之絕緣體儲存元件予以形成。儲存元件之記憶內容係由一落陷於絕緣體儲存元件中之電荷載子之電荷量予以形成。

為了程式化一基於MOSFET之記憶體單元，必須保持MOSFET通道區內的電流。

為了有效率地使用並運作一記憶體單元，在程式化記憶體單元時必須盡量降低功率消耗。

[1]揭露一種浮接閘記憶體單元。[1]中的記憶體單元具有一源極區、一汲極區、一通道區、一具有浮接閘及控制閘配置於其上之儲存元件陣列以及一緊鄰儲存元件陣列之源極端橫向選擇閘。為了程式化[1]中之記憶體單元，一相對

### 五、發明說明(3)

較低的電壓係施加至選擇閘用以在通道區內產生一小電流。一電壓係施加至控制閘，該電壓係高到足以將電荷載子充電至浮接閘內。在[1]的記憶體中，施加至選擇閘之電壓可顯著低於充電浮接閘所需的電壓。因此，有可能以低於浮接閘記憶體單元中之電流程式化而不需用到選擇閘。另一方面，選擇閘所用的電壓必須選擇得大到足以使電荷載子由源極區流至通道區，致使源極區與汲極區之間形成一條連續之導電性通道。

另一方面，為了提升記憶體單元或記憶體單元陣列之效率，嘗試達到最高可能整合密度，亦即每單元面積或每單元體積容納盡量多的單獨記憶內容項目。

為此，通常係降低每一個單獨記憶體單元之架構尺寸。

[2]揭露一種非揮發性半導體記憶體，其具有一配置於一第一ONO儲存層和一源極區上之第一閘極區部分、一配置於一第二ONO儲存層和一汲極區上之第二閘極區部分、以及一配置於一通道區和一閘極絕緣層上之第三閘極區部分，該第一、第二及第三閘極區部分係彼此呈電性連接。

另外，[3](申請日期：2000年7月28日，公開日期：2002年2月14日)提出一種具有兩ONO儲存層之記憶體單元，其中一層與一源極區毗連而另一層則與一汲極區毗連。一通道區之導電率係藉由一配置於其上之閘極區以及兩經由連接線連接至閘極區之橫向閘極元件予以控制，一閘極絕緣層係配置於通道區與閘極區之間。

#### 發明概述

## 五、發明說明(4)

本發明係基於提供一種節省電流之有效性及可靠性記憶體單元所產生的問題。

問題係以一種具有該等如單獨之申請專利範圍之特徵的記憶體單元予以解決。

一記憶體單元具有：

一基底、

一形成於基底上的源極區、

一形成於基底上的汲極區、

一位於源極區與汲極區之間並具有可變導電率之通道區、

一源極端控制閘，其至少部分延伸於通道區中毗連源極區之源極端邊緣部分且其設計在於改變源極端邊緣部分之導電率、

一汲極端控制閘，其至少部分延伸於通道區中毗連汲極區之汲極端邊緣部分且其設計在於改變汲極端邊緣部分之導電率、

一配置於源極端控制閘與汲極端控制閘之間的注入閘，其延伸於通道區之中央部分且其設計在於改變中央部分之導電率，中央部分於通道區之源極端邊緣部分與汲極端邊緣部分之間延伸、

一至少延伸於源極端邊緣部分與源極端控制閘之間的源極端儲存元件、以及

一至少延伸於汲極端邊緣部分與汲極端控制閘之間的汲極端儲存元件、

一具有至少一閘極氧化層之閘極氧化物配置，其一方面

## 五、發明說明(5)

延伸於基底與源極端控制閘之間且另一方面延伸於汲極端控制閘與注入閘之間。

有可能分別在源極端儲存元件和汲極端儲存元件中儲存個別之記憶內容，因而為資料中之一個位元。依此方式，記憶體單元中之儲存容量與僅具有一個儲存元件之記憶體單元相比較係加倍的。

記憶體單元亦可依節省電流之方式予以可靠地程式化。

記憶體單元係根據底下之方法予以程式化。

一具有一源極電壓值之(電性)源極電壓施加至源極區。一具有一汲極電壓值之(電性)汲極電極係施加至汲極區。此處的源極電壓值與汲極電壓值係不同的。於源極區與汲極區之間有一電壓值等於源極電壓值與汲極電壓值之間差值之電壓。

一具有一注入閘極電壓值之電性注入閘極電壓係施加至注入閘。一具有一源極控制閘電壓值之電性源極控制閘電壓係施加至源極端控制閘。一具有一汲極控制閘電壓值之電性汲極控制閘電壓係施加至汲極端控制閘。於此，源極控制閘電壓值和汲極控制閘電壓值就絕對值而論皆大於注入閘極電壓值。

源極控制閘電壓值和汲極控制閘電壓值於此可以是相同的。

為了程式化汲極端儲存元件，一合適的電壓係施加於源極區與汲極區之間。藉由源極端控制閘，來自源極區之電荷載子係充電至通道區於源極端控制閘下方之源極端邊緣

## 五、發明說明(6)

部分。為此，一就絕對值而論相對較高的電壓係施加至源極端控制閘，此時電荷載子填入源極端儲存元件之穿隧過程尚未發生。一就絕對值而論相對較低的電壓係施加至注入閘。因此，僅有少量的電荷載子填入通道區之中央部分而有非常低的電流流動。一電壓係施加至汲極端控制閘，該電壓高到足以將電荷載子充電至汲極端儲存元件內。因此，依據中央通道區內的低電流而消耗少量的功率(功率=電流\*電壓)。

在記憶體單元內，由於有源極端控制閘，中央通道區內的電流可選擇得特別低而不致中斷位於源極區與汲極區之間之通道區中的電流。記憶體單元因而可依特別節省電流的方式予以程式化。

為了程式化源極端儲存元件，一合適的電性源極汲極電壓係施加於源極區與汲極區之間，該源極汲極電壓相較於程式化汲極端儲存元件之源極汲極電壓具有相反的極性，但就絕對值而言強度可以是相等的。若源極汲極電壓就絕對值而言具有相等的強度，則其它電壓可予以選擇成與程式化汲極端儲存元件之電壓相等。

在程式化源極端儲存元件時，注入閘所消耗的功率係特別低的。

儲存元件可具有氮化矽。

或者或另外，儲存元件可具有二氧化矽或另一合適的絕緣材料。

儲存元件可為一由第一二氧化矽層所形成之ONO層、一

## 五、發明說明(7)

形成於第一二氧化矽層上之氮化矽層、以及一形成於氮化矽層上之第二二氧化矽層所構成的整合部件。

閘極氧化層及第一二氧化矽層可作成個別之層。或者，閘極氧化層可形成於一具有第一二氧化矽層之片斷(piece)中。

可分別與源極端控制閘和汲極端控制閘接觸。在所要施加至源極端控制閘和汲極端控制閘之電壓不同時，這是有利的。

源極端控制閘和汲極端控制閘最好係彼此電性連接。在此實例中，源極端控制閘和汲極端控制閘提供各別電壓所需的電壓源總共僅需一個。另外，依此方式，可用特別簡單且因而有效率的方式程式化記憶體單元。例如，首先可程式化汲極端儲存元件，然後可反轉源極汲極電壓之極性並可接著程式化源極端儲存元件而不致產生額外變化，如以上之解釋。或者，首先可程式化源極端儲存元件，然後才是汲極端儲存元件。

通道區可具有一n型通道。或者，通道區可具有一p型通道。

一根據本發明體現成EEPROM之記憶體陣列至少具有一個如上述所架構之記憶體單元。

### 圖示簡述

本發明之範例性具體實施例係描繪於圖式中且將於底下作更加詳細地解釋；該等圖式中：

圖1表示一根據本發明第一具體實施例之記憶體單元，其

## 五、發明說明(8)

中程式化汲極端儲存元件，

圖2表示圖1中之記憶體單元，其中源極端儲存元件和汲極端儲存元件之記憶內容係予以抹除，

圖3a表示一根據本發明第二具體實施例之記憶體單元在製造期間之第一製造狀態中的剖面圖，

圖3b表示一根據本發明第二具體實施例之記憶體單元在製造期間之第二製造狀態中的剖面圖，

圖3c表示一根據本發明第二具體實施例之記憶體單元在製造期間之第三製造狀態中的剖面圖，

圖3d表示一根據本發明第二具體實施例之記憶體單元在製造期間之第四製造狀態中的剖面圖，

圖3e表示一根據本發明第二具體實施例之記憶體單元在完成製造狀態中的剖面圖，

圖3f表示兩根據以上本發明之記憶體單元，與圖3e所示之記憶體相同。

### 詳細發明說明

圖1表示一根據本發明第一具體實施例之記憶體單元，其中程式化汲極端儲存元件。

圖1中之記憶體單元具有一基底100、一形成於基底100中具有 $n^+$ 型摻雜之源極區101、一形成於基底100中具有 $n^+$ 型摻雜之汲極區102、以及位於源極區101與汲極區102之間並具有可變導電率之 $n$ 型通道區103。

記憶體單元亦具有一源極端控制閘104，其至少部分延伸於通道區103中毗連源極區101之源極端邊緣部分105，且其

## 五、發明說明(9)

設計在於改變源極端邊緣部分105之導電率。

記憶體單元亦具有一汲極端控制閘106，其至少部分延伸於通道區103中毗連汲極區102之汲極端邊緣部分107，且其設計在於改變汲極端邊緣部分107之導電率。

一延伸於通道區103之中央部分109上且其設計在於改變中央部分109導電率之注入閘108係配置於源極端控制閘104與汲極端控制閘106之間。中央部分109在此於通道區103之源極端邊緣部分105與汲極端邊緣部分107之間延伸。

記憶體單元亦具有一由氮化矽所構成之源極端儲存元件110，其一方面於源極端控制閘104與注入閘108之間延伸，另一方面於源極端邊緣部分105與源極區101之間延伸。

另外，記憶體單元具有一由氮化矽所構成之汲極端儲存元件111，其一方面於汲極端控制閘106與注入閘108之間延伸，另一方面於汲極端邊緣部分107與汲極區102之間延伸。

記憶體單元亦具有一由二氧化矽所構成之閘極氧化物配置112。閘極氧化物配置112具有一閘極氧化層113，其一方面於基底100與源極端控制閘104之間延伸，另一方面於汲極端控制閘106與注入閘108之間延伸。一由二氧化矽所構成之層係分別置於源極端控制閘104與源極端儲存元件110之間、源極端儲存元件110與注入閘108之間、注入閘108與汲極端儲存元件111之間以及汲極端儲存元件111與汲極端控制閘106之間，這些由二氧化矽所構成之層形成一部分閘極氧化物配置112且係形成於具有閘極氧化層113之片斷中。

汲極端儲存元件106之程式化過程係說明於底下。

## 五、發明說明(10)

—0V之電壓係施加至源極區101。—5V之電壓係施加至汲極區。—10V之電壓係藉由一公共電壓源施加至源極端控制閘104和汲極端控制閘105。—1.5V之電壓係施加至注入閘108。因此，電荷載子(電子)係由通道區103中之源極區101注入源極端邊緣部分105。由於位於注入閘108之電壓較低，通道區103之中央部分109中僅有低電流流動。由於位於汲極端控制閘106之高電壓，電荷載子(電子)係充電並落陷於汲極端儲存元件111內。

一根據本發明另一具體實施例之記憶體單元於源極區與汲極區之間具有一 $p^+$ 型摻雜源極區、一 $p^+$ 型摻雜汲極區和一 $p$ 型通道，該 $p$ 型通道位於源極區與汲極區之間並具有一可變導電率。

圖2表示圖1中之記憶體，其中移除源極端儲存元件110和汲極端儲存元件111之記憶內容。

同樣為5V之正電壓係施加至源極區101和汲極區102。同樣為-5V之負電壓係施加至源極端控制閘104和汲極端控制閘106。—0V之電壓係施加至注入閘108。因此，電洞係由通道區103充電至源極端儲存元件110。這些電洞與落陷於源極端儲存元件110之負電荷載子再結合。因此，得以補償落陷於源極端儲存元件110之負電荷載子之負電荷，從而抹除源極端儲存元件110中的記憶內容。類似地，出自通道區103之電洞係充電至汲極端儲存元件111。因此，得以補償落陷於汲極端儲存元件111內之電荷載子之負電荷，從而抹除汲極端儲存元件111內的記憶內容。為了促使儲存元件

## 五、發明說明 ( 11 )

110、111放電，可另以一負電壓施加至注入閘108。

為了讀取儲存於源極端儲存元件110內的記憶內容(位元)，-1.2V之電壓可予以施加於源極區101 (0V)與汲極區102 (1.2V)之間。一約為2V之電壓係接著分別予以施加至源極端控制閘104、汲極端控制閘106及注入閘108。為了讀取儲存於汲極端儲存元件111內的記憶內容(位元)，-1.2V之電壓係施加於源極區101 (1.2V)與汲極區102 (0V)之間。該等位於源極端控制閘104、汲極端控制閘106和注入閘108之電壓亦為2V，亦即僅有源極汲極電壓之極性係反轉的。

底下之表1表示要施加至記憶體單元中之不同元件且總體而言適用於程式化、抹除或讀取記憶體單元之典型電壓。

表1：

|                | 程式化汲<br>極 111 | 程式化源<br>極 110 | 抹除  | 讀取源極<br>110 | 讀取汲極<br>111 |
|----------------|---------------|---------------|-----|-------------|-------------|
| 汲極<br>102      | +5V           | 0V            | +5V | +1.2V       | 0V          |
| 控制閘<br>104、106 | +10V          | +10V          | -5V | +2V         | +2V         |
| 注入閘<br>108     | +1.5V         | +1.5V         | 0V  | +2V         | +2V         |
| 源極<br>101      | 0V            | +5V           | +5V | 0V          | +1.2V       |

一根據本發明用於製造一記憶體單元之方法將引用圖3a至3f於底下作說明。

## 五、發明說明(12)

圖3a表示一根據本發明第二具體實施例之記憶體單元在製造期間之第一製造狀態中的剖面圖。

一p型基底300係用作記憶體單元之啟始材料。一10奈米厚之閘極氧化層301係形成於基底300上。一具有由多晶矽302a、鎢矽化物302b、TEOS(四乙基氧矽烷)302c相繼構成之層序列之注入閘層係形成於閘極氧化層301上。該注入閘層係以微影蝕刻的方式(先對注入閘層施以微影再接著予以蝕刻)製作圖樣，接著剝去(移除)微影蝕刻之光阻而形成注入閘302，並從而形成圖3a所示的架構。

接著，如圖3b所示，一氮化矽層係沉積於圖3a所示之架構上。

氮化矽層係經過回蝕而使得氮化物間隔層303保持於注入閘302之側邊，且圖3b所示的架構從而形成。

一如圖3c所示形成源極區304和汲極區305之碲佈植步驟係實現於圖3b所示之架構上。一通道區延伸於源極區304與汲極區305之間。在每一個實例中，一由厚氧化物306所構成之層係接著藉由氧化予以形成於源極區304和汲極區305上，以致形成了圖3c所示的架構。

接著以溼蝕刻步驟移除氮化物間隔層303。在溼蝕刻步驟中，二氧化矽層作用為蝕刻終止層而使閘極氧化層301受到侵入且形成了圖3d所示的架構。

如圖3e所示，由圖3d之架構開始，首先執行二氧化矽蝕刻步驟，其中閘極氧化層301係於緊鄰注入閘302之區域307中予以移除(並使厚氧化物306變薄)。接著，一由二氧化矽

## 五、發明說明(13)

所構成之較低氧化層308係形成於部分製造架構之表面上。一由氮化矽所構成之儲存元件層309係成於較低氧化層308上。一由二氧化矽所構成之較高氧化層310係形成於儲存元件層309上。較底氧化層308、儲存元件層309及較高氧化層310在每一個緊鄰注入閘302之區域307中形成一ONO(氧化物—氮化物—氧化物)層以致形成一源極端儲存元件311和一汲極端儲存元件312。源極端儲存元件311和汲極端儲存元件312皆由氮化矽所構成之儲存元件層309予以形成，並於一側藉由較低氧化層308予以結合且於另一側藉由較高氧化層310予以結合。

一經由原處摻雜之多晶矽層313係形成於較高氧化層310上。一鎢矽化物層314係形成於多晶矽層313上。多晶矽層313及鎢矽化物層314係以微影蝕刻法予以製作圖樣(先對層313、314作微影並接著予以蝕刻)，且微影蝕刻之光阻係隨後予以剝去(移除)。依此方式，一源極端控制閘315和一汲極端控制閘316係由多晶矽層313和鎢層314予以形成。源極端控制閘315和汲極端控制閘316係彼此呈電性連接。

圖3e表示最終記憶體單元之剖面圖。

為了進一步闡明，圖3f表示兩根據本發明彼此緊鄰配置且與以上圖3e所示之記憶體單元相同。

在另一根據本發明之記憶體單元具體實施例中，基底100、300為n型基底。在此實例中，通道區具有一p型通道。在此文件中，引用底下的公開文件：

[1]K.Naruke、S.山田、E.Obi、S.田口及M.和田於1989年

## 五、發明說明 ( 14 )

在技術文摘 "於源極端具有側壁選擇閘之新快閃抹除式 EEPROM 單元 " IEDM 第 25.7.1 至 25.7.4 頁 (K. Naruke, S. Yamada, E. Obi, S. Taguchi and M. Wada, "A new flash-erase EEPROM cell with a sidewall select-gate on its source side", Tech. Digest, 1989, IEDM, pp. 25.7.1-25.7.4) ;

[2]US 6,335,554 B1

[3]DE 10036911 A1

元件符號對照表：

圖 1

- 100 基底
- 101 源極區
- 102 汲極區
- 103 通道區
- 104 源極端控制閘
- 105 通道區 103 之源極端邊緣部分
- 106 汲極端控制閘
- 107 通道區 103 之汲極端邊緣部分
- 108 注入閘
- 109 通道區 103 之中央部分
- 110 源極端儲存元件
- 111 汲極端儲存元件
- 112 閘極氧化物配置
- 113 閘極氧化層

## 五、發明說明(15)

## 圖 3

- 300 基底
- 301 閘極氧化層
- 302 注入閘：
  - 302a 多晶矽
  - 302b 鎢
  - 302c TEOS
- 303 氮化物間隔層
- 304 源極區
- 305 汲極區
- 306 厚氧化物
- 307 緊鄰注入閘之區域
- 308 較低氧化層
- 309 儲存元件層
- 310 較高氧化層
- 311 源極端儲存元件
- 312 汲極端儲存元件
- 313 多晶矽層
- 314 鎢層
- 315 源極端控制閘
- 316 汲極端控制閘

## 四、中文發明摘要(發明之名稱：記憶體單元)

本發明提供一種記憶體單元，其具有：一源極區、一汲極區、一源極端控制閘、一汲極端控制閘、一配置於源極端控制閘與汲極端控制閘之間的注入閘、一配置於源極端控制閘內的源極端儲存元件、以及一配置於汲極端控制閘內的汲極端儲存元件。為了程式化記憶體單元，將一低電壓施加至注入閘，並將一高電壓施加至控制閘。

## 英文發明摘要(發明之名稱：MEMORY CELL)

A memory cell has: a source region, a drain region, a source-end control gate, a drain-end control gate, an injection gate which is arranged between the source-end control gate and the drain-end control gate, a source-end storage element which is arranged in the source-end control gate, and a drain-end storage element which is arranged in the drain-end control gate. In order to program the memory cell, a low electrical voltage is applied to the injection gate, and a high electrical voltage is applied to the control gates.

陸、(一)、本案指定代表圖為：第 3e 圖

(二)、本代表圖之元件代表符號簡單說明：

- 300 基底
- 301 閘極氧化層
- 302 注入閘：
- 304 源極區
- 305 汲極區
- 306 厚氧化物
- 307 緊鄰注入閘之區域
- 308 較低氧化層
- 309 儲存元件層
- 310 較高氧化層
- 311 源極端儲存元件
- 312 汲極端儲存元件
- 313 多晶矽層
- 314 鎢層
- 315 源極端控制閘
- 316 汲極端控制閘

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 六、申請專利範圍

### 1. 一種記憶體單元，其具有：

- 一基底，
- 一形成於基底中之源極區，
- 一形成於基底中之汲極區，
- 一通道區，其位於源極區與汲極區之間並具有一可變導電率，
  - 一源極端控制閘，其至少於通道區中一毗連源極區之源極端邊緣部分上部分延伸，且其設計以改變源極端邊緣部分之導電率，
  - 一汲極端控制閘，其至少於通道區中一毗連汲極區之汲極端邊緣部分上部分延伸，且其設計以改變汲極端邊緣部分之導電率，
  - 一注入閘，其係配置於源極端控制閘與汲極端控制閘之間、與汲極端控制閘呈電性絕緣、於通道區中一中央部分上延伸且其設計以改變中央部分之導電率，中央部分於通道區之源極端邊緣部分與汲極端邊緣部分之間延伸，
  - 一源極端儲存元件，其至少於源極端邊緣部分與源極端控制閘之間延伸，以及
  - 一汲極端儲存元件，其至少於汲極端邊緣部分與汲極端控制閘之間延伸，
  - 一閘極氧化物配置，其至少具有一個閘極氧化層，該至少一個閘極氧化層一方面於基底與源極端控制閘之間延伸，另一方面於汲極端控制閘與注入閘之間延伸。

## 六、申請專利範圍

2. 如申請專利範圍第1項之記憶體單元，其中該儲存元件具有氮化矽。
3. 如申請專利範圍第1或2項之記憶體單元，其中該儲存元件具有二氧化矽。
4. 如申請專利範圍第1項之記憶體單元，其中該儲存元件係一由一第一二氧化矽層、一形成於第一二氧化矽層上之氮化矽層、以及一形成於氮化矽層上之第二二氧化矽層所構成之ONO層之整合部件。
5. 如申請專利範圍第4項之記憶體單元，該閘極氧化層係形成於一具有該第一二氧化矽層之片斷中。
6. 如申請專利範圍第1項之記憶體單元，其中該源極端控制閘和汲極端控制閘係彼此呈電性連接。
7. 如申請專利範圍第1項之記憶體單元，其中該通道區具有一n型通道。
8. 如申請專利範圍第1項之記憶體單元，其中該通道區具有一p型通道。
9. 一種用於程式化一如申請專利範圍第1至8項其中一項之記憶體單元的方法，其中一具有一源極電壓值之電性源極電壓係施加至源極區，且一具有一汲極電壓值之電性汲極電壓係施加至汲極區，該源極電壓值與汲極電壓值係不同的，

一電性注入閘電壓，其具有一施加至該注入閘之注入閘電壓值，以及

一電性源極控制閘電壓，該電性源極控制閘電壓具有

## 六、申請專利範圍

一施加至源極端控制閘之源極控制閘電壓值，以及一電性汲極控制閘電壓，該電性汲極控制閘電壓具有一施加至汲極端控制閘之汲極控制閘電壓值。

該源極控制閘電壓值及該汲極控制閘電壓值的蒐集方式都是針對絕對值，而不是相對於該注入閘電壓。

10. 如申請專利範圍第9項之方法，其中該源極控制閘電壓值與汲極控制閘電壓值係相同的。

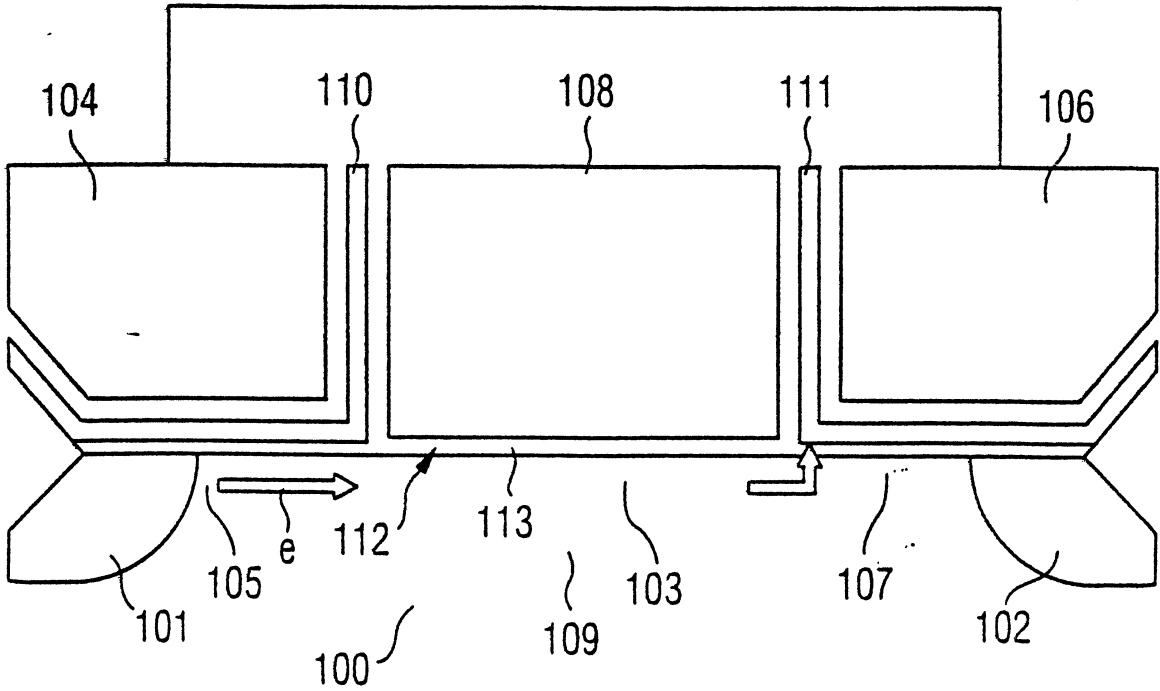


圖 1

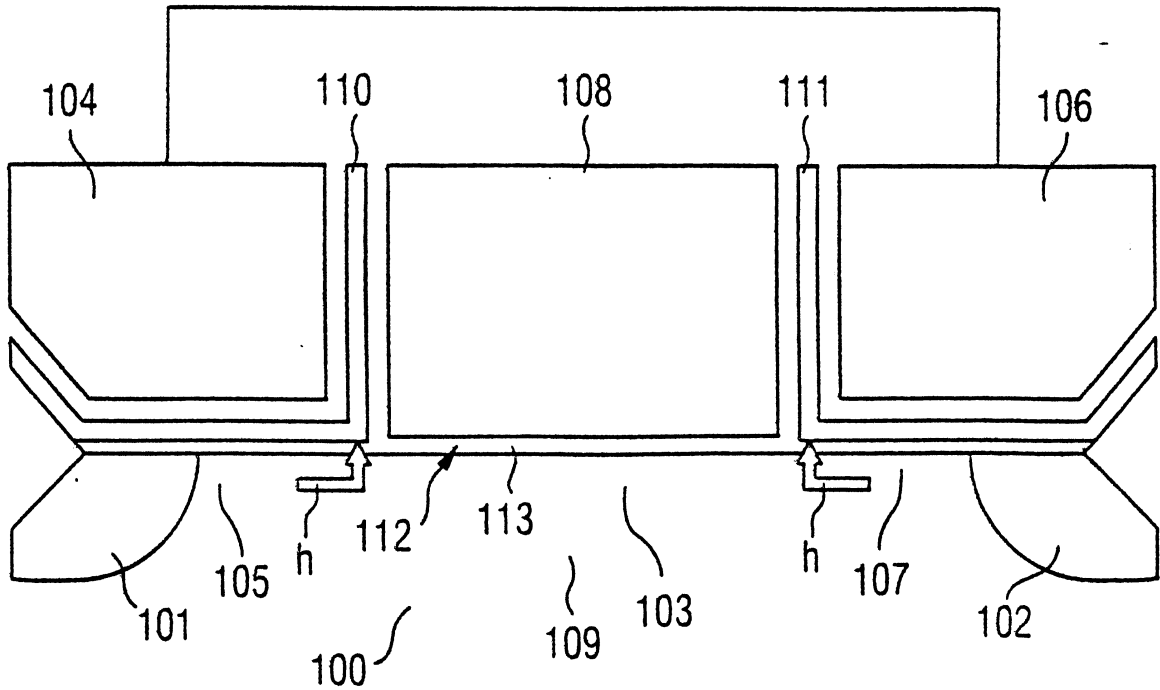


圖 2

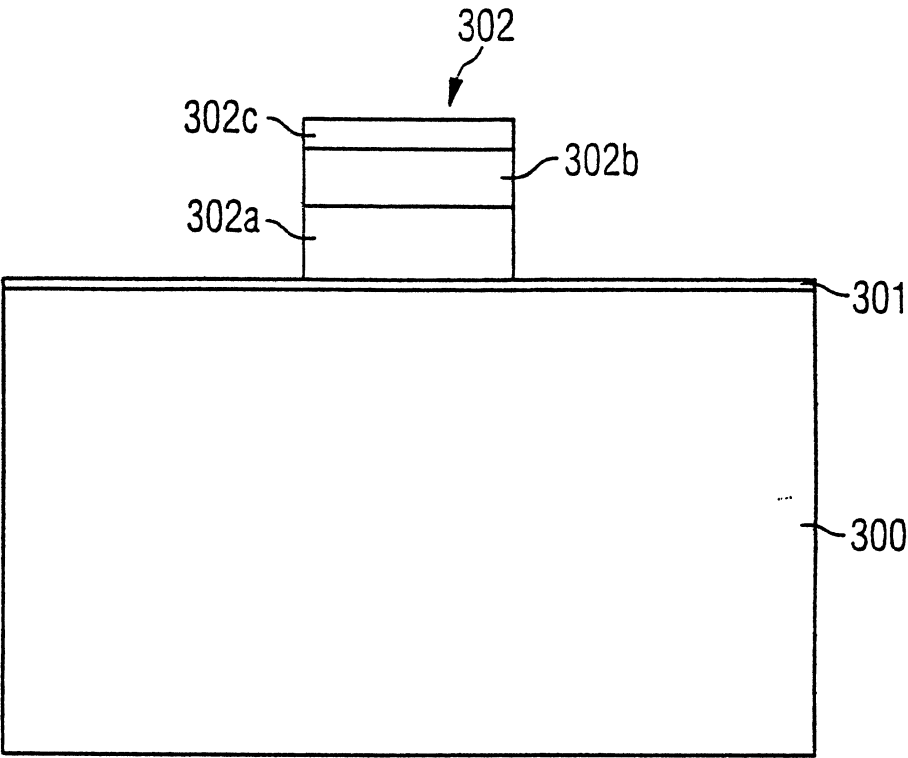


圖 3a

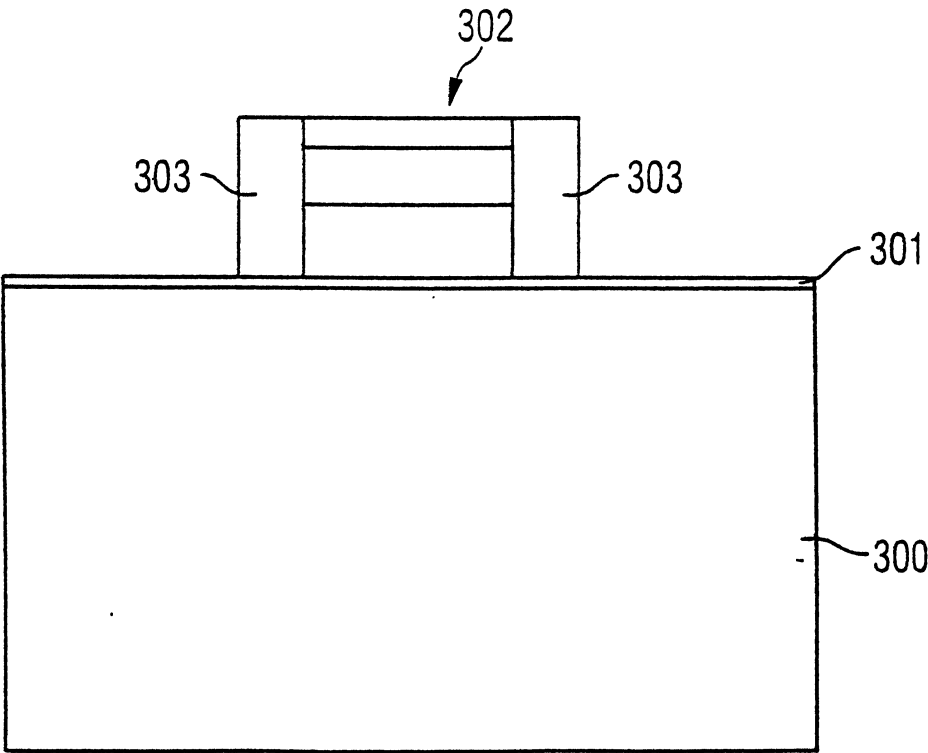


圖 3b

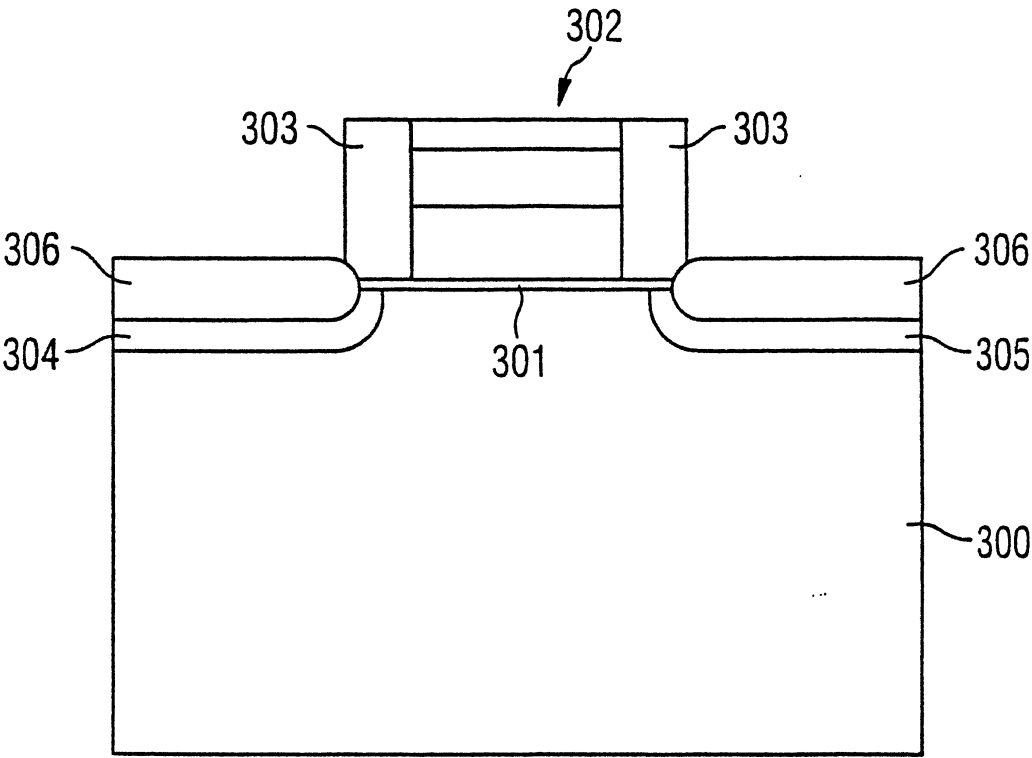


圖 3c

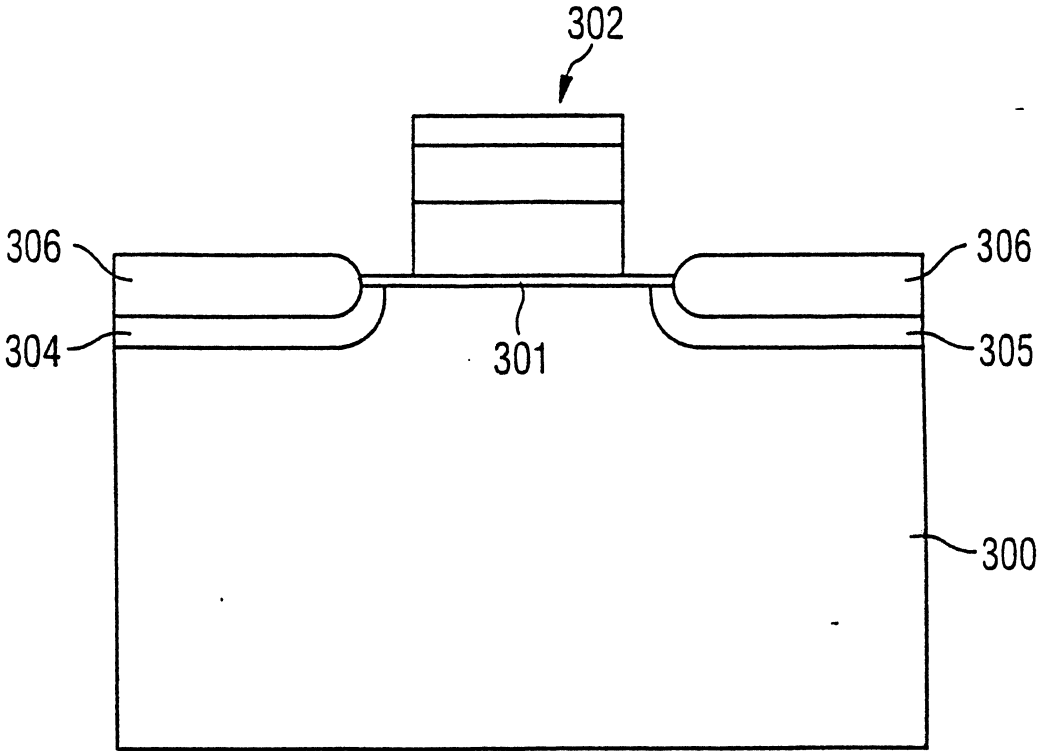


圖 3d

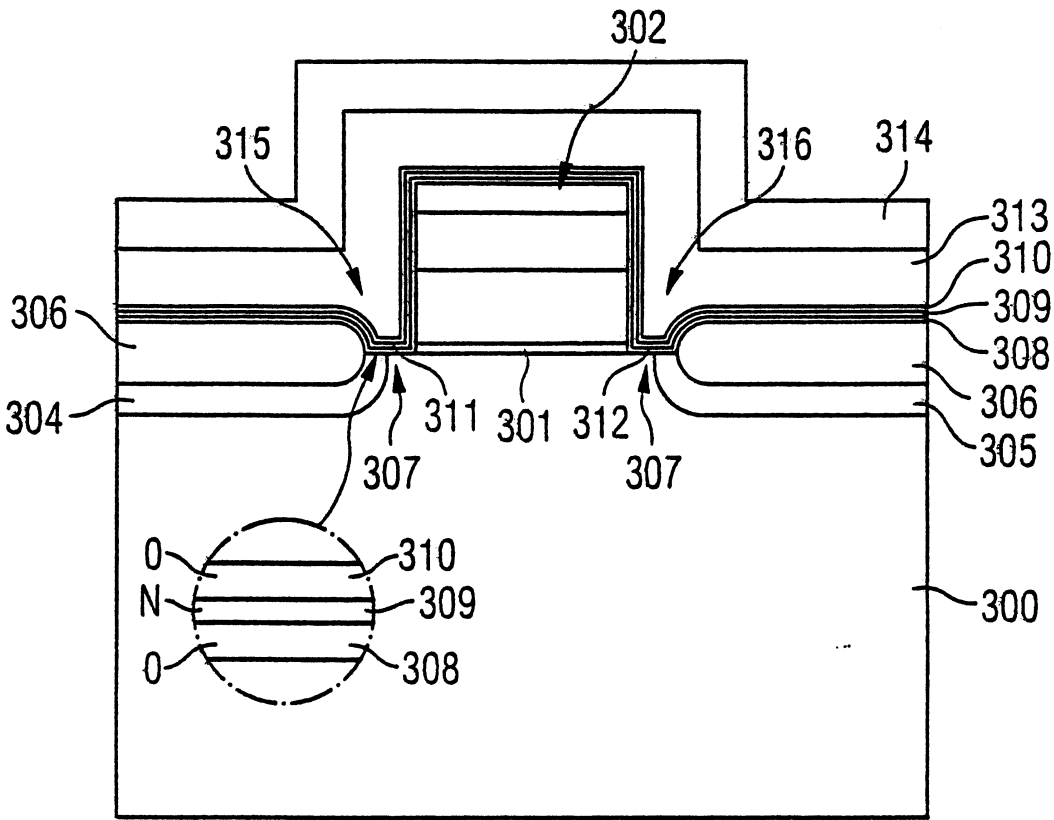


圖 3e

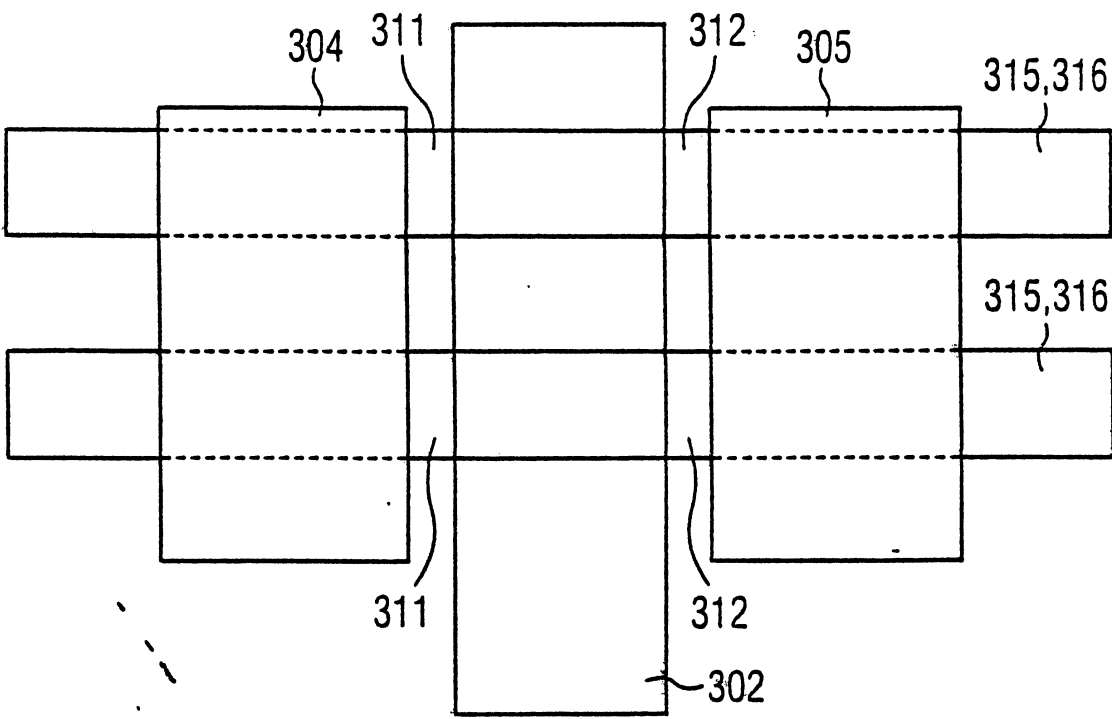


圖 3f