(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3579947号

(P3579947)

(45)発行日　平成16年10月20日(2004.10.20)　(24)登録日　平成16年7月30日(2004.7.30)

(51)Int.Cl.[7]	F I		
G09G 3/36	G09G	3/36	
G02F 1/133	G02F	1/133	550
G09G 3/20	G09G	3/20	612K
	G09G	3/20	623H

請求項の数 2　(全 29 頁)

(21)出願番号　特願平7-51636
(22)出願日　平成7年3月10日(1995.3.10)
(65)公開番号　特開平8-248926
(43)公開日　平成8年9月27日(1996.9.27)
審査請求日　平成12年10月5日(2000.10.5)

(73)特許権者　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100095728
弁理士　上柳　雅誉
(72)発明者　小澤　徳郎
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

審査官　西島　篤宏

最終頁に続く

(54)【発明の名称】液晶表示装置

(57)【特許請求の範囲】

【請求項１】

画素マトリクスと少なくとも信号線駆動回路とが同一基板上に形成されたアクティブマトリクス型表示装置において、

該信号線駆動回路は、信号を順次サンプルするサンプル手段と、該サンプル手段によってサンプルした信号を保持するホールド手段と、を有し、

該サンプル手段は、信号をサンプルするタイミングを規定するラッチ信号をクロック信号から生成するサンプル・ラッチ生成手段と、サンプルされる信号を該ラッチ信号に応じて保持するサンプル保持手段とから構成され、

該信号線駆動回路は、さらに該ホールド手段を制御する制御信号を該クロック信号に基づいて生成する制御手段を有し、一水平走査期間内における該クロック信号の周波数を液晶表示装置の仕様あるいは特性に応じて変更可能に構成してなる

ことを特徴とするアクティブマトリクス型液晶表示装置。

【請求項２】

該信号線駆動回路は該ホールド手段をリセットするリセット手段を有し、該制御手段は、該サンプル・ラッチ生成手段からの信号をサンプル・ラッチ制御手段に入力し、これを該クロック信号に応じて転送して、該リセット手段により該ホールド手段をリセットする制御信号を生成し、該クロック信号に応じて転送した信号をさらに該クロック信号に応じて転送して、該ホールド手段を制御する制御信号を生成することを特徴とする請求項１記載のアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、アクティブマトリクス型液晶表示装置及びその駆動方法に関する。
【０００２】
【従来の技術】
アクティブマトリクス型液晶表示装置の駆動方法としては種々のものが知られており、それを実現する駆動回路の構成も多種多様である。それらのうち現在主流である駆動回路には、大別して点順次方式と線順次方式によるものとがある。それらは、液晶に信号を書き込むタイミングの違いにより区別される。ある１つの走査線に書き込み－保持状態を制御される複数の液晶に一斉に信号が書き込まれるものを線順次方式と称し、該複数の液晶に順次信号が書き込まれるものを点順次方式と称する。点順次方式の駆動回路は主に対角１０ｃｍ以下の小型の液晶表示装置に用いられることが多く、対角１０ｃｍ以上の中型～大型の液晶表示装置には線順次方式の駆動回路が用いられることが多い。線順次方式の駆動回路は例えば、フラットパネルディスプレイ１９９１『ドライバＬＳＩの課題は低電圧単一電源化で解決』（１９９１年１１月２６日、日経ＢＰ社出版、ｐ１６８～ｐ１７２）に記されている。
【０００３】
図２には、信号線駆動回路に線順次方式の駆動回路を用いたアクティブマトリクス型液晶表示装置の構成例を示す。ＴＦＴ－ＬＣＤパネル２０１は、信号線駆動回路２０６と走査線駆動回路２０７と画素マトリクス２０２とから構成される。さらに、信号線駆動回路はシフトレジスタＳＲＸとレベルシフタＬＳＸとサンプル・ホールド回路ＳＨとから構成され、走査線駆動回路２０７はシフトレジスタＳＲＹとレベルシフタＬＳＹとから構成される。また、画素マトリクス２０２は、ｎ本の走査線Ｇ１，Ｇ２・・・Ｇｎと、ｍ本の信号線Ｓ１，Ｓ２・・・Ｓｍと、該走査線と該信号線との交点に薄膜トランジスタ素子２０３、液晶素子２０４及び保持容量２０５とを設けて構成される。信号線駆動回路２０６は信号線Ｓ１，Ｓ２・・・Ｓｍに映像信号ＶＩＤＥＯを入力する目的で設けられ、走査線駆動回路２０７は走査線Ｇ１，Ｇ２・・・Ｇｍに接続された薄膜トランジスタ素子２０３の導通－非導通状態を制御する目的で設けられている。
【０００４】
図２に示す液晶表示装置の駆動方法の一例について説明する。まず、第１のクロックＸＣＬＫに同期するシフトレジスタＳＲＸにより第１の信号ＸＩＮが出力Ｂｉｔ１，Ｂｉｔ２・・・Ｂｉｔｍに順次転送される。出力Ｂｉｔ１，Ｂｉｔ２・・・Ｂｉｔｍに時系列的に出力された信号はレベルシフタＬＳＸにより電圧のレベルシフトが行われ、サンプル・ホールド回路ＳＨにおいて映像信号ＶＩＤＥＯのサンプルのタイミングを制御する信号として用いられる。該映像信号は、サンプル・ホールド回路ＳＨに一旦時系列的にサンプルされた後、出力イネーブル信号ＥＮＢＬの信号出力と同時に信号線Ｓ１，Ｓ２・・・Ｓｍに書き込まれる。このとき走査線駆動回路２０７は、第２のクロックＣＬＹに同期するシフトレジスタＳＲＹと該シフトレジスタの出力電圧をレベルシフトするレベルシフタＬＳＹとにより、ある１つの走査線、例えば走査線Ｇ１に接続された薄膜トランジスタ群だけを導通状態にする選択信号を出力する。導通状態となった該薄膜トランジスタ群は、信号線駆動回路２０６から信号線Ｓ１，Ｓ２・・・Ｓｍに出力されている該映像信号を各々の画素毎に設けられた液晶素子及び保持容量に伝える。以下、走査線Ｇ２・・・Ｇｎについてこれを繰り返すことにより、各画素の液晶素子に該映像信号を書き込むことができる。以上の方法を用いて、さらに液晶素子の電気光学特性を利用することで任意の表示画面を得ることができる。
【０００５】
この液晶表示装置に用いるシフトレジスタＳＲＸ及びＳＲＹは、例えば図５に示される回路から構成される。図５（ａ）はＤ－フリップ・フロップを用いたもので、図５（ｂ）はクロックド・インバータとＡＮＤゲートを用いたものである。前者のＤ－フリップ・フロ

ップを用いたシフトレジスタではクロックＣＬＫａの１クロックで１ビット分のシフト動作が行われ、後者のシフトレジスタではクロックＣＬＫｂの１／２クロックで１ビット分のシフト動作が行われる。前記シフトレジスタＳＲＸ及びＳＲＹが、ＭＯＳＦＥＴ等で構成されている場合は前者の構成がよく用いられ、薄膜トランジスタで構成されている場合は後者の構成を用いることが多い。

【０００６】

さて、図２のＴＦＴ－ＬＣＤパネル２０１を駆動するのに必要な各制御信号または映像信号は、図３に示すＴＦＴ－ＬＣＤユニット３０９内で生成または変調されて得られる。ＴＦＴ－ＬＣＤユニット３０１には、外部クロック信号ＥＣＬＫと水平同期信号ＨＳＹＮＣと垂直同期信号ＶＳＹＮＣと映像原信号３１０とが入力されている。出力イネーブル信号ＥＮＢＬは、水平同期信号ＨＳＹＮＣと第１のクロックＸＣＬＫとを用いてＥＮＢＬ生成回路３０５で生成される。該ＥＮＢＬ生成回路は、例えば、該水平同期信号でリセットした後、第１のクロックＸＣＬＫのパルス数をカウントするカウンタ回路と、該カウンタ回路によるカウント値が設定値に達したときパルス信号を出力するパルス出力回路とから構成される。また、前記サンプル・ホールド回路のリセット動作に必要なリセット信号ＲＳＴも該出力イネーブル信号と同様に生成される。

【０００７】

ここで、上記の構成の液晶表示装置のうち該信号線駆動回路を抜き出し、その動作について更に説明を加える。図４は信号線駆動回路２０６の構成を説明する図である。第１のクロックＸＣＬＫに同期して第１の信号ＸＩＮを順次出力Ｂｉｔ１，Ｂｉｔ２・・・Ｂｉｔｍに転送するシフトレジスタＳＲＸと、該シフトレジスタの出力の電圧レベルをシフトするレベルシフタＬＳＸとにより出力される信号は、アナログ・スイッチＡＳＷ１，１，ＡＳＷ２，１・・・ＡＳＷｍ，１の導通状態を制御する。このとき、該アナログ・スイッチを順次オン・オフすることによりサンプル容量ＣＳＰＬに、各々の信号線Ｓ１，Ｓ２・・・Ｓｍに対応した映像信号ＶＩＤＥＯを取り込むことができる。その後、出力イネーブル信号ＥＮＢＬに選択パルスが出力されると、該出力イネーブル信号に導通状態を制御されるアナログ・スイッチ群ＡＳＷ１，２，ＡＳＷ２，２・・・ＡＳＷｍ，２が導通状態となり、該サンプル容量にサンプルされた映像信号はホールド容量ＣＨＬＤに転送される。このとき、該サンプル容量から該ホールド容量への映像信号の転送は容量結合によって行われるため、転送前の該ホールド容量の電圧が各信号線単位毎に異なっていたのでは正確な転送ができない。そこで転送前に該ホールド容量のリセットを行うため、リセット信号ＲＳＴに導通状態を制御されるリセット・スイッチ群ＲＳＷ１，ＲＳＷ２・・・ＲＳＷ３により総ての該ホールド容量を、例えば接地電圧等の固定電圧を予め印加しておく。さて次に、アナログ・バッファＢ１，Ｂ２・・・Ｂｍは該ホールド容量に転送された映像信号をバッファリングして出力する。該選択パルスの出力が終了するとともに該アナログ・スイッチ群は不通状態となるため、該ホールド容量と該サンプル容量とは電気的に絶縁される。この状態から再び該サンプル容量への映像信号のサンプルが行われる。以降、これを繰り返すことによって各信号線に任意の映像信号を供給することができる。

【０００８】

このような駆動方法を用いることによって、出力イネーブル信号の選択パルスが出力されている期間を除く１水平走査期間の殆どの期間を信号線への映像信号の書き込みに使うことができる。これにより、信号線または画素の負荷に対する信号線駆動回路の駆動能力が向上し、表示対角が３０ｃｍ以上の大面積ＴＦＴ－ＬＣＤも実現可能となったのである。

【０００９】

【発明が解決しようとする課題】

従来のアクティブマトリクス型液晶表示装置において、出力イネーブル信号等のラッチ信号は、画素マトリクスと同一基板上に形成される静電気保護回路によって遅延してしまい、タイミングを正確に決定できないことがあった。静電気保護回路は、信号の時間的精度の面から見ると明らかに邪魔だが、画素マトリクスと同一基板上に形成される例えば走査線駆動回路や信号線駆動回路等を静電気の放電による破壊から守るという点で極めて効果

の大きいものである。静電気保護回路を設けない場合、製造工程での歩留まりは顕著に減少する。

【００１０】

そこで従来は、負荷駆動能力の大きい信号源を用いて出力イネーブル信号などのラッチ信号を得ていた。このような信号源は電流駆動能力を増したものが多く、装置の消費電力を増やすことになる。また、駆動能力をむやみに増すと信号波形が歪み、オーバー・シュート等による誤動作の問題を引き起こす。これらから最新のアクティブマトリクス型液晶表示装置では、出力イネーブル信号等のラッチ信号の時間的精度を保証するのが困難になりつつある。

【００１１】

本発明は上記の課題を解決する。

【００１２】

【課題を解決するための手段】

本発明は、画素マトリクスと少なくとも信号線駆動回路とが同一基板上に形成されたアクティブマトリクス型表示装置において、該信号線駆動回路は、信号を順次サンプルするサンプル手段と、該サンプル手段によってサンプルした信号を保持するホールド手段と、を有し、該サンプル手段は、信号をサンプルするタイミングを規定するラッチ信号をクロック信号から生成するサンプル・ラッチ生成手段と、サンプルされる信号を該ラッチ信号に応じて保持するサンプル保持手段とから構成され、該信号線駆動回路は、さらに該ホールド手段を制御する制御信号を該クロック信号に基づいて生成する制御手段を有し、一水平走査期間内における該クロック信号の周波数を液晶表示装置の仕様あるいは特性に応じて変更可能に構成してなることにより、上記課題を解決する。

【００１７】

さらに、該信号線駆動回路は該ホールド手段をリセットするリセット手段を有し、該制御手段は、該サンプル・ラッチ制御手段において転送された信号を入力して該クロック信号に応じて転送して、該リセット手段により該ホールド手段をリセットする制御信号を生成し、該転送された信号をさらに該クロック信号に応じて転送して、該ホールド手段を制御する制御信号を生成することにより、上記課題を解決する。

【００３０】

【実施例】

本発明の実施例について図面を用いて説明する。

【００３１】

（第１の実施例）

図１は、第１の実施例を用いたアクティブマトリクス型液晶表示装置を構成するアクティブマトリクス・パネルの信号線駆動回路の一例を説明する図である。該信号線駆動回路は画素マトリクスと同一の基板上に形成される。

【００３２】

シフトレジスタＳＲは、選択信号ＸＩＮをＢｉｔ１，Ｂｉｔ２・・・Ｂｉｔｍの各ビット出力に転送し、サンプル・スイッチ群ＳＷ１，１，ＳＷ２，１・・・ＳＷｍ，１を時系列的にオン・オフするために設ける。該シフトレジスタと該サンプル・スイッチ群との間にはレベルシフタＬＳが介在しており、該レベルシフタは、該シフトレジスタのビット出力の電圧レベルまたは電流レベルを該サンプル・スイッチ群がオン・オフ動作をするのに十分なレベルに引き上げるまたは押し下げるために用いられる。但し、該シフトレジスタのビット出力が該サンプル・スイッチ群をオン・オフするのに十分なレベルであるならば、該レベルシフタは不要である。該サンプル・スイッチ群が時系列的にオン・オフすることによって映像信号ＶＩＤＥＯはサンプル容量Ｃ１，１，Ｃ２，１・・・Ｃｍ，１に順次サンプルされ、該サンプル容量には該映像信号に応じた電圧値が各々保持される。このとき該サンプル容量とホールド容量Ｃ１，２，Ｃ２，２・・・Ｃｍ，２との間に設けるホールド・スイッチ群ＳＷ１，２，ＳＷ２，２・・・ＳＷｍ，２は、ホールド・スイッチ制御回路からの制御信号に基づいてオフしている。該サンプル容量に保持された電圧値は、最終

的にはアナログ・バッファＢ１，Ｂ２・・・Ｂｍにより増幅または緩衝されて信号線Ｓ１，Ｓ２・・・Ｓｍに出力されるのだが、この過程が従来技術と本発明とで大きく異なる。

【００３３】

図４に示す従来技術によれば、ＴＦＴ－ＬＣＤパネルの外から供給される出力イネーブル信号ＥＮＢＬが入力されるのに伴って、サンプル容量ＣＳＰＬに保持された電圧値はホールド容量ＣＨＬＤに転送され、アナログ・バッファＢ１，Ｂ２・・・Ｂｍは該ホールド容量に転送された電圧値を増幅または緩衝して信号線に出力する。これに対し本発明では、この出力イネーブル信号ＥＮＢＬに相当する信号を、複雑な回路構成を必要とせずにアクティブマトリクス・パネルの内部で生成することができる。以下、再び図１を用いて本発明の説明を続ける。

【００３４】

さて前述の通り、サンプル容量Ｃ１，１，Ｃ２，１・・・Ｃｍ，１には該映像信号に応じた電圧値が保持され続けているものとする。シフトレジスタＳＲのシフト動作を制御する制御クロックＣＬＫは、同時に出力スイッチ制御回路１０１とリセット・スイッチ制御回路１０２とホールド・スイッチ制御回路１０３とに入力され、これら３つの制御回路の出力信号のタイミングを制御している。これら３つの制御回路は該シフトレジスタと等価な回路構成を有しており、さらに必要に応じて演算回路等を組み合わせた回路構成を有している。これら３つの制御回路の具体的回路構成については後述する。該シフトレジスタは、制御クロックＣＬＫに同期して選択信号ＸＩＮをＢｉｔ１，Ｂｉｔ２・・・Ｂｉｔｍの各ビット出力に転送した後、該選択信号を出力スイッチ制御回路１０１に転送する。このとき、該出力スイッチ制御回路からは出力スイッチ群ＳＷ１，３，ＳＷ２，３・・・ＳＷｍ，３をオフにする制御信号が出力され、アナログ・バッファＢ１，Ｂ２・・・Ｂｍの出力端子と信号線Ｓ１，Ｓ２・・・Ｓｍとは電気的に絶縁される。

【００３５】

次に、制御クロックＣＬＫに同期して該出力スイッチ制御回路からリセット・スイッチ制御回路１０２に該選択信号が転送される。このとき該リセット・スイッチ制御回路からは、第１のリセット・スイッチ群ＳＷ１，４，ＳＷ２，４・・・ＳＷｍ，４及び第２のリセット・スイッチ群ＳＷ１，５，ＳＷ２，５・・・ＳＷｍ，５をオンにする制御信号が出力される。該第１のリセット・スイッチ群は、リセット信号線ＲＳと該ホールド容量及び該アナログ・バッファの入力端子との間の導通状態を制御するように設けている。また、該第２のリセット・スイッチ群は、該リセット信号線と該アナログ・バッファの出力端子との間の導通状態を制御するように設けている。該第１のリセット・スイッチ群がオンすると、該ホールド容量には該リセット信号線に印加された電圧値がほぼ瞬時に書き込まれ、該ホールド容量は該電圧値にリセットされる。このとき同時に該ホールド容量に直結している該アナログ・バッファの入力端子も該電圧値にリセットされる。また、該第２のリセット・スイッチ群がオンすると、該アナログ・バッファの出力端子には該リセット信号線に印加された電圧値が書き込まれ、該アナログ・バッファの出力端子は該電圧値にリセットされる。該アナログ・バッファの入力端子のみならず出力端子をもリセットするのは、該アナログ・バッファのスルーレート以上に高速に出力を安定化させるためである。

【００３６】

該ホールド容量及び該アナログ・バッファの入出力端子がリセットされた後、次に、該制御クロックに同期してリセット・スイッチ制御回路１０２からホールド・スイッチ制御回路１０３へと該選択信号が転送される。このとき同時に、該リセット・スイッチ制御回路は該第１のリセット・スイッチ群及び該第２のリセット・スイッチ群をオフにする制御信号を出力する。また、該ホールド・スイッチ制御回路はホールド・スイッチ群ＳＷ１，２，ＳＷ２，２・・・ＳＷｍ，２をオンにする制御信号を出力する。これに伴って該ホールド・スイッチ群は導通状態となり、サンプル容量Ｃ１，１，Ｃ２，１・・・Ｃｍ，１に保持された電圧値はホールド容量Ｃ２，１，Ｃ２，２・・・Ｃｍ，２へとほぼ瞬時に転送される。該ホールド容量へ転送された電圧値は、該アナログ・バッファで増幅または緩衝されて該アナログ・バッファから出力されている。

【００３７】
次に、該制御クロックに同期して該ホールド・スイッチ制御回路から出力スイッチ制御回路へと該選択信号が転送される。このとき、該ホールド・スイッチ制御回路は該ホールド・スイッチ群をオフにする信号を出力し、該サンプル容量から該ホールド容量への電圧値の転送を終了する。一方で、該出力スイッチ制御回路は該出力スイッチ群をオンにする制御信号を出力する。これにより該アナログ・バッファの出力端子と該信号線とが接続され、該アナログ・バッファで増幅または緩衝された電圧値が信号線へ出力されるようになる。該出力スイッチ制御回路が再びオフの制御信号を出力するまでの期間、即ち、該シフトレジスタが新たな選択信号ＸＩＮをＢｉｔ１，Ｂｉｔ２・・・Ｂｉｔｍの各ビットに転送して、新たな映像信号ＶＩＤＥＯを順次該サンプル容量にサンプルし終わるまでの期間、該アナログ・バッファの出力端子と該信号線は電気的に接続された状態が保たれ、該信号線への信号の書き込みが続けられることになる。以上の動作を繰り返すことにより、任意の映像信号を各信号線に転送することができ、アクティブマトリクス型液晶表示装置に映像を映し出すことができる。

【００３８】
本発明を用いることにより、サンプル容量からホールド容量へ電圧値を転送するタイミングを制御する該出力イネーブル信号ＥＮＢＬに相当する制御信号をＴＦＴ－ＬＣＤパネルの外部で作成する必要が無くなる。このためＴＦＴ－ＬＣＤパネルと外部回路とを接続するために用いる実装端子の数を減らすことができるので、実装工程数の減少や実装時の歩留まり向上等の利点がある。また、出力スイッチ制御回路とリセット・スイッチ制御回路及びホールド・スイッチ制御回路はシフトレジスタと等価の回路構成をしている、または、等価の回路構成をした部分を多く含んでいるため、回路設計の上ではシフトレジスタのビット数を多くするだけでこれら３つの制御回路の殆どの部分を設計することができる。このため、回路のレイアウト面積を最小にすることが可能となり、ＴＦＴ－ＬＣＤパネルの狭小化を実現できる。また、特殊な回路構成を付加するのに比べて設計付加が大きく低減されるので、設計ミスの要因を予め取り除くことができる。さらに、実装端子から出力イネーブル信号を供給する従来の方法では静電気による回路の破壊を防ぐ静電気保護回路をＴＦＴ－ＬＣＤパネル上の実装端子の近辺に設ける場合が多いが、該静電気保護回路は極めて大きな寄生容量を有しているのが普通で、これによって出力イネーブル信号が遅延することは避けられない。一方、本発明によれば静電気保護回路は不要なので、遅延の無い出力イネーブル信号を得ることができる。これにより、サンプル容量からホールド容量への信号転送のタイミングが精度良く決定され、誤信号の取り込み等を確実に防止することができる。

【００３９】
また、本発明では、該出力スイッチ群と該出力スイッチ制御回路とを用いて、該アナログ・バッファの出力が該信号線に断続的に印加されるようにしている。これは、該第２のリセット・スイッチ群によって該アナログ・バッファの出力がリセットされる際に、信号線に該リセット信号線の電圧を印加させないために設けている。従来の信号線駆動回路であれば信号線もリセットされるため、本来は不要な高周波が信号線に重畳されることになる。本発明では該出力スイッチ群及び該出力スイッチ制御回路の機能により映像信号のみを該信号線に印加できるので、信号線近辺に封入されている液晶の異常配向によるドメイン発生を抑えることができ、該ドメインからの光漏れの無い、高コントラスト比のアクティブマトリクス型液晶表示装置を実現できる。また、該バッファ手段によって該信号線に寄生する容量が無駄に充放電されるのを、該信号線出力手段で防ぐことができるため、信号線駆動回路の消費電力を少なくすることができる。

【００４０】
以下、より具体的に本発明の第１の実施例について説明する。まず、図１のシフトレジスタＳＲが図５（ａ）に示すＤ－フリップフロップにより構成されている場合について説明する。図６は、図１の部分１０６の具体的回路構成の一例を説明する図である。端子６０１は、図１のシフトレジスタＳＲから転送される選択信号を入力する端子である。配線６

０２は、図１の第１のリセット・スイッチ群ＳＷ１，４，ＳＷ２，４・・・ＳＷｍ，４及び第２のリセット・スイッチ群ＳＷ１，５，ＳＷ２，５・・・ＳＷｍ，５の制御端子に接続される配線である。配線６０３は、図１のホールド・スイッチ群ＳＷ１，２，ＳＷ２，２・・・ＳＷｍ，２の制御端子に接続される配線である。配線６０４は、図１の出力スイッチ群ＳＷ１，３，ＳＷ２，３・・・ＳＷｍ，３の制御端子に接続される配線である。尚、前記配線６０２，６０３及び６０４と前記各スイッチ群との間にはレベルシフタＬＳを介在させて、電圧レベルまたは電流レベルを引き上げるまたは押し下げることも可能である。出力スイッチ制御回路１０１は、Ｄ－フリップフロップ６０５及び６０７とリセッタブル・Ｄ－フリップフロップ６０６とＮＯＲゲート６０８とから構成される。リセット・スイッチ制御回路１０２及びホールド・スイッチ制御回路１０３はＤ－フリップフロップそのもので構成される。この実施例では、制御クロックＣＬＫに同期するＤ－フリップフロップが６０５→１０２→１０３→６０７と並べられており、この回路構成が図５（ａ）のシフトレジスタの回路構成と等価であることが明らかである。

【００４１】

次に、図６の回路の動作を図８に示すタイミング・チャートを用いて説明する。以下の説明中では図１を併用する。

【００４２】

まず、水平走査期間８０１のうち水平帰線期間８０２を除いた期間では、制御クロックＣＬＫに同期して図１のシフトレジスタＳＲは順次Ｂｉｔ１，Ｂｉｔ２・・・Ｂｉｔｍの各ビットに選択パルスを出力する。このとき、前述の説明通り、映像信号に対応する信号が各ビットごとに設けたサンプル容量にサンプリングされる。一方でｍ番目のビットＢｉｔｍに出力される選択パルスは同時に端子６０１にも入力される。

【００４３】

［期間８０３］該選択パルスを受け、Ｄ－フリップフロップ６０５の出力端子Ｑ（点Ｐ６１）は該制御クロックの次の１クロックの間、ハイ・レベルの電圧を出力する。これがＤ－フリップフロップ６０６のクロック端子ＣＫに入力され、Ｄ－フリップフロップ６０６の出力端子Ｑ（点Ｐ６５）はロー・レベルからハイ・レベルへと変わる。ここで、Ｄ－フリップフロップ６０６は１ビット・カウンタを構成しているので、再びクロック端子ＣＫ（点Ｐ６１）にパルス信号が入力されるか、または、リセット端子Ｒにハイ・レベルの信号が入力されるまでこの状態を維持することになる。さて、ＮＯＲゲート６０８は点Ｐ６５のハイ・レベルの信号を受けて配線６０４（点Ｐ６６）にロー・レベルの信号を出力する。このようにして期間８０３では、図１のアナログ・バッファ群の出力端子と信号線との導通状態を制御する出力スイッチ群ＳＷ１，３，ＳＷ２，３・・・ＳＷｍ，３をオフにし、該アナログ・バッファ群の出力信号が該信号線に伝達されないようにする。

【００４４】

［期間８０４］該制御クロックの次の１クロックの間、リセット・スイッチ制御回路１０２を兼ねるＤ－フリップフロップの出力端子Ｑ（点Ｐ６２）及び配線６０２はハイ・レベルとなり、第１のリセット・スイッチ群ＳＷ１，４，ＳＷ２，４・・・ＳＷｍ，４及び第２のリセット・スイッチ群ＳＷ１，５，ＳＷ２，５・・・ＳＷｍ，５は導通状態となる。こうして期間８０４では、該アナログ・バッファ群の入出力端子及びホールド容量Ｃ１，２，Ｃ２，２・・・Ｃｍ，２がリセット信号線ＲＳの電圧レベルにリセットされることになる。期間８０４が終了すると同時に、リセット・スイッチ制御回路１０２を兼ねるＤ－フリップフロップの出力端子Ｑはロー・レベルとなり、該第１のリセット・スイッチ群及び該第２のリセット・スイッチ群は非導通状態となる。

【００４５】

［期間８０５］該制御クロックの次の１クロックの間、ホールド・スイッチ制御回路１０３を兼ねるＤ－フリップフロップの出力端子Ｑ（点Ｐ６３）及び配線６０３はハイ・レベルとなり、ホールド・スイッチ群ＳＷ２，１，ＳＷ２，２・・・ＳＷｍ，２は導通状態になる。これによりサンプル容量Ｃ１，１，Ｃ２，１・・・Ｃｍ，１から該ホールド容量へと信号が転送され、各アナログ・バッファは該信号を増幅または緩衝して出力端子から出

力する。こうして期間８０５では、該ホールド容量に信号を書き込み、該アナログ・バッファの出力を安定化させる。期間８０５が終了すると同時に、ホールド・スイッチ制御回路を兼ねるＤ－フリップフロップの出力端子Ｑはロー・レベルとなり、該ホールド・スイッチ群は非導通状態となる。これによって該サンプル容量と該ホールド容量とが電気的に絶縁され、該ホールド容量は再び該第１のリセット・スイッチ群が開くまで、期間８０５終了時の電圧値を保持し続ける。

【００４６】

［期間８０６］該制御クロックの次の１クロックの間、Ｄ－フリップフロップ６０７の出力端子Ｑ（点Ｐ６４）はハイ・レベルとなり、該出力端子に接続されたリセッタブル・Ｄ－フリップフロップ６０６のリセット端子Ｒにハイ・レベルが入力されるため、該リセッタブル・Ｄ－フリップフロップはリセットされ出力端子Ｑ（点Ｐ６５）はロー・レベルを出力する。このとき該ＮＯＲゲートの２つの入力端子である点Ｐ６４と点Ｐ６５はそれぞれハイ・レベルとロー・レベルとなり、未だ出力（点Ｐ６６）はロー・レベルとなっているため、該出力スイッチ群はオフのままである。

【００４７】

該制御クロックの次のクロックが入力されると同時に、Ｄ－フリップフロップの出力端子Ｑ（点Ｐ６４）はロー・レベルになり、該ＮＯＲゲートの２つの入力端子は共にロー・レベルになり、出力（点Ｐ６６）はハイ・レベルとなる。これにより該出力スイッチ群は導通状態となり、該ホール容量に保持された信号が増幅または緩衝されて該アナログ・バッファから該信号線に出力される。

【００４８】

以上の一連の動作が終了し、水平帰線期間８０２が終了すると、再び該シフトレジスタによる映像信号のサンプリングから始まる一連の動作を繰り返す。以上の様にして、アクティブマトリクス型液晶表示装置の信号線駆動回路の内部で各スイッチ群を制御するラッチ信号を得ることができる。

【００４９】

図８のタイミング・チャートでは、期間８０３～期間８０６の各期間の長さが異なっている。これは、各期間で行われる上記動作が完了するのに要する時間が各々違うためである。一般的な映像信号では水平帰線期間８０２は水平走査期間８０１の概ね２割程度の時間しかないため、前記の各期間を該水平帰線期間内で有効に配分する必要がある。期間８０４では、該アナログ・バッファの入出力容量と該ホールド容量とを該リセット信号線に印加されている電圧レベルまで充放電するため、これら期間８０３～８０６の中では期間８０４が最も時間を要する。次に時間を要するのが期間８０５であり、期間８０５では該サンプル容量から該ホールド容量への該映像信号の転送が行われる。該転送は、該ホールド・スイッチ群を介して容量結合によって行われるため、少なくとも期間８０４よりは短くできる。期間８０５が短すぎる場合には該転送が十分に行われず精度の面で問題になることがあるので、要求される精度にもよるがある程度の時間は必要である。一方、期間８０３では該出力スイッチ群をオフにする時間だけが要求され、期間８０６では該出力スイッチ群をオンにする時間だけが要求される。期間８０３及び期間８０６は該出力スイッチ制御回路の遅延に対してマージンを取れば良いため、期間８０５よりも短い時間で構わない。これらから、少なくとも期間８０４＞期間８０５の関係が成り立ち、さらに期間８０４＞期間８０５＞期間８０３　期間８０６という関係が成り立つ。この関係は絶対的な条件では無く、期間８０３～期間８０６に配分される時間を最小にする条件であると考えることができる。上記条件が満たされるということは、換言すれば、該出力スイッチがオン状態になっている時間が最も長いということである。これには該アナログ・バッファ群による該信号線への書き込みが十分に行えるという利点がある。

【００５０】

さて、上記各期間の時間は、仕様の異なるアクティブマトリクス型液晶表示装置毎に異なってくる。ここでは該制御クロックの周波数を可変にすることによって、上記各期間のタイミングを可変制御している。こうすると、制御クロックを生成する回路だけを可変にし

ておけば良く、外部回路の汎用性が高まり、アクティブマトリクス型液晶表示装置の製造コストを下げる効果がある。

【００５１】

次に、図１のシフトレジスタＳＲが図５（ｂ）に示すクロックド・インバータとＡＮＤゲートにより構成されている場合について説明する。図９は、図１の部分１０６の具体的回路構成の一例を説明する図である。端子９０１は、シフトレジスタＳＲからの転送信号を受ける端子である。配線９０２は、リセット・スイッチ制御回路１０２と該第１のリセット・スイッチ群及び該第２のリセット・スイッチ群の制御端子とを接続する配線である。配線９０３は、ホールド・スイッチ制御回路１０３と該ホールド・スイッチ群の制御端子とを接続する配線である。配線９０４は、出力スイッチ制御回路１０１と該出力スイッチ群の制御端子とを接続する配線である。９０５及び９０６はＮ型の薄膜トランジスタを表している。図中総てのクロックド・インバータは制御信号がハイ・レベルのときのみインバータ動作をするものとする。この３つの制御回路は図９の例では主にクロックド・インバータから構成され、さらにそれらのうち該リセット・スイッチ制御回路と該ホールド・スイッチ制御回路は図５（ｂ）に示したシフトレジスタの回路構成と等価であることが分かる。機能的にも図６に示した回路とほぼ同じである。

【００５２】

次に、図１０に示すタイミング・チャートを用いて簡単に回路動作について説明する。尚、図９に示すようなクロックド・インバータ型のシフトレジスタ及び制御回路の駆動には、制御クロックＣＬＫと、該制御クロックとは排他論理の関係にある制御クロックＣＬＫ＊が必要となるので、ここでは予めインバータ等を用いて制御クロックＣＬＫの排他論理をとり制御クロックＣＬＫ＊を得たものとする。

【００５３】

まず水平帰線期間８０２に入る直前、端子９０１にはｍ番目のビットＢｉｔｍの選択信号が入力されている。

【００５４】

［期間１２１］水平走査期間８０２に入ると制御クロックＣＬＫがハイ・レベルになり、制御クロックＣＬＫに制御されるクロックド・インバータが動作して、該選択信号は点Ｐ９１及び点Ｐ９２へと転送される。点Ｐ９２はハイ・レベルとなりクロックド・インバータ９０８をインバータ動作させる。このとき点Ｐ９２はハイ・レベルであるのでＮ型薄膜トランジスタ９０５は導通状態にあり、点Ｐ９９を接地電圧（ロー・レベル）に固定している。点Ｐ９１はロー・レベルであるので、クロックド・インバータ９０７はインバータとして機能していない。よって、クロックド・インバータ９０３の出力端子である点Ｐ９８はハイ・レベルとなる。ＮＯＲゲート９０９の入力端子に接続されている点Ｐ９８がハイ・レベルであるので、該ＮＯＲゲートはロー・レベルを出力する。これにより、配線９０４に接続された出力スイッチ群はオフとなる。

【００５５】

［期間１２２］次に制御クロックＣＬＫがロー・レベルになるとリセット・スイッチ制御回路１０２はハイ・レベルを点Ｐ９３に出力し、該第１のリセット・スイッチ群及び該第２のスイッチ群はオン状態となる。こうして前述と同様に、該ホールド容量及び該アナログ・バッファ群の出力端子は該リセット信号線の電圧に印加され、リセットされる。

【００５６】

［期間１２３］次に制御クロックＣＬＫが再びハイ・レベルになるとホールド・スイッチ制御回路１０３はハイ・レベルを点Ｐ９４に出力し、該ホールド・スイッチ群はオン状態となる。同時に、該第１のリセット・スイッチ群及び該第２のリセットスイッチ群はオフ状態になり、該ホールド容量には該サンプル容量に保持された電圧値が転送される。この一方で、該出力スイッチ制御回路では点Ｐ９１がハイ・レベルになるため、クロックド・インバータ９０７がインバータ動作を開始する。クロックド・インバータ９０７及び９０８は双方ともインバータ動作をしているため、この入出力端子である点Ｐ９８及び点Ｐ９９は各々ハイ・レベル、ロー・レベルで安定する。

【００５７】
［期間１２４］次に制御クロックＣＬＫが再びロー・レベルになると点Ｐ９５はロー・レベルになるため、Ｎ型薄膜トランジスタ９０６のゲート端子はハイ・レベルになり、該Ｎ型薄膜トランジスタは導通状態となる。このとき、同時にクロックド・インバータ９０８はインバータとして機能しなくなるため、点Ｐ９８は接地電圧（ロー・レベル）に固定される。この時点ではＮＯＲゲート９０９の入力端子（点Ｐ９６）がハイ・レベルであるため、該ＮＯＲゲートの出力（点Ｐ９７）はロー・レベルのままとなる。
【００５８】
次に制御クロックＣＬＫが再びハイ・レベルになると、点Ｐ９５がハイ・レベルになり、点Ｐ９６がロー・レベルになる。点Ｐ９５がハイ・レベルになるとクロックド・インバータ９０８はインバータ動作を始め、点Ｐ９８をロー・レベルに固定し続ける。さて、ＮＯＲゲート９０９の２つの入力端子、点Ｐ９６と点Ｐ９８は両方ロー・レベルとなるので、該ＮＯＲゲートは配線９０４（点Ｐ９７）にハイ・レベルを出力する。こうして該出力スイッチ群はオン状態になり、該アナログ・バッファ群の出力を該信号線に書き込むことができる。
【００５９】
以上の一連の動作を１水平走査期間毎に行うことによって各信号線へ任意の映像信号を書き込むことができる。
【００６０】
ここで、本文の説明に用いるハイ・レベル／ロー・レベルとは回路論理動作の正／誤に対応した電圧のレベルを指すものとする。また、以上で説明してきた複数のスイッチ群は、制御信号がハイ・レベルのとき導通状態（オン）になり、ロー・レベルのとき絶縁状態（オフ）になる、Ｎ型薄膜トランジスタによるアナログ・スイッチ等を想定している。
【００６１】
次に、各スイッチ群、アナログ・バッファ等を含む図１の部分１０７についても具体的な回路構成を説明する。図７は、図１の部分１０７の具体的な構成を説明する図である。図中サンプル・スイッチ群ＳＷ１，１，ＳＷ２，１・・・とホールド・スイッチ群ＳＷ１，２，ＳＷ２，２・・・と出力スイッチ群ＳＷ１，３，ＳＷ２，３・・・とは、薄膜トランジスタから成る双補型トランスファー・ゲートで構成されている。また、図中第１のリセット・スイッチ群ＳＷ１，４，ＳＷ２，４・・・及び第２のリセット・スイッチ群ＳＷ１，５，ＳＷ２，５・・・はＮ型薄膜トランジスタから成るアナログ・スイッチで構成されている。該サンプル・スイッチ群と該ホールド・スイッチ群と第１のリセット・スイッチ群及び第２のリセット・スイッチ群と出力スイッチ群は、双補型トランスファー・ゲート、Ｎ型薄膜トランジスタ及びＰ型薄膜トランジスタの何れで構成しても構わない。またこれらは何れも、薄膜ダイオード等の整流素子で構成しても構わない。
【００６２】
上記の第１の実施例の説明では、サンプル手段としてシフトレジスタとサンプル・スイッチ群とサンプル容量とを示し、ホールド手段としてホールド・スイッチ群とホールド容量とを示し、該サンプル手段及び該ホールド手段を制御する制御手段として出力スイッチ制御回路とホールド・スイッチ制御回路とサンプル・スイッチ制御回路とを示した。これらから、画素マトリクスと少なくとも信号線駆動回路とが同一基板上に形成されたアクティブマトリクス型液晶表示装置において、該信号線駆動回路は、映像信号を順次サンプルするサンプル手段と、該サンプル手段によってサンプルされた該映像信号をホールドするホールド手段と、該ホールド手段を制御する第１の制御手段と、を有することが本発明の特徴であると言える。
【００６３】
また、上記の第１の実施例の説明では、バッファ手段としてアナログ・バッファを示した。これらから、画素マトリクスと少なくとも信号線駆動回路とが同一基板上に形成されたアクティブマトリクス型液晶表示装置において、該信号線駆動回路は、映像信号を順次サンプルするサンプル手段と、該サンプル手段によってサンプルされた該映像信号をホール

ドするホールド手段と、該ホールド手段によって保持された該映像信号を増幅または緩衝するバッファ手段と、該ホールド手段を制御する第１の制御手段と、を有することが、本発明の特徴であると言える。

【００６４】

本発明により、該制御手段で生成される制御信号は殆ど遅延することなく該ホールド手段及び該サンプル手段に伝達されるので、誤信号の取り込みが未然に防止される。また該制御信号は該制御手段によって同一基板上で生成されており、同一基板の外から供給する必要が無いので、実装端子数を減らすことができる。これには実装工程数の減少や、実装工程での歩留まり向上等の効果がある。

【００６５】

また、上記の第１の実施例の説明では、リセット手段としてリセット・スイッチ群とリセット信号線とを示した。これらから、画素マトリクスと少なくとも信号線駆動回路とが同一基板上に形成されたアクティブマトリクス型液晶表示装置において、該信号線駆動回路は、映像信号を順次サンプルするサンプル手段と、該サンプル手段によってサンプルされた該映像信号をホールドするホールド手段と、該ホールド手段によって保持された該映像信号を増幅または緩衝するバッファ手段と、少なくとも該ホールド手段または該バッファ手段の一方をリセットするリセット手段と、該ホールド手段を制御する第１の制御手段と該リセット手段を制御する第２の制御手段と、を有することが、本発明の特徴であると言える。本発明により、該制御手段で生成される制御信号は殆ど遅延することなく該サンプル手段及び該ホールド手段及び該リセット手段に伝達されるので、誤信号の取り込みが未然に防止される。また従来は、該制御信号が遅延することによって該リセット手段の制御信号と該ホールド手段の制御信号が時間的に重なることがあり、折角該ホールド手段に転送した該映像信号にリセット信号が漏洩することがあった。本発明では該制御信号の遅延が殆ど無いので、リセット信号の漏洩を未然に防ぐことができる。

【００６６】

また、上記の第１の実施例の説明では、該映像信号をサンプルするタイミングを規定するラッチ信号を生成するサンプル・ラッチ生成手段としてシフトレジスタを示し、サンプルされる該映像信号を保持するサンプル保持手段としてサンプル容量を示し、該ラッチ信号に基づいて該映像信号を該サンプル保持手段へサンプルするサンプル・スイッチング手段として双補型トランスファー・ゲートを示した。これらから、画素マトリクスと少なくとも信号線駆動回路とが同一基板上に形成されたアクティブマトリクス型液晶表示装置において、該信号線駆動回路は少なくとも、映像信号を順次サンプルするサンプル手段と、該サンプル手段によってサンプルした該映像信号をホールドするホールド手段と、該ホールド手段によって保持された該映像信号を増幅または緩衝するバッファ手段と、該ホールド手段を制御する第１の制御手段と、を有し、該サンプル手段は、該映像信号をサンプルするタイミングを規定するラッチ信号を生成するサンプル・ラッチ生成手段と、サンプルされる該映像信号を保持するサンプル保持手段と、該ラッチ信号に基づいて該映像信号を該サンプル保持手段へサンプルするサンプル・スイッチング手段とから構成され、該第１の制御手段は、該サンプル・ラッチ生成手段と概ね等価な手段から構成されていることが、本発明の特徴であると言える。本発明により該制御手段は該サンプル・ラッチ生成手段の出力ビット数を多くするだけで構成できるため、回路レイアウト面積を最小にすることができ、ひいてはアクティブマトリクス型液晶表示装置の狭小化を実現できる。また、該制御手段が該サンプル・ラッチ生成手段とは全く異なる構成で設計される場合に比べ、設計ミスの要因を少なくできるという利点もある。

【００６７】

また、上記の第１の実施例の説明では、該バッファ手段によって増幅または緩衝された該映像信号を断続的に該画素マトリクスの信号線に供給する信号線出力手段として、出力スイッチ群及び出力スイッチ制御回路とを示した。これらから、画素マトリクスと少なくとも信号線駆動回路とが同一基板上に形成されたアクティブマトリクス型液晶表示装置において、該信号線駆動回路は少なくとも、映像信号を順次サンプルするサンプル手段と、該

サンプル手段によってサンプルした該映像信号をホールドするホールド手段と、該ホールド手段によって保持された該映像信号を増幅または緩衝するバッファ手段と、該バッファ手段によって増幅または緩衝された該映像信号を断続的に該画素マトリクスの信号線に供給する信号線出力手段と、を有することが本発明の特徴であると言える。本発明によれば、信号線に該映像信号以外の高周波成分を与えることが無いので、該信号線近辺に封入される液晶の配向状態をむやみに変えることが無い。よって、異常配向による液晶のドメインの発生を抑え、該ドメインによる光漏れを防くことができるので、高画質のアクティブマトリクス型液晶表示装置を実現できる。また、該バッファ手段によって該信号線に寄生する容量が無駄に充放電されるのを、該信号線出力手段で防ぐことができるため、アクティブマトリクス型液晶表示装置の消費電力を少なくすることができる。

【００６８】

また、上記の第１の実施例の説明では、サンプル手段を制御するタイミング信号として該サンプル制御回路から出力される該サンプル・ラッチ信号を示し、ホールド手段を制御するタイミング信号として該ホールド制御回路から出力される該ホールド・ラッチ信号を示した。これらから、画素マトリクスと少なくとも信号線駆動回路とが同一基板上に形成されており、該信号線駆動回路は少なくとも、映像信号を順次サンプルするサンプル手段と、該サンプル手段によってサンプルした該映像信号をホールドするホールド手段と、該ホールド手段によって保持された該映像信号を増幅または緩衝するバッファ手段と、該ホールド手段を制御する第１の制御手段と、を有し、該サンプル手段は、該映像信号をサンプルするタイミングを規定するラッチ信号をクロック信号から生成するサンプル・ラッチ生成手段と、サンプルされる該映像信号を保持するサンプル保持手段と、該ラッチ信号に基づいて該映像信号を該サンプル容量へサンプルするサンプル・スイッチング手段とから構成されるアクティブマトリクス型液晶表示装置において、該クロック信号は周波数が可変であり、該ホールド手段を制御するタイミング信号は該第１の制御手段により該クロック信号から生成されることが、本発明の特徴であると言える。本発明により該クロック信号の周波数を可変にするだけでホールドするタイミングを可変にできる。本発明の信号線駆動回路を用いた場合、異なる仕様のアクティブマトリクス型液晶表示装置で外部回路を共通化できるため、外部回路の製造コストを低減できる。また、同じ仕様のアクティブマトリクス型液晶表示装置においても特性のばらつきによるタイミングのずれを外部回路で補償することができ、従来は不良品となっていたものを救済できる。

【００６９】

また、上記の第１の実施例の説明では、該ホールド手段によって該映像信号をホールドするのに要する時間ｔｈとして期間８０５及び期間１２３を、該リセット手段によって該ホールド手段をリセットするのに要する時間ｔｒとして期間８０４及び期間１２２を示した。これらから、画素マトリクスと少なくとも信号線駆動回路とが同一基板上に形成され、該信号線駆動回路は、少なくとも映像信号を順次サンプルするサンプル手段と、該サンプル手段によってサンプルした該映像信号をホールドするホールド手段と、該ホールド手段によって保持された該映像信号を増幅または緩衝するバッファ手段と、該ホールド手段をリセットするリセット手段と、を有するアクティブマトリクス型液晶表示装置の駆動方法において、該ホールド手段によって該映像信号をホールドするのに要する時間をｔｈとし、該リセット手段によって該ホールド手段をリセットするのに要する時間をｔｒとしたとき、少なくともｔｈ＞ｔｒなる関係が成り立つアクティブマトリクス型液晶表示装置の駆動方法が、本発明の特徴であると言える。本発明によれば、水平帰線期間を有効に利用し、該バッファ手段が信号線に該映像信号を増幅出力または緩衝出力する時間を最長にすることができる。このため、該信号線への該映像信号の書き込みが十分に行われ、高コントラストのアクティブマトリクス型液晶表示装置を実現できる。

【００７０】

（第２の実施例）

図１１は、第２の実施例を用いたアクティブマトリクス型液晶表示装置を構成するアクティブマトリクス・パネルの信号線駆動回路の一例を説明する図である。図１１は、図１の

部分１０６に相当する回路を示している。そこで第２の実施例では、図１の部分１０６のみを図１１の回路に置き換えたものとして、併せて図１を説明に用いる。尚、該信号線駆動回路は画素マトリクスと同一の基板上に形成される。

【００７１】

この図では、リセット・スイッチ制御回路１０２とホールド・スイッチ制御回路１０３との間に遅延回路１１２を設けている。該遅延回路は、リセット・スイッチ群とホールド・スイッチ群とが同時にオンし、リセット信号線に印加されている電圧レベルがホールド容量に漏洩し続け、サンプル容量からホールド容量への映像信号の転送が正確に行われない、という現象を防ぐために設けている。第１の実施例で説明した回路が設計通りに機能した場合には該リセット・スイッチ群と該ホールド・スイッチ群とが同時にオンすることは無いのだが、希にこうした現象が起こる。例えば、該リセット・スイッチ制御回路を構成する薄膜トランジスタの特性がばらついたために該リセット・スイッチ制御回路から出力される制御信号が遅延してしまった場合など、該リセット・スイッチ群がオフするタイミングと該ホールド・スイッチ群がオンするタイミングはほぼ同時であるので、これらタイミングが重なってしまうことがある。他にも該リセット・スイッチ制御回路からリセット・スイッチ群までの遅延が、該ホールド・スイッチ制御回路からホールド・スイッチ群までの遅延よりも大きいときにも、こうした現象が見られる。そこで、第２の実施例では遅延回路１１２を設けることによって、少なくとも該リセット・スイッチ群と該ホールド・スイッチ群とが同時にオンすることが無い様にしているのである。

【００７２】

この図１１では、該遅延回路は制御クロックＣＬＫに制御されているが、必ずしも該制御クロックに制御される必要は無い。例えば、ＣＲ積分回路を該遅延回路として用いる場合は該制御クロックを接続する必要が無い。

【００７３】

次に、図１２及び図１３を用いて第２の実施例の具体的な回路構成の一例について説明する。図１２は、シフトレジスタとしてＤ－フリップフロップを用いた場合（図５（ａ）参照）の、遅延回路１１２の具体的回路構成を説明する図である。図１３は、図１２の動作を説明するタイミング・チャートである。図１２の遅延回路１１２はＤ－フリップフロップから構成されており、該シフトレジスタ及びリセット・スイッチ制御回路及びホールド・スイッチ制御回路及び出力スイッチ制御回路と概ね等価な構成になっている。該シフトレジスタの出力ビット単位の回路構成から見ると、図６の回路に僅か１ビット分を増やすだけで該遅延回路が実現されるのが分かる。このため、前記第１の実施例と同様に信号線駆動回路の狭小化を実現できる。また、遅延回路を付加することによって生ずる設計段階での負荷の増大は皆無で、設計ミス等の要因を予め取り除くことができる。動作の面から見れば、図１３と図８とを比較すれば良く分かる様に、リセット・スイッチ群がオン状態になっている期間３２３（図８の期間８０４に相当）と、ホールド・スイッチ群がオン状態になっている期間３２５（図８の期間８０５に相当）との間に、該遅延回路による遅延期間３２４が設けられている。該遅延期間３２４が該リセット・スイッチ群がオン状態からオフ状態に移行する時間に比べて十分に長いとき、該リセット・スイッチ群と該ホールド・スイッチ群とが同時にオンすることは無い。これにより、サンプル容量からホールド容量への映像信号の転送が正確に行われるので、高精度の信号線駆動回路を実現できる。

【００７４】

さらに、図１４及び図１５を用いて第２の実施例の具体的な回路構成の一例について説明する。図１４は、シフトレジスタとして主にクロックド・インバータを用いた場合（図５（ｂ）参照）の、遅延回路１１２の具体的回路構成を説明する図である。図１５は、図１４の動作を説明するタイミング・チャートである。図１４の遅延回路１１２は主にクロックド・インバータから構成されており、該シフトレジスタ及びリセット・スイッチ制御回路及びホールド・スイッチ制御回路及び出力スイッチ制御回路と概ね等価な構成になっている。該シフトレジスタの出力ビット単位の構成から見ると、図９の回路に僅か１ビット分を増やすだけで該遅延回路が実現されるのが分かる。このため、前記第１の実施例と同

様に信号線駆動回路の狭小化を実現できる。また、遅延回路を付加することによって生ずる設計段階での負荷の増大は皆無で、設計ミス等の要因を予め取り除くことができる。動作の面から見れば、図１５と図１０とを比較すれば良く分かる様に、リセット・スイッチ群がオン状態になっている期間５１３（図１０の期間１２２に相当）と、ホールド・スイッチ群がオン状態になっている期間５１５（図１０の期間１２３に相当）との間に、該遅延回路による遅延期間５１４が設けられている。遅延期間５１４が該リセット・スイッチ群がオン状態からオフ状態に移行する時間に比べて十分に長いとき、該リセット・スイッチ群と該ホールド・スイッチ群とが同時にオンすることは無い。これにより、サンプル容量からホールド容量への映像信号の転送が正確に行われるので、高精度の信号線駆動回路を実現できる。

【００７５】

上記第２の実施例の説明では、遅延手段として遅延回路を示した。これらから、画素マトリクスと少なくとも信号線駆動回路とが同一基板上に形成されたアクティブマトリクス型液晶表示装置において、該信号線駆動回路は少なくとも、映像信号を順次サンプルするサンプル手段と、該サンプル手段によってサンプルした該映像信号をホールドするホールド手段と、該ホールド手段によって保持された該映像信号を増幅または緩衝するバッファ手段と、該ホールド手段をリセットするリセット手段と、該リセット手段のリセット動作を終了するタイミングから該ホールド手段のホールド動作を開始するタイミングまでの時間長を制御する遅延手段と、を有することが、本発明の特徴であると言える。本発明により、該リセット手段がリセット動作を行う期間と該ホールド手段がホールド動作を行う期間とが重なることは無くなり、該サンプル手段から該ホールド手段への該映像信号の転送は高精度に行え、階調分解表示能力の優れたアクティブマトリクス型液晶表示装置を実現できる。

【００７６】

（第３の実施例）

図１６は、第３の実施例を用いたアクティブマトリクス型液晶表示装置を構成するアクティブマトリクス・パネルの信号線駆動回路の一例を説明する図である。図１６は、図１の部分１０６に相当する回路を示している。そこで第３の実施例では、図１の部分１０６のみを図１６の回路に置き換えたものとして、併せて図１を説明に用いる。尚、該信号線駆動回路は画素マトリクスと同一の基板上に形成される。

【００７７】

回路構成の主たる部分は前述第２の実施例の説明に用いた図１１と変わらないが、リセット・スイッチ制御回路及び遅延回路及びホールド・スイッチ制御回路を制御する制御信号は、制御クロックＣＬＫを設定数だけカウントするカウント回路６１０，６１１，６１２から供給される。前記第１の実施例及び第２の実施例では、該制御クロックの周波数を変えることによって各制御回路の動作時間を制御していたが、第３の実施例ではこの制御クロックＣＬＫは該シフトレジスタを動作させる周波数と等しい、一定の周波数であり、該カウント回路で該制御クロックを設定数だけ数えることにより、各制御回路の動作時間を制御する。該カウント回路のカウント終了設定数は例えば、数ビットのＲＯＭを該カウント回路に併設する方法や、数ビット分のデータを外部回路から実装端子を介して供給する方法等により得られる。尚、図中、該カウント回路６１０，６１１，６１２の上側に付いている矢印はカウント開始信号を表し、右横に付いている矢印はリセット信号を表している。

【００７８】

該カウント回路を該制御クロックと各制御回路との間に設けることによって、該制御クロックは可変である必要は無くなる。外部回路のクロック生成回路は一定周波数の発振回路であれば良いので、回路構成がより単純になるため、高精度の制御クロックを生成することが可能となる。また、クロック生成回路周りの回路規模の縮小によりコストの低減及び省消費電力化が図れる。

【００７９】

次に、第３の実施例の具体的な回路構成の一例について説明する。図１７は、シフトレジスタにＤ－フリップフロップを用いる場合（図５（ａ）参照）の、図１６の部分１０６の具体的回路構成を説明する図である。図１８は、図１７の回路の動作を説明する図である。カウント回路６１０は、出力スイッチ制御回路１０１のＤ－フリップフロップ７１５のハイ・レベルの出力を受け、該制御クロックＣＬＫのカウントを開始し始める。カウント回路６１０は、該制御クロックを設定数になるまでカウントした後、リセット・スイッチ制御回路１０２として機能するＤ－フリップフロップのクロック端子ＣＫにクロックを出力し、該リセット・スイッチ制御回路１０２はリセット・スイッチ群をオン状態にするハイ・レベル信号を配線７１２に出力する。以下同様に、カウント回路６１１からの出力は遅延回路１１２として機能するＤ－フリップフロップのクロック端子ＣＫに入力され、カウント回路６１２からの出力はホールド・スイッチ制御回路１０３として機能するＤ－フリップフロップのクロック端子ＣＫに入力される。こうして、該リセット・スイッチ制御回路が該リセット・スイッチ群をオンにする期間８１３と、該遅延回路により遅延される期間８１４と、該ホールド・スイッチ制御回路がホールド・スイッチ群をオンにする期間８１５と、を該カウント回路６１０，６１１，６１２の各設定カウント数で制御することができる。

【００８０】

上記第３の実施例では、第１の計数手段としてカウント回路６１２を、第２の計数手段としてカウント回路６１０を、第３の計数手段としてカウント回路６１１を示した。これらから、画素マトリクスと少なくとも信号線駆動回路とが同一基板上に形成されたアクティブマトリクス型液晶表示装置において、該信号線駆動回路は少なくとも、映像信号を順次サンプルするサンプル手段と、該サンプル手段によってサンプルした該映像信号をホールドするホールド手段と、該ホールド手段によって保持された該映像信号を増幅または緩衝するバッファ手段と、該ホールド手段を制御する第１の計数手段とを有し、該サンプル手段及び該第１の計数手段には一定の周波数の制御クロックが入力されるアクティブマトリクス型液晶表示装置を用いることが、本発明の特徴であると言える。

【００８１】

または、画素マトリクスと少なくとも信号線駆動回路とが同一基板上に形成されたアクティブマトリクス型液晶表示装置において、該信号線駆動回路は少なくとも、映像信号を順次サンプルするサンプル手段と、該サンプル手段によってサンプルした該映像信号をホールドするホールド手段と、該ホールド手段によって保持された該映像信号を増幅または緩衝するバッファ手段と、少なくとも該ホールド手段または該バッファ手段の一方をリセットするリセット手段と、該ホールド手段を制御する第１の計数手段と、該リセット手段を制御する第２の計数手段と、を有し、該サンプル手段及び該第１の計数手段及び第２の計数手段には一定の周波数の制御クロックが入力されるアクティブマトリクス型液晶表示装置を用いることが、本発明の特徴であるといえる。

【００８２】

または、画素マトリクスと少なくとも信号線駆動回路とが同一基板上に形成されたアクティブマトリクス型液晶表示装置において、該信号線駆動回路は少なくとも、映像信号を順次サンプルするサンプル手段と、該サンプル手段によってサンプルした該映像信号をホールドするホールド手段と、該ホールド手段によって保持された該映像信号を増幅または緩衝するバッファ手段と、少なくとも該ホールド手段または該バッファ手段の一方をリセットするリセット手段と、該リセット手段のリセット動作を終了するタイミングから該ホールド手段のホールド動作を開始するタイミングまでの時間長を制御する遅延手段と、該ホールド手段を制御する第１の計数手段と、該リセット手段を制御する第２の計数手段と、該遅延手段を制御する第３の計数手段と、を有し、該サンプル手段及び該第１の計数手段及び第２の計数手段及び第３の計数手段には一定の周波数の制御クロックが入力されるアクティブマトリクス型液晶表示装置を用いることが本発明の特徴であると言える。

【００８３】

本発明によれば、該制御クロックを生成する回路の規模を縮小でき、高精度なクロックが

得られる。また、回路規模の縮小によりアクティブマトリクス型液晶表示装置を省消費電力できる。

【００８４】

（第４の実施例）

図１９、図２０及び図２１は、第４の実施例を用いたアクティブマトリクス型液晶表示装置を構成するアクティブマトリクス・パネルの信号線駆動回路の一例を説明する図である。尚、該信号線駆動回路は画素マトリクスと同一の基板上に形成される。

【００８５】

図１９は、リセット・スイッチ制御回路９２１とホールド・スイッチ制御回路９２２だけをシフトレジスタＳＲの第ｍ番目のビットの後部に付加したものである。第１の実施例との違いは出力スイッチ群が無いことと、それを制御する出力スイッチ制御回路が無いことである。第１の実施例では、この出力スイッチ群と出力スイッチ制御回路とは、アナログ・バッファ群Ｂ１，Ｂ２・・・Ｂｍと信号線Ｓ１，Ｓ２・・・Ｓｍとの導通状態を制御する目的で設けていた。しかし、小型のアクティブマトリクス型液晶表示装置では面積的な制約が大きく、出力スイッチ群及び出力スイッチ制御回路を配置できないこともある。即ち、サンプル・スイッチ群とリセット・スイッチ群とホールド・スイッチ群とを制御する回路を画素マトリクスと同一の基板に最小面積で配置するためには、信号線駆動回路の部分９２０はリセット・スイッチ制御回路とホールド・スイッチ制御回路から構成するのが最適である。尚、図１９の制御クロックＣＬＫは周波数が可変である。

【００８６】

図２０では、図１９で制御クロックの周波数が可変であったのを一定の周波数にし、カウント回路９２５，９２６で各々リセット・スイッチ制御回路９２１、ホールド・スイッチ制御回路９２２を制御する。この効果は第３の実施例と同様である。出力スイッチ制御回路及び出力スイッチ群が無い分、第３の実施例よりは回路の総面積は小さくなる。

【００８７】

図２１では、リセット・スイッチ制御回路９２１とホールド・スイッチ制御回路９２２との間に遅延回路９２７を設ける。この効果は第２の実施例と同様である。出力スイッチ制御回路及び出力スイッチ群が無い分、第２の実施例よりは回路の総面積は小さくなる。

【００８８】

上記第４の実施例の説明から、画素マトリクスと少なくとも信号線駆動回路とが同一基板上に形成されたアクティブマトリクス型液晶表示装置において、該信号線駆動回路は、映像信号を順次サンプルするサンプル手段と、該サンプル手段によってサンプルされた該映像信号をホールドするホールド手段と、該ホールド手段によって保持された該映像信号を増幅または緩衝するバッファ手段と、該ホールド手段を制御する第１の制御手段と、を有することが、本発明の特徴であると言える。また、画素マトリクスと少なくとも信号線駆動回路とが同一基板上に形成されたアクティブマトリクス型液晶表示装置において、該信号線駆動回路は、映像信号を順次サンプルするサンプル手段と、該サンプル手段によってサンプルされた該映像信号をホールドするホールド手段と、該ホールド手段によって保持された該映像信号を増幅または緩衝するバッファ手段と、少なくとも該ホールド手段または該バッファ手段の一方をリセットするリセット手段と、該ホールド手段を制御する第１の制御手段と該リセット手段を制御する第２の制御手段と、を有するアクティブマトリクス型液晶表示装置を用いることが、本発明の特徴であると言える。

【００８９】

本発明によれば、該第１の制御手段及び第２の制御手段で生成される制御信号は殆ど遅延することなく該ホールド手段及び該サンプル手段に伝達されるので、誤信号の取り込みが未然に防止される。また該制御信号は、該第１の制御手段及び第２の制御手段によって生成されており、同一基板の外から供給する必要が無いので、実装端子数を減らすことができる。また、該信号線駆動回路の総面積が小さくなるため、アクティブマトリクス型液晶表示装置の狭小化を実現できる。

【００９０】

【発明の効果】
画素マトリクスと少なくとも信号線駆動回路とが同一基板上に形成されたアクティブマトリクス型液晶表示装置において、該信号線駆動回路は、映像信号を順次サンプルするサンプル手段と、該サンプル手段によってサンプルされた該映像信号をホールドするホールド手段と、該ホールド手段を制御する第１の制御手段と、を有するアクティブマトリクス型液晶表示装置を用いることにより、
または、画素マトリクスと少なくとも信号線駆動回路とが同一基板上に形成されたアクティブマトリクス型液晶表示装置において、該信号線駆動回路は、映像信号を順次サンプルするサンプル手段と、該サンプル手段によってサンプルされた該映像信号をホールドするホールド手段と、該ホールド手段によって保持された該映像信号を増幅または緩衝するバッファ手段と、該ホールド手段を制御する第１の制御手段と、を有するアクティブマトリクス型液晶表示装置を用いることにより、
または、画素マトリクスと少なくとも信号線駆動回路とが同一基板上に形成されたアクティブマトリクス型液晶表示装置において、該信号線駆動回路は、映像信号を順次サンプルするサンプル手段と、該サンプル手段によってサンプルされた該映像信号をホールドするホールド手段と、該ホールド手段によって保持された該映像信号を増幅または緩衝するバッファ手段と、少なくとも該ホールド手段または該バッファ手段の一方をリセットするリセット手段と、該ホールド手段を制御する第１の制御手段と該リセット手段を制御する第２の制御手段と、を有するアクティブマトリクス型液晶表示装置を用いることにより、
該第１の制御手段及び第２の制御手段で生成される制御信号は殆ど遅延することなく該ホールド手段及び該サンプル手段に伝達されるので、誤信号の取り込みが未然に防止される。また該制御信号は、該第１の制御手段及び第２の制御手段によって生成されており、同一基板の外から供給する必要が無いので、実装端子数を減らすことができる。これには実装工程数の減少や、実装工程での歩留まり向上等の効果がある。また従来は、該制御信号が遅延することによって該リセット手段の制御信号と該ホールド手段の制御信号が時間的に重なることがあり、折角該ホールド手段に転送した該映像信号にリセット信号が漏洩することがあったが、本発明では該制御信号の遅延が殆ど無いので、リセット信号の漏洩を未然に防ぐことができる。
【００９１】
また、画素マトリクスと少なくとも信号線駆動回路とが同一基板上に形成されたアクティブマトリクス型液晶表示装置において、該信号線駆動回路は少なくとも、映像信号を順次サンプルするサンプル手段と、該サンプル手段によってサンプルした該映像信号をホールドするホールド手段と、該ホールド手段によって保持された該映像信号を増幅または緩衝するバッファ手段と、該ホールド手段を制御する第１の制御手段と、を有し、該サンプル手段は、該映像信号をサンプルするタイミングを規定するラッチ信号を生成するサンプル・ラッチ生成手段と、サンプルされる該映像信号を保持するサンプル保持手段と、該ラッチ信号に基づいて該映像信号を該サンプル保持手段へサンプルするサンプル・スイッチング手段とから構成され、該第１の制御手段は、該サンプル・ラッチ生成手段と概ね等価な手段から構成されているアクティブマトリクス型液晶表示装置を用いることにより、
該第１の制御手段は該サンプル・ラッチ生成手段の出力ビット数を多くするだけで構成できるため、回路レイアウト面積を最小にすることができ、ひいてはアクティブマトリクス型液晶表示装置の狭小化を実現できる。また、該制御手段が該サンプル・ラッチ生成手段とは全く異なる構成で設計される場合に比べ、設計負荷や設計ミスの要因を少なくできるという利点もある。
【００９２】
また、画素マトリクスと少なくとも信号線駆動回路とが同一基板上に形成されたアクティブマトリクス型液晶表示装置において、該信号線駆動回路は少なくとも、映像信号を順次サンプルするサンプル手段と、該サンプル手段によってサンプルした該映像信号をホールドするホールド手段と、該ホールド手段によって保持された該映像信号を増幅または緩衝するバッファ手段と、該バッファ手段によって増幅または緩衝された該映像信号を断続的

に該画素マトリクスの信号線に供給する信号線出力手段と、を有するアクティブマトリクス型液晶表示装置を用いることにより、
信号線に該映像信号以外の高周波成分を与えることが無いので、該信号線近辺に封入される液晶の配向状態をむやみに変えることが無い。よって、異常配向による液晶のドメインの発生を抑え、該ドメインによる光漏れを防くことができるので、高画質のアクティブマトリクス型液晶表示装置を実現できる。また、該バッファ手段によって該信号線に寄生する容量が無駄に充放電されるのを、該信号線出力手段で防ぐことができるため、アクティブマトリクス型液晶表示装置の消費電力を少なくすることができる。
【００９３】
信号線に該映像信号以外の高周波成分を与えることが無い。
【００９４】
また、画素マトリクスと少なくとも信号線駆動回路とが同一基板上に形成されており、該信号線駆動回路は少なくとも、映像信号を順次サンプルするサンプル手段と、該サンプル手段によってサンプルした該映像信号をホールドするホールド手段と、該ホールド手段によって保持された該映像信号を増幅または緩衝するバッファ手段と、該ホールド手段を制御する第１の制御手段と、を有し、該サンプル手段は、該映像信号をサンプルするタイミングを規定するラッチ信号をクロック信号から生成するサンプル・ラッチ生成手段と、サンプルされる該映像信号を保持するサンプル保持手段と、該ラッチ信号に基づいて該映像信号を該サンプル容量へサンプルするサンプル・スイッチング手段とから構成されるアクティブマトリクス型液晶表示装置において、該クロック信号は周波数が可変であり、該ホールド手段を制御するタイミング信号は該第１の制御手段により該クロック信号から生成されるアクティブマトリクス型液晶表示装置を用いることにより、
該クロック信号の周波数を可変にするだけでホールドするタイミングを可変にできる。本発明の信号線駆動回路を用いた場合、異なる仕様のアクティブマトリクス型液晶表示装置で外部回路を共通化できるため、外部回路の製造コストを低減できる。また、同じ仕様のアクティブマトリクス型液晶表示装置においても特性のばらつきによるタイミングのずれを補償することができ、従来は不良品となっていたものを救済できる。
【００９５】
また、画素マトリクスと少なくとも信号線駆動回路とが同一基板上に形成され、該信号線駆動回路は、少なくとも映像信号を順次サンプルするサンプル手段と、該サンプル手段によってサンプルした該映像信号をホールドするホールド手段と、該ホールド手段によって保持された該映像信号を増幅または緩衝するバッファ手段と、該ホールド手段をリセットするリセット手段と、を有するアクティブマトリクス型液晶表示装置の駆動方法において、該ホールド手段によって該映像信号をホールドするのに要する時間をｔｈとし、該リセット手段によって該ホールド手段をリセットするのに要する時間をｔｒとしたとき、少なくともｔｈ＞ｔｒなる関係が成り立つアクティブマトリクス型液晶表示装置の駆動方法を用いることにより、
水平帰線期間を有効に利用し、該バッファ手段が信号線に該映像信号を増幅出力または緩衝出力する時間を最長にすることができる。このため、該信号線への該映像信号の書き込みが十分に行われ、高コントラストのアクティブマトリクス型液晶表示装置を実現できる。
【００９６】
また、画素マトリクスと少なくとも信号線駆動回路とが同一基板上に形成されたアクティブマトリクス型液晶表示装置において、該信号線駆動回路は少なくとも、映像信号を順次サンプルするサンプル手段と、該サンプル手段によってサンプルした該映像信号をホールドするホールド手段と、該ホールド手段によって保持された該映像信号を増幅または緩衝するバッファ手段と、該ホールド手段をリセットするリセット手段と、該リセット手段のリセット動作を終了するタイミングから該ホールド手段のホールド動作を開始するタイミングまでの時間長を制御する遅延手段と、を有するアクティブマトリクス型液晶表示装置を用いることにより、

該リセット手段がリセット動作を行う期間と該ホールド手段がホールド動作を行う期間とが重なることは無くなり、該サンプル手段から該ホールド手段への該映像信号の転送は高精度に行え、階調分解表示能力の優れたアクティブマトリクス型液晶表示装置を実現できる。

【００９７】

また、画素マトリクスと少なくとも信号線駆動回路とが同一基板上に形成されたアクティブマトリクス型液晶表示装置において、該信号線駆動回路は少なくとも、映像信号を順次サンプルするサンプル手段と、該サンプル手段によってサンプルした該映像信号をホールドするホールド手段と、該ホールド手段によって保持された該映像信号を増幅または緩衝するバッファ手段と、該ホールド手段を制御する第１の計数手段とを有し、該サンプル手段及び該第１の計数手段には一定の周波数の制御クロックが入力されるアクティブマトリクス型液晶表示装置を用いることにより、

または、画素マトリクスと少なくとも信号線駆動回路とが同一基板上に形成されたアクティブマトリクス型液晶表示装置において、該信号線駆動回路は少なくとも、映像信号を順次サンプルするサンプル手段と、該サンプル手段によってサンプルした該映像信号をホールドするホールド手段と、該ホールド手段によって保持された該映像信号を増幅または緩衝するバッファ手段と、少なくとも該ホールド手段または該バッファ手段の一方をリセットするリセット手段と、該ホールド手段を制御する第１の計数手段と、該リセット手段を制御する第２の計数手段と、を有し、該サンプル手段及び該第１の計数手段及び第２の計数手段には一定の周波数の制御クロックが入力されるアクティブマトリクス型液晶表示装置を用いることにより、

または、画素マトリクスと少なくとも信号線駆動回路とが同一基板上に形成されたアクティブマトリクス型液晶表示装置において、該信号線駆動回路は少なくとも、映像信号を順次サンプルするサンプル手段と、該サンプル手段によってサンプルした該映像信号をホールドするホールド手段と、該ホールド手段によって保持された該映像信号を増幅または緩衝するバッファ手段と、少なくとも該ホールド手段または該バッファ手段の一方をリセットするリセット手段と、該リセット手段のリセット動作を終了するタイミングから該ホールド手段のホールド動作を開始するタイミングまでの時間長を制御する遅延手段と、該ホールド手段を制御する第１の計数手段と、該リセット手段を制御する第２の計数手段と、該遅延手段を制御する第３の計数手段と、を有し、該サンプル手段及び該第１の計数手段及び第２の計数手段及び第３の計数手段には一定の周波数の制御クロックが入力されるアクティブマトリクス型液晶表示装置を用いることにより、

該制御クロックを生成する回路の規模を縮小でき、高精度なクロックが得られる。また、回路規模の縮小によりアクティブマトリクス型液晶表示装置を省消費電力できる。

【図面の簡単な説明】

【図１】本発明の第１の実施例を用いたアクティブマトリクス型液晶表示装置の信号線駆動回路の一例を説明する図。

【図２】従来のＴＦＴ－ＬＣＤパネルの構成を説明する図。

【図３】従来のＴＦＴ－ＬＣＤモジュールの構成を説明する図。

【図４】従来の信号線駆動回路を説明する図。

【図５】シフトレジスタの回路構成を説明する図。

【図６】本発明の第１の実施例を用いたアクティブマトリクス型液晶表示装置の信号線駆動回路の具体的回路構成の一例を説明する図。

【図７】本発明の第１の実施例を用いたアクティブマトリクス型液晶表示装置の信号線駆動回路の具体的回路構成の一例を説明する図。

【図８】図７に示した信号線駆動回路の駆動方法の一例を説明するタイミング・チャート。

【図９】本発明の第１の実施例を用いたアクティブマトリクス型液晶表示装置の信号線駆動回路の具体的回路構成の一例を説明する図。

【図１０】図９に示した信号線駆動回路の駆動方法の一例を説明するタイミング・チャー

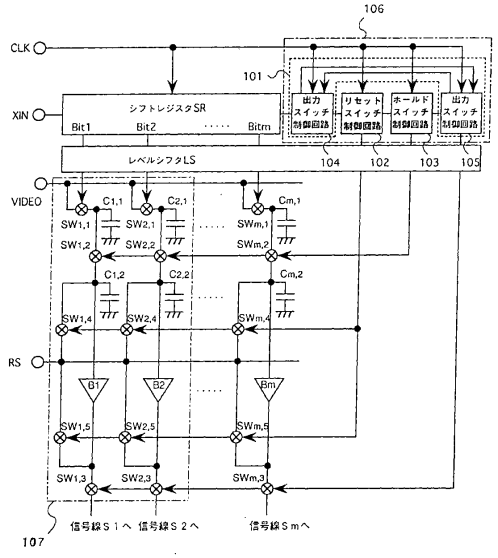
ト。
【図１１】本発明の第２の実施例を用いたアクティブマトリクス型液晶表示装置の信号線駆動回路の一例を説明する図。
【図１２】本発明の第２の実施例を用いたアクティブマトリクス型液晶表示装置の信号線駆動回路の具体的回路構成の一例を説明する図。
【図１３】図１３に示した信号線駆動回路の駆動方法の一例を説明するタイミング・チャート。
【図１４】本発明の第２の実施例を用いたアクティブマトリクス型液晶表示装置の信号線駆動回路の具体的回路構成の一例を説明する図。
【図１５】図１４に示した信号線駆動回路の駆動方法の一例を説明するタイミング・チャート。
【図１６】本発明の第３の実施例を用いたアクティブマトリクス型液晶表示装置の信号線駆動回路の一例を説明する図。
【図１７】本発明の第３の実施例を用いたアクティブマトリクス型液晶表示装置の信号線駆動回路の具体的回路構成の一例を説明する図。
【図１８】図１７に示した信号線駆動回路の駆動方法の一例を説明するタイミング・チャート。
【図１９】本発明の第４の実施例を用いたアクティブマトリクス型液晶表示装置の信号線駆動回路の一例を説明する図。
【図２０】本発明の第４の実施例を用いたアクティブマトリクス型液晶表示装置の信号線駆動回路の一例を説明する図。
【図２１】本発明の第４の実施例を用いたアクティブマトリクス型液晶表示装置の信号線駆動回路の一例を説明する図。
【符号の説明】
ＣＬＫ　・・・　制御クロック
ＸＩＮ　・・・　選択信号
ＶＩＤＥＯ　・・・　映像信号
ＳＲ　・・・　シフトレジスタ
ＬＳ　・・・　レベルシフタ
ＳＷ１，１，ＳＷ２，１・・・ＳＷｍ，１　・・・　サンプル・スイッチ群
ＳＷ１，２，ＳＷ２，２・・・ＳＷｍ，２　・・・　ホールド・スイッチ群
ＳＷ１，３，ＳＷ２，３・・・ＳＷｍ，３　・・・　出力スイッチ群
ＳＷ１，４，ＳＷ２，４・・・ＳＷｍ，４　・・・　第１のリセット・スイッチ群
ＳＷ１，５，ＳＷ２，５・・・ＳＷｍ，５　・・・　第２のリセット・スイッチ群
Ｂｉｔ１，Ｂｉｔ２・・・Ｂｉｔｍ　・・・　ビット出力
ＲＳ　・・・　リセット信号線
Ｂ１，Ｂ２・・・Ｂｍ　・・・　アナログ・バッファ
Ｃ１，１，Ｃ２，１・・・Ｃｍ，１　・・・　サンプル容量
Ｃ１，２，Ｃ２，２・・・Ｃｍ，２　・・・　ホールド容量
１０１　・・・　出力スイッチ制御回路
１０２　・・・　リセット・スイッチ制御回路
１０３　・・・　ホールド・スイッチ制御回路
１０４，１０５　・・・　出力スイッチ制御回路の一部分
１０６，１０７　・・・　信号線駆動回路の一部分
２０１　・・・　ＴＦＴ－ＬＣＤパネル
２０２　・・・　ｎ行×ｍ列の画素マトリクス
２０３　・・・　薄膜トランジスタ
２０４　・・・　液晶
２０５　・・・　保持容量
２０６　・・・　信号線駆動回路

２０７　・・・　走査線駆動回路
Ｓ１，Ｓ２・・・Ｓｍ　・・・　信号線
Ｇ１，Ｇ２・・・Ｇｎ　・・・　走査線
ＳＲＸ　・・・　Ｘ側シフトレジスタ
ＬＳＸ　・・・　Ｘ側レベルシフタ
ＳＲＹ　・・・　Ｙ側シフトレジスタ
ＬＳＹ　・・・　Ｙ側レベルシフタ
ＳＨ　・・・　サンプル・ホールド回路
ＣＯＭ　・・・　対向電圧
ＸＣＬＫ　・・・　Ｘ側クロック
ＸＩＮ　・・・　Ｘ側選択信号
ＶＩＤＥＯ　・・・　映像信号
ＲＳＴ　・・・　リセット信号
ＥＮＢＬ　・・・　出力イネーブル信号
ＹＩＮ　・・・　Ｙ側選択信号
ＹＣＬＫ　・・・　Ｙ側クロック
３０１　・・・　対向電圧ＣＯＭ生成回路
３０２　・・・　映像信号ＶＩＤＥＯ変調回路
３０３　・・・　Ｘ側クロックＸＣＬＫ生成回路
３０４　・・・　Ｘ側選択信号ＸＩＮ生成回路
３０５　・・・　出力イネーブル信号ＥＮＢＬ生成回路
３０７　・・・　Ｙ側選択信号ＹＩＮ生成回路
３０８　・・・　Ｙ側クロックＹＣＬＫ生成回路
３０９　・・・　ＴＦＴ－ＬＣＤユニット
３１０　・・・　映像原信号
３１１　・・・　リセット信号ＲＳＴ生成回路
ＥＣＬＫ　・・・　外部クロック
ＨＳＹＮＣ　・・・　水平同期信号
ＶＳＴＮＣ　・・・　垂直同期信号
ＡＳＷ１，１，ＡＳＷ２，１・・・ＡＳＷｍ，１　・・・　アナログ・スイッチ群
ＡＳＷ１，２，ＡＳＷ２，２・・・ＡＳＷｍ，２　・・・　アナログ・スイッチ群
ＲＳＷ１，ＲＳＷ２・・・ＲＳＷｍ　・・・　リセット・スイッチ群
ＣＳＰＬ　・・・　サンプル容量
ＣＨＬＤ　・・・　ホールド容量
５０１　・・・　Ｄ－フリップフロップ
５０２　・・・　クロックド・インバータ
５０３　・・・　インバータ
５０４　・・・　ＡＮＤゲート
ＣＬＫａ，ＣＬＫｂ，ＣＬＫｂ＊　・・・　クロック
ＤＩＮ　・・・　選択信号
６０１　・・・　端子
６０２，６０３，６０４　・・・　配線
６０５，６０７　・・・　Ｄ－フリップフロップ
６０６　・・・　リセッタブル・Ｄ－フリップフロップ
６０８　・・・　ＮＯＲゲート
Ｐ６１～Ｐ６６　・・・　点Ｐ６１～Ｐ６６
７０１，７０２　・・・　ビット出力からの配線
７０３　・・・　ホールド・スイッチ制御回路からの配線
７０４　・・・　リセット・スイッチ制御回路からの配線
７０５　・・・　出力スイッチ制御回路からの配線

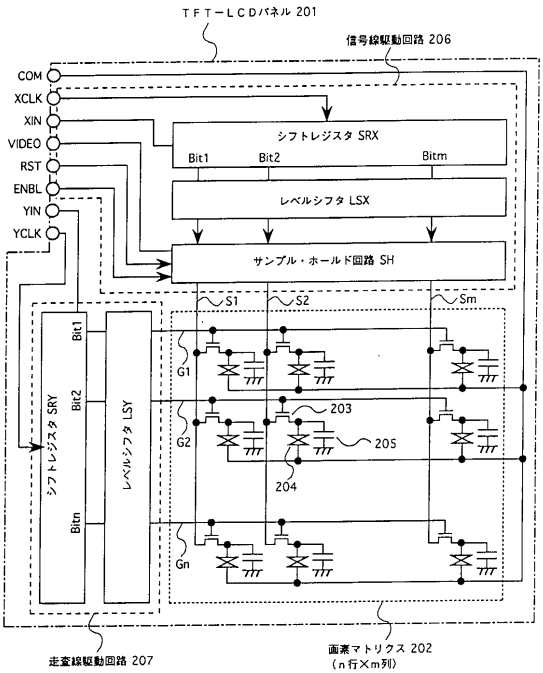
７０６，７０７　・・・　信号線への配線
８０１　・・・　水平走査期間
８０２　・・・　水平帰線期間
８０３，８０４，８０５，８０６　・・・　期間
９０１　・・・　端子
９０２　・・・　第１のリセット・スイッチ群及び第２のリセット・スイッチ群への配線
９０３　・・・　ホールド・スイッチ群への配線
９０４　・・・　出力スイッチ群への配線
９０５，９０６　・・・　Ｎ型薄膜トランジスタ
９０７，９０８　・・・　クロックド・インバータ
９０９　・・・　ＮＯＲゲート
Ｐ９１～Ｐ９９　・・・　点Ｐ９１～Ｐ９９
ＣＬＫ，ＣＬＫ＊　・・・　制御クロック
１２１，１２２，１２３，１２４　・・・　期間
１１１　・・・　端子
１１２　・・・　遅延回路
２１１　・・・　端子
２１２，２１３，２１４　・・・　配線
２１５，２１７　・・・　Ｄ－フリップフロップ
２１６　・・・　リセッタブル・Ｄ－フリップフロップ
２１８　・・・　ＮＯＲゲート
Ｐ２１～Ｐ２６　・・・　点Ｐ２１～Ｐ２６
３２０　・・・　水平走査期間
３２１　・・・　水平帰線期間
３２２，３２３，３２４，３２５　・・・　期間
４０１　・・・　端子
４０２，４０３，４０４　・・・　配線
４０５，４０６　・・・　クロックド・インバータ
４０７、４０８　・・・　Ｎ型薄膜トランジスタ
４０９　・・・　インバータ
Ｐ４１～Ｐ４９　・・・　点Ｐ４１～Ｐ４９
５１０　・・・　水平走査期間
５１１　・・・　水平帰線期間
５１２，５１３，５１５，５１６　・・・　期間
５１４　・・・　遅延期間
６１０，６１１，６１２　・・・　カウント回路
７１１　・・・　端子
７１２，７１３，７１４　・・・　配線
７１５，７１７　・・・　Ｄ－フリップフロップ
７１６　・・・　リセッタブル・Ｄ－フリップフロップ
７１８　・・・　ＮＯＲゲート
Ｐ７１～Ｐ７７　・・・　点Ｐ７１～Ｐ７７
８１０　・・・　水平走査期間
８１１　・・・　水平帰線期間
８１２，８１３，８１５，８１６　・・・　期間
８１４　・・・　遅延期間
９２０　・・・　部分
９２１　・・・　リセット・スイッチ制御回路
９２２　・・・　ホールド・スイッチ制御回路
９２５，９２６　・・・　カウント回路

９２７　・・・　遅延回路

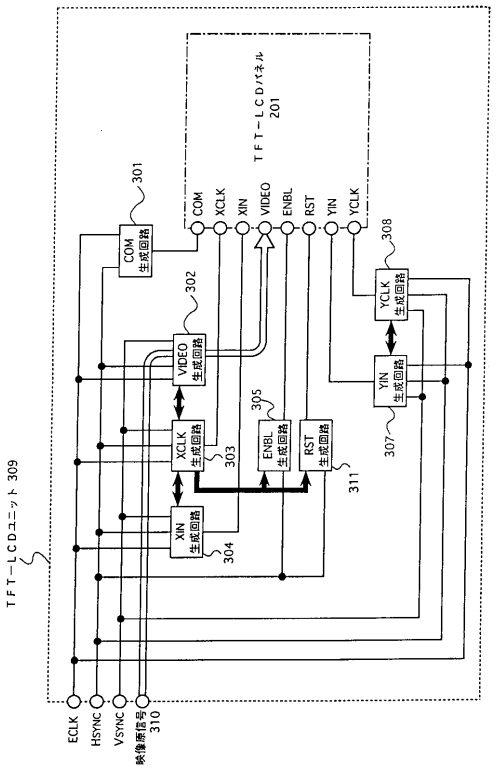
【図１】



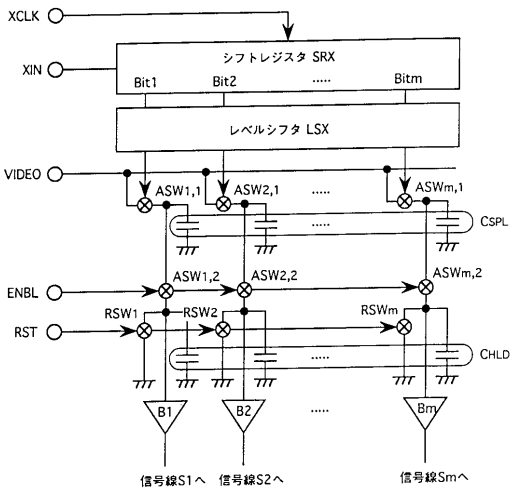
【図２】



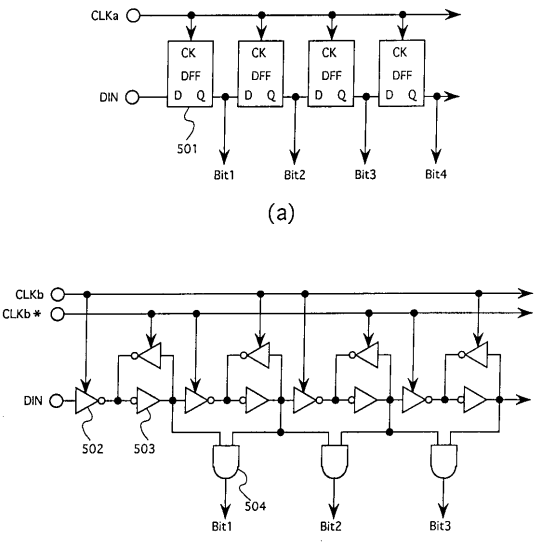
【図３】


TFT-LCDユニット 309
TFT-LCDパネル 201
COM
XCLK
XIN
VIDEO
ENBL
RST
YIN
YCLK
301
302
303
304
305
307
308
311
COM 生成回路
VIDEO 生成回路
XCLK 生成回路
XIN 生成回路
ENBL 生成回路
RST 生成回路
YCLK 生成回路
YIN 生成回路
ECLK
HSYNC
VSYNC
映像信号 310

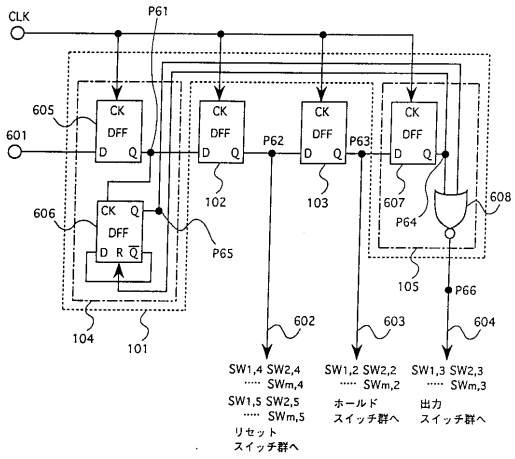
【図４】


XCLK
XIN
シフトレジスタ SRX
Bit1
Bit2
.....
Bitm
レベルシフタ LSX
VIDEO
ASW1,1
ASW2,1
ASWm,1
CSPL
ENBL
ASW1,2
ASW2,2
ASWm,2
RST
RSW1
RSW2
RSWm
CHLD
B1
B2
Bm
信号線S1へ
信号線S2へ
信号線Smへ

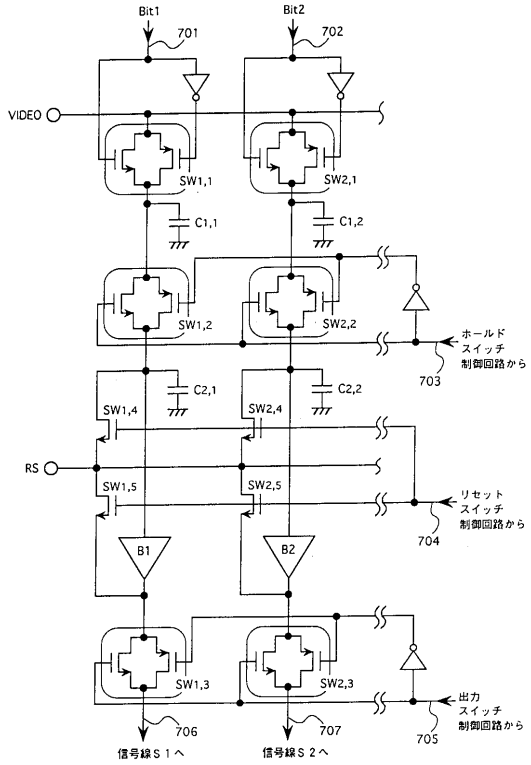
【図５】


CLKa
DIN
CK
DFF
D Q
501
Bit1
Bit2
Bit3
Bit4
(a)
CLKb
CLKb＊
DIN
502
503
504
Bit1
Bit2
Bit3
(b)

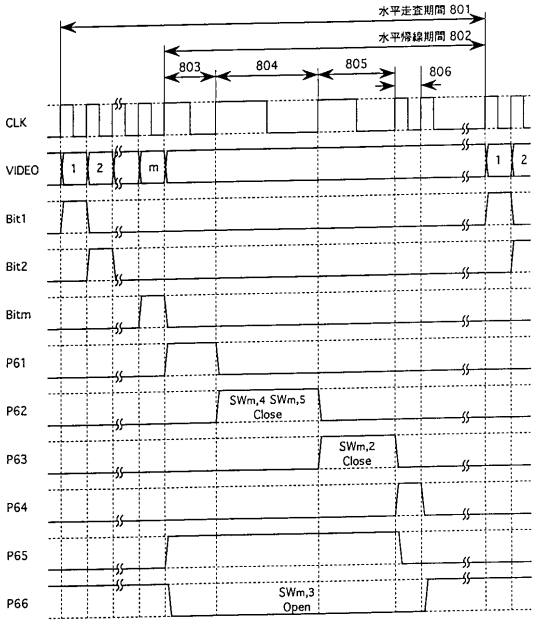
【図６】


CLK
P61
601
605
606
CK
DFF
D Q
D R Q
P62
P63
P64
P65
P66
102
103
104
101
105
607
608
602
603
604
SW1,4 SW2,4 ..... SWm,4
SW1,5 SW2,5 ..... SWm,5
リセット スイッチ群へ
SW1,2 SW2,2 ..... SWm,2
ホールド スイッチ群へ
SW1,3 SW2,3 ..... SWm,3
出力 スイッチ群へ

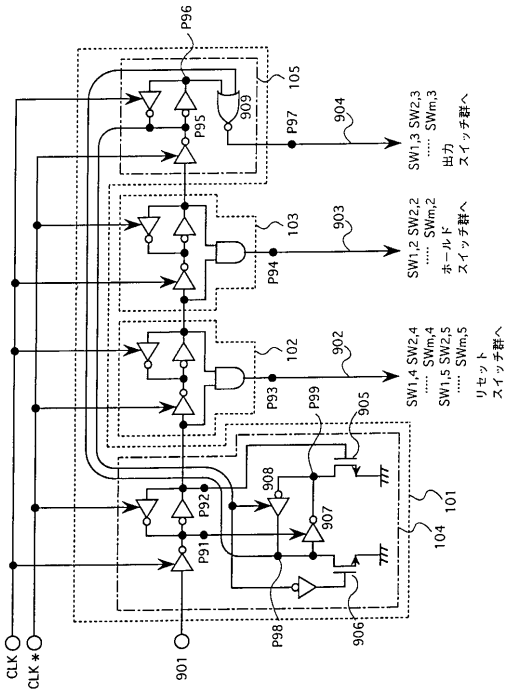
【図７】


Bit1
Bit2
701
702
VIDEO
SW1,1
SW2,1
C1,1
C1,2
SW1,2
SW2,2
ホールド
スイッチ
制御回路から
703
C2,1
C2,2
SW1,4
SW2,4
RS
SW1,5
SW2,5
リセット
スイッチ
制御回路から
704
B1
B2
SW1,3
SW2,3
出力
スイッチ
制御回路から
705
706
707
信号線Ｓ１へ
信号線Ｓ２へ

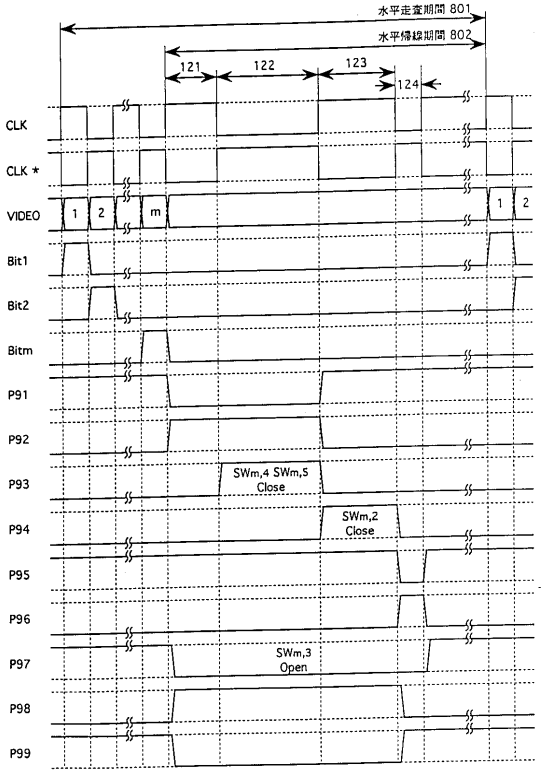
【図８】


水平走査期間 801
水平帰線期間 802
803
804
805
806
CLK
VIDEO
1
2
m
Bit1
Bit2
Bitm
P61
P62
SWm,4 SWm,5
Close
P63
SWm,2
Close
P64
P65
P66
SWm,3
Open

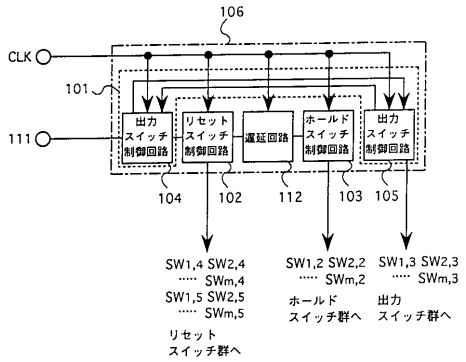
【図９】


P96
105
909
P95
P97
904
SW1,3 SW2,3
..... SWm,3
出力
スイッチ群へ
103
903
P94
SW1,2 SW2,2
..... SWm,2
ホールド
スイッチ群へ
102
902
P93
P99
905
SW1,4 SW2,4
..... SWm,4
SW1,5 SW2,5
..... SWm,5
リセット
スイッチ群へ
908
P92
907
101
104
P91
CLK
CLK *
901
P98
906

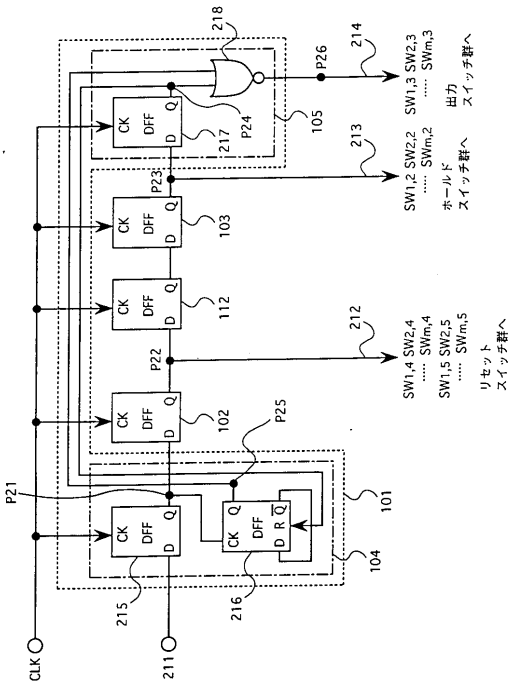
【図１０】


水平走査期間 801
水平帰線期間 802
121
122
123
124
CLK
CLK *
VIDEO
1
2
m
Bit1
Bit2
Bitm
P91
P92
P93
SWm,4 SWm,5
Close
P94
SWm,2
Close
P95
P96
P97
SWm,3
Open
P98
P99

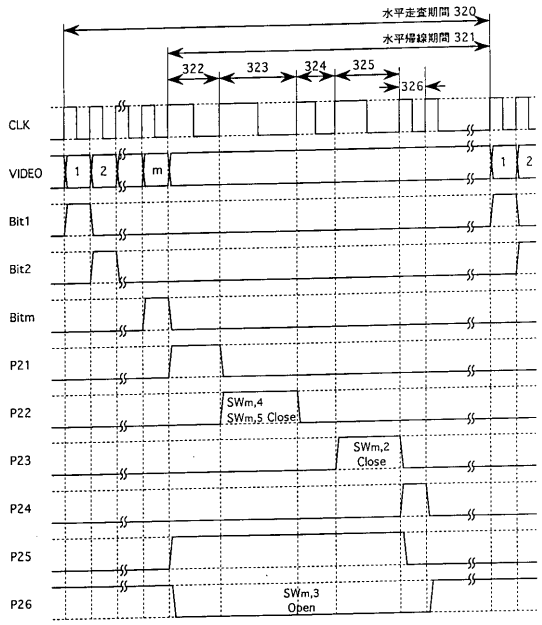
【図１１】



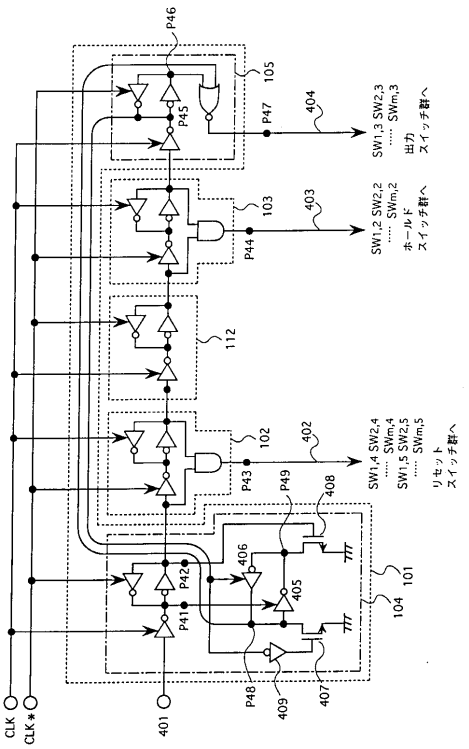
【図１２】



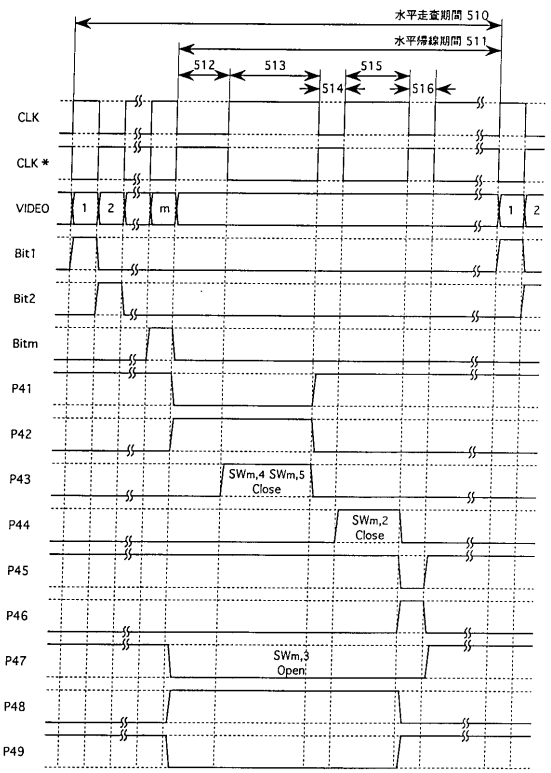
【図１３】



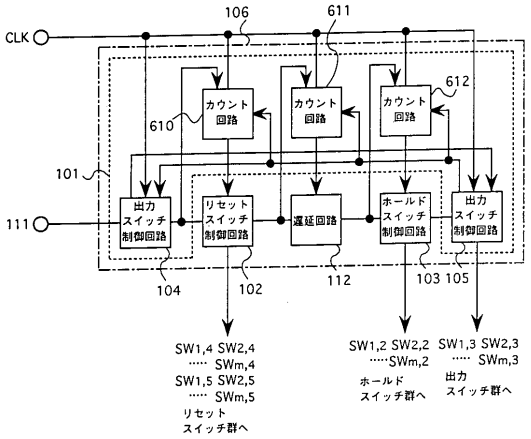
【図１４】



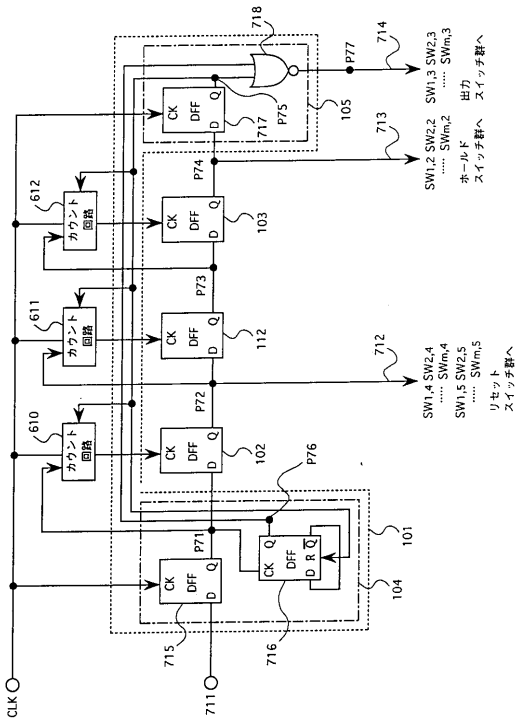
【図１５】



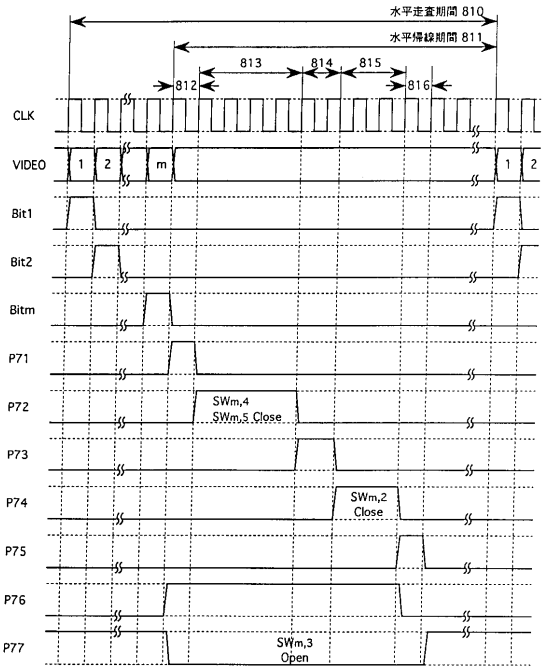
【図１６】



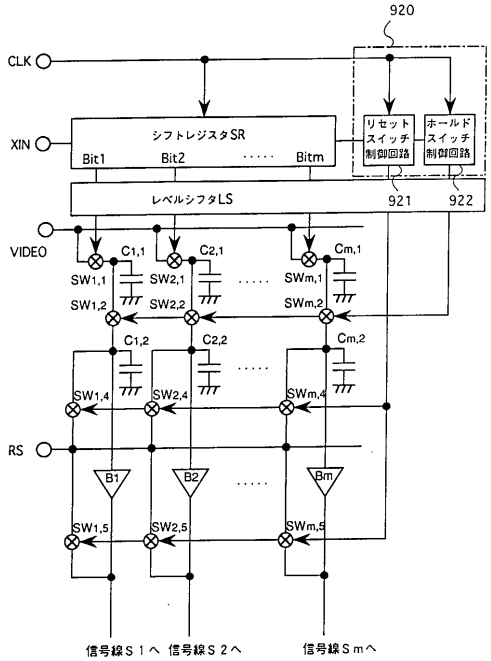
【図１７】



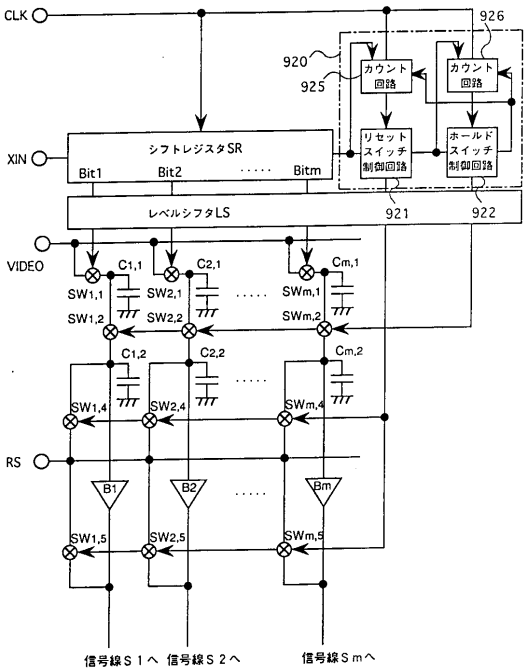
【図１８】



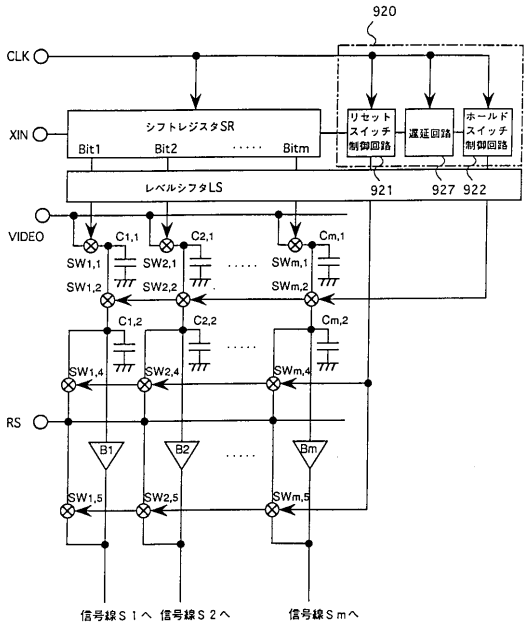
【図１９】


920
CLK
XIN
シフトレジスタSR
Bit1
Bit2
Bitm
リセットスイッチ制御回路
ホールドスイッチ制御回路
レベルシフタLS
921
922
VIDEO
C1,1
C2,1
Cm,1
SW1,1
SW2,1
SWm,1
SW1,2
SW2,2
SWm,2
C1,2
C2,2
Cm,2
SW1,4
SW2,4
SWm,4
RS
B1
B2
Bm
SW1,5
SW2,5
SWm,5
信号線Ｓ１へ
信号線Ｓ２へ
信号線Ｓｍへ

【図２０】


CLK
926
920
925
カウント回路
カウント回路
XIN
シフトレジスタSR
Bit1
Bit2
Bitm
リセットスイッチ制御回路
ホールドスイッチ制御回路
レベルシフタLS
921
922
VIDEO
C1,1
C2,1
Cm,1
SW1,1
SW2,1
SWm,1
SW1,2
SW2,2
SWm,2
C1,2
C2,2
Cm,2
SW1,4
SW2,4
SWm,4
RS
B1
B2
Bm
SW1,5
SW2,5
SWm,5
信号線Ｓ１へ
信号線Ｓ２へ
信号線Ｓｍへ

【図２１】


920
CLK
XIN
シフトレジスタSR
Bit1
Bit2
Bitm
リセットスイッチ制御回路
遅延回路
ホールドスイッチ制御回路
レベルシフタLS
921
927
922
VIDEO
C1,1
C2,1
Cm,1
SW1,1
SW2,1
SWm,1
SW1,2
SW2,2
SWm,2
C1,2
C2,2
Cm,2
SW1,4
SW2,4
SWm,4
RS
B1
B2
Bm
SW1,5
SW2,5
SWm,5
信号線Ｓ１へ
信号線Ｓ２へ
信号線Ｓｍへ

フロントページの続き

(56)参考文献 特開平０６－３３７４００（ＪＰ，Ａ）
特開平０１－２１３６９５（ＪＰ，Ａ）
特開平０５－２０３９９１（ＪＰ，Ａ）
特開平０５－２１０３６４（ＪＰ，Ａ）
特開昭６３－１８９８９６（ＪＰ，Ａ）
特開昭６３－１０１８３２（ＪＰ，Ａ）
特開平０６－２０２０７６（ＪＰ，Ａ）
実開昭６２－１７３８３１（ＪＰ，Ｕ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G09G 3/00- 3/38
G02F 1/133 505-580