

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2012年2月2日(02.02.2012)

PCT

(10) 国際公開番号
WO 2012/014648 A1

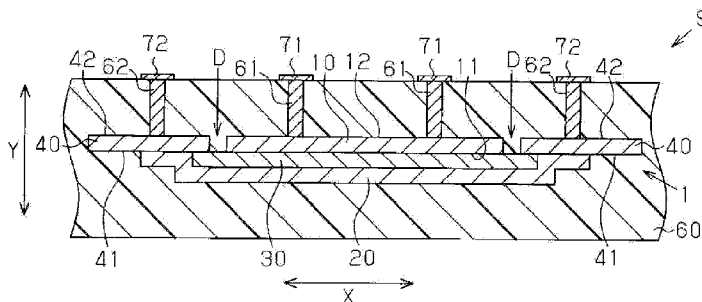
- (51) 国際特許分類:
H01G 4/12 (2006.01) H05K 1/16 (2006.01)
H01G 4/18 (2006.01) H05K 3/46 (2006.01)
H01G 4/33 (2006.01)
 - (21) 国際出願番号: PCT/JP2011/065545
 - (22) 国際出願日: 2011年7月7日(07.07.2011)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願 2010-173037 2010年7月30日(30.07.2010) JP
 - (71) 出願人(米国を除く全ての指定国について): 三洋電機株式会社(SANYO Electric Co., Ltd.) [JP/JP]; 〒5708677 大阪府守口市京阪本通2丁目5番5号 Osaka (JP).
 - (72) 発明者; および
 - (75) 発明者/出願人(米国についてのみ): 野口 仁志 (NOGUCHI Hitoshi) [JP/JP]; 〒5708677 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内 Osaka (JP). 江崎 賢一 (EZAKI Kenichi) [JP/JP]; 〒5708677 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内 Osaka (JP).
 - (74) 代理人: ▲角▼谷 浩 (KADOYA Hiroshi); 〒5708677 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内 Osaka (JP).
 - (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
 - (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告(条約第21条(3))

[続葉有]

(54) Title: SUBSTRATE-EMBEDDED CAPACITOR, CAPACITOR-INTEGRATED SUBSTRATE PROVIDED WITH SAME, AND METHOD FOR PRODUCING SUBSTRATE-EMBEDDED CAPACITOR

(54) 発明の名称: 基板内蔵用キャパシタ、これを備えたキャパシタ内蔵基板、及び基板内蔵用キャパシタの製造方法

[図1]



(57) Abstract: The disclosed substrate-embedded capacitor is characterized by being provided with: a first electrode that extends in a predetermined direction; a dielectric layer provided to the aforementioned first electrode; a second electrode that is provided to the aforementioned dielectric layer, faces the aforementioned first electrode with the dielectric layer therebetween, and has an end section that protrudes in the aforementioned predetermined direction from the aforementioned dielectric layer; and an electrode layer that is provided leaving a gap from the aforementioned first electrode in the aforementioned predetermined direction. The substrate-embedded capacitor is further characterized by the end section of the aforementioned second electrode in the aforementioned predetermined direction being connected to the aforementioned electrode layer, and the surface of the aforementioned electrode layer being provided in a manner so as to be positioned in the same plane as the surface of the aforementioned first electrode.

(57) 要約:

[続葉有]

WO 2012/014648 A1



基板内蔵用キャパシタは、所定方向に延びた第1電極と、前記第1電極に設けられた誘電体層と、前記誘電体層に設けられて、この誘電体層を介して前記第1電極と対向するとともに、前記誘電体層から前記所定方向において突出する端部を有する第2電極と、前記所定方向において前記第1電極から間隔を空けて設けられた電極層とを備え、前記所定方向における前記第2電極の端部が前記電極層に接続されるとともに、前記電極層の表面が、前記第1電極の表面と同一平面上に位置するように設けられていることを特徴とする。

明 細 書

発明の名称：

基板内蔵用キャパシタ、これを備えたキャパシタ内蔵基板、及び基板内蔵用キャパシタの製造方法

技術分野

[0001] 本願発明は、基板に内蔵される基板内蔵用キャパシタ、これを備えたキャパシタ内蔵基板、及び上記基板内蔵用キャパシタの製造方法に関する。

背景技術

[0002] 情報通信機器の小型化を背景に、プリント配線基板に搭載するキャパシタ（いわゆるコンデンサ）を、基板の表面に実装せずに、基板の内部に埋め込むことが提案されている。一般的に、基板に内蔵される基板内蔵用キャパシタは、金属－絶縁体－金属の順に積層された構造、即ち、絶縁体層を電極層により挟み込んだ構造を有している（例えば、特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2006-135036号公報

発明の概要

発明が解決しようとする課題

[0004] 上記特許文献1に記載されるキャパシタが基板に内蔵された状態においては、誘電体層を挟むことによりキャパシタを構成している電極が、それぞれ、1つのビアを介して配線（回路）に接続されている。具体的には、上記特許文献1の図5には、誘電体層の下側表面に設けられた下部電極が、この下部電極よりも下方に設けられる配線にビアを介して電氣的に接続され、誘電体層の上側表面に設けられた上部電極が、この上部電極よりも上方に設けられる配線にビアを介して電氣的に接続されることが記載されている。

[0005] しかしながら、上記特許文献1に記載されるキャパシタにおいては、同一

の層、即ち同じ面に形成された配線が、キャパシタを構成する上部電極及び下部電極である第1電極及び第2電極に電氣的に接続される構成ではない。

[0006] 基板の一方の面に設けられた配線が、基板に内蔵されたキャパシタを構成する第1電極及び第2電極に接続される構成としては、例えば図11に示す構造が考えられる。

図11に示す基板109は、その内部に内蔵されたキャパシタ101を備え、キャパシタ101は、第1電極110と、第1電極110に設けられた誘電体層130と、誘電体層130を介して第1電極110と対向する第2電極120とを備えている。基板109が有する一方の面には、第1電極110に電氣的に接続される配線171と、第2電極120に電氣的に接続される配線172とが形成されている。

[0007] キャパシタ101において、上部電極を構成する第2電極120は、1つのビア162を介して配線172に接続されている。これに対して、下部電極を構成する第1電極110は、ビア163を介して配線171と反対側の面に設けられた配線173に接続され、この配線173がビア161を介して配線171に接続されることによって、第1電極110が配線171に接続されている。

[0008] 即ち、図11に示すキャパシタ101が基板109に内蔵されたときには、基板109の一方の面に設けられた配線171を第1電極110に接続するために、基板109の一方の面から他方の面に至るビア161を形成して、さらにこの他方の面から第1電極110に至るビア163を形成する構成となる。このような構成においては、基板109の一方の面から第1電極110に至る導電経路が長い。高周波領域におけるキャパシタ内蔵基板のインピーダンス特性を向上するためには、配線が設けられる基板の一方の面から電極に至る導電経路を短くすることにより、キャパシタ内蔵基板に生じるインダクタンスを小さくすることが好ましい。

[0009] そこで、基板の一方の面に設けられた配線を、基板の一方の面から他方の面に至るビアを形成せずに、第1電極及び第2電極に接続可能とするキャパ

シタとして、例えば図12に示すものが考えられる。

[0010] 図12に示す基板209に内蔵されたキャパシタ201は、誘電体層230及び第2電極220よりも寸法の大きい第1電極210を備え、上部電極を構成する第2電極220は、1つのビア262を介して配線272に接続され、下部電極を構成する第1電極210も、1つのビア261を介して配線271に接続されている。

[0011] しかしながら、図12に示すように、第1電極210に接続されるビア261の長さ、第2電極220に接続されるビア262の長さが異なると、第1電極210及び第2電極220に接続されるビア261、262を適切に形成することが難しくなる。また、ビア261、262の長さが異なることに限らず、第1電極210と第2電極220を形成する材料が互いに異なることによっても、第1電極210及び第2電極220に接続されるビア261、262を適切に形成することが難しくなる。即ち、基板にビアを形成するときには、ビアの底面となる材料や形成すべきビアの長さ等に配慮する必要があり、第1電極及び第2電極のそれぞれに接続されるビアを形成するために、各ビアの形成に適したビア形成条件を確立する必要がある。このため図12に示すビア261、262を適切に形成することは難しい。

[0012] 基板内蔵用キャパシタを構成する第1電極及び第2電極に接続されるビアを適切に形成することができなければ、基板に形成されるビアと第1電極及び第2電極を良好に接続できなくなるという問題がある。

[0013] また、従来、基板に形成されるビアを第1電極及び第2電極に接続するために、第1電極及び第2電極の双方の厚みを確保する必要があるため、キャパシタの全体の厚みが大きくなってしまいう問題があった。

[0014] 本発明は、こうした実情に鑑みてなされたものであり、その目的は、基板に形成されるビアと第1電極及び第2電極を良好に接続することができ、また、薄型化を図ることができる基板内蔵用キャパシタ、キャパシタ内蔵基板、及び基板内蔵用キャパシタの製造方法を提供することにある。

課題を解決するための手段

[0015] 上記目的を達成するため、本発明の基板内蔵用キャパシタは、所定方向に延びた第1電極と、前記第1電極に設けられた誘電体層と、前記誘電体層に設けられて、この誘電体層を介して前記第1電極と対向するとともに、前記誘電体層から前記所定方向において突出する端部を有する第2電極と、前記所定方向において前記第1電極から間隔を空けて設けられた電極層とを備え、前記所定方向における前記第2電極の端部が前記電極層に接続されるとともに、前記電極層の表面が、前記第1電極の表面と同一平面上に位置するように設けられていることを特徴とする。

[0016] 上記目的を達成するため、本発明のキャパシタ内蔵基板は、基板内蔵用キャパシタが内蔵されているキャパシタ内蔵基板であって、前記基板内蔵用キャパシタは、所定方向に延びた第1電極と、前記第1電極に設けられた誘電体層と、前記誘電体層に設けられて、この誘電体層を介して前記第1電極と対向するとともに、前記誘電体層から前記所定方向において突出する端部を有する第2電極と、前記所定方向において前記第1電極から間隔を空けて設けられた電極層とを備え、前記第2電極の端部と前記電極層とが接続され、前記電極層と前記第1電極とが同一材料により形成されていることを特徴とする。

[0017] 上記目的を達成するため、本発明の基板内蔵用キャパシタの製造方法は、第1電極層の上に誘電体層を形成する誘電体層形成工程と、前記誘電体層の上に、前記誘電体層を覆って前記第1電極層に接続される第2電極層を形成する電極層形成工程と、前記第1電極層に、前記誘電体層を介して第2電極層に対向する部位と、前記第2電極層が接続される部位とを電氣的に分離する分離溝を形成する分離溝形成工程とを含むことを特徴とする。

発明の効果

[0018] 本発明によれば、基板に形成されるビアと第1電極及び第2電極を良好に接続することができ、基板内蔵用キャパシタの薄型化を図ることができ、基板の一方の面から第2電極に至る導電経路を短くすることができる。

図面の簡単な説明

[0019] [図1]本発明の一実施形態に係る基板内蔵用キャパシタと、このキャパシタが内蔵されたキャパシタ内蔵基板の概略構成を示す断面図。

[図2]同実施形態に係る基板内蔵用キャパシタを示す平面図。

[図3]同実施形態に係る基板内蔵用キャパシタの製造方法を説明するための図であって、(a)は断面図、(b)は斜視図。

[図4]同実施形態に係る基板内蔵用キャパシタの製造方法を説明するための図であって、(a)は断面図、(b)は斜視図。

[図5]同実施形態に係る基板内蔵用キャパシタの製造方法を説明するための断面図。

[図6]同実施形態に係る基板内蔵用キャパシタの製造方法を説明するための図であって、(a)は断面図、(b)は斜視図。

[図7]同実施形態に係るキャパシタ内蔵基板の製造方法を説明するための断面図。

[図8]同実施形態に係るキャパシタ内蔵基板の製造方法を説明するための断面図。

[図9]同実施形態に係るキャパシタ内蔵基板の製造方法を説明するための断面図。

[図10]本発明の第2変形例に係る基板内蔵用キャパシタの製造方法を説明するための断面図。

[図11]比較例に係る基板内蔵用キャパシタと、このキャパシタが内蔵されたキャパシタ内蔵基板の概略構成を示す断面図。

[図12]他の比較例に係る基板内蔵用キャパシタと、このキャパシタが内蔵されたキャパシタ内蔵基板の概略構成を示す断面図。

発明を実施するための形態

[0020] 以下、本発明を具体化した一実施形態について図面を参照しながら説明する。

図1に示すように、本発明に係るキャパシタ1は、基板9に内蔵される基板内蔵用キャパシタである。図中の矢印Xは、所定の直線方向である面方向

Xを示している。また、図中の矢印Yは、面方向Xに垂直な方向である厚み方向Yを示している。

[0021] キャパシタ1は、第1電極10と、第1電極10に設けられた誘電体層30と、誘電体層30に設けられて、誘電体層30を介して第1電極10に対向する第2電極20と、第2電極20に接続されるとともに第1電極10と同一平面上に位置する電極層40とを備えている。

[0022] キャパシタ1の平面図である図2に示すように、本実施形態においては、第1電極10、第2電極20、及び誘電体層30は、矩形状を有している。なお、図2において破線H1で示す箇所は、図1中に示すビア61が接続される部位を示している。また、図2において破線H2で示す箇所は、図1中に示すビア62が接続される部位を示している。

[0023] 金属等の導電性材料からなる第1電極10は、銅、ニッケル、アルミニウム、または白金等の金属からなる金属箔、またはこれらの金属を二種以上含む合金からなる金属箔等により形成されている。図1に示すように、薄い平板状の第1電極10は、誘電体層30が設けられる面11と、ビア61が接続される面12とを有している。所定方向である面方向Xに延びた第1電極10は、図1中においては、上部電極として誘電体層30の上部を覆っている。

[0024] 金属等の導電性材料からなる第2電極20は、銅、ニッケル、アルミニウム、または白金等の金属からなる金属膜、またはこれらの金属を二種以上含む合金からなる金属膜等により形成されている。薄膜状の第2電極20は、厚み方向Yにおいて、第1電極10とともに誘電体層30を挟み込むように形成されている。第2電極20は、面方向Xにおいて第1電極10及び誘電体層30に比べて大きい寸法を有している。面方向Xに延びる第2電極20は、図1中においては、下部電極として誘電体層30の下部を覆っている。さらに、第2電極20は、誘電体層30の両端部から面方向Xに突出して、面方向Xにおける誘電体層30の両端面を覆っている。そして、面方向Xにおける第2電極20の両端部が電極層40に接続されている。即ち、第2電

極 20 は、誘電体層 30 から面方向 X において突出する端部を有するとともに、面方向 X における第 2 電極 20 の端部が電極層 40 に接続されている。

[0025] 誘電体により形成される誘電体層 30 は、例えば酸化物系のセラミックスにより形成されている。具体的には、例えば、チタン酸バリウム、ニオブ酸リチウム、ホウ酸リチウム、チタン酸ジルコン酸鉛、チタン酸ストロンチウム、チタン酸ジルコン酸ランタン鉛、タンタル酸リチウム、酸化亜鉛、酸化タンタル等の金属酸化物により誘電体層 30 が形成される。なお、誘電体層 30 には、上記の金属酸化物に加えて、誘電特性を向上させるための添加物が含まれていてもよい。第 1 電極 10 の面 11 に設けられた誘電体層 30 は、面方向 X において第 1 電極 10 に比べて大きい寸法を有するとともに、第 1 電極 10 の両端部から面方向 X に突出している。

[0026] 金属等の導電性材料からなる電極層 40 は、銅箔やニッケル箔等の金属箔により形成され、第 1 電極 10 と同一材料により形成されている。薄い平板状の電極層 40 は、第 2 電極 20 が接続される面 41 と、ビア 62 が接続される面 42 とを有している。面方向 X に延びる電極層 40 は、厚み方向 Y において第 2 電極 20 とともに誘電体層 30 の両端部を挟み込むように形成されるとともに、面方向 X において第 1 電極 10 から間隔を空けて設けられている。

[0027] 本実施形態においては、図 1 及び図 2 に示すように、第 1 電極 10 と電極層 40 との間に、四角枠形状の分離溝 D が設けられている。誘電体層 30 の周縁を除く部位に設けられている分離溝 D は、第 1 電極 10 と電極層 40 とが対向する面方向 X における第 1 電極 10 及び電極層 40 の端面と、誘電体層 30 の表面の一部とにより構成され、誘電体層 30 の表面を底面とする溝である。

[0028] 即ち、電極層 40 の一部は、面方向 X における誘電体層 30 の端部に設けられて、誘電体層 30 を介して電極層 40 の一部と第 2 電極 20 とが対向している。そして、電極層 40 と第 1 電極 10 との間に、誘電体層 30 の周縁を除く部位を底面として、第 1 電極 10 と第 2 電極 20 とを電氣的に分離す

る分離溝Dが形成されている。

[0029] また、本実施形態においては、第1電極10と電極層40の厚み（厚み方向Yにおける寸法）は同じである。従って、第1電極10の面11と電極層40の面41とは同一平面上に位置するとともに、第1電極10の面12と電極層40の面42とは同一平面上に位置している。

[0030] 基板9は、上記構成を備えたキャパシタ1を内蔵したキャパシタ内蔵基板である。基板9は、キャパシタ1と、キャパシタ1が内蔵される絶縁基板60とを備え、絶縁基板60には、第1電極10に電氣的に接続されるビア61が形成されるとともに、第2電極20に電氣的に接続されるビア62が形成されている。本実施形態においては、ビア62は、電極層40に接続されることによって、第2電極20に電氣的に接続されている。

[0031] 絶縁基板60の表面上には、第1電極10に電氣的に接続される配線71と、第2電極20に接続される配線72とが形成されている。配線71、72は、基板9が有する一方の面に設けられている。

[0032] 図3～図6を参照しながら、キャパシタ1の製造方法の一例を説明する。なお、図3(a)、図4(a)、及び図6(a)は、それぞれ、図3(b)、図4(b)、及び図6(b)における一点鎖線に沿った矢視断面図である。

[0033] まず、ハンドリングが容易であって、かつ、後述のアニール工程において変形が発生しにくい所定の厚みを有する第1電極層10Aを用意する。第1電極層10Aは金属箔であって、高い導電性を有し入手が容易な銅箔であることが好ましい。

[0034] 次に、図3(a)及び(b)に示すように、第1電極層10Aが有する面11Aの一部に誘電体層30を形成する。即ち、下地となる第1電極層10Aの上に誘電体層30を形成する（誘電体層形成工程）。

[0035] 誘電体層形成工程においては、粉末状の誘電体を噴射する粉末噴射コーティング法により誘電体層30が形成される。粉末噴射コーティング法としては、例えば、エアロゾルデポジション法、パウダージェットデポジション法

を用いることができる。常温大気圧環境下で誘電体層 30 を容易に形成するためには、パウダージェットデポジション法を用いることが好ましい。

[0036] 次いで、誘電体層 30 の強誘電特性を向上させるために、誘電体層 30 に対してアニール処理を施す（アニール工程）。アニール工程においては、例えば、誘電体層 30 へのレーザ照射、マイクロ波加熱、アニール炉内における加熱等により、アニール処理が施される。

[0037] 次いで、図 4（a）及び（b）に示すように、誘電体層 30 の上に、誘電体層 30 を覆って第 1 電極層 10 A に接続される第 2 電極層 20 A を形成する（電極層形成工程）。面方向 X において誘電体層 30 に比べて大きい寸法を有する第 2 電極層 20 A は、誘電体層 30 の表面上に設けられて、面方向 X における第 2 電極層 20 A の端部が、誘電体層 30 の両端面を覆って、誘電体層 30 の周囲における第 1 電極層 10 A の表面に設けられる。第 2 電極層 20 A は、第 1 電極層 10 A と同じ材料（即ち、銅）により形成されることが好ましいが、第 1 電極層 10 A と異なる材料により形成されていてもよい。

[0038] 電極層形成工程においては、例えば、スパッタリング、蒸着、導電性ペーストの印刷、めっき、またはこれらを組み合わせた成膜方法等により金属膜である第 2 電極層 20 A が形成される。電極層形成工程における成膜方法は、第 1 電極層 10 A 及び誘電体層 30 と第 2 電極層 20 A との界面における密着性が高い方法を採用することが好ましい。

[0039] 次いで、誘電体層 30 及び第 2 電極層 20 A が設けられた第 1 電極層 10 A を反転する（反転工程）。

次いで、図 5 に示すように、第 1 電極層 10 A が有する面 11 A に対して他方の面 12 A、即ち、誘電体層 30 及び第 2 電極層 20 A が設けられていない面 12 A を研磨することにより、第 1 電極層 10 A を薄くする（薄化工程）。即ち、厚み方向 Y における第 1 電極層 10 A の寸法を、面方向 X において一様に小さくする。

- [0040] 本実施形態においては、薄化工程は、エッチングにより第1電極層10Aを薄くするエッチング工程である。エッチングは、金属を溶解する化学的反応を利用した化学的研磨である。エッチング工程におけるエッチングとしては、エッチングガスを用いたドライエッチング、または、エッチング液を用いたウェットエッチングを用いることができる。
- [0041] そして、図6(a)及び(b)に示すように、第1電極層10Aに、誘電体層30の周縁を除く部位であって、誘電体層30の表面を底面とする分離溝Dを形成する。即ち、第1電極層10Aに、誘電体層30を介して第2電極層20Aに対向する部位と、第2電極層20Aが接続される部位とを電気的に分離する分離溝Dを形成する(分離溝形成工程)。
- [0042] 分離溝Dが形成されることによって、電気的に接続されていない第1電極10と第2電極20とが形成される。このようにして第1電極層10Aが分離されることにより、第1電極層10Aにおいて誘電体層30を介して第2電極層20Aと対向する部位は第1電極10となり、第2電極層20Aは第2電極20となる。また、第1電極層10Aにおいて第2電極層20Aの両端部が接続される部位は、電極層40となる。
- [0043] 即ち、分離溝形成工程は、分離溝Dを形成することによって第1電極10と第2電極20とを形成する電極形成工程である。従って、第1電極層10Aは第1電極10及び電極層40を構成するとともに、第2電極層20Aは第2電極20を構成する。そして、第1電極層10Aの面11Aは、第1電極10及び電極層40の面11, 41を構成するとともに、第1電極層10Aの面12Aは、第1電極10及び電極層40の面12, 42を構成する。
- [0044] 以上のように、キャパシタ1の製造方法は、誘電体層形成工程、アニール工程、電極層形成工程、反転工程、薄化工程(エッチング工程)、分離溝形成工程を備えている。これらの工程を経て、キャパシタ1が製造される。
- [0045] 図7~図9を参照しながら、キャパシタ1が内蔵される基板9の製造方法の一例を説明する。

図7に示すように、キャパシタ1を絶縁体50の表面に積層する(キャパ

シタ積層工程)。絶縁体50は、コア材と、このコア材を挟み込む一対のプリプレグにより構成されている。

[0046] キャパシタ積層工程においては、絶縁体50を加熱及び加圧することにより、半硬化状態のプリプレグにキャパシタ1が圧着される。なお、絶縁体50を予め用意しておいて、硬化しているプリプレグに接着剤層（不図示）を介してキャパシタ1を積層してもよい。

[0047] 次いで、図8に示すように、電極層40をエッチングすることにより、内部配線40aを形成する（内部配線形成工程）。即ち、キャパシタ1が備える電極層40は、基板9内に設けられる内部配線40aを構成する。この内部配線40aは、キャパシタ1に接続されない配線であってもよく、電極層40に接続される配線であってもよい。

[0048] 次いで、上記キャパシタ積層工程と同じようにして、キャパシタ1が設けられた絶縁体50に、他の絶縁体50を加熱及び加圧して積層する（絶縁体積層工程）。絶縁体積層工程を行うことにより、図9に示すように、積層された絶縁体50によって絶縁基板60が形成され、キャパシタ1が内蔵された基板9が得られる。

[0049] 次いで、絶縁基板60に貫通孔を設けてビア61、62を形成する（ビア形成工程）。そして、絶縁基板60の一方の面に配線71、72を形成する（配線形成工程）。

以上のように、基板9の製造方法は、キャパシタ積層工程、内部配線形成工程、絶縁体積層工程、ビア形成工程、配線形成工程を備えている。これらの工程を経て、図1に示す基板9が製造される。

[0050] 本実施形態によれば、以下の効果を得ることができる。

(1) キャパシタ1は、第1電極10と、誘電体層30と、誘電体層30を介して第1電極10と対向するとともに、誘電体層30から面方向Xにおいて突出する端部を有する第2電極20と、面方向Xにおいて第1電極10から間隔を空けて設けられた電極層40とを備えている。そして、面方向Xにおける第2電極20の端部が電極層40に接続されるとともに、電極層4

0の表面である面42が、第1電極10の表面である面12と同一平面上に位置するように設けられている。このような構成のキャパシタ1が基板9に内蔵された場合には、基板9の一方の面に設けられた配線71、72を第1電極10及び第2電極20に接続するために、基板9の一方の面から電極層40の表面及び第1電極10の表面に至るビア61、62が基板9に形成される。そして、電極層40にビア62が接続されることにより、基板9の一方の面に設けられた配線72と第2電極20とが接続され、第1電極10にビア61が直接接続されることにより、基板9の一方の面に設けられた配線71と第1電極10とが接続される構成となる。このとき、上記構成によれば、第2電極20に接続された電極層40が有する面42が、第1電極10が有する面12と同一平面上に位置するように設けられているため、第1電極10に電氣的に接続されるビア61の長さ、第2電極20に電氣的に接続されるビア62の長さが同じとなるようにすることができる。従って、キャパシタ1が基板9に内蔵されて、基板9に形成されたビア61、62を介して基板9の一方の面に設けられた配線71、72が第1電極10及び第2電極20に接続されるときに、ビア61、62の各々の長さが異なっている場合に比べて、第1電極10及び第2電極20に接続されるビア61、62を容易に形成することができる。その結果、基板9に形成されるビア61、62と第1電極10及び第2電極20を良好に接続することができる。また、上記構成のキャパシタ1が基板9に内蔵された場合には、第2電極20の表面を底面とするビアを形成する必要はなく、電極層40の表面及び第1電極10の表面を底面とするビア61、62を形成すればよい。このため、ビア61、62の形成に備えて第2電極20の厚みを確保する必要が無く、第2電極20の厚みが大きくなることを抑制することができる。従って、キャパシタ1の薄型化を図ることができる。

[0051] (2) また、基板9の一方の面に設けられた配線72を第2電極20に接続するためには、基板9の一方の面から電極層40の表面に延びるビア62を形成する構成となる。このため、基板9の一方の面から他方の面に至るビ

アを形成して、さらにこの他方の面から第2電極20に至るビアを形成する構成と比べて、基板9の一方の面から第2電極20に至る導電経路を短くすることができる。従って、ビア61, 62は、それぞれ、配線71, 72が設けられた基板9の面とキャパシタ1との最短距離の寸法である。その結果、基板9に生じるインダクタンスが小さくなり、高周波領域における基板9のインピーダンス特性が向上する。

[0052] (3) 電極層40の一部は、誘電体層30の端部に設けられて、誘電体層30を介して電極層40の一部と第2電極20とが対向し、電極層40と第1電極10との間に、誘電体層30の周縁を除く部位を底面として、第1電極10と第2電極20とを電氣的に分離する分離溝Dが設けられている。このため、誘電体層30の端部は、電極層40の一部と第2電極20とにより挟まれるため、誘電体層30が第1電極10及び電極層40から剥離することを抑制することができる。

[0053] (4) キャパシタ1が基板9に内蔵された場合には、基板9の一方の面から電極層40の面42及び第1電極10の面12に至るビア61, 62が形成され、電極層40にビア62が接続されることにより、第2電極20とビア62とが接続され、第1電極10にビア61が直接接続されることにより、第1電極10とビア61とが接続される構成となる。従って、電極層40と第1電極10とが同一材料により形成されていることにより、ビア61, 62の接続対象が異質材料によって形成されている場合に比べて、第1電極10及び第2電極20に接続されるビア61, 62を容易に形成することができ、ビア61, 62と第1電極10及び第2電極20を良好に接続することができる。即ち、電極層40の面42と第1電極10の面12とが同一平面上に完全に位置していない場合であっても、第1電極10及び第2電極20に接続されるビア61, 62を容易に形成することができる。

[0054] (5) 基板9には上記構成を有するキャパシタ1が内蔵されているため、電子機器(図示略)に内蔵される部品として、薄型の基板9を利用することができる。なお、上記(4)に記載したように、基板9にキャパシタ1が内

蔵された状態においては、電極層40の面42は、第1電極10の面12と同一平面上に完全に位置していなくてもよい。

[0055] (6) キャパシタ1の製造方法は、誘電体層30を形成する誘電体層形成工程、誘電体層30を覆って第1電極層10Aに接続される第2電極層20Aを形成する電極層形成工程、第1電極層10Aに、第2電極層20Aに対向する部位と、第2電極層20Aが接続される部位とを電氣的に分離する分離溝Dを形成する分離溝形成工程を含む。上記構成によれば、誘電体層30を覆う第2電極層20Aが接続されている第1電極層10Aに分離溝Dが形成されることにより、第1電極層10Aにおいて誘電体層30を介して第2電極層20Aに対向する部位が第1電極10となり、第2電極層20Aが第2電極20となる。また、第1電極層10Aにおいて第2電極層20Aが接続される部位は、第1電極10から間隔を空けて設けられた電極層40となる。このとき、上記構成によれば、分離溝形成工程を経て形成される電極層40は、分離溝形成工程前において第1電極層10Aの一部であって、電極層40は第1電極10と同様にして設けられている。即ち、第1電極10に接続された電極層40が有する面42が、第1電極10が有する面12と同一平面上に位置するように設けられ、電極層40と第1電極10とが同一材料により形成されている。このため、上記(1)、(2)、及び(4)に準じた効果を得ることができる。

[0056] (7) 分離溝形成工程において、分離溝Dが、誘電体層30の周縁を除く部位であって誘電体層30の一部が底面となる部位に形成される。従って、電極層40の一部は、誘電体層30の端部に設けられて、誘電体層30を介して電極層40の一部と第2電極20とが対向し、誘電体層30の端部は、電極層40の一部と第2電極20とにより挟まれる。このため、上記(3)に準じた効果を得ることができる。

[0057] (8) キャパシタ1の製造方法は、誘電体層形成工程後において第1電極層10Aを薄くする薄化工程を備える。このため、誘電体層30が形成される時を含めて誘電体層30が形成されるまでの第1電極層10Aのハンドリ

ングが容易となる。また、薄化工程において第1電極層10Aが薄くなるため、キャパシタ1の薄型化（いわゆる低背化）を図ることができる。

[0058] (9) キャパシタ1の製造方法は、誘電体層形成工程後に誘電体層30に対してアニール処理を施すアニール工程を備える。このため、誘電体層30の強誘電特性を向上することができる。また、アニール工程後において上記薄化工程が行われれば、アニール処理に起因して第1電極層10Aに形成された酸化膜を、薄化工程において除去することが可能となる。その結果、酸化膜の形成を抑制するために低く設定されていたアニール処理における加熱の最高温度を上げることが可能となる。また、アニール工程後に薄化工程が行われれば、アニール工程においては第1電極層10Aの厚みを確保することができる。その結果、アニール処理に起因する第1電極層10Aの変形を抑制しながらも、キャパシタ1の低背化を図ることができる。

[0059] (10) 誘電体層形成工程において、粉末噴射コーティング法により誘電体層30が形成される。このため、エアロゾルデポジション法やパウダージェットデポジション法等により、常温で誘電体層30を形成することができる。その結果、下地となる第1電極層10Aとして、融点の低い金属を使用することができる。

[0060] (11) 薄化工程は、エッチングにより第1電極層10Aを薄くするエッチング工程である。このため、化学的研磨により第1電極層10Aを所望の厚みに薄くすることができる。

[0061] (12) 基板9の製造方法は、電極層40をエッチングすることにより、内部配線40aを形成する内部配線形成工程を備えている。従って、キャパシタ1が備える電極層40を、基板9内に設けられる内部配線40aに利用することができる。

[0062] なお、本発明は、上記実施形態に限定されるものではなく、本発明の趣旨に基づいて種々の設計変更をすることが可能であり、それらを本発明の範囲から除外するものではない。例えば、上記実施形態を以下のように変更してもよく、以下の変更を組み合わせて実施してもよい。

[0063] (第1変形例)

・キャパシタ積層工程において、第1電極層10Aに分離溝Dが形成されていなくてもよい。即ち、基板9の製造工程にキャパシタ1の製造工程が含まれていてもよい。この場合のキャパシタ1及び基板9の製造工程を以下に説明する。

[0064] 誘電体層形成工程、アニール工程、電極層形成工程、反転工程、薄化工程を経て得られた第1電極層10Aを、コア材及びプリプレグにより構成される絶縁体50の表面に積層する(電極層積層工程)。

[0065] 電極層積層工程においては、絶縁体50を加熱及び加圧することにより、半硬化状態のプリプレグに第2電極層20A及び第1電極層10Aが圧着される。電極層積層工程を行うことにより、分離溝Dが形成されていない露出した第1電極層10Aが設けられている絶縁体50が得られる。

[0066] 次いで、上記分離溝形成工程と同様にして、絶縁体50に設けられた第1電極層10Aに分離溝Dを形成する(分離溝形成工程)。次いで、内部配線形成工程及び絶縁体積層工程を行うことにより、図9に示す基板9が得られる。そして、ビア形成工程、配線形成工程を経て、図1に示す基板9を製造することができる。

[0067] 即ち、本変形例においては、第1電極層10Aを絶縁体50に設けた後(電極層積層工程後)に、電極形成工程である分離溝形成工程を行っている。

キャパシタ1の静電容量は第1電極10と第2電極20とが対向する部位の面積に依存するため、分離溝Dの形成位置はキャパシタ1の静電容量と関連する。従って、電極層積層工程後に分離溝形成工程を行うことにより、基板9の製造時に所望の静電容量を有するキャパシタ1を得ることができる。

[0068] (第2変形例)

・キャパシタ1が備える電極層40を、基板9内に設けられる内部配線40aに利用しなくてもよい。即ち、例えば図10に示すように、上記実施形態における電極層40に比べて面方向Xにおいて寸法の小さい電極層40を用いてもよい。

- [0069] 本変形例においては、上記キャパシタ積層工程と同様にして、キャパシタ 1 を絶縁体 50 の表面に積層して、内部配線形成工程を経ずに、絶縁体積層工程、ビア形成工程、配線形成工程を経て、図 10 に示すように、内部配線 40a を備えない基板 9 が製造される。
- [0070] ・ 1 つの第 1 電極層 10A の上に複数の誘電体層 30 を形成してもよい。この場合、複数の誘電体層 30 を形成した後に、誘電体層 30 の形状に合わせて第 1 電極層 10A を裁断することにより、1 つの第 1 電極層 10A から複数のキャパシタ 1 を製造してもよい。
- [0071] ・ 第 2 電極 20 が、銅、ニッケル、アルミニウム、または白金等の金属からなる金属箔、またはこれらの金属を二種以上含む合金からなる金属箔等により形成されていてもよい。即ち、第 2 電極層 20A が金属箔により構成されてもよく、この場合には、電極層形成工程において、金属箔を第 1 電極層 10A 及び誘電体層 30 に張り付けることにより、第 2 電極層 20A が形成される。
- [0072] ・ 第 1 電極層 10A を構成する金属箔にめっきが施されていてもよい。また、上述のごとく第 2 電極層 20A が金属箔により構成される場合には、この金属箔にめっきが施されていてもよい。
- [0073] ・ 電極層形成工程前に薄化工程を行うことも可能である。また、分離溝形成工程後に薄化工程を行うことも可能である。
- ・ 誘電体層形成工程において、粉末噴射コーティング法以外の方法により誘電体層 30 を形成してもよい。例えば、スパッタリング、蒸着、ゾルーゲル法等により誘電体層 30 を形成してもよい。
- [0074] ・ 所望の強誘電特性を得ることができるのであれば、アニール工程を省いてもよい。
- ・ 薄化工程において、エッチング以外の方法により第 1 電極層 10A を薄くしてもよい。即ち、第 1 電極層 10A を薄くするための方法は化学的研磨に限定されず、例えば機械研磨や化学機械研磨により第 1 電極層 10A を薄くしてもよい。

符号の説明

[0075] D…分離溝、X…面方向、Y…厚み方向、1…基板内蔵用キャパシタ、9…キャパシタ内蔵基板、10…第1電極、11, 12…面、10A…第1電極層、11A, 12A…面、20…第2電極、20A…第2電極層、30…誘電体層、40…電極層、40a…内部配線、41, 42…面、50…絶縁体、60…絶縁基板、61, 62…ビア、71, 72…配線。

請求の範囲

- [請求項1] 所定方向に延びた第1電極と、
前記第1電極に設けられた誘電体層と、
前記誘電体層に設けられて、この誘電体層を介して前記第1電極と対向するとともに、前記誘電体層から前記所定方向において突出する端部を有する第2電極と、
前記所定方向において前記第1電極から間隔を空けて設けられた電極層とを備え、
前記所定方向における前記第2電極の端部が前記電極層に接続されるとともに、前記電極層の表面が、前記第1電極の表面と同一平面上に位置するように設けられている
ことを特徴とする基板内蔵用キャパシタ。
- [請求項2] 前記電極層の一部は、前記誘電体層の端部に設けられて、前記誘電体層を介して前記電極層の一部と前記第2電極とが対向し、
前記電極層と前記第1電極との間に、前記誘電体層の周縁を除く部位を底面として、前記第1電極と前記第2電極とを電氣的に分離する分離溝が設けられている
ことを特徴とする請求項1に記載の基板内蔵用キャパシタ。
- [請求項3] 前記電極層と前記第1電極とが同一材料により形成されている
ことを特徴とする請求項1に記載の基板内蔵用キャパシタ。
- [請求項4] 前記電極層と前記第1電極とが同一材料により形成されている
ことを特徴とする請求項2に記載の基板内蔵用キャパシタ。
- [請求項5] 請求項1に記載の基板内蔵用キャパシタが内蔵されていることを特徴とするキャパシタ内蔵基板。
- [請求項6] 基板内蔵用キャパシタが内蔵されているキャパシタ内蔵基板であって、
前記基板内蔵用キャパシタは、所定方向に延びた第1電極と、前記第1電極に設けられた誘電体層と、前記誘電体層に設けられて、この

誘電体層を介して前記第1電極と対向するとともに、前記誘電体層から前記所定方向において突出する端部を有する第2電極と、前記所定方向において前記第1電極から間隔を空けて設けられた電極層とを備え、

前記第2電極の端部と前記電極層とが接続され、前記電極層と前記第1電極とが同一材料により形成されている

ことを特徴とするキャパシタ内蔵基板。

[請求項7]

第1電極層の上に誘電体層を形成する誘電体層形成工程と、

前記誘電体層の上に、前記誘電体層を覆って前記第1電極層に接続される第2電極層を形成する電極層形成工程と、

前記第1電極層に、前記誘電体層を介して第2電極層に対向する部位と、前記第2電極層が接続される部位とを電氣的に分離する分離溝を形成する分離溝形成工程とを含む

ことを特徴とする基板内蔵用キャパシタの製造方法。

[請求項8]

前記分離溝形成工程において、前記分離溝を、前記誘電体層の周縁を除く部位であって前記誘電体層の一部が底面となる部位に形成することを特徴とする請求項7に記載の基板内蔵用キャパシタの製造方法。

[請求項9]

前記誘電体層形成工程後において前記第1電極層を薄くする薄化工程を含む

ことを特徴とする請求項7に記載の基板内蔵用キャパシタの製造方法。

[請求項10]

前記誘電体層形成工程後において前記第1電極層を薄くする薄化工程を含む

ことを特徴とする請求項8に記載の基板内蔵用キャパシタの製造方法。

[請求項11]

前記誘電体層形成工程後に前記誘電体層に対してアニール処理を施すアニール工程を含む

ことを特徴とする請求項7に記載の基板内蔵用キャパシタの製造方法。

[請求項12] 前記誘電体層形成工程後に前記誘電体層に対してアニール処理を施すアニール工程を含む

ことを特徴とする請求項10に記載の基板内蔵用キャパシタの製造方法。

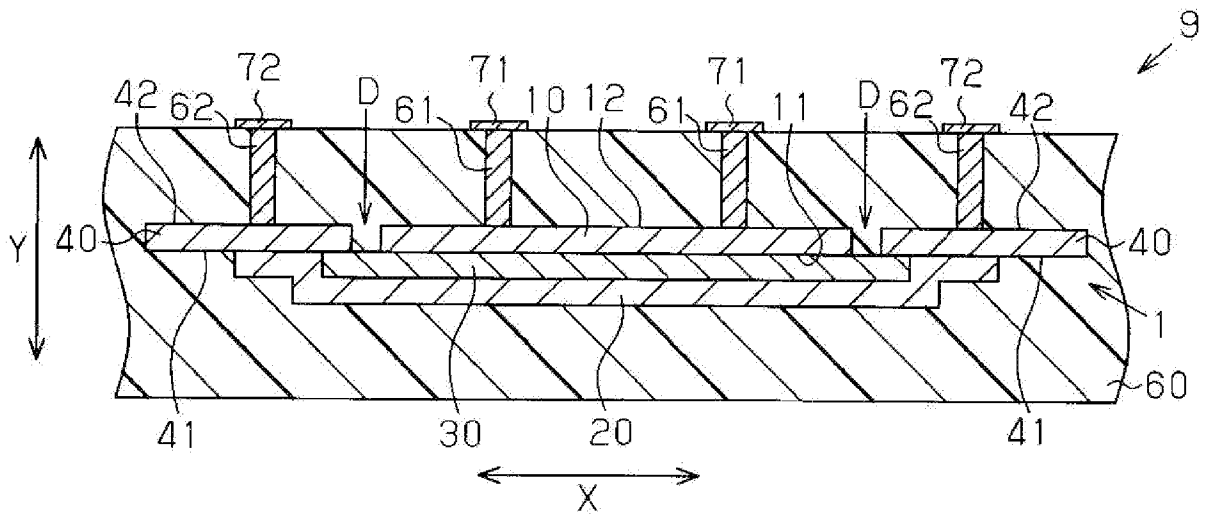
[請求項13] 前記誘電体層形成工程において、粉末噴射コーティング法により前記誘電体層を形成する

ことを特徴とする請求項7に記載の基板内蔵用キャパシタの製造方法。

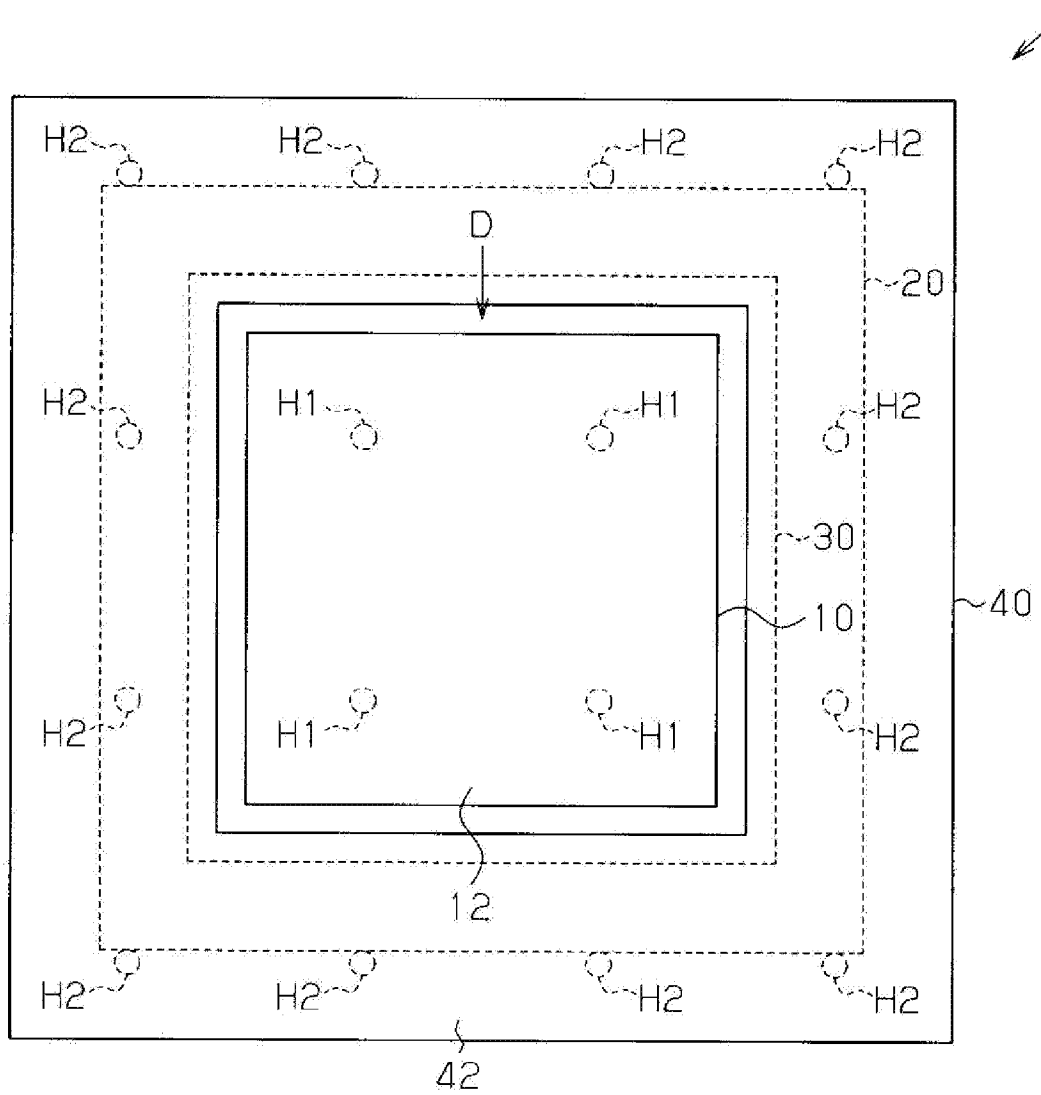
[請求項14] 前記誘電体層形成工程において、粉末噴射コーティング法により前記誘電体層を形成する

ことを特徴とする請求項12に記載の基板内蔵用キャパシタの製造方法。

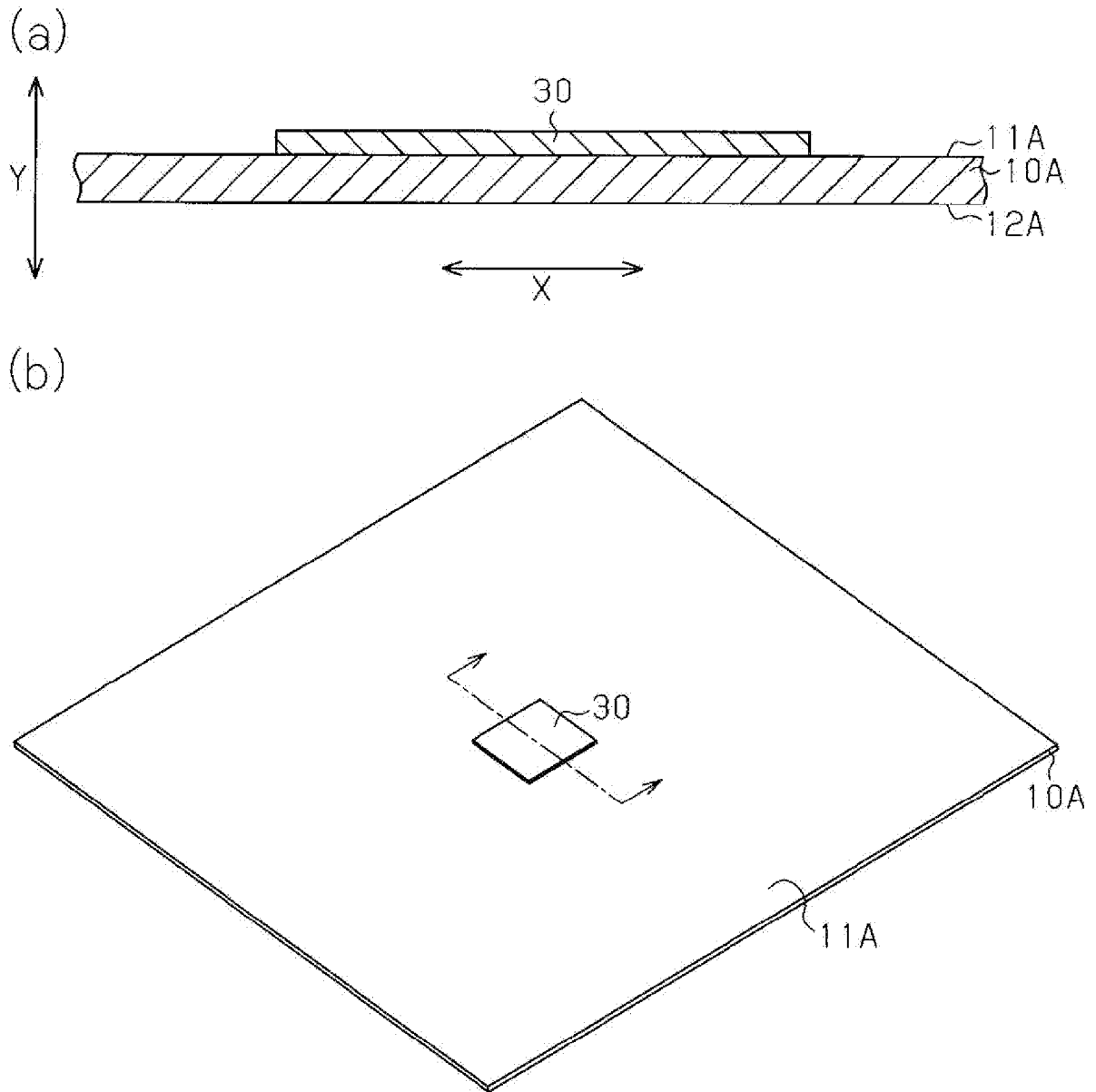
[図1]



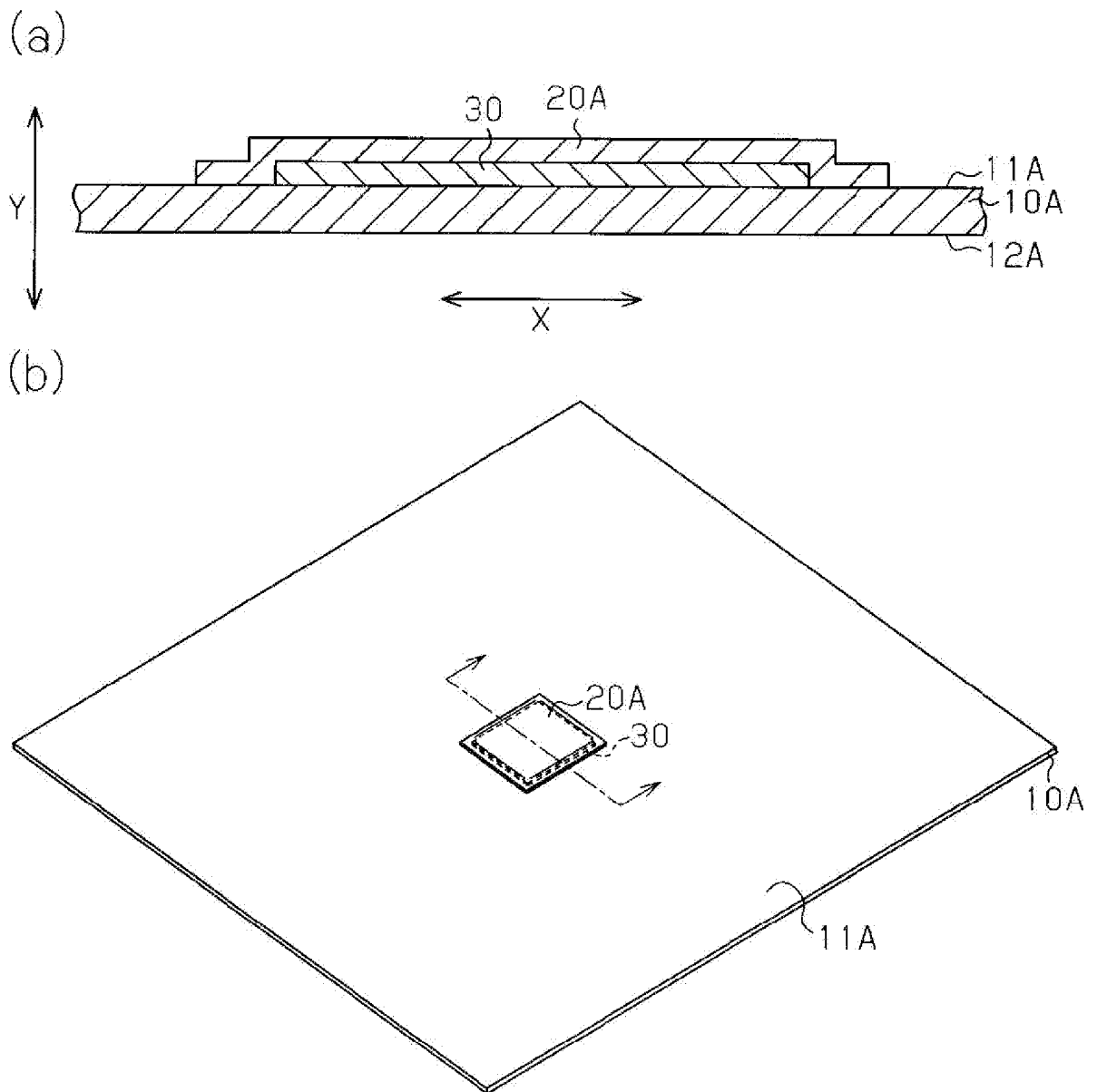
[図2]



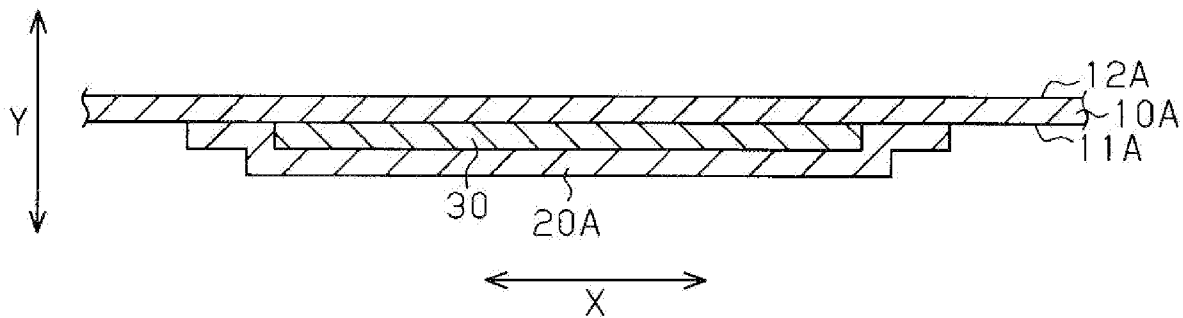
[図3]



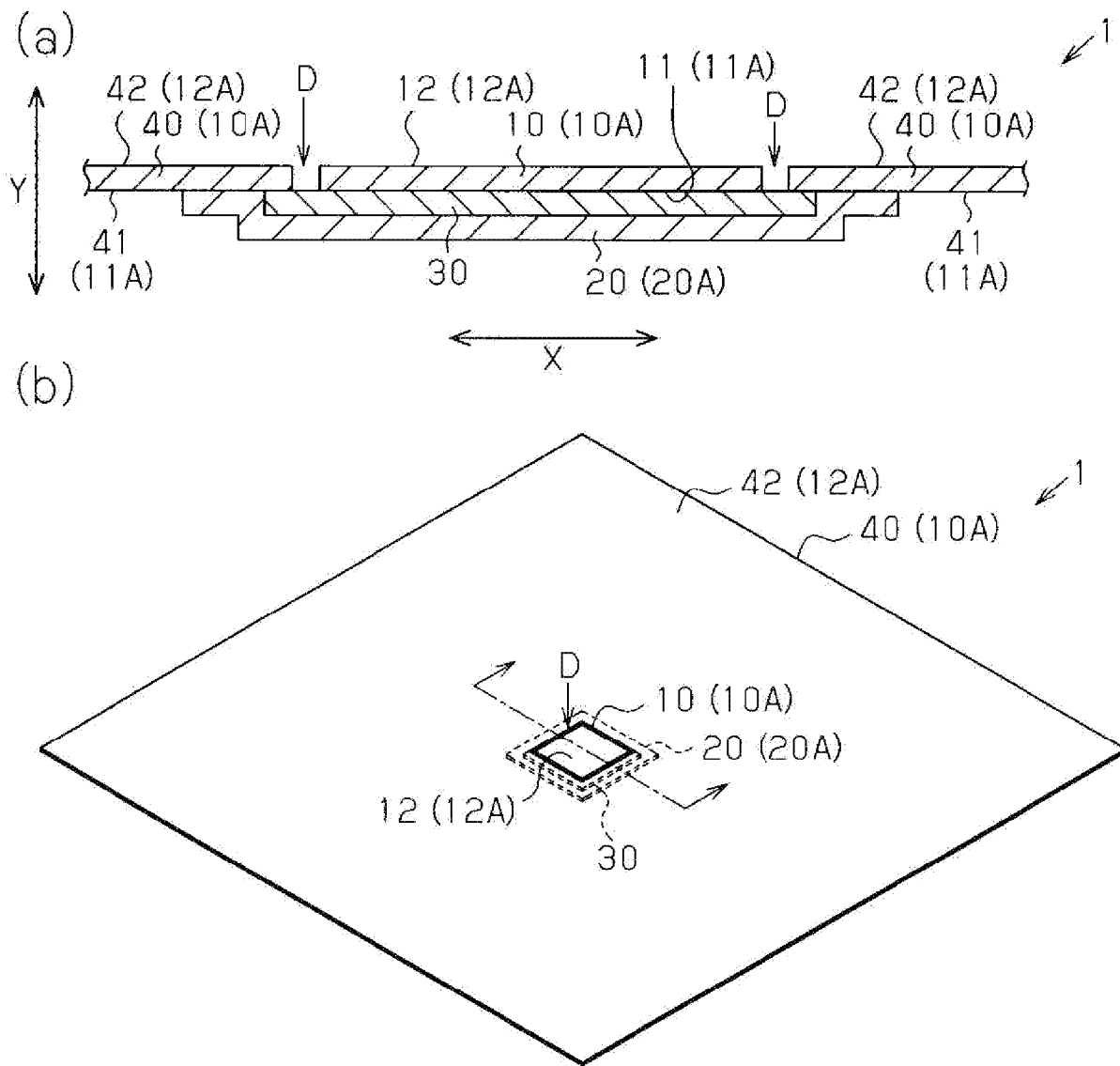
[図4]



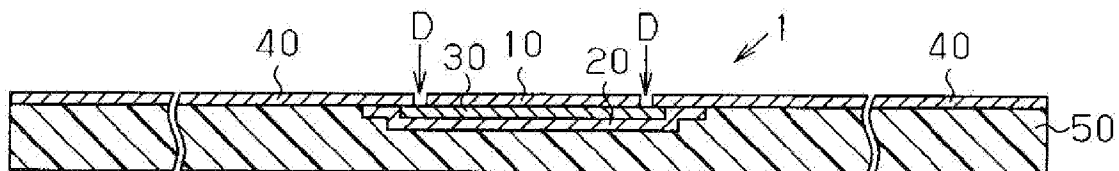
[図5]



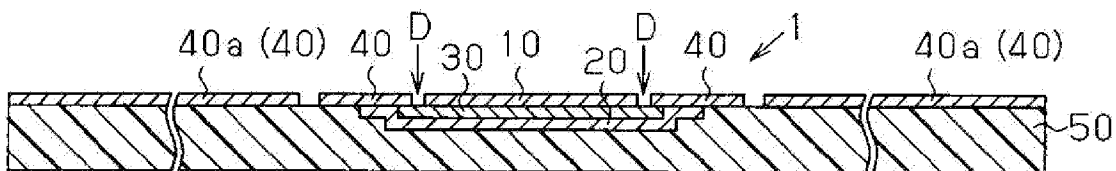
[図6]



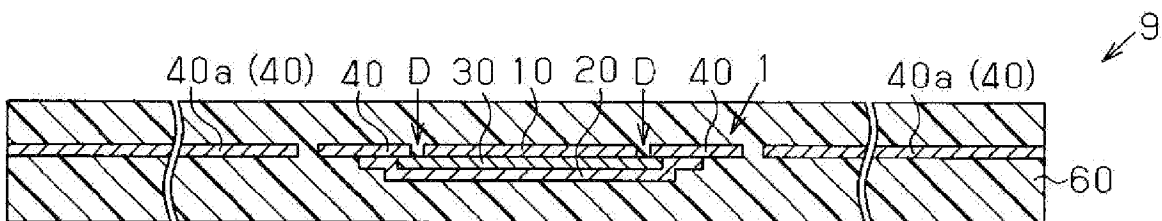
[図7]



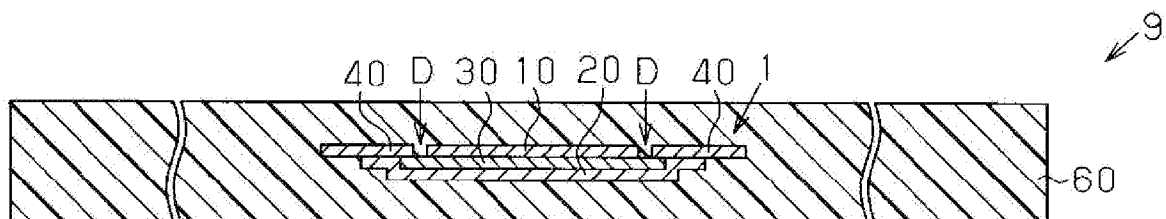
[図8]



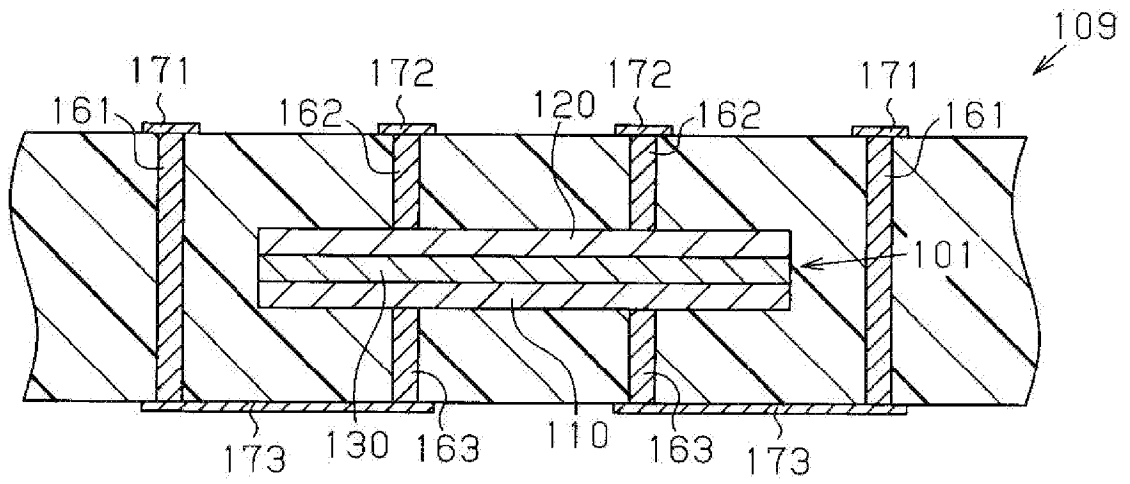
[図9]



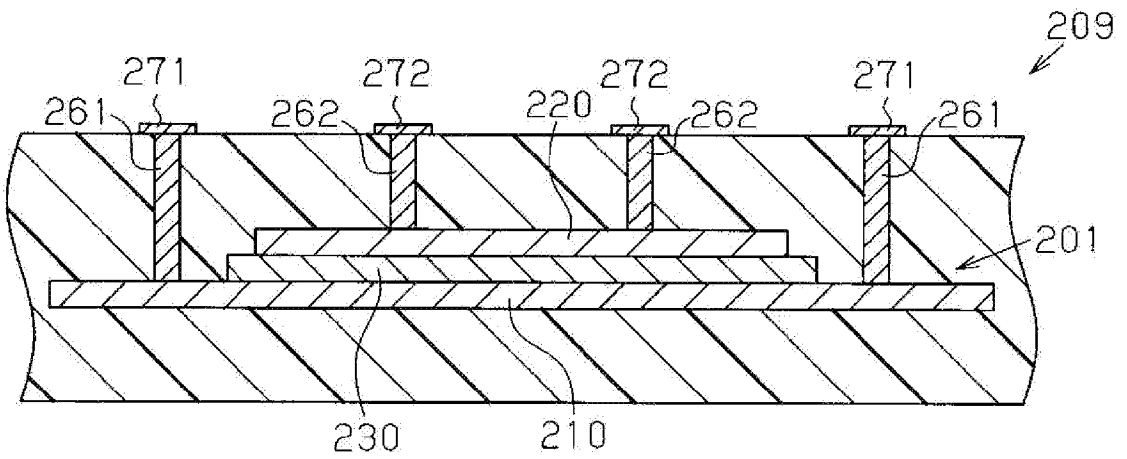
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/065545

A. CLASSIFICATION OF SUBJECT MATTER

H01G4/12(2006.01) i, H01G4/18(2006.01) i, H01G4/33(2006.01) i, H05K1/16(2006.01) i, H05K3/46(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01G4/12, H01G4/18, H01G4/33, H05K1/16, H05K3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-35975 A (Mitsui Mining & Smelting Co., Ltd.), 08 February 2007 (08.02.2007), claims; paragraphs [0001], [0028], [0054] to [0083] (Family: none)	1-14
A	JP 2010-157529 A (TDK Corp.), 15 July 2010 (15.07.2010), paragraphs [0006], [0007] (Family: none)	1-14
A	JP 2000-49041 A (Sony Corp.), 18 February 2000 (18.02.2000), paragraphs [0009] to [0013]; fig. 1, 2 (Family: none)	1-14

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
03 October, 2011 (03.10.11)

Date of mailing of the international search report
11 October, 2011 (11.10.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/065545

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-26943 A (Kyocera Corp.), 29 January 1999 (29.01.1999), paragraphs [0015] to [0035]; fig. 1 (Family: none)	1-14

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H01G4/12(2006.01)i, H01G4/18(2006.01)i, H01G4/33(2006.01)i, H05K1/16(2006.01)i, H05K3/46(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H01G4/12, H01G4/18, H01G4/33, H05K1/16, H05K3/46

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2011年
 日本国実用新案登録公報 1996-2011年
 日本国登録実用新案公報 1994-2011年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-35975 A (三井金属鉱業株式会社) 2007.02.08, 特許請求の範囲, 段落【0001】, 【0028】, 【0054】 - 【0083】 (ファミリーなし)	1-14
A	JP 2010-157529 A (TDK株式会社) 2010.07.15, 段落【0006】, 【0007】 (ファミリーなし)	1-14
A	JP 2000-49041 A (ソニー株式会社) 2000.02.18, 段落【0009】 - 【0013】, 図1, 図2 (ファミリーなし)	1-14

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」 特に関連のある文献ではなく、一般的な技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 03.10.2011	国際調査報告の発送日 11.10.2011
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 田中 晃洋 電話番号 03-3581-1101 内線 3565

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 11-26943 A (京セラ株式会社) 1999. 01. 29, 段落【0015】－【0035】, 図1 (ファミリーなし)	1-14