



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K PATENTU

241528
(11) (B2)

(22) Přihlášeno 24 05 83

(21) (PV 3669-83)

(32) (31) (33) Právo přednosti od 26 05 82
(820 3279-8) Švédsko

(40) Zveřejněno 22 08 85

(45) Vydáno 15 09 87

(51) Int. Cl.⁴
H 04 M 3/22
H 04 M 3/28

(72)
Autor vynálezu

FAGERSTEDT NILS URBAN HUGO, JÄRFÄLLA; ROOS STURE GÖSTA,
BERGSHAMRA (Švédsko); STIPCEVIC FRANKO, MILL PARK, VICTORIA
(Austrálie)

(73)
Majitel patentu

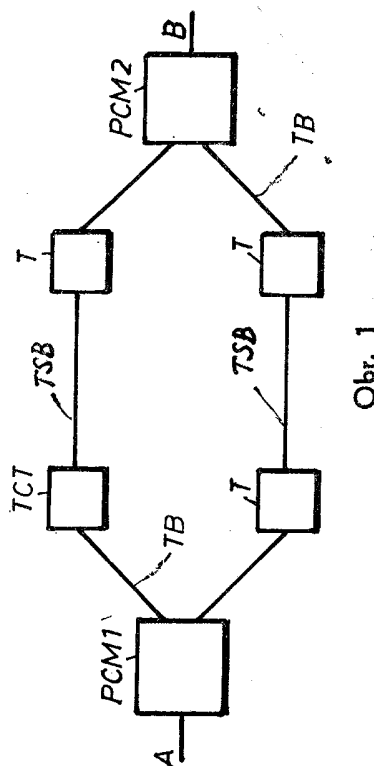
TELEFONAKTIEBOLAGET L M ERICSSON, STOCKHOLM (Švédsko)

(54) Způsob provádění propojovacího testu při duplexním přenosu číslicové informace a zařízení k provádění tohoto způsobu

1

Vynález se týká způsobu provádění propojovacího testu při duplexním přenosu číslicové informace mezi účastníky připojenými k terminálům propojeným navzájem telekomunikační sítí s časovým multiplexem. Informace se přenáší ve tvaru binárních slov ve zvlášť rozvržených časových intervalech, přičemž propojovací test se provádí za provozu pomocí paritního testu pro kontrolu, zda po provedení spojení bylo dosaženo správného propojení. Podstata vynálezu spočívá v tom, že propojovací test se zahajuje a detekuje v jedné a téže vysílací a přijímací stanici (TCT), po detekování správné parity se z dané stanice ve spojovací síti, zvolené při navazování spojení, záměrně vysílá zkušební bit s chybnou polaritou spolu s každým z řady slovních vzorků a uvedený zkušební bit se při průchodu ostatními stanicemi bez změny vybavuje do dalšího spínacího bodu v síti, přičemž paritní test tohoto kontrolního bitu se provádí v uvedené stanici (TCT), ze které se po provedení paritní kontroly, to je po přijetí záměrně nesprávné parity, generuje a vyšle správná parita.

2



Obr. 1

Vynález se týká způsobu provádění propojovacího testu při duplexním přenosu číslicové informace mezi účastníky připojenými k terminálům propojeným navzájem telekomunikační sítí s časovým multiplexem, ve které se informace přenáší ve tvaru binárních slov ve zvlášť rozvržených časových intervalech, přičemž propojovací test se provádí za provozu pomocí paritního testu pro kontrolu, zda po provedení spojení bylo dosaženo správného propojení. Vynález se rovněž týká i zařízení k provádění tohoto způsobu.

Ve švédském patentním spisu č. 7410475-3 je popsán způsob prověřování číslicové ústředny v telekomunikační soustavě. Způsob spočívá v záměrném zavádění nesprávné parity do toku číslicových znaků na vstupu ústředny, po provedení kroků k vytvoření spojení mezi vstupem a daným výstupem ústředny, načež se tento výstup zkoumá na výskyt nesprávné parity, přičemž informace o výsledku zkoumání, která indikuje nesprávně nebo správně vytvořené spojení, se převádí do ústřední řídicí jednotky.

Nedostatek tohoto známého způsobu spočívá v tom, že způsob je zcela pod kontrolou ústřední řídicí jednotky, která řídí všechny kroky při provádění propojovacího testu, což má za následek značné časové ztráty a složitý hardware.

Způsob není použitelný pro rozlehlou spínací síť s velkým počtem ústředí nebo terminálů. Test je omezen pouze na ústřednu. Způsob je založen na prověřování parity při řízení ústředním počítačem na přijímací straně a vytváření parity na vysílací straně, rovněž při kontrole ústředním počítačem. Je tedy třeba provádět aktivní kroky jak na vysílací, tak i na přijímací straně zapojení.

Uvedené nedostatky jsou odstraněny způsobem podle vynálezu, jehož podstata spočívá v tom, že propojovací test se zahajuje a detekuje v jednom a téže terminálu, po detekování správné parity se z dané stanice ve spojovací síti zvolené při navazování spojení záměrně vysílá zkušební bit s chybnou paritou, spolu s každým se řady slovních vzorků a uvedený zkušební bit se při průchodu ostatními stanicemi beze změny vybavuje do dalších spínacích bodů v síti, přičemž paritní test tohoto kontrolního bitu se provádí v uvedené stanici, ze které se po provedení paritní kontroly, to je při přijetí záměrně nesprávné parity, vyšle správná parita.

Podstata zařízení pro provádění způsobu podle vynálezu pak spočívá v tom, že ve spínací dráze je uspořádána vysílací a přijímací stanice pro informace propojovacího testu, která obsahuje sériově/paralelní převodník, jehož vstup je připojen k vstupnímu vedení a výstupy tohoto sériově/paralelního převodníku jsou připojeny k odpovídajícím vstupům prvního obvodu pro o-

věřování parity a k odpovídajícím vstupům paralelně/sériového převodníku a výstup paritního bitu sériově/paralelního převodníku je připojen k prvnímu datovému vstupu datového selektoru a první výstup prvního obvodu pro ověřování parity je připojen k druhému datovému vstupu datového selektoru a ke druhému vstupu porovnávacího obvodu, výstup porovnávacího obvodu je připojen k prvnímu vstupu místního řídicího mikroprocesoru a invertovaný druhý výstup prvního obvodu pro ověřování parity je připojen k třetímu datovému vstupu datového selektoru a výstup ústředního procesoru je připojen ke druhému vstupu místního řídicího mikroprocesoru, jehož první výstup je připojen ke vstupu řídicí paměti, druhý výstup místního řídicího mikroprocesoru je připojen ke vstupu podmínkového čítače, jehož výstup je připojen ke třetímu vstupu místního řídicího mikroprocesoru a první výstup řídicí paměti je připojen k prvnímu řídicímu vstupu datového selektoru a druhý výstup řídicí paměti je připojen k druhému řídicímu vstupu datového selektoru, jehož výstup je připojen k dalšímu vstupu paralelně/sériového převodníku, jehož výstup je připojen k vedení a že v linkovém terminálu je připojen vstup druhého sériově/paralelního převodníku k vedení a výstup tohoto druhého sériově/paralelního převodníku je připojen k odpovídajícímu vstupu druhého paralelně/sériového převodníku a ke vstupu druhého obvodu pro ověřování parity, jehož výstup je připojen ke vstupu paritního bitu třetího obvodu pro ověřování parity a vstup třetího sériově/paralelního převodníku je připojen k vedení, výstup třetího sériově/paralelního převodníku je připojen k odpovídajícímu vstupu třetího paralelně/sériového převodníku a k dalšímu vstupu třetího obvodu pro ověřování parity, jehož výstup je připojen k dalšímu vstupu třetího paralelně/sériového převodníku, jehož výstup je připojen ke vstupnímu vedení a výstup druhého paralelně/sériového převodníku je připojen k vedení.

Výhodnost způsobu a zařízení podle vynálezu spočívá v tom, že jsou použitelné v soustavě s mnoha procesory a nejsou pod kontrolou žádného ústředního počítače. Propojovací test podle vynálezu je založen na sledování, které zajišťuje, že spojení bylo navázáno a trvá, je přezkušován jeden a tentýž terminál, to je terminál vysílající propojovací test má také za úkol tento test detekovat. To znamená, že všechny ostatní terminály podél spojovací cesty, například procesory a linkové terminály s pulsní kódovou modulací, pouze přihlížejí k obsahu testu, aniž by prováděly jakékoliv další kroky. Vynález je založen také na tom, že k datovým vzorkům se přidává nesprávný paritní bit. Ve skutečnosti je možné používat také jiné testovací signály než nesprávnou paritu, například speciální testovací slovo

nebo speciální testovací bit. Vynález tedy umožňuje kontrolu, že v duplexním spoji uvnitř soustavy s číslicovou sběrnicí bylo vytvořeno správné spojení. Propojovací test pro obě poloviny duplexního spoje je zahajován a jeho výsledek je prověřován v tomtéž bodě terminálu spojovací sítě. Paritní bit se záměrně chybou polaritou se vysílá spolu s hovorovým vzorkem a jak již bylo uvedeno, vytváření paritního bitu a prověřování jeho polarit se provádí v tomtéž terminálu — procesoru. V soustavě se řadu procesorů může tedy být zahajování a prověřování svěřeno jednomu a témuž procesoru, což je při způsobu podle stavu techniky nemožné.

Vynález bude v dalším textu blíže objasněn na příkladu provedení, jehož schéma zapojení je znázorněno na připojených výkresech, kde na obr. 1 je znázorněn diagram spojovacích cest, znázorňující provedení zapojení, ve kterém je začleněno zařízení podle vynálezu, na obr. 2 je blokově znázorněn terminál ve spojovací síti se zařízením podle vynálezu, na obr. 3 je znázorněno blokové schéma terminálu pro provádění propojovacího testu.

Z obr. 1 vyplývá, že číslicová spojovací síť obsahuje řadu terminálů **T**, které jsou tvořeny počítači, řízenými číslicovými telefonními ústřednami, přičemž jeden z nich tvoří vysílací a přijímací stanici **TCT** pro informace propojovacího testu. Terminály **T** jsou navzájem spojeny sběrnicemi **TSB**, pracujícími v časovém multiplexu. K terminálům **T** jsou rovněž připojeny první linkový terminál **PCM 1**, a druhý linkový terminál **PCM 2**, které pracují s pulsněkódovou modulací. V linkových terminálech **PCM 1** a **PCM 2** se mimo jiné provádí analogově-číslíkový a číslicově-analogový převod ze sítě a do sítě vně číslicové spojovací sítě.

Mezi dvěma účastníky si lze představit zdvojený spoj ve směrech od **A** k **B** a od **B** k **A**. Navázání spojení ve stupni s časovým multiplexem není popisováno, protože je známo ze stavu techniky. V terminálu, který tvoří vysílací a přijímací stanici **TCT** pro informace propojovacího testu se známým způsobem provádí obvyklý paritní test, zajišťující, že spojovací cesta byla vůbec uzavřena. Jestliže se v kterémkoliv spojovacím kódu vyskytne chyba, získá se chybová parita, indikující vadnou činnost spojovacích bodů, to je spínače, které se nese-pnuly. Jestliže se spínač nepřepne, způsobí chybovou paritu.

Jestliže se potvrdí správná parita, to je v síti bylo navázáno správné spojení, provede se propojovací test, což se provádí záměrným vytvářením chybové, to je invertované parity z toho terminálu tvořícího vysílací stanici a přijímací sběrnicí **TCT** pro informace propojovacího testu, který byl neznázorněným ústředním procesorem **CP** určen k provedení propojovacího testu. Při tomto testu se správná parita očekává pou-

ze ve vysílací a přijímací stanici **TCT** pro informace propojovacího testu. Všechny ostatní spínací body ve vytvořeném spojení jsou přepnuty, bez ohledu na to, zda parita je správná nebo nesprávná, to je vycházející parita se rovná vstupní paritě. Záměrně generovaný chybný paritní bit projde celou spojovací cestou a vrátí se jako vstupní údaj do terminálu, tvořícího vysílací a přijímací stanici **TCT** pro informace propojovacího testu, kde je detekován. Po provedení detekce bitu se do sítě vyšle správný paritní bit. V tomto případě se očekává správná parita, která zaručuje, že všechny registry ve spojovací cestě jsou zbaveny nesprávné parity. Ústřední počítač je pak informován o tom, že bylo provedeno správné spojení. Místní řídicí mikroprocesor **MP** v terminálu, tvořícím vysílací a přijímací stanici **TCT** pro informace může rozhodnout, zda se vyšle správný nebo nesprávný paritní bit. Za správnou paritu se považuje lichá parita. Při zjištění nesprávné parity, která nebyla generována záměrně, se vyšle správná parita. Při nepodařeném propojovacím testu provede ústřední procesor nový pokus o nastavení. Při opakovaných pokusech o spojení se objeví poplachový signál. Za terminál, tvořící vysílací a přijímací stanici **TCT** pro informace propojovacího testu se obvykle volí ten terminál, který je nejbližší k účastníku **A**.

Záměrně aplikovaná nesprávná parita je v daných kanálech skrze jednotlivé obvody podél přenosové cesty udržována po celou dobu. Má to výhodu, spočívající v tom, že žádný spínač nemůže pracovat nesprávně, aniž by byl odhalen při propojovacím testu.

Na obbr. 2 je znázorněno vnitřní zapojení linkového terminálu, například druhého linkového terminálu **PCM 2** z obr. 1. Linkový terminál **PCM 2** obsahuje druhý sériově/paralelní převodník **SP 2**, jehož vstup je připojen k vedení **L 1** a jehož výstupy jsou připojeny k odpovídajícím vstupům druhého paralelně/sériového převodníku **PS 2** a ke vstupům **D02** až **D72** a vstupu **P2** druhého obvodu **M 2** pro ověřování parity. Jeho výstup **62** je připojen ke vstupu paritního bitu třetího obvodu **M3** pro ověřování parity. Vstup třetího sériově/paralelního převodníku **SP3** je připojen k vedení a jeho výstupy jsou připojeny k odpovídajícím vstupům třetího paralelně/sériového převodníku **PS3** a k dalším vstupům **D03** až **D73** třetího obvodu **M3** pro ověřování parity, jehož výstup **53** je připojen k dalšímu vstupu třetího paralelně/sériového převodníku **PS3**, jehož výstup je připojen k vedení **TB** a výstup druhého paralelně/sériového převodníku **PS2** je připojen k vedení **L1**.

Při přenosu hovoru od účastníka ve směru **A** k účastníku ve směru **B**, je číslicová informace v sériové formě ze spínacích terminálů přijímána na vstupu druhého sériově/paralelního převodníku **SP2** ve druhém

linkovém terminálu **PCM 2**. Protože je to otázka systému časového multiplexu, je hovorová informace přenášena ve formě vzorků, z nichž každý obsahuje osm bitů a paritní bit. Po převodu do paralelního tvaru jsou hovorové bity a paritní bit přiváděny na vstupy druhého paralelně/sériového převodníku **PS2** pro další vyslání do vedení **L1**, například k účastníkovi ve směru **B**. Uvedené signály z výstupu druhého sériově/paralelního převodníku **SP2** se přivádějí také na vstupy druhého obvodu **M2** pro ověřování parity, který je tvořen sčítacím obvodem modulo-2, ve kterém se známým způsobem provádí kontrola parity, to je ověřuje se, zda parita je lichá nebo sudá a podle toho se na vstup třetího obvodu **M3** pro ověřování parity, který je tvořen sčítacím obvodem modulo-2, vyšle paritní bit. Hovorové vzorky od účastníka ve směru **B** se přivádějí na vstup třetího sériově/paralelního převodníku **SP3** v druhém linkovém terminálu **PCM2**. Po převodu jsou signály v paralelním tvaru přiváděny na vstupy třetího paralelně/sériového převodníku **PS3** pro převod do vedení **TB** a také na další vstupy zmíněného třetího obvodu **M3** pro ověřování parity, tvořeného sčítacím obvodem modulo-2, na jehož výstupu se jako odpověď na paritní bit a hovorový vzorek od účastníka ve směru **B**, přivedené na vstupy, objeví paritní bit. Hovorové vzorky od účastníka ze směru **B** tedy opouštějí třetí paralelně/sériový převodník **PS3** do linkového obvodu s vloženým paritním bitem, zmíněný paritní bit je získáván bez výměny informace a řízení z nějakého společného ústředního počítače, nýbrž pouze jednoduchým procesem spojení smyčky. Výstupní parita má tudíž polaritu jako přiváděná parita.

Na obr. 3 jsou znázorněny obvody potřebné ve vysílací a přijímací stanici **TCT** pro provádění propojovacího testu. Uvedený terminál je vybrán pro kontrolu tohoto testu při navázání spojení. Stejně obvody jsou obsaženy také v ostatních terminálech **T**, neboť všechny terminály jsou shodné.

Vysílací a přijímací stanice **TCT** obsahuje první sériově/paralelní převodník **SP1**, jehož vstup je připojen k přivodnímu vedení **TB** a jehož výstupy jsou připojeny k odpovídajícím vstupům **D01** až **D71** prvního obvodu **M1** pro ověřování parity, tvořeného sčítacím obvodem modulo-2 a k odpovídajícím vstupům prvního paralelně/sériového obvodu **PS1**. Výstup **P** paritního bitu prvního sériově/paralelního převodníku **SP1** je připojen na první vstup porovnávacího obvodu **OR**, který je tvořen logickým obvodem nonekvivalence a na první datový vstup **4** datového selektoru **DS**. První výstup **61** prvního obvodu **M1** pro ověřování parity, tvořeného sčítacím obvodem modulo-2, je připojen k druhému datovému vstupu **5** datového selektoru **DS** a k druhému vstupu porovnávacího obvodu **OR**. Výstup porovnávacího obvodu **OR** tvořeného logickým obvo-

dem nonekvivalence, je připojen k prvnímu vstupu místního řídicího mikroprocesoru **MP**. Inverzní druhý výstup **51** prvního obvodu **M1** pro ověřování parity, tvořeného sčítacím obvodem modulo-2, je připojen k třetímu datovému vstupu **6** datového selektoru **DS**. Výstup ústředního procesoru **CP** je připojen k druhému vstupu místního mikroprocesoru **MP**, jehož první výstup je připojen ke vstupu řídicí paměti **CM**, druhý výstup mikroprocesoru **MP** je připojen ke vstupu podmínkového čítače **TR**, jehož výstup je připojen ke třetímu vstupu mikroprocesoru **MP**. První výstup řídicí paměti **CM** je připojen k prvnímu řídicímu vstupu **PC0** datového selektoru **DS**, druhý výstup řídicí paměti **CM** je připojen k druhému řídicímu vstupu **PC1** datového selektoru **DS**, jehož výstup **1** je připojen k dalšímu vstupu prvního paralelně/sériového převodníku **PS1**, jehož výstup je připojen k vedení **L1**.

Hovorové vzorky s paritním bitem jsou vedením **TB** přiváděny na vstup prvního sériově/paralelního převodníku **SP1**. Číslicové hovorové vzorky jsou vedeny dále do prvního paralelně/sériového převodníku **PS1** pro vyslání do vedení v sériovém tvaru. Hovorové vzorky z výstupu prvního sériově/paralelního převodníku **SP1** jsou dále přiváděny na vstupy **D01** až **D71** prvního obvodu **M1** pro ověřování parity, tvořeného sčítacím obvodem modulo-2, zatím co paritní bit ze sběrnice přichází na první datový vstup **4** datového selektoru **DS**. Na vstup prvního obvodu **M1** pro ověřování parity tvořeného sčítacím obvodem modulo-2 se přivádí signál s konstantní úrovní, odpovídající například logické jednotce. Sčítáním vyvířený paritní signál se z prvního výstupu **61** prvního obvodu **M1** pro ověřování parity tvořeného sčítacím obvodem modulo-2, přivádí na druhý vstup **5** datového selektoru **DS**. Z druhého výstupu **51** prvního obvodu **M1** pro ověřování parity se na třetí vstup **6** datového selektoru **DS** přivádí invertovaný paritní bit. Signál ze zmíněného prvního paritního výstupu **61** prvního obvodu **M1** pro ověřování parity tvořeného sčítacím obvodem modulo-2 se porovnává v porovnávacím obvodu **OR** tvořeným logickým obvodem nonekvivalence s paritním bitem získaným z prvního sériově/paralelního převodníku **SP1**. Je-li třeba, může být výsledek porovnání vybaven v místním procesoru **MP**. Na počátku propojovacího testu dostane mikroprocesor **MP** od neznámého ústředního procesoru **CP** příkaz k provedení propojovacího testu. Zmíněný mikroprocesor pak zapíše do řídicí paměti **CM**, že bude vyslána správná parita, to je hodnota **01** odpovídající liché paritě. Současně je mikroprocesorem **MP** vynulován podmínkový čítač **TR**. Úkolem podmínkového čítače **TR** je řídit odezvu mikroprocesoru **MP** na přiváděné parity. Ze dvou výstupů řídicí paměti **CM** se vysílají řídicí signá-

ly na příslušné řídicí vstupy **PC0**, **PC1** datového selektoru **DS**. V případě **PC0** = 0 a **PC1** = 1 je přes druhý datový vstup **5** a výstup **1** datového selektoru **DS** vysílána na vstup prvního paralelně/sériového převodníku **PS1** lichá parita. Tento paritní signál projde sítí a je přijat na vstupu terminálu tvořeného vysílací a přijímací stanicí **TCT**. V případě shody porovnávaných paritních signálů vyše porovnávací obvod **OR**, tvořený logickým obvodem nonekvivalence, signál logická nula, označující správnou paritu a za předpokladu, že podmínkový čítač **TR** je vynulován, je stav podmínkového čítače **TR** mikroprocesorem zvýšen o jedničku a změně se řídicí slovo v řídicí paměti **CM**, která tudíž vyše záměrně nesprávnou paritu, to je sudou paritu odpovídající logickému signálu **10**. Při aktivování řídicích vstupů signálem **10** je z datového selektoru **DS** přes třetí datový vstup **6** vysílána do prvního paralelně/sériového převodníku **PS1** sudá parita.

Při rozdílnosti porovnávaných paritních signálů vyše porovnávací obvod **OR**, tvoře-

ný logickým obvodem nonekvivalence, logickou jedničku, což má za předpokladu, že stav podmínkového čítače **TR** je roven jedné, za následek, že mikroprocesor **MP** zvýší stav čítače o jedničku a změní řídicí slovo v řídicí paměti **CM** na správnou paritu, to je lichou paritu **01**, která se přes datový selektor **DS** vyše do sběrnice. Jakmile je pak opět přijata správná parita a za předpokladu, že stav podmínkového čítače **TR** je dvě, mikroprocesor **MP** zvýší stav podmínkového čítače **TR** na tři a vyše do ústředního procesoru **CP** řídicí signál, který znamená, že propojovací test je ukončen. Hodnota tři v podmínkovém čítači **TR** znamená, že dále se na přicházející parity nebere ohled.

V terminálu **T**, který při provádění propojovacího testu nemá funkci řídicího terminálu, se podmínkový čítač **TR** v okamžiku nastavování uvede do stavu tři a do řídicí paměti **CM** se zapíše hodnota **00**, takže přicházející parita se přes první datový vstup **4** a výstup **1** datového selektoru **DS** vede na vstup paralelně/sériového převodníku **PS1** a do vedení.

PŘEDMĚT VYNÁLEZU

1. Způsob provádění propojovacího testu při duplexním přenosu číslicové informace mezi účastníky připojenými k terminálům propojeným navzájem telekomunikační sítí s časovým multiplexem, ve které se informace přenáší ve tvaru binárních slov ve zvlášť rozvržených časových intervalech, přičemž propojovací test se provádí za provozu pomocí paritního textu pro kontrolu, zda po provedení spojení bylo dosaženo správného propojení, vyznačující se tím, že propojovací test se zahajuje a detekuje v jedné a téže vysílací a přijímací stanici (**TCT**), po detekování správné parity se z dané stanice ve spojovací sítí, zvolené při navazování spojení, záměrně vysílá zkušební bit s chybnou polaritou spolu s každým z řady slovních vzorků a uvedený zkušební bit se při průchodu ostatními stanicemi beze změny vybavuje do dalšího spínacího bodu v síti, přičemž paritní test tohoto kontrolního bitu se provádí v uvedené stanici (**TCT**), ze které se po provedení paritní kontroly, to je po přijetí záměrně nesprávné parity, generuje a vyše správná parita.

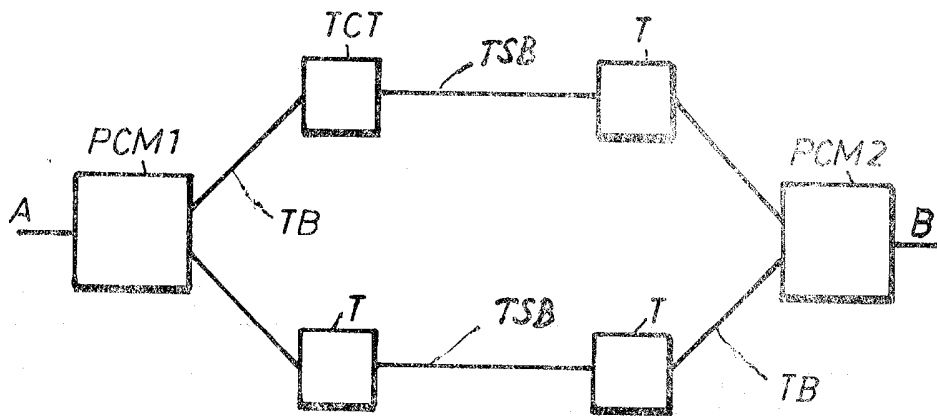
2. Zařízení k provádění způsobu podle bodu 1, při duplexním přenosu číslicové informace mezi účastníky připojenými k terminálům propojeným navzájem telekomunikační sítí s časovým multiplexem, ve které se informace přenáší ve tvaru číslicových slov ve zvlášť rozvržených časových intervalech, přičemž propojovací test se provádí za provozu pomocí paritního testu pro kontrolu, zda po provedení spojení bylo dosaženo správného propojení, vyznačující se tím, že ve spínací dráze uspořádaná vysílací a přijímací stanice (**TCT**) pro informace

propojovacího testu obsahuje první sériově/paralelní převodník (**SP1**), jehož vstup je připojen k vstupnímu vedení (**TB**) a výstupy tohoto prvního sériově/paralelního převodníku (**SP1**) jsou připojeny k odpovídajícím vstupům prvního obvodu (**M1**) pro ověřování parity a k odpovídajícím vstupům prvního paralelně/sériového převodníku (**PS1**) a výstup (**P**) paritního bitu prvního sériově/paralelního převodníku (**SP1**) je připojen k prvnímu vstupu porovnávacího obvodu (**OR**) a k prvnímu datovému vstupu datového selektoru (**DS**) a první výstup prvního obvodu (**M1**) pro ověřování parity je připojen k druhému datovému vstupu datového selektoru (**DS**) a ke druhému vstupu porovnávacího obvodu (**OR**), výstup porovnávacího obvodu (**OR**) je připojen k prvnímu vstupu místního řídicího mikroprocesoru (**MP**) a invertovaný druhý výstup prvního obvodu (**M1**) pro ověřování parity je připojen k třetímu datovému vstupu datového selektoru (**DS**) a výstup ústředního procesoru (**CP**) je připojen k druhému vstupu místního řídicího mikroprocesoru (**MP**), jehož první výstup je připojen ke vstupu řídicí paměti (**CM**), druhý výstup mikroprocesoru (**MP**) je připojen k podmínkovému čítači (**TR**), jehož výstup je připojen ke třetímu vstupu mikroprocesoru (**MP**) a první výstup řídicí paměti (**CM**) je připojen k prvnímu řídicímu vstupu (**PC0**) datového selektoru (**DS**) a druhý výstup řídicí paměti (**CM**) je připojen k druhému řídicímu vstupu (**PC1**) datového selektoru (**DS**), jehož výstup je připojen k dalšímu vstupu prvního paralelně/sériového převodníku

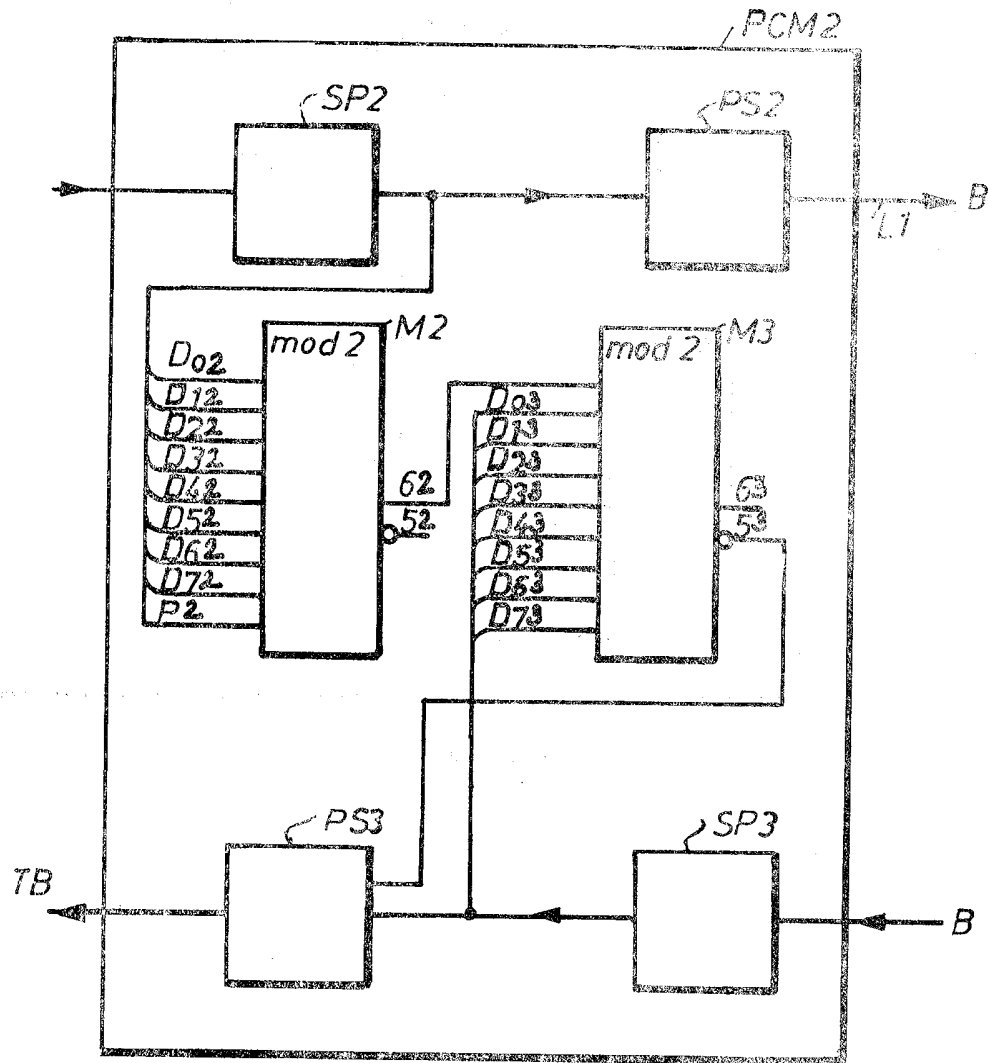
(PS1), jehož výstup je připojen k vedení (L1) a v druhém linkovém terminálu (PCM2) je připojen vstup druhého sériově/paralelního převodníku (SP2) k vedení (L1) a výstup k odpovídajícím vstupům druhého paralelně/sériového převodníku (PS2) a ke vstupům druhého obvodu (M2) pro ověřování parity, jehož výstup je připojen ke vstupu paritního bitu třetího obvodu (M3) pro ověřování parity a vstup třetího sériově/paralelního převodníku (SP3)

je připojen k vedení a jeho výstupy jsou připojeny k odpovídajícím vstupům třetího paralelně/sériového převodníku (PS3) a k dalším vstupům třetího obvodu (M3) pro ověřování parity, jehož výstup je připojen k dalšímu vstupu třetího paralelně/sériového převodníku (PS3), jehož výstup je připojen k vedení (TB) a výstup druhého paralelně/sériového převodníku (PS2) je připojen k vedení (L1).

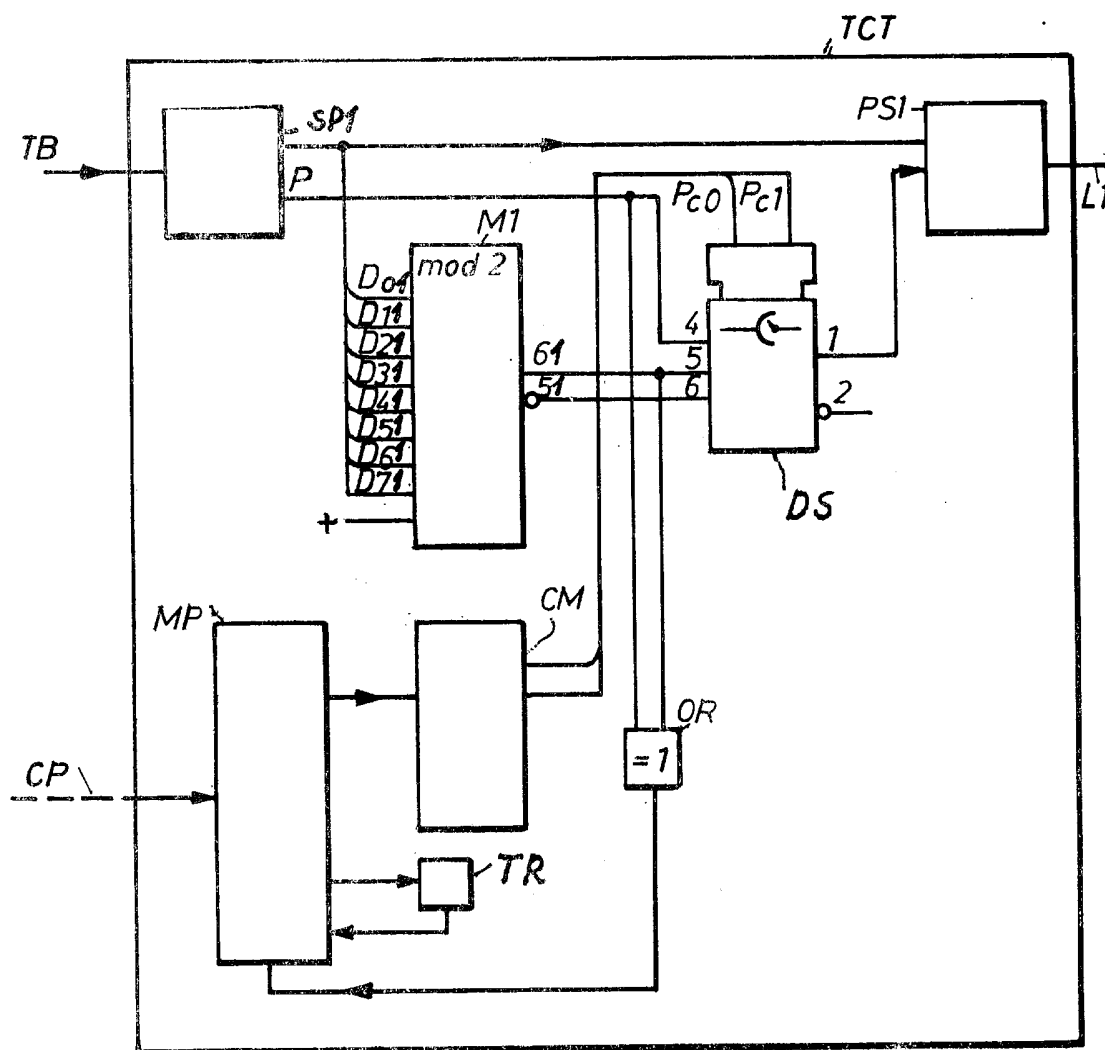
2 listy výkresů



Obr. 1



Obr. 2



Obr. 3