

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200710147733.8

[51] Int. Cl.

H01L 45/00 (2006.01)

H01L 27/24 (2006.01)

G11C 11/56 (2006.01)

[43] 公开日 2008年3月5日

[11] 公开号 CN 101136453A

[22] 申请日 2007.8.27

[21] 申请号 200710147733.8

[30] 优先权

[32] 2006.8.29 [33] US [31] 11/511,680

[71] 申请人 国际商业机器公司

地址 美国纽约

[72] 发明人 A·G·施罗特 林仲汉

M·J·布赖特维施

[74] 专利代理机构 北京市中咨律师事务所

代理人 于静 杨晓光

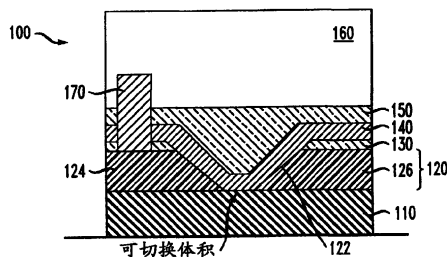
权利要求书3页 说明书10页 附图9页

[54] 发明名称

薄膜相变存储单元及其制造方法

[57] 摘要

一种包括半导体部件和相变材料的存储单元。所述半导体部件限定了凹槽，所述凹槽将所述半导体部件分成第一电极和第二电极。所述相变材料至少部分地填充此凹槽并用于电连接所述第一和第二电极。所述相变材料的至少一部分可用于在较低和较高电阻状态之间切换，以响应将开关信号施加到所述第一和第二电极中的至少一个电极。



1. 一种存储单元，包括：

半导体部件，所述半导体部件限定了凹槽，所述凹槽将所述半导体部件分成第一电极和第二电极；以及

相变材料，所述相变材料至少部分地填充所述凹槽并电连接所述第一和第二电极；

其中所述相变材料的至少一部分可用于在较低和较高电阻状态之间切换，以响应将开关信号施加到所述第一和第二电极中的至少一个电极。

2. 根据权利要求1的存储单元，其中所述凹槽至少部分地通过各向异性地蚀刻硅来形成。

3. 根据权利要求1的存储单元，还包括第一金属线和第二金属线，所述第一和第二金属线电连接到所述第一和第二电极中的相应电极。

4. 根据权利要求3的存储单元，其中所述第一金属线和第二金属线在接近所述半导体部件处彼此基本垂直地延伸。

5. 根据权利要求1的存储单元，还包括具有源极和漏极的场效应晶体管，所述源极和漏极中的至少一个电连接到所述第一和第二电极中的至少一个电极。

6. 根据权利要求1的存储单元，其中用于在较低和较高电阻状态之间切换的所述相变材料部分基本位于所述凹槽之内。

7. 根据权利要求1的存储单元，其中所述相变材料包括锗、锑、硫、铟、硒、碲或其组合。

8. 根据权利要求1的存储单元，其中所述相变材料包括包含锗、锑和碲的三元合金。

9. 根据权利要求1的存储单元，其中所述相变材料包括过渡金属氧化物。

10. 根据权利要求1的存储单元，其中所述相变材料包括两个或更多个具有不同成分的子层。

11. 根据权利要求1的存储单元,其中所述存储单元可用于同时存储多位信息。

12. 根据权利要求1的存储单元,其中所述半导体部件至少部分地布置在绝缘材料上。

13. 根据权利要求1的存储单元,其中所述半导体部件包括硅,并且所述凹槽包括至少一个具有基本为<111>晶面方向的硅侧壁。

14. 一种形成存储单元的方法,所述方法包括以下步骤:

形成半导体部件,所述半导体部件限定了凹槽,所述凹槽将所述半导体部件分成第一电极和第二电极;以及

形成相变材料,所述相变材料至少部分地填充所述凹槽并电连接所述第一和第二电极;

其中所述相变材料的至少一部分可用于在较低和较高电阻状态之间切换,以响应将开关信号施加到所述第一和第二电极中的至少一个电极。

15. 根据权利要求14的方法,其中所述存储单元在绝缘体上硅衬底之上形成。

16. 根据权利要求14的方法,其中所述形成所述半导体部件的步骤包括各向异性地蚀刻硅。

17. 根据权利要求16的方法,其中各向异性地蚀刻硅包括将硅暴露于包括氢氧化钾或乙二胺邻苯二酚或其组合的溶液。

18 一种包括一个或多个存储单元的集成电路,所述一个或多个存储单元中的至少一个存储单元包括:

半导体部件,所述半导体部件限定了凹槽,所述凹槽将所述半导体部件分成第一电极和第二电极;以及

相变材料,所述相变材料至少部分地填充所述凹槽并电连接所述第一和第二电极;

其中所述相变材料的至少一部分可用于在较低和较高电阻状态之间切换,以响应将开关信号施加到所述第一和第二电极中的至少一个电极。

19 根据权利要求18的集成电路,其中所述集成电路包括随机存取

存储器。

20 根据权利要求 18 的集成电路,其中所述集成电路包括非易失性存储器。

薄膜相变存储单元及其制造方法

技术领域

本发明一般地涉及集成电路中的存储单元，更具体地说，涉及包括相变材料的存储单元。

背景技术

最近，随着对相变材料(PCM)的更多了解及其在集成电路中的集成，在非易失性存储单元中使用这些材料的可能性已越来越大。当被结合到存储单元中时，通过对存储单元施加电流脉冲(“开关电流脉冲”)，这些材料可以在较高和较低电阻状态之间切换。随后，在以此方式写入存储单元之后，通过对所述材料施加低量值的读出电压以确定其电阻状态，可以确定(即读取)给定存储单元的电阻状态。特别地，在某些设计中，基于PCM的存储单元甚至可以同时存储多位信息。

目前，诸如掺杂SbTe和 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ (GST)之类的二元和三元硫属化物合金最有希望用在实际的基于PCM的存储单元中。例如，“Electronic Switching in Phase-Change Memories”(相变存储器中的电子切换)(A.Pirovano等人，IEEE Transactions on Electron Devices, 2004年3月第3期第51卷)说明了硫属化物的此类用法并且在此引入作为参考。但是，基于PCM的存储单元的切换要求开关电流脉冲在PCM中产生足够的热量，以导致PCM的至少某些部分可再现地改变电阻状态。例如，要求的温度可以高达650摄氏度。如果存储单元设计不当，则产生这些所需温度所必需的开关电流脉冲的强度可能很容易超过现代集成电路所容许的强度。

出于此原因，薄膜存储单元是用于基于PCM的存储单元的有吸引力的解决方案。在此类存储单元中，迫使开关电流沿着呈薄膜的PCM。结果，

通过调整 PCM 层的厚度及其宽度以及开关电流必须经过的长度，可以调节开关电流的强度。然而，尽管此类设计具有明显的优点，但是从工艺的观点来看，精确控制这些尺寸参数仍是难题。相应地，需要一种容易制造且允许精确调节开关电流脉冲强度的基于薄膜 PCM 的存储单元。

发明内容

本发明的实施例通过提供允许精确调节开关电流脉冲的基于 PCM 的存储单元而解决了上述需要。有利地，这些设计提供了高度局部化的开关电流密度和加热效率，以便可以将开关电流脉冲的强度减小到与现代集成电路兼容的值。

根据本发明的一个方面，存储单元包括半导体部件和 PCM。所述半导体部件限定了凹槽，所述凹槽将所述半导体部件分成第一电极和第二电极。所述相变材料至少部分地填充此凹槽并用于电连接所述第一和第二电极。所述相变材料的至少一部分可用于在较低和较高电阻状态之间切换，以响应将开关信号施加到所述第一和第二电极中的至少一个电极。

根据本发明的示例性实施例，存储单元包括在绝缘层上形成的硅层。所述硅层包括凹槽，所述凹槽通过各向异性蚀刻处理形成并将所述硅层分隔成左右硅电极。PCM 层部分地填充所述凹槽。为了写入存储单元，在所述左右硅电极之间施加开关电流脉冲。此开关电流脉冲导致 PCM 层接近凹槽底部的部分从一种电阻状态改变为另一种电阻状态。

有利地，上述示例性实施例允许将开关电流脉冲的强度容易地调节到与现代集成电路兼容的值。更有利地，可以使用主要为常规半导体处理步骤的新顺序来构建所述示例性实施例。

从以下结合附图阅读的详细说明，本发明的这些和其他特征和优点将变得显而易见。

附图说明

图 1A 示出了根据本发明的示例性实施例的存储单元的截面图；

图 1B 示出了图 1A 的存储单元的另一个截面图；

图 1C 示出了图 1A 的存储单元的平面图；

图 2A-2K 示出了图 1A 的存储单元在其形成的各个阶段的截面图和平面图；

图 3 示出了根据本发明的第二示例性实施例的存储单元的截面图；以及

图 4A-4F 示出了图 3 的存储单元在其形成的各个阶段的截面图。

具体实施方式

此处将结合在集成电路中使用的示例性存储单元以及形成此类存储单元的方法对本发明进行说明。但是应理解，本发明并不限于此处示出和说明的特定材料、特征和处理步骤。对于本领域的技术人员而言，对示例性实施例的修改将变得显而易见。

尤其是对于处理步骤，应强调此处提供的说明并非旨在包含所有成功形成功能集成电路器件可能需要的处理步骤。相反，为了简化说明，此处有意未对通常用于形成集成电路器件的特定处理步骤（例如，湿法清洁和退火步骤）进行说明。但是，本领域的技术人员将很容易地了解从这些概括说明省略的这些处理步骤。此外，用于制造此类集成电路器件的处理步骤的详细信息可以在许多出版物中找到，例如 *Silicon Processing for the VLSI Era* 第 1 卷（S.Wolf 和 R.N.Tauber, Lattice Press, 1986）以及 *VLSI Technology* 第二版（S.M.Sze, McGraw-Hill, 1988）。

此处使用的术语“相变材料”（PCM）旨在包含任何显示多个可编程电阻状态以在集成电路中使用的材料。应意识到，此定义可以包含的材料多于此术语中通常包括的材料。例如，此处使用的术语 PCM 包括各种硫属化物和过渡金属氧化物，并且包括但不限于掺杂或无掺杂的 GeSb、SbTe、 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ （GST）、 SrTiO_3 、 BaTiO_3 、 $(\text{Sr},\text{Ba})\text{TiO}_3$ 、 SrZrO_3 、 In_2Se_3 、 $\text{Ca}_2\text{Nb}_2\text{O}_7$ 、 $(\text{Pr},\text{Ca})\text{MnO}_3$ 、 Ta_2O_5 、 NiO_x 、 TiO_x ，以及其他适合的材料。

此处将参考附图说明两个示例性存储单元实施例。首先将说明第一存储单元实施例的设计和运行特性，然后将说明用于在集成电路中形成此存储单元的示例性方法。随后，将以相同的顺序说明第二存储单元实施例的各方面。

图 1A 和 1B 示出了根据本发明的示例性实施例的存储单元 100 的截面图。图 1C 示出了同一存储单元的平面图。图 1A 中的截面图是在由图 1C 中所示的线 A-A' 限定的平面中截取的。图 1B 中的截面图是在由图 1C 中所示的线 B-B' 限定的平面中截取的。

存储单元 100 包括绝缘层 110、硅层 120 和介质层 130。所述硅层限定了凹槽 122，凹槽 122 将硅层分隔成左侧硅电极 124 和右侧硅电极 126。所述凹槽部分地由 PCM 层 140 填充。所述存储单元还包括介质硬掩模层 150 和层间介质 (ILD) 层 160。下金属线 170 与左侧硅电极物理接触。垂直接触件 180 将右侧硅电极连接到上金属线 190。

由图 1A-1C 提供的不同视图示出了介质层 130、PCM 层 140 和介质硬掩模层 150 形成了贯穿存储单元 100 中间的条。在此条之外，这些元件不存在，并且 ILD 层 160 直接连接硅部件 120 和绝缘层 110。

在示例性存储单元 100 中，绝缘层 110 和介质层 130 优选地包括二氧化硅，而硅部件 120 优选地包括重 n 掺杂的晶体硅（赋予硅部件相对低的电阻率）。依次地，PCM 层 140 优选地包括 GST，而介质硬掩模层 150 优选地包括二氧化硅或氮化硅。ILD 层 160 优选地包括二氧化硅。下金属线 170 和上金属线 190 基本相互垂直地延伸。这些线和垂直接触件 180 优选地包括铜，但是备选地，可以包括其他适合的诸如铝或钨之类的材料。

在存储单元 100 中存储数据包括使 PCM 层 140 的总体积中的某些部分（“可切换体积”）处于低电阻多晶状态或高电阻非晶状态。这些状态之间的转变通过在下金属线 170 和上金属线 190（它们又分别电连接到左侧和右侧硅电极 124、126）之间施加开关电流脉冲而加热 PCM 层来实现。有利地，将 PCM 层的一部分布置在凹槽 122 中可迫使开关电流经过 PCM 层中接近凹槽底部的有限体积。例如，当在下金属线和上金属线之间施加

开关电流脉冲时，开关电流脉冲首先经过左侧硅电极并进入 PCM 层。此时，电流必须经过 PCM 的接近凹槽底部的薄层以便到达右侧硅电极。随后，在离开右侧硅电极之后，电流经过垂直接触件 180 并进入上金属线。

将开关电流限于 PCM 层 140 的接近凹槽 122 底部的体积可导致该体积中高度局部化的电流密度，进而导致高欧姆加热。鉴于此原因，此体积形成了存储单元 100 中的 PCM 层的可切换体积。在此可切换体积的外部，电流密度不足以导致电阻状态之间的转变。相应地，所需开关电流脉冲的强度显著小于导致在整个 PCM 层中进行状态转变所需的强度。再者，此存储单元设计允许通过调整 PCM 层的厚度及宽度和/或开关电流必须经过的 PCM 层长度来容易地调节开关电流脉冲的强度。通过这种调节，可以容易地将开关电流脉冲的强度调节到与现代集成电路兼容的值。

虽然并未将本发明限于任何特定的开关电流脉冲持续时间和/或上升或下降时间，但是开关电流脉冲的持续时间优选地在约 1 纳秒与约 500 纳秒之间，并且具有快速下降边沿（即，约小于 10 纳秒）。快速下降边沿用于将 PCM 层 140 的可切换体积稳定在其当前电阻状态，而不允许材料中的键具有额外时间来继续进行重新排列。

随后，可以再次经由下金属线 170 和上金属线 190 对存储单元 100 施加读出电压来实现存储单元的状态读取。在典型的双态 PCM 中，较高和较低电阻状态之间的电阻比率约为 100:1 和 1,000:1。读出电压优选地具有足够低的强度以便在 PCM 层 140 中提供可忽略的欧姆加热。相应地，可以通过此方式确定 PCM 层的电阻状态而无需干扰其写入电阻状态。因此，在读取数据时保持了数据完整性。

有利地，可以使用主要为常规半导体处理步骤的新顺序来形成存储单元 100。图 2A-2K 示出了用于形成所述存储单元的示例性处理顺序。初始地，获得重 n 掺杂绝缘体上硅 (SOI) 衬底。SOI 衬底在图 2A 中示出。它是一种分层结构，包括布置在绝缘层 110 上的硅层 120。所述硅层优选地具有基本为 <100> 晶面方向的顶面。随后，使用常规半导体氧化技术对此顶面进行热氧化以产生介质层 130，从而导致图 2B 中示出的膜叠层。

然后，将膜叠层暴露到常规的光刻以形成光致抗蚀剂掩膜 210，其在形成凹槽 122 的区域上方具有开口。形成的膜叠层在图 2C 中示出。形成光致抗蚀剂掩膜之后，将膜叠层暴露到反应离子蚀刻（RIE）处理以去除介质层 130 的未掩蔽部分，然后进行各向异性蚀刻处理。此类各向异性蚀刻处理依赖于特定蚀刻剂将以显著不同的蚀刻速率蚀刻晶体硅的不同晶面的事实。例如，氢氧化钾（KOH）蚀刻硅的<100>晶面的速率比它蚀刻硅的<111>晶面的速率约快 400 倍。结果，目前的各向异性蚀刻处理可以通过将膜叠层暴露于包含 KOH 的溶液（例如，KOH、乙二醇和水的溶液）来实现。可以使用乙二胺邻苯二酚（EDP）代替 KOH 来有选择地蚀刻硅。此外，存在若干本领域技术人员公知的且在本发明的范围内的其他用于晶体硅的选择性蚀刻剂。

在去除光致抗蚀剂掩膜 210 之后，各向异性蚀刻处理在硅层 120 中形成凹槽 122，如图 2D 中所示。各向异性蚀刻处理不容易蚀刻介质材料，因此当它蚀刻了整个硅层并到达绝缘层 110 时将基本停止。形成的凹槽具有特有的基本为<111>晶面方向的斜面。这些斜面与硅层的其余<100>表面大约成 55 度角。

各向异性蚀刻处理之后，薄层的 PCM 材料（例如 GST）通过例如溅射沉积而保形沉积在膜叠层上以便形成 PCM 层 140。接下来，通过例如 CVD 将一层介质材料（例如，二氧化硅或氮化硅）沉积在 PCM 层上，然后使用化学机械抛光（CMP）来抛光其顶面，从而形成介质硬掩模层 150。形成的膜叠层在图 2E 中示出。

然后，在膜叠层上执行另一光刻步骤以形成第二光致抗蚀剂掩膜 220。图 2F 示出了第二光致抗蚀剂掩膜就绪的膜叠层的平面图，而图 2G 和 2H 分别示出了沿着由线 G-G' 和 H-H' 限定的平面的截面图。然后在没有第二光致抗蚀剂掩膜的位置，通过常规 RIE 去除介质硬掩模 150、PCM 层 140 和介质层 130，从而形成图 2I（平面图）、2J（沿着由线 J-J' 限定的平面的截面图）和 2K（沿着由线 K-K' 限定的平面的截面图）中所示的膜叠层。如这些图中所示，此处理导致介质层、PCM 层和介质硬掩模层形成贯穿膜

叠层中间的条。

ILD 层 160、下金属线 170、垂直接触件 180 和上金属线 190 的形成将产生图 1A-1C 中所示的存储单元 100。铜质下金属线的形成可以通过例如镶嵌工艺来实现，所述镶嵌工艺包括在膜叠层上沉积 ILD 层的一部分、使用沟槽(其使用光刻和 RIE 来限定下金属线的形状)对此部分 ILD 层构图、使用电镀将铜沉积到沟槽内，以及使用 CMP 从部分 ILD 层的顶部去除所有铜。随后可以通过与刚才描述的工艺类似的第二镶嵌工艺来形成垂直接触件和上金属线。所述第二镶嵌工艺可以例如包括沉积 ILD 层的剩余部分、使用沟槽按照垂直接触件和上金属线的形状对此层构图、将铜沉积到沟槽内，以及使用 CMP 从 ILD 层的顶部去除铜。备选地，垂直接触件和上金属线可以使用单独的镶嵌工艺或本领域技术人员熟悉的各种其他适合的金属化顺序(例如，金属沉积、光刻和 RIE)来形成。

图 3 示出了根据本发明的第二示例性实施例的存储单元 300 的截面图。所述存储单元包括绝缘层 310、硅层 320、栅极介质层 330 和栅极 340。所述硅层限定了凹槽 322，凹槽 322 将硅层分隔成左侧硅电极 324 和右侧硅电极 326。所述存储单元还包括 PCM 层 350、介质覆盖层 360 和层间介质(ILD)层 370。左侧和右侧垂直接触件 380 和 390 分别与硅部件接触。左侧垂直接触件 380 连接到上金属线 400，而右侧垂直接触件连接到在此特定实施例中与上金属线垂直地延伸的下金属线 410。

在示例性存储单元 300 中，绝缘层 310 和栅极介质层 330 优选地包括二氧化硅，而 PCM 层 350 优选地包括 GST。硅层 320 被重 n 掺杂，但通道区域 328 除外，此区域位于栅极之下并被轻 n 掺杂。介质覆盖层 360 优选地包括二氧化硅或氮化硅。ILD 层 370 优选地包括二氧化硅。左侧和右侧垂直接触件 380、390 优选地包括钨，而上和下金属线 400、410 优选地包括铜或铝。

掺杂硅层 320、栅极介质 330 和栅极 340 联合形成了金属氧化物半导体场效应晶体管(MOSFET)420。MOSFET 是广泛使用的现代集成电路，因此本领域的技术人员将熟悉其设计和运行。在通道区域 328 右侧的硅部

件部分充当 MOSFET 的源极区（在图 3 中标记为“S”），而在通道区域左侧的硅部件部分充当 MOSFET 的漏极区（在图 3 中标记为“D”）。根据本发明的一个方面，MOSFET 的漏极区电连接到右侧硅电极 326。

如前所述，在存储单元 300 中存储数据包括通过使用开关电流脉冲加热 PCM 层来使 PCM 层 350 的总体积的某些部分处于低电阻多晶状态或高电阻非晶状态。在存储单元 300 中，当在足以允许电流脉冲经过 MOSFET 420 的通道区域 328 的电压下设置栅极 340 时，这可以通过在下金属线 410 和上金属线 400 之间传送开关电流脉冲来实现。在此情况下，电流脉冲将从下金属线传输到 MOSFET 并进入 MOSFET 的漏极区和右侧硅电极 326。此时，电流必须经过 PCM 层 350 的接近凹槽 322 底部的薄层以便到达左侧硅电极 324，并最终到达上金属线。

如在存储单元 100 中，将开关电流限于 PCM 层 350 的接近凹槽 322 底部的体积可导致该部分 PCM 层用作存储单元 300 中的可切换体积。有利地，存储单元 300 因此也允许通过上述方式（即，通过调整 PCM 层厚度、宽度和/或电流经过的长度）来容易地调节开关电流脉冲的强度。

存储单元 300 的形成可以使用主要为常规半导体处理步骤的新顺序来实现。图 4A-4F 示出了所述存储单元在其各个形成阶段的截面图。例如，图 4A 示出了在初始处理步骤之后出现的膜叠层。如前所述，优选地从包括绝缘层 310 和硅层 320 的 SOI 衬底开始处理。所述硅层优选地是轻 n 掺杂的。随后将所述硅层暴露到热氧化步骤以形成栅极介质层 330。接下来，通过沉积一层栅极材料（例如，通过 CVD 或溅射沉积而沉积的多晶硅或钨）并使用光刻和 RIE 对此层构图来形成栅极 340。形成所述栅极之后，然后使用其他 n 掺杂剂（例如磷）对所述硅层进行离子注入，以使所述硅层在那些未被栅极覆盖的区域中重 n 掺杂。此后，通过例如 CVD 在所述膜叠层上沉积一层介质材料（例如，二氧化硅或氮化硅）以形成介质覆盖层 360。

执行这些步骤之后，使用常规光刻来形成光致抗蚀剂掩模 430，其要在形成凹槽 322 的膜叠层区域上方具有开口，如图 4B 中所示。形成所述

光致抗蚀剂掩模之后，然后通过 RIE 蚀刻所述介质覆盖层，并将所述硅部件的下部暴露于各向异性蚀刻处理（例如，包括氢氧化钾的溶液）。由此形成所述凹槽，如图 4C 中所示。

接下来，通过例如溅射沉积在所述膜叠层上沉积一层 PCM 材料（例如 GST）以形成 PCM 层 350，如图 4D 中所示。然后使用第二光刻步骤在 PCM 层的布置在凹槽 322 内的部分上形成第二光致抗蚀剂掩模 440，如图 4E 中所示。然后通过 RIE 去除任何未被第二光致抗蚀剂掩模覆盖的 PCM 材料。去除第二光致抗蚀剂掩模之后，将出现膜叠层，如图 4F 中所示。

然后，可以使用常规镶嵌处理步骤（类似于上文针对存储单元 100 所描述的那些镶嵌处理步骤）来形成 ILD 层 370、左侧和右侧垂直接触件 380、390 以及上下金属线 400、410。完成这些元素之后，形成的膜叠层将显得与图 3 中所示的存储单元 300 相同。

应指出的是，虽然本发明的上述实施例分别说明了能够在任何给定时刻存储一位数据的存储单元，但是可以修改这些实施例中的任何一个实施例，以使各个存储单元能够同时存储多位数据。此类修改例如可通过使用包括两个或更多子层（具有不同成分，并因此具有在电阻状态之间转变的不同阈值温度）的 PCM 层来实现。当写入具有此类多成分 PCM 层的存储单元时，便可以调整开关电流脉冲的强度以使 PCM 层内的一个或多个子层中的一个、全部或只是一部分更改电阻状态，从而提供在单个存储单元中同时存储多位信息的能力。此类多位存储单元将在本发明的范围之内。

还应指出的是，上述存储单元是集成电路芯片设计的一部分。芯片设计可以使用图形计算机编程语言创建并存储于计算机存储介质（例如，盘、磁带、物理硬驱动器或诸如存储存取网络中的虚拟硬驱动器）中。如果设计者未制造芯片或用于制造芯片的光刻掩模，则设计者通过物理方法（例如，提供存储设计的存储介质的副本）或电子方法（例如，通过互联网）直接或间接地将结果设计传输到此类实体。然后将存储的设计转换为适当的格式（例如，GDSII）以便制造光刻掩模，它通常包括要在晶片上形成的所述芯片设计的多个副本。所述光刻掩模用于限定要蚀刻或要以其他方

式处理的晶片（和/或其上的层）的区域。

制造者可以以原始晶片形式（即，作为具有多个未封装芯片的单晶片）、作为裸小片或以封装的形式分发所得到的集成电路芯片。在后者的情况中，以单芯片封装（例如，引线固定到母板的塑料载体或其他更高级别的载体）或多芯片封装（例如，具有一个或两个表面互连或掩埋互连的陶瓷载体）来安装芯片。在任何情况下，所述芯片然后都作为中间产品（如母板）或最终产品的一部分与其他芯片、分离电路元件和/或其他信号处理装置集成。最终产品可以是任何包括集成电路芯片的产品，范围从玩具和其他低端应用到具有显示器、键盘或其他输入设备及中央处理器的高级计算机产品。

虽然此处参考附图说明了本发明的示例性实施例，但是应理解本发明并不限于这些精确实施例，并且本领域的技术人员可以对这些实施例做出各种其他更改和修改而不偏离所附权利要求的范围。

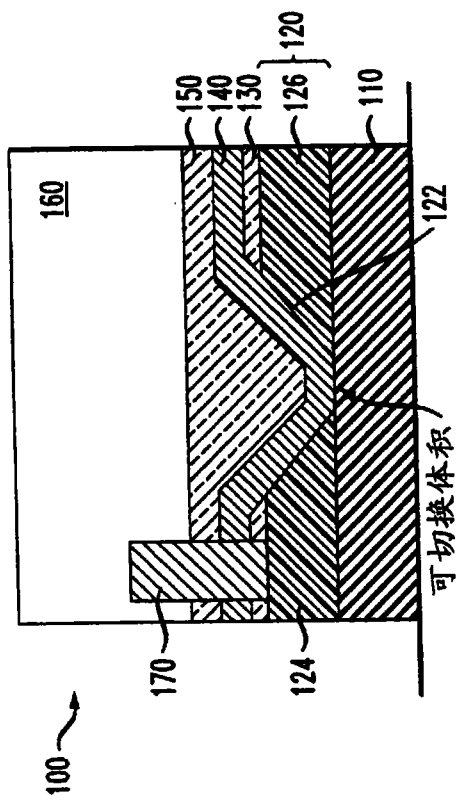


图 1 A

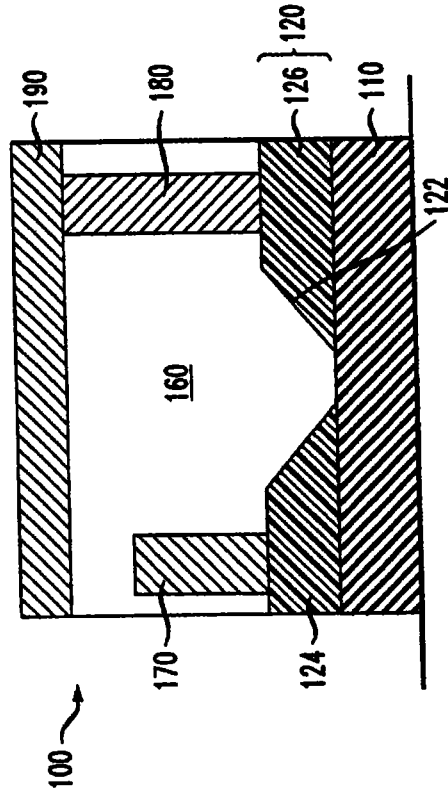


图 1 B

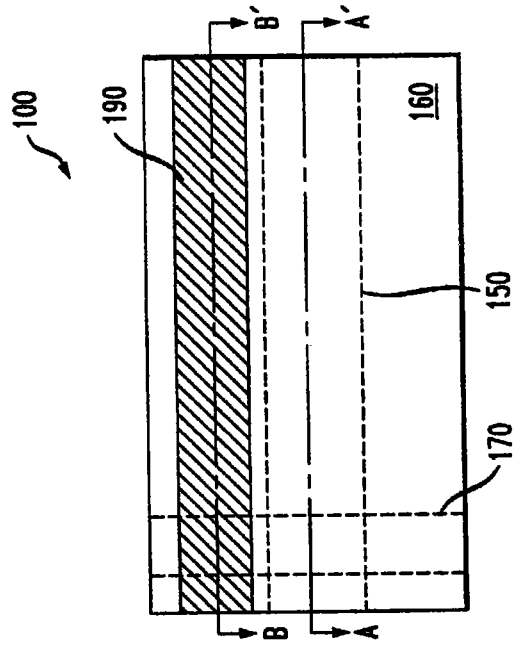


图 1 C

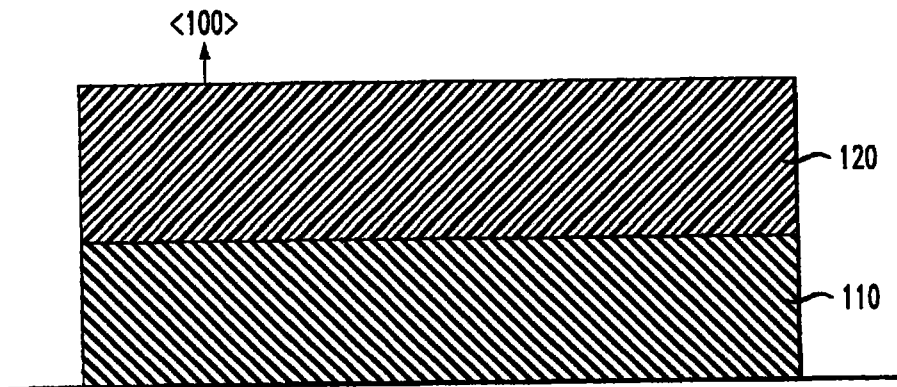


图 2 A

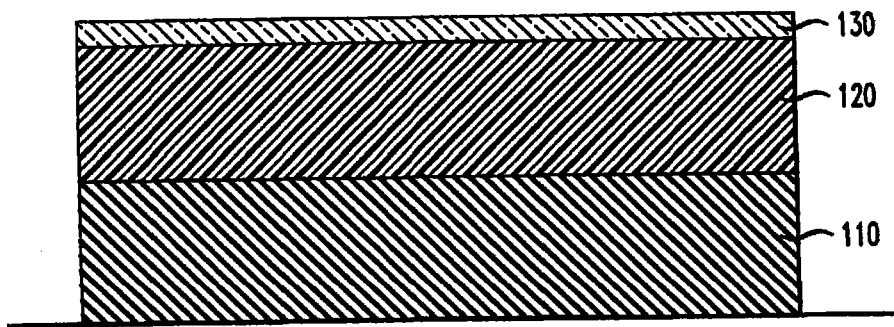


图 2 B

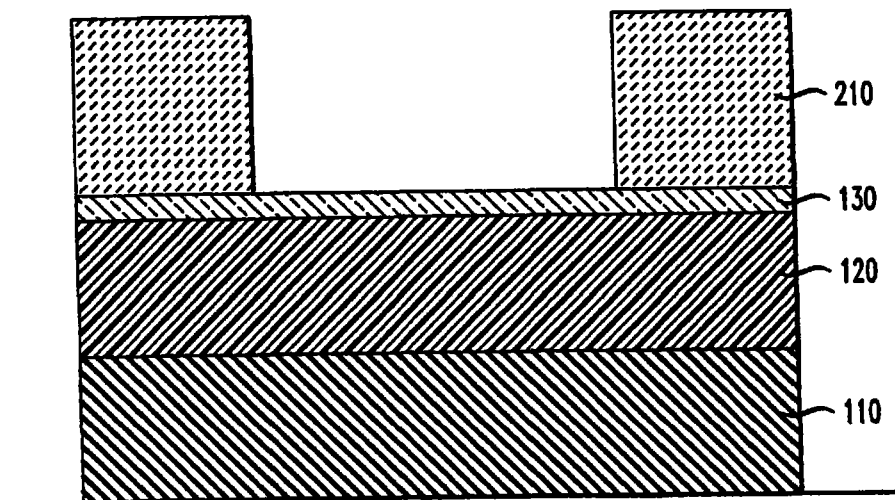


图 2 C

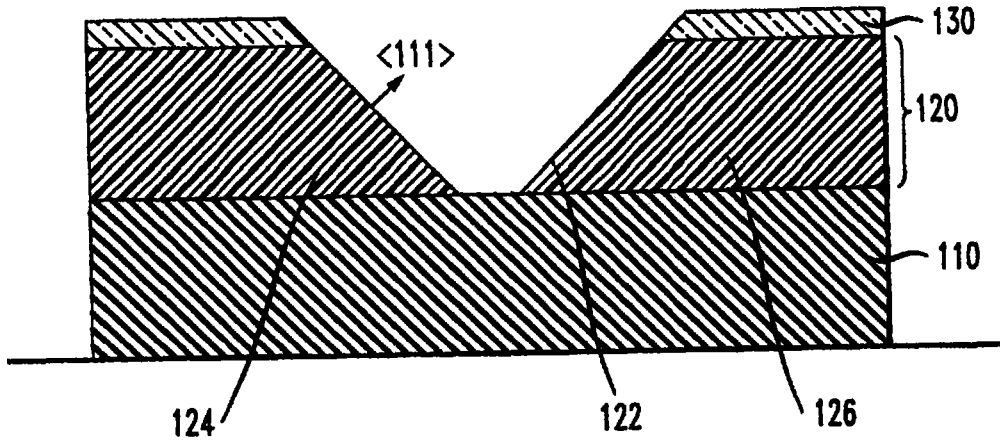


图 2D

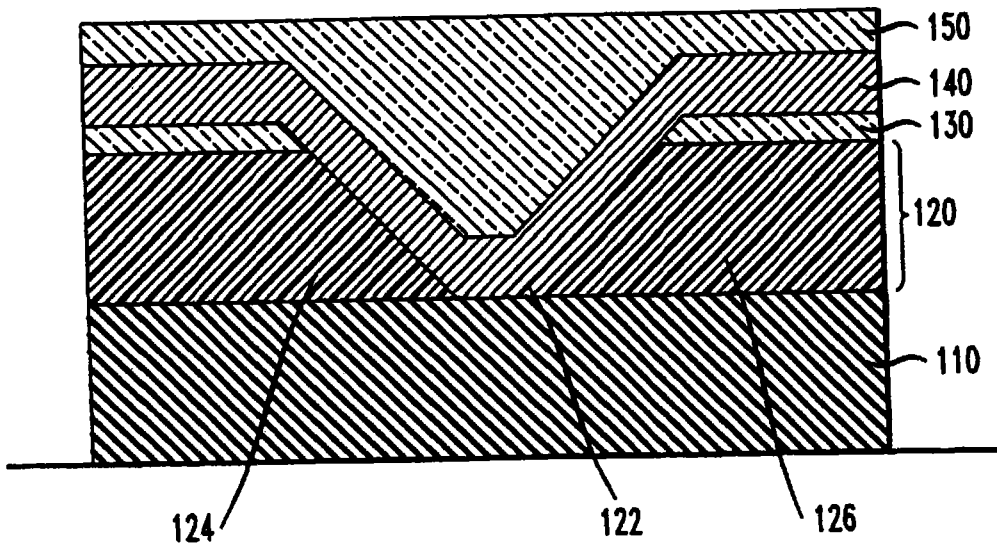


图 2E

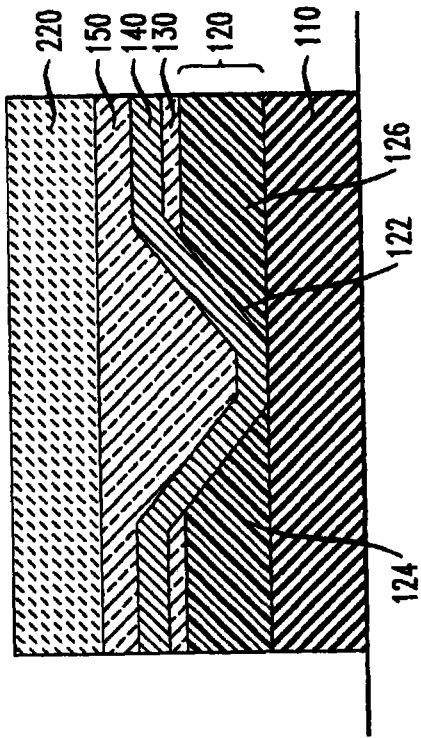


图 2 G

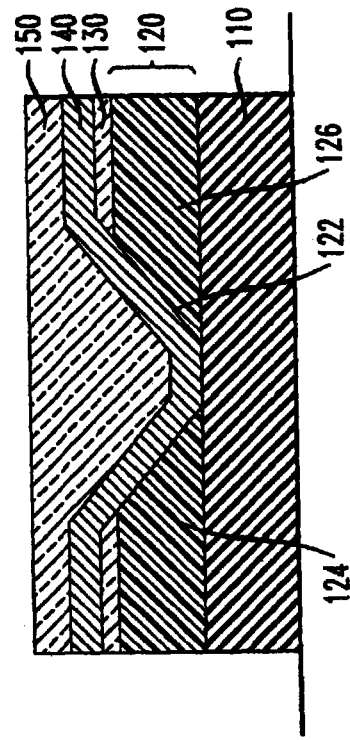


图 2 H

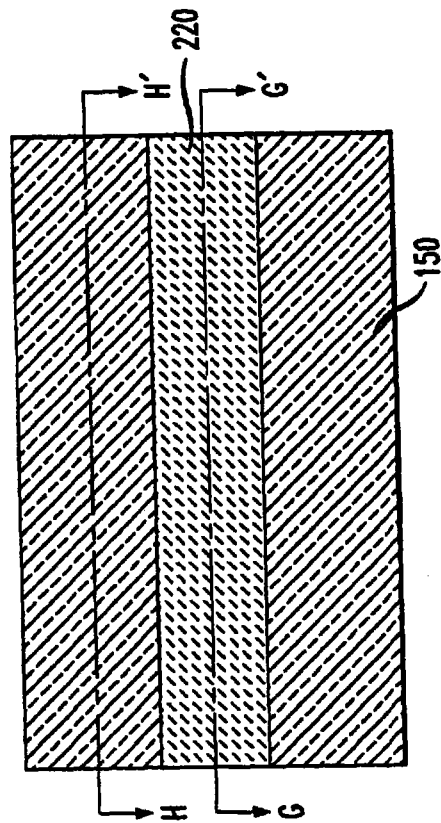


图 2 F

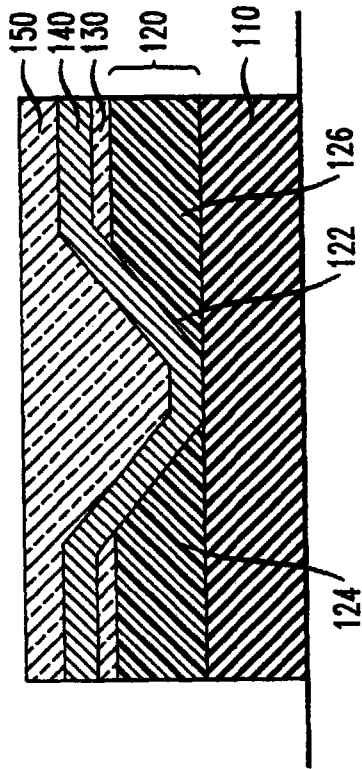


图 2 J

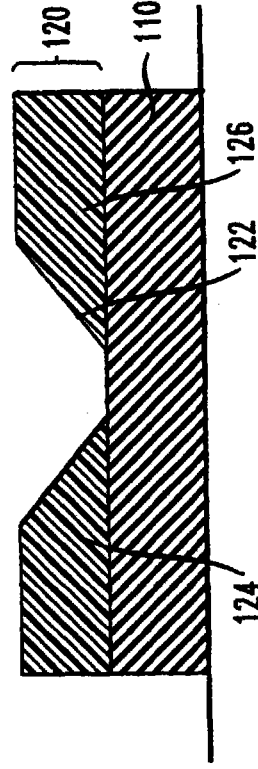


图 2 K

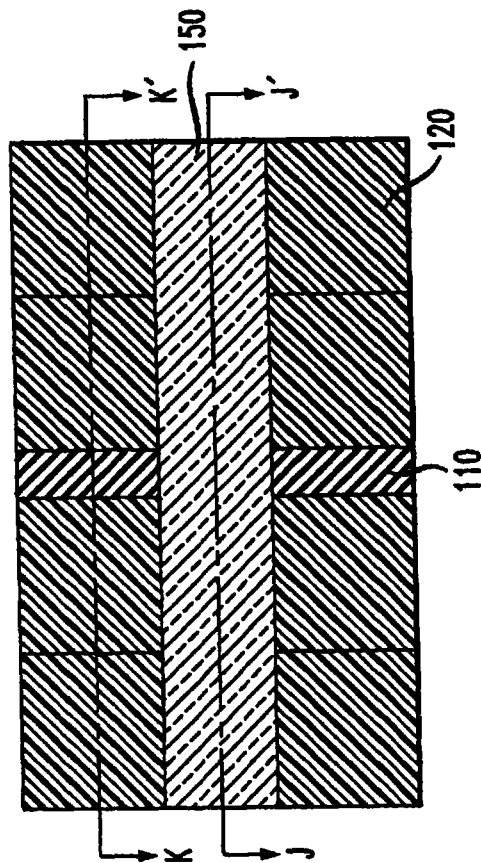


图 2 I

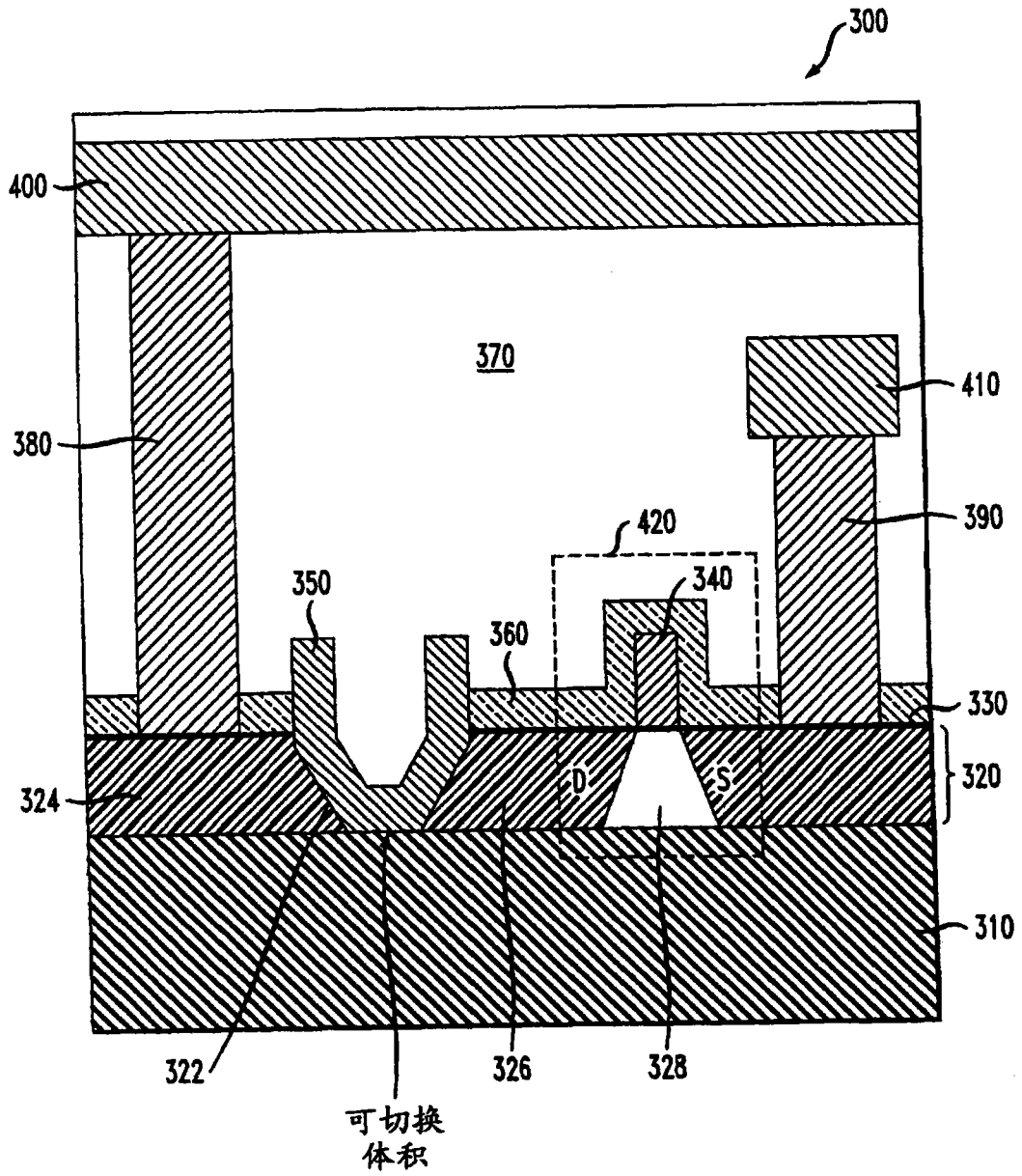


图 3

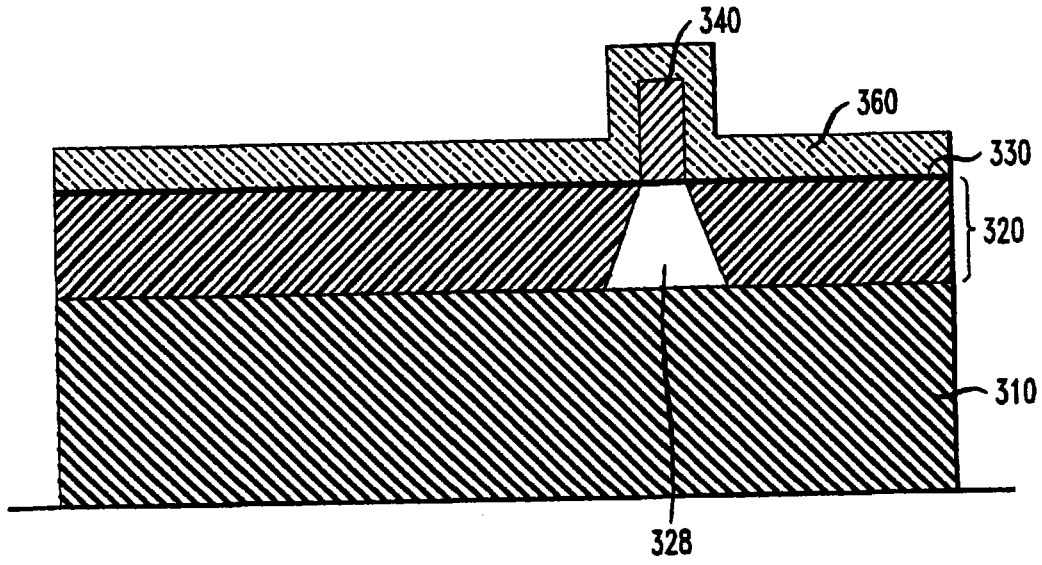


图 4 A

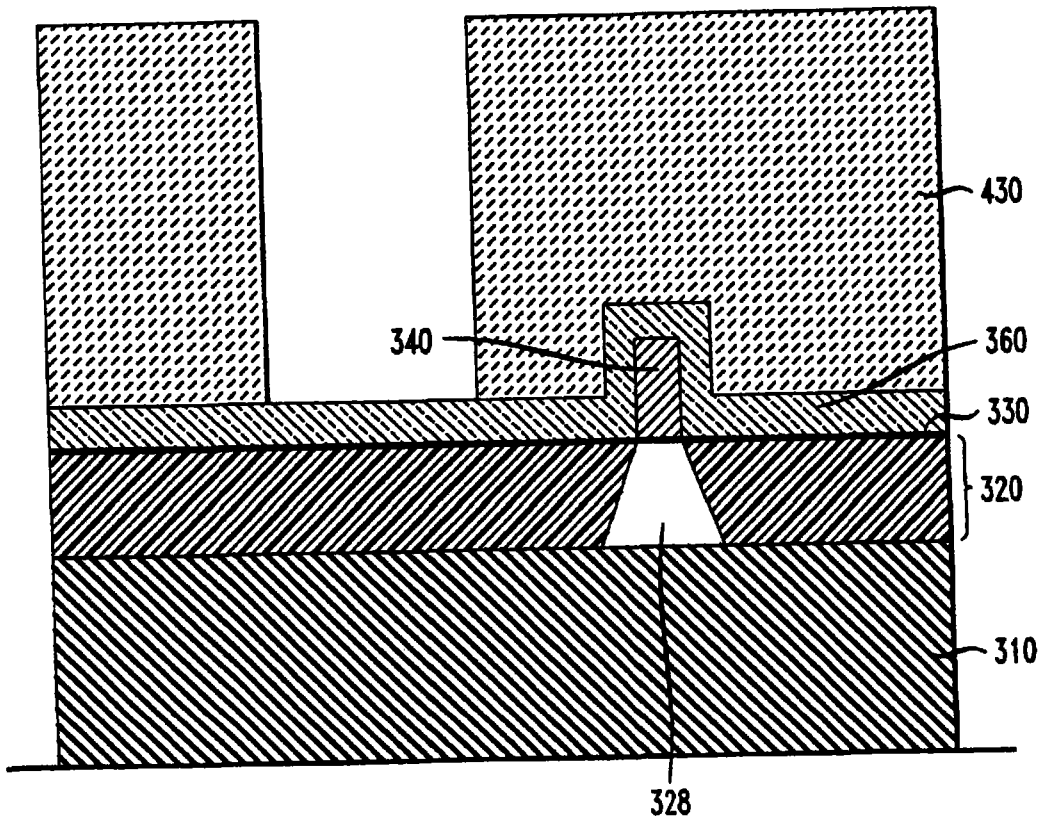


图 4 B

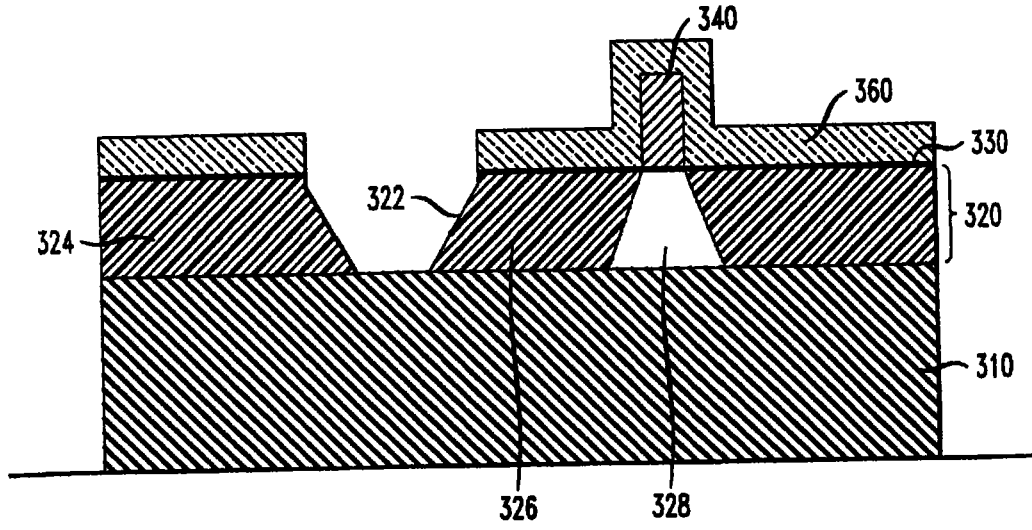


图 4 C

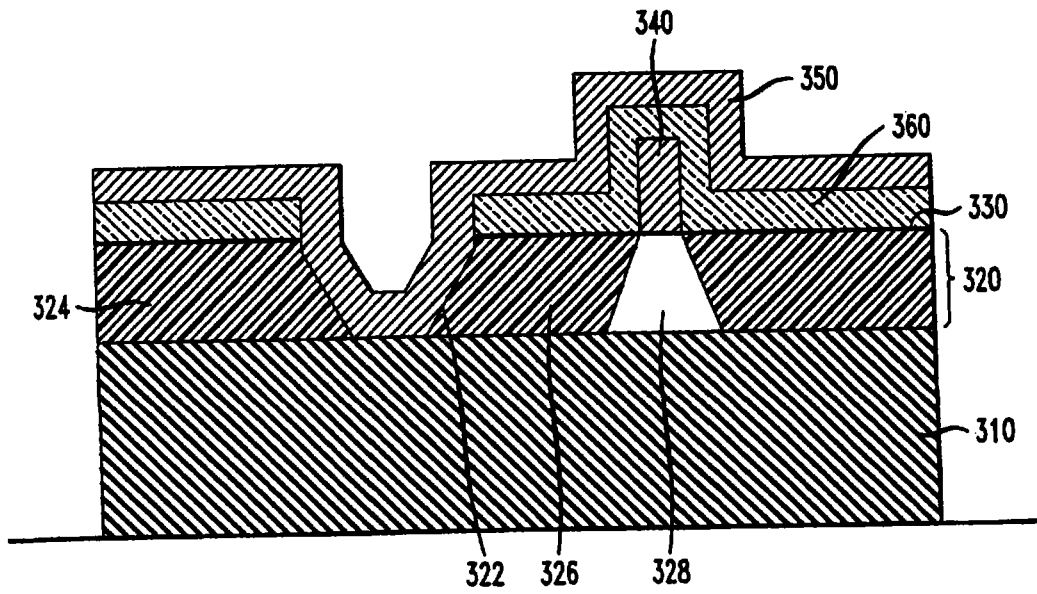


图 4 D

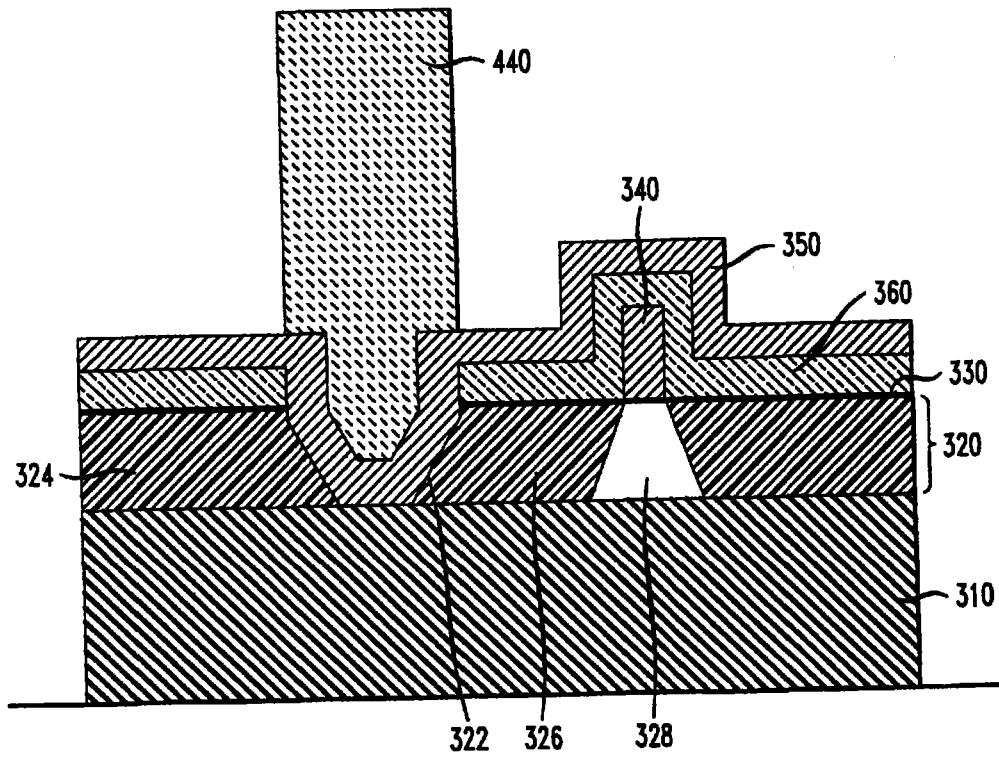


图 4 E

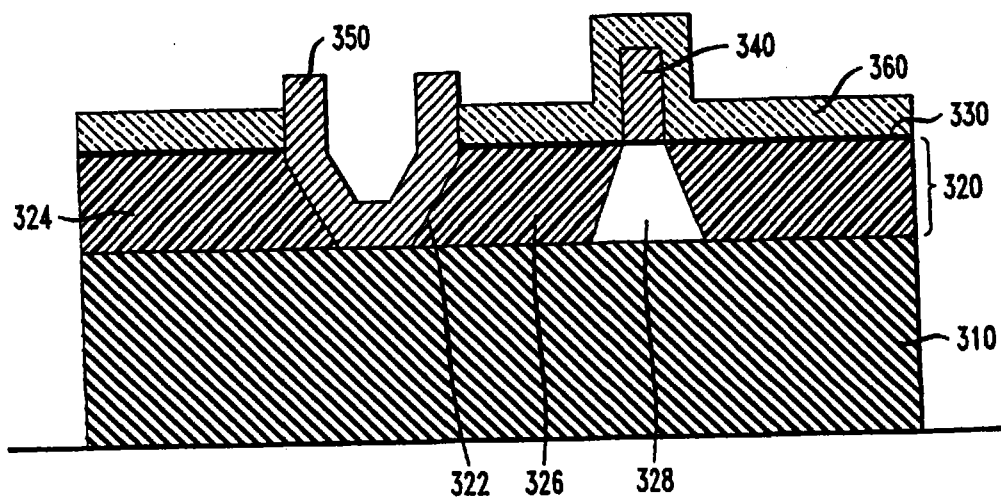


图 4 F