

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 26 年 8 月 21 日 (2014.8.21)

【公表番号】特表 2013-534052 (P2013-534052A)

【公表日】平成 25 年 8 月 29 日 (2013.8.29)

【年通号数】公開・登録公報 2013-046

【出願番号】特願 2013-516599 (P2013-516599)

【国際特許分類】

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/78 (2006.01)

H 0 1 L 29/786 (2006.01)

H 0 1 L 27/092 (2006.01)

H 0 1 L 21/8238 (2006.01)

H 0 1 L 21/28 (2006.01)

H 0 1 L 29/417 (2006.01)

【F I】

H 0 1 L 29/78 3 0 1 S

H 0 1 L 29/78 6 1 6 S

H 0 1 L 29/78 6 2 6 C

H 0 1 L 29/78 6 1 6 V

H 0 1 L 29/78 6 1 3 A

H 0 1 L 29/78 6 1 6 L

H 0 1 L 27/08 3 2 1 C

H 0 1 L 27/08 3 2 1 E

H 0 1 L 21/28 3 0 1 S

H 0 1 L 29/50 M

【手続補正書】

【提出日】平成 26 年 6 月 24 日 (2014.6.24)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体基板 12 の上面上に位置する少なくとも 1 つの F E T ゲート・スタックであって、この少なくとも 1 つの F E T ゲート・スタックの設置場所において前記半導体基板内に位置するソース拡張領域およびドレイン拡張領域を含み、前記ソース拡張領域と前記ドレイン拡張領域との間であって前記少なくとも 1 つの ゲート・スタックの下に位置するデバイス・チャンネルを含む、少なくとも 1 つの F E T ゲート・スタックと、

前記少なくとも 1 つの F E T ゲート・スタックの対向側であって前記半導体基板内に位置する埋め込みストレッサ要素であって、各埋め込みストレッサ要素は、下方から上方に、前記半導体基板の格子定数とは異なる格子定数を有すると共に前記デバイス・チャンネルにおいて歪みを与える第 1 のエピタキシ・ドーピング半導体材料の第 1 の層と、前記第 1 の層の上に位置する第 2 のエピタキシ・ドーピング半導体材料の第 2 の層と、を含み、前記第 1 のエピタキシ・ドーピング半導体材料の前記第 1 の層が前記第 2 のエピタキシ・ドーピング半導体材料の前記第 2 の層よりもドーパント含有量が少なく、更に、前記第 2 のエピタキシ・ドーピング半導体材料の前記第 2 の層の上面上に位置するドーパントのデル

タ単層を含む、埋め込みストレッサ要素と、

前記ドーパントのデルタ単層の上面上に位置する金属半導体合金と、  
を含む、半導体構造。

【請求項 2】

前記半導体基板がバルク Si またはシリコン・オン・インシュレータで形成されている、請求項 1 に記載の半導体構造。

【請求項 3】

前記少なくとも 1 つの FET ゲート・スタックが p FET ゲート・スタックであり、各埋め込みストレッサ要素の前記第 1 の層が Si Ge または Si Ge : C を含む、請求項 1 に記載の半導体構造。

【請求項 4】

前記少なくとも 1 つの FET ゲート・スタックが n FET ゲート・スタックであり、各埋め込みストレッサ要素の前記第 1 の層が Si : C を含む、請求項 1 に記載の半導体構造。

【請求項 5】

前記第 1 および第 2 のエピタキシ・ドーピング半導体材料が p 型ドーパントを含み、前記ドーパントのデルタ単層も p 型である、請求項 3 に記載の半導体構造。

【請求項 6】

前記第 1 および第 2 のエピタキシ・ドーピング半導体材料が n 型ドーパントを含み、前記ドーパントのデルタ単層も n 型である、請求項 4 に記載の半導体構造。

【請求項 7】

前記少なくとも 1 つの FET ゲート・スタックに隣接して、第 3 のエピタキシ・ドーピング半導体材料の第 3 の層の上に位置するシリサイド・スペーサを更に含む、請求項 1 に記載の半導体構造。

【請求項 8】

半導体基板 1 2 の上面上に位置する少なくとも 1 つの p FET ゲート・スタックおよび少なくとも 1 つの n FET ゲート・スタックであって、前記少なくとも 1 つの p FET ゲート・スタックおよび前記少なくとも 1 つの n FET ゲート・スタックの各々が、前記少なくとも 1 つの p FET ゲート・スタックおよび前記少なくとも 1 つの n FET ゲート・スタックの双方の設置場所において前記半導体基板内に位置するソース拡張領域およびドレイン拡張領域を含み、前記ソース拡張領域と前記ドレイン拡張領域との間であって前記ゲート・スタックの各々の下に位置するデバイス・チャネルを含む、少なくとも 1 つの p FET ゲート・スタックおよび少なくとも 1 つの n FET ゲート・スタックと、

前記少なくとも 1 つの p FET ゲート・スタックの対向側であって前記半導体基板内に位置する p FET 埋め込みストレッサ要素および前記少なくとも 1 つの n FET ゲート・スタックの対向側であって前記半導体基板内に位置する n FET 埋め込みストレッサ要素であって、前記埋め込みストレッサ要素の各々は、下方から上方に、前記半導体基板の格子定数とは異なる格子定数を有すると共に前記デバイス・チャネルにおいて歪みを与える第 1 のエピタキシ・ドーピング半導体材料の第 1 の層と、前記第 1 の層の上に位置する第 2 のエピタキシ・ドーピング半導体材料の第 2 の層と、を含み、前記第 1 のエピタキシ・ドーピング半導体材料の前記第 1 の層が前記第 2 のエピタキシ・ドーピング半導体材料の前記第 2 の層よりもドーパント含有量が少なく、更に、前記埋め込みストレッサ要素の各々の前記第 2 の層の上面上に位置するドーパントのデルタ単層を含む、埋め込みストレッサ要素と、

前記ドーパントのデルタ単層の上面上に位置する金属半導体合金と、  
を含む、半導体構造。

【請求項 9】

前記 p FET 各埋め込みストレッサ要素の各々の前記第 1 の層が Si Ge または Si Ge : C を含む、請求項 8 に記載の半導体構造。

【請求項 10】

前記 n F E T 埋め込みストレス要素の前記第 1 の層が S i : C を含む、請求項 8 に記載の半導体構造。

【請求項 1 1】

前記 p F E T ストレス要素の前記第 1 および第 2 のエピタキシ・ドーピング半導体材料が p 型ドーパントを含み、前記ドーパントのデルタ単層も p 型である、請求項 9 に記載の半導体構造。

【請求項 1 2】

前記 n F E T ストレス要素の前記第 1 および第 2 のエピタキシ・ドーピング半導体材料が n 型ドーパントを含み、前記ドーパントのデルタ単層も n 型である、請求項 1 0 に記載の半導体構造。

【請求項 1 3】

F E T ゲート・スタックの各々に隣接して、第 3 のエピタキシ・ドーピング半導体材料の第 3 の層の上に位置するシリサイド・スペーサを更に含む、請求項 9 に記載の半導体構造。

【請求項 1 4】

半導体基板の上面上に少なくとも 1 つの F E T ゲート・スタックを形成することと、  
前記少なくとも 1 つの F E T ゲート・スタックの設置場所において前記半導体基板 1 2 内にソース拡張領域およびドレイン拡張領域を形成することと、

前記少なくとも 1 つの F E T ゲート・スタックの対向側であって前記半導体基板内にくぼみ領域を形成することと、

実質的に前記くぼみ領域内に予め埋め込まれたストレス要素を形成することであって、前記予め埋め込まれたストレス要素の各々が、下方から上方に、前記半導体基板の格子定数とは異なる格子定数を有すると共に前記デバイス・チャンネルにおいて歪みを与える第 1 のエピタキシ・ドーピング半導体材料の第 1 の層と、前記第 1 の層の上に位置する第 2 のエピタキシ・ドーピング半導体材料の第 2 の層と、を含み、前記第 1 のエピタキシ・ドーピング半導体材料の前記第 1 の層が前記第 2 のエピタキシ・ドーピング半導体材料の前記第 2 の層よりもドーパント含有量が少なく、更に、前記第 2 の層の上面上に位置するドーパントのデルタ単層と、前記デルタ単層の上に位置するエピタキシ・ドーピング半導体層の第 3 の層と、を含む、形成することと、

前記予め埋め込まれたストレス要素の前記第 3 の層の一部を金属半導体合金コンタクトに変換することであって、前記金属半導体合金コンタクトが前記デルタ単層の上面上に直接位置する、変換することと、

を含む、構造を製造する方法。

【請求項 1 5】

各予め埋め込まれたストレス要素の前記第 1、第 2、および第 3 の層が、インシチューのドーピング・エピタキシャル成長プロセスによって形成される、請求項 1 4 に記載の方法。

【請求項 1 6】

前記ドーパントのデルタ単層が原子層堆積によって形成され、前記原子層堆積が、前記第 2 のエピタキシ・ドーピング半導体材料の前記第 2 の層の成長を中断させることによって行われる、請求項 1 4 に記載の方法。

【請求項 1 7】

前記変換することがシリサイド化プロセスを含む、請求項 1 4 に記載の方法。

【請求項 1 8】

前記少なくとも 1 つの F E T ゲート・スタックが p F E T ゲート・スタックであり、前記埋め込みストレス要素の各々の前記第 1 の層が S i G e または S i G e : C を含み、前記第 1 および第 2 のエピタキシ・ドーピング半導体材料が p 型ドーパントを含み、前記ドーパントのデルタ単層が p 型ドーパントを含む、請求項 1 4 に記載の方法。

【請求項 1 9】

前記少なくとも 1 つの F E T ゲート・スタックが n F E T ゲート・スタックであり、前

記埋め込みストレス要素の各々の前記第 1 の層が  $\text{Si} : \text{C}$  を含み、前記第 1 および第 2 のエピタキシ・ドーピング半導体材料が  $n$  型ドーパントを含み、前記ドーパントのデルタ単層が  $n$  型ドーパントを含む、請求項 14 に記載の方法。

【請求項 20】

前記少なくとも 1 つのゲート・スタックに隣接したシリサイド・スペーサを形成することを更に含み、

前記シリサイド・スペーサの下面が前記第 3 のエピタキシ・ドーピング半導体材料の前記第 3 の層の残り部分の上に位置し、前記シリサイド・スペーサが前記変換の前に形成される、請求項 14 に記載の方法。