

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

美 國(地區) 申請專利，申請日期： 2000年3月15日 案號： 09/526,239(主張優先權) 有 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

[背景技術]

本發明係關於半導體記憶體裝置，本發明尤係關於快閃記憶體之多庫同時操作。

快閃記憶體(或快閃RAM)為非揮發性儲存裝置之形式，使用以浮動閘極設計之記憶單元。將高電壓提供至記憶單元之輸入端以便規劃(儲存電荷)浮動閘極或刪除(移除電荷)浮動閘極。規劃之發生是藉由熱電子轉移而將電荷放置在浮動閘極上，而刪除則是利用 Fowler-Nordheim 穿隧使電子貫穿薄電介質材料，故可降低儲存在浮動閘極之電荷量。刪除一個單元係將此單元之邏輯位準設定為"1"，而規劃一個單元係將此單元之邏輯位準設定為"0"。除了規劃或刪除操作，快閃記憶體之操作與隨機存取唯讀記憶體(ROM)之操作類似。傳統上，包含有快閃記憶體儲存單元和輔助邏輯電路之快閃記憶體晶片是藉由在基體上所製造的數層半導體材料和數個多晶矽與第一及第二金屬之內接層組成的。很明顯地有許多積體電路的製造技術可應用於此，其所包含之層數可以多幾層或少幾層。

規劃和刪除快閃記憶體裝置之此複數性質所造成之主要挑戰是此裝置無法提供足夠快速的寫入存取，因而影響讀取存取之速度。舉例而言，傳統的快閃記憶體裝置通常在快閃記憶體裝置進行規劃或刪除操作之同時並不允許處理器執行讀取操作。在大部分的應用中，處理器必須定期詢問快閃記憶體裝置之狀態暫存器以便在起始對快閃記

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明(2)

憶體裝置之讀取操作前能夠偵檢規劃或刪除操作是否結束。

很不幸地，如上所述，用於一般快閃記憶體裝置之規劃和刪除的時間週期比使用如動態隨機存取記憶體(“DRAM”)等之傳統隨機存取主記憶體可接受的寫入存取時間多幾倍。假如此快閃記憶體為電氣系統內唯一的記憶體，則其與規劃或刪除操作相關之長等待時間可能會關斷操作系統且，以防止系統在不可接受之長時間週期下工作。有些先前技藝之快閃記憶體允許將刪除操作暫停以便解決此難題。刪除暫停使得處理器可暫停刪除操作以便可先讀取另一個區段。可是，此種記憶體通常在起始讀取操作之前仍舊會強制幾微秒的暫停等待時間。一般的暫停等待時間是從 0.1 至 20 微秒。

先前的系統，使用多個快閃記憶體裝置嘗試避免操作系統關斷。在此種系統中，當處理器對其中一快閃記憶體裝置進行讀取存取之同時其他的快閃記憶體可進行規劃或刪除操作。可是，此系統的成本很高，因為就算單一個快閃記憶體裝置之容量就可滿足此特定電子裝置之需求，其仍須使用多個快閃記憶體裝置。

近來藉由傳統快閃記憶體，當規劃其他數據之同時無法讀取核心單元之數據。從系統的觀點而言，為了規劃快閃記憶體之核心單元的數據，微處理器必須傳送規劃指令給快閃記憶體。因為快閃記憶體無法同時讀取數據和規劃數據，所以必須將規劃指令儲存在快閃記憶體之外部。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

象

五、發明說明(3)

除此之外，與執行讀取操作相比，規劃和刪除快閃記憶體所需之電壓較正常電壓高。當嘗試應用在規劃/刪除時能夠同時進行讀取之功能時，使用較正常電壓高之電壓將是一大挑戰。此挑戰之困難為如何分配規劃和刪除操作所需之高電壓和讀取操作所需之正常電壓，及如何處理因為在裝置內使用高電壓而在讀取檢測輸出端所感測之雜訊。再者依據其應用，可能須使用額外邏輯電路，此將導致更多的複雜性。

在最近幾年，為了處理此問題，已經提出雙庫快閃記憶體。在由 Chen 等人提出之美國專利第 5,867,430 號和由 Van Buskivk 等人提出之美國專利第 5,847,998 號中揭露能夠同時執行讀取和寫入操作之雙庫結構，在此提出以供參考。雙庫快閃記憶體可在規劃數據之同時讀取其他數據（亦即能夠同時操作），所以可以大大簡化此快閃記憶體系統。

最近，雙庫快閃記憶體系統儘管有上述優點，但卻變的很複雜。有關使用多庫快閃記憶體之應用在定址和數據概念之設計上已經接受許多挑戰。希望能夠採用更具彈性和更有效率之設計的快閃記憶體，其能夠同時多庫操作。為每一個庫開發個別的且局部的結構和電路將有助於將同時操作結構從雙庫或兩個庫延伸至 N 個庫。

因此，在此需要的是可以延伸及有彈性的多庫結構，其能夠同時操作，也就是說，能夠同時進行讀取和寫入（規劃或刪除）操作。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

象

五、發明說明(4)

[發明概論]

為了方便說明在此提出快閃記憶體之多庫，同時讀取和寫入操作範例實施例。提出用於協助同時讀取和寫入在記憶體中之核心記憶體單元之 N 個庫的位址緩衝和解碼結構之實施例。在對 N 個庫之其中之一進行讀取操作之期間，僅能對其他 N-1 個庫的任何一個進行寫入操作。在對 N 個庫之其中之一進行寫入操作之期間，僅能對其他 N-1 個庫的任何一個進行讀取操作。位址緩衝和解碼結構包含有，控制邏輯電路、位於 N 個庫之每一個中之位址選擇電路、和位址緩衝電路。控制邏輯電路係用於產生 N 個讀取選擇訊號以便選擇 N 個庫中用於讀取操作之庫及 N 個寫入選擇訊號以便選擇 N 個庫中用於寫入操作之另一個庫。將每一個位址選擇電路建構成從控制邏輯電路接收 N 個讀取選擇訊號之個別的其中一個和 N 個寫入選擇訊號之個別的其中一個。位址緩衝電路係用於同時提供寫入位址和讀取位址以便存取核心記憶體單元。將寫入和讀取位址之個別第一部分提供給控制邏輯電路以便產生個別的 N 個讀取選擇訊號和 N 個寫入選擇訊號。將寫入和讀取位址之個別的第二部分提供給個別的位址選擇電路。

在此亦提供 N 個重元組(tuple)庫同時操作之快閃記憶體之實施例。在對 N 個庫的其中之一進行讀取操作之期間，僅能對其他 N-1 個庫的任何一個進行寫入操作。在對 N 個庫的其中之一進行寫入操作之期間，僅能對其

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

他 N-1 個庫的任何一個進行讀取操作。此記憶體包含有控制邏輯電路、位址緩衝電路、和 N 個局部化庫電路。控制邏輯電路係用於產生 N 個讀取選擇訊號及 N 個寫入選擇訊號。N 個局部化庫電路之電路 1 至 N-1 包含有各核心記憶體單元之庫。第 N 個電路包含有記憶體單元之第 N 個庫、位址選擇電路、寫入操作控制電路、寫入數據匯流排、讀取數據匯流排。位址選擇電路是依據第 N 個讀取選擇訊號和第 N 個寫入選擇訊號而動作。寫入操作控制電路是依據第 N 個寫入選擇訊號而動作。寫入資料匯流排反應於第 N 個寫入選擇訊號。讀取數據匯流排是依據第 N 個讀取選擇訊號而動作。

提出在多庫快閃記憶體中同時執行數據之寫入和讀取之方法的實施例。寫入位址之第一部分和讀取位址之第一部分提供給對應於核心記憶體單元 N 個庫之 N 個位址選擇電路。將寫入位址之第二部分提供給控制邏輯電路。寫入位址之第二部分定義進行寫入操作之一個庫。將讀取位址之第二部分提供給控制邏輯電路。讀取位址之第二部分定義進行讀取操作之一個庫。將來自控制邏輯電路的 N 個寫入選擇訊號之一提供給 N 個庫中進行寫入操作的各庫。將來自控制邏輯電路之 N 個讀取選擇訊號之一提供給 N 個庫中進行讀取操作的各庫。將寫入和讀取位址之第一部分與其個別的 N 個寫入選擇訊號和個別的 N 個讀取選擇訊號一起傳送至 N 個庫。在 N 個庫中藉由寫入和讀取位址之第一部分而在此寫入和讀取位址之位置中存取

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

泉

五、發明說明(6)

之數據是與個別的 N 個寫入選擇訊號和 N 個讀取選擇訊號一起傳送至數據輸出和檢測電路。

前述對所提出之最佳實施例所進行之一系列說明僅是作為說明用。此節之說明不應該視為下列申請專利範圍之限制，其僅用於定義本發明之目的。

[圖式之簡要說明]

第 1 圖係顯示由定址觀點所呈現之同步操作快閃記憶體結構之方塊圖；

第 2 圖係顯示由數據操作觀點所呈現之同步操作快閃記憶體結構之方塊圖；

第 3 圖係顯示雙埠位址緩衝器之範例實施例之電路圖；

第 4 圖係顯示用於產生各庫之讀取和寫入操作選擇訊號之控制邏輯電路之範例實施例之電路圖；

第 5 圖係顯示僅局部應用於記憶體單元之庫 n 之位址選擇電路 n 之第一實施例範例的電路圖；

第 6 圖係顯示僅局部應用於記憶體單元之庫 n 之位址選擇電路 n 之第二實施例範例的電路圖。

[用於實現本發明之模式]

在最近幾年，已提出可同步讀取和寫入之雙庫快閃記憶體。由 Chen 等人提出標題為“在非揮發性記憶體中能夠同時讀取和寫入之庫結構”之第 5,867,430 號美國專利和由 Van Buskirk 提出標題為“能夠同時進行讀取和寫入操作之非揮發性記憶體陣列”中已經說明過這些記憶體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明(7)

之某些範例，在此提出以供參考。這些專利說明能夠同時進行讀取和寫入操作之雙庫快閃記憶體結構之應用和操作。雙庫快閃記憶體能在規劃數據之同時讀取其他數據(例，能夠同時操作)，所以可將快閃記憶體系統大大簡化。

最近，除了這些優點，雙庫快閃記憶體系統已經變得越來越複雜。與使用多庫快閃記憶體的定址和數據相關之觀點所遭遇之設計挑戰逐漸增加。

在此提出更有彈性和效率設計之快閃記憶體，能夠多庫同時操作。在此所描述之實施例提供區域至各庫之定址、位址選擇、操作控制訊號和邏輯、及存取電路。於記憶體之核心單元區域至各庫之獨立結構使得同時操作結構可從雙庫或兩個庫延伸至 N 個庫。

在此所描述之實施例中提供可延伸及有彈性之多庫結構，其能夠同時操作，也就是說，其允許同時進行讀取和寫入操作。一般而言，寫入操作即所謂的規劃或刪除操作。

第 1 圖係顯示快閃記憶體晶片之多庫同時操作快閃記憶體 200 之定址觀點方塊圖。多庫同時操作快閃記憶體 200 之快閃記憶體定址結構範例包含有位址緩衝器方塊 220、狀態機和控制邏輯電路(邏輯電路) 218、寫入致能(\overline{WE})緩衝器 228、 D_{IN} 緩衝器 224、和四個記憶體單元庫，其分別為對應於相關位址選擇電路方塊 ASEL0 210、ASEL1 212、ASEL2 214、和 ASEL3 216 之庫 0 202、庫 1

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明(8)

204、庫 2 206、庫 3 208。

位址緩衝器方塊 220 提供在讀取位址位元線或數據匯流排 232 上之讀取位址及在寫入位址位元線或數據匯流排 234 上之寫入(可使用之規劃或刪除)位址以供位址選擇電路方塊 210、212、214、216 選擇用。位址緩衝器方塊 220 亦與邏輯電路連接。為簡化說明，在第 1 圖中僅顯示一個讀取位址線 232 和一個寫入位址線 234。當然，在記憶體 200 中最好使用多位元線 232、234。用於傳送或攜帶讀取或寫入位址之位元的位元線 232、234 之數目通常是由所使用之讀取和寫入位址數決定。

將藉由一次參考一個讀取位址和一個寫入位址而說明快閃記憶體 200。應該注意的是在其他實施例中，位址緩衝器方塊 220 並不僅侷限於此種配置且是能夠同時提供多讀取位址和/或多寫入位址給位址選擇電路方塊 210、212、214、216。此多重位址通常意味著需要額外的位元線 232、234。

位址緩衝器方塊 220 接收多位元位址輸入訊號 222。最好，由快閃記憶體 200 之外部資源從外側將位址輸入訊號 222 提供給位址緩衝器方塊 220。可是，位址輸入訊號 222 亦可以是由位於快閃記憶體晶片上或在快閃記憶體定址結構內之位址產生器(未顯示)產生。最好，位址緩衝器方塊 220 包含有由邏輯電路 218 控制之位址排序電路。最好，位址排序電路在寫入期間可用於產生排序位址。在另一個實施例中，位址定序器可以是邏輯電路 218 之一部

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明(10)

於四個庫。

記憶體單元的四個庫，庫 0202、庫 1204、庫 2206、庫 3208 為快閃記憶體單元陣列(或組)。然而，其他非揮發性記憶體亦能用於其他實施例。最好，庫 202、204、206、208 由字然後由區段組構成，並且可以是位元組或字可定址。

記憶體單元的四個庫，庫 0 202、庫 1 204、庫 2 206、庫 3 208 均包含有局部用之位址解碼邏輯(未顯示在第 1 圖中)。舉例而言，用於庫 0 202(庫 1 204、庫 2 206、庫 3 208)之位址解碼邏輯包含有 X 解碼器(未顯示)和 Y 解碼器(未顯示)。X 解碼器最好包含有字元線解碼器和區段解碼器。字元線解碼器和區段解碼器從位址選擇電路方塊 ASELO 210(ASEL1 212、ASEL2 214、和 ASEL3 216)接收位址位元。Y 解碼器最好包含有位元線解碼器和 Y 選通線。位元線解碼器從 ASELO 210(ASEL1 212、ASEL2 214、和 ASEL3 216)接收位址位元。X 和 Y 解碼器在半導體記憶體，尤甚者在快閃記憶體之領域中是眾所周知。在由 Chen 等人提出之美國專利第 5,867,430 號和由 Van Buskivk 等人提出之美國專利第 5,847,998 號中描述某些快閃記憶體解碼器之應用實例，在此提出以供參考。

在第 1 圖中，邏輯電路 218 提供一連串之選擇訊號給位址選擇電路方塊 210、212、214、216。第 1 圖中所顯示的這一串選擇訊號為 0RSEL、0WSEL、1RSEL、

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

1WSEL、2RSEL、2WSEL、3RSEL 和 3WSEL。選擇訊號的功能之一為選擇由位址緩衝器方塊 220 所提供在位元線 232 上傳送之讀取位址或在位元線 234 上傳送之寫入位址，或讀取位址或寫入位址之各位元。

在利用位址選擇電路方塊 210 (212、214、216) 選擇適當的讀取或寫入多位元位址之後，位址是以第 1 圖中訊號 236 (238、240、242) 之方式經由介於行和列之間的解碼電路 (未顯示) 而提供給記憶體單元庫 0 202 (庫 1 204、庫 2 206、庫 3 208) 之庫。

因為在記憶體中特殊核心單元之選擇需要相對應的多位元數位位址，所以值得注意的是快閃記憶體 200 之位址通常為多位元的數位字元訊號。可是，在此最佳實施例中，將參考多位元數位位址之特殊位元說明其電路。如何將以此電路為例而說明之概念應用且延伸至多位元應用對具此方面技藝者而言將是顯而易見的。那些具此方面技藝者將瞭解這些應用可包含有平行應用，其包含有將用於單一位元之電路依需要為多位元位址之每一位元進行平行複製。其他的應用可能包含有將多位址位元之全部或部分同時提出以便達到所需結果或功能。

第 1 圖之位址輸入訊號 222 為外部輸入之多位元位址，此位址包含第 3 圖之位址位元 Ahi(將說明於下)。位址最好是從晶片外輸入至快閃記憶體 200。多位元位址訊號 222 可包含有關於讀取和寫入操作之定址訊息。在晶片外之使用者最好提供在讀取和寫入操作時使用之位址。位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

址輸入訊號 222 可以是 20 個位元，舉例而言，隨著記憶體單元（在第 1 圖中 $N=4$ ）之庫數目可能具有兩個或多個位元，可用於致動邏輯電路 218 中之庫選擇邏輯。

位址緩衝方塊 220 包含有複數個位址緩衝器。各位址緩衝器最好是雙埠，也就是說，每一個位址緩衝器均具有兩個位址輸出，一個輸出用於讀取位址，而另一個則用於寫入位址。最好，讀取位址輸出係用於讀取位址之單一位元，而寫入位址輸出為用於寫入位址之單一位元。在其他實施例中，位址緩衝方塊 220 亦可輸出多個讀取位址（此讀取位址本身為多位元）及多個寫入位址（此寫入位址本身為多位元）。

來自位址緩衝方塊 220 之讀取位址位元和寫入位址位元最好是由位址輸入訊號 222 控制，可以是起始或直接控制。最好是將寫入位址位元鎖存在位址緩衝方塊 220 內且以特定操作命令增加。

記憶體單元之每一個庫 n （在此為庫 0 202、庫 1 204、庫 2 206、庫 3 208）均具有相關之位址選擇電路方塊 $ASEL_n$ （在此 $n=0、1、2、3$ ）。各相關位址選擇電路方塊 $ASEL_n$ 選擇用於讀取之位址位元或用於寫入之位址位元以便依據由邏輯電路 218 所產生之選擇訊號 $nRSEL$ 和 $nWSEL$ 而提供所需位址訊號給每個庫 n 。假如 $nRSEL$ 為高位準，則選擇庫 n 用於讀取且將讀取位址位元提供給庫 n 。假如 $nWSEL$ 為高位準，則選擇庫 n 用於寫入且將寫入位址位元提供給庫 n 。如上所述，邏輯電路 218 產生選擇訊號

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (15)

憶體晶片，其包含有與整體規劃和刪除相關之控制訊號(包含有第 2 圖中所顯示"PGM"，"ERS"，和"VERIFY")及讀取用之位址選擇訊號 0RSEL、1RSEL、2RSEL、3RSEL 和寫入用之位址選擇訊號 0WSEL、1WSEL、2WSEL、3WSEL。"VERIFY"訊號係用於控制檢測感測放大器方塊 270。

快閃記憶體 200 之四個庫的數據操作結構均具有相關之個別規劃/刪除控制電路 PECC0 244、PECC1 246、PECC2 248、PECC3 350。各庫局部所有之規劃/刪除控制電路最好包含有用於規劃操作之電源供應器、用於刪除操作之電源供應器、用於檢測操作之電源供應器、及規劃和刪除相關電路和其他適當的電源供應器。當然，應該瞭解的是部分或所有的電源供應器及規劃和刪除相關電路可以位於規劃/刪除控制電路之外部。局部用之規劃/刪除控制電路 PECC0 244、PECC1 246、PECC2 248、PECC3 250 是由邏輯電路 218 所提供之整體性訊號 PGM 和 ERS 控制。

規劃和刪除相關電路最好包含有 AND 閘極控制。具此方面技藝者均已知，AND 閘只有在其所有輸入均為高位準或 1 時其輸出才為高位準或 1。在最佳實施例中，一個或多個 AND 閘控制規劃相關電路，因而使得 PMG 訊號輸入至此一個或多個 AND 閘，並且當 PMG 訊號是低位準時，驅動任何 AND 閘之輸出為低位準。以此方式，來自邏輯電路 218 之 PMG 訊號可控制規劃電路。最好，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

一個或多個 AND 閘控制刪除相關電路，俾使得 ERS 訊號輸入至一個或多個 AND 閘，並且當 ERS 訊號是低位準時，驅動任何 AND 閘之輸出為低位準。以此方式，ERS 訊號可控制刪除電路。

再者，規劃和刪除電路最好是由具有選擇訊號輸入和 PMG 或 ERS 輸入之 AND 邏輯閘致能。也就是說，只有當選擇訊號 nWSET 與整體控制訊號 PGM 之 AND 結果為高位準時，才能在庫 n 上執行規劃操作，且僅能操作用於庫 n 之規劃電路。同樣地，只有當選擇訊號 nWSET 和整體控制訊號 ERS 之 AND 結果為高位準時，才能在庫 n 上執行刪除操作，且僅能操作用於庫 n 之刪除電路。

考慮以定址觀點而顯示在第 1 圖中和以數據操作觀點而顯示在第 2 圖中之快閃記憶體 200，應該可以瞭解在各庫周圍及包含各庫之電路是以傳統快閃記憶體之局部化觀點操作。也就是說，假如將各局部化庫電路之操作視為與其他局部化庫電路之操作隔離，則其操作與傳統快閃記憶體類似。當然，位址緩衝器方塊 220、邏輯電路 218、和感測放大器電路 268、270 可直接執行整體性之定址、解碼、數據感測和檢測、及操作控制。

利用各讀取和寫入選擇訊號控制各電晶體，則來自第 2 圖之庫 202、204、206、208 之數據可經由這些電晶體而傳輸至讀取感測放大器電路 268 或檢測感測放大器電路 270。感測放大器電路 268 和 270 是與邏輯電路 218 互相連接。當將來自其中一庫之數據傳輸至讀取感測放大器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明 (18)

位址。經由電晶體 266 將庫 3 208 之輸出傳送至讀取感測放大器電路 268。讀取感測放大器電路 268 之輸出最好傳送至 I/O 緩衝器及數據匯流排 (未顯示)。

同樣地，在刪除庫 2 206 中之一個區段的期間，邏輯電路 218 將提供主動寫入選擇訊號 2WSET 至 ASEL2 214 以便從位於位址緩衝器方塊 220 內之位址排序電路選擇寫入位址。將位址排序電路應用循環通過於特定區段內之所有位元組以確認每一位元組均已規劃。其後將此區段全部刪除。在刪除之後，利用位址排序電路產生位址以便檢測此刪除區段之每一位元組。當庫 2 206 已刪除且 ASEL2 214 (在邏輯電路 218 之方向) 正從位址緩衝方塊 220 之位址排序電路已選擇一個寫入位址的同時，可利用 nRSET 在任何其他庫中執行讀取操作以便從位址緩衝方塊 220 選擇讀取位址而非從位址排序電路選擇一個寫入位址。在對其中一庫進行刪除操作之檢測期間，邏輯電路 218 將利用檢測感測放大器電路 270 檢測數據，同時來自任何其他庫之讀取數據將傳輸至讀取感測放大器電路 268。因此，每一庫均具有寫入位元和讀取位元之輸入位址路徑及可藉由讀取和寫入選擇訊號 nREL 和 nWSEL 選擇之檢測及讀取位元之輸出數據路徑，所以在讀取任何庫之同時可寫入任何其他庫。

第 3 圖係顯示依據多庫同時操作快閃記憶體 200 之雙埠位址緩衝器 400 之簡化邏輯電路圖。第 1 圖之位址緩衝方塊 220 最好包含有一串之位址緩衝器 400 以便在位元

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

線 232 上輸出讀取專用位址之位址位元 RAh 和在位元線 234 上輸出寫入專用位址之位址位元 WAh。位址緩衝器 400 包含有 NOR 閘 402、異-非或 (exclusive-NOR) 邏輯閘或等效邏輯閘 408、第一鎖存器 450、第二鎖存器 460、反向器 404、422、426、428、做為開關用之 n-通道電晶體 406、410、416、和 AND 閘 424。第一鎖存器 450 最好包含一對的反向器 412、414。第二鎖存器 460 最好包含一對的反向器 418、420。

傳統位址緩衝器方塊有關如記憶體 200 等之多庫同時操作記憶體的缺點之一為一次僅輸出一個對應於一個操作之位址訊息。在讀取操作期間，輸出用於讀取之位址位元，同時在寫入操作期間，是藉由位址緩衝器輸出用於寫入 (規劃或刪除) 之位址位元。

在雙埠位址緩衝器 400 中，讀取位址之輸出和寫入位址之輸出可依據提供給緩衝器 400 之控制訊號而單獨和同時操作。

位址緩衝器 400 接收位址位元輸入 Ahi。位址位元輸入 Ahi 最好是第 1 圖中從外部所提供之位址輸出訊號 222 的一連串位元。第一和第二鎖存器 450、460 係用於儲存位址位元且為位址定序器之一部分。位址定序器是由數個位址緩衝器 400 串聯連接而成的。

NOR 閘 402 接收位址位元輸入 Ahi 和輸入訊號 "PD"。輸入訊號 "PD" 為電源斷電時之保護訊號，用於在電源斷電時保護位址緩衝方塊 220。此電源斷電時之保護訊號最

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

線

五、發明說明(20)

好同時使時序緩衝電路禁能。如具此方面技藝者所已知的，NOR 閘之輸出僅當所有 NOR 閘之輸入為零時其輸出才為 1。因此，當訊號 PD 變成高位準時，例在電源斷電期間，NOR 閘 402 之輸出不管 Ahi 之值為何，其都為低位準。也就是說，RAh 和 WAh 是不受 Ahi 和位址緩衝器 400 之影響，故因此可將位址緩衝方塊 220 禁能。NOR 閘 402 之輸出是耦接至反向器 404。反向器 404 是耦接至 n-通道電晶體 406 之源極及串聯反向器 426、428 之輸入。讀取位址位元 RAh 是從反向器 428 輸出的。電晶體 406 在電晶體 406 之閘極輸入端接收輸入訊號 "LATCHb"。訊號 "LATCHb" 係用於與第二鎖存器 460 耦接或不耦接，故因此可接收輸入位址 Ahi 或輸出寫入位址之位元輸出 WAh。當訊號 "LATCHb" 在高位準時，電晶體 406 是導通的，且第二鎖存器 460 可載入外部位址 Ahi，其最好包含有寫入或讀取訊息。以此方式，寫入位址之位元輸出 WAh 是由輸入位址 Ahi 控制的。當訊號 "LATCHb" 在低位準時，電晶體 406 是截止的，且讀取位置之位元輸出 RAh 是由輸入位址 Ahi 控制。雖然，藉由使 LATCHb 訊號變成低位準，可使第二鎖存器 460 與輸入位址 Ahi 不連接，但可將此寫入位址儲存在位址定序器中。

exclusive-NOR 閘 408 接收輸入訊號 TGL_{h-1} 和位址位元輸入 WAh。如具此技藝者所已知，exclusive-NOR 閘或等效邏輯閘之輸出只有當 exclusive-NOR 閘之所有輸入均相等時其輸出才為 1。輸入訊號 TGL_{h-1} 為從串聯的位址緩

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (21)

衝器中前一個位址緩衝器輸出之觸發訊號。也就是說，此緩衝器 400 所輸出之觸發訊號 TGL_h 是由前一個位址緩衝器所輸出之觸發訊號產生的。依據前一個位址緩衝器所輸出之觸發訊號 TGL_{h-1} 和目前位址緩衝器 400 之輸出，此位址緩衝器輸出 WA_h 觸發。假如從前一個位址緩衝器所輸出之觸發訊號 TGL_{h-1} 是在低位準，則 TGL_h 為低位準，且 WA_h 未觸發。等效邏輯閘 408 之輸出是耦接至 n-通道電晶體 410 之源極，其在電晶體 410 之閘極輸入端接收輸入時脈訊號 CLK_b 。n-通道電晶體 410 之汲極是耦接至第一鎖存器 450。第一鎖存器 450 是耦接至 n-通道電晶體 416 之源極，其在電晶體 416 之閘極輸入端接收輸入時脈訊號 CLK_a 。電晶體 416 之汲極是連接至第二鎖存器 460 和 n-通道電晶體 406 之汲極。第二鎖存器 460 是連接至反向器 422 以便依據位址緩衝器 400 之操作而產生表示寫入位址（規劃或刪除）之位址位元輸出 WA_h 。位址位元輸出 WA_h 亦反饋回到等效邏輯閘 408。位址位元輸出 WA_h 和 TGL_{h-1} 是輸入至 AND 閘 424 以便產生輸出訊號 TGL_h 。

讀取位址位元輸出 RA_h 之補數 $\overline{RA_h}$ 最好可供記憶體 200 使用。舉例而言，反向器 426 之輸出可提供讀取位址位元輸出 RA_h 之補數 $\overline{RA_h}$ 。在記憶體 200 中最好亦可使用其他的位元線（未顯示於第 1 圖中）以便需要時可傳輸讀取位址位元之補數 $\overline{RA_h}$ 。

寫入位址位元輸出 WA_h 之補數 $\overline{WA_h}$ 最好可供記憶體 200 使用。舉例而言，第二鎖存器 460 之輸出可提供寫入

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (22)

位址位元輸出 WAh 之補數 \overline{WAh} 。在記憶體 200 中最好亦可使用其他的位元線 (未顯示於第 1 圖中) 以便需要時可傳輸寫入位址位元之補數 \overline{RAh} 。

在讀取操作期間，將使用讀取位址位元輸出 RAh 作為讀取位址位元。假如正在執行讀取操作，則訊號 LATCHb 通常會變成低位準且在讀取操作期間會保持在低位準，除非必須將寫入位址載入第二鎖存器 460。當輸入至 NOR 閘 402 之訊號 PD 保持在“低位準”時，則 NOR 閘 402 之輸出將為 Ahi 之補數。之後反相器 404 之輸出將為 Ahi，且將由位址位元 Ahi 控制位址位元輸出 RAh。

在寫入操作期間，將寫入位址位元輸出 WAh 分別使用作為規劃或刪除位址位元。一旦將寫入位址載入或最初產生時，則訊號 LATCHb 將保持在低位準，所以 n-通道電晶體 406 是關斷的且第二鎖存器 460 之輸入是隔離的故與位址 Ahi 不相關。當必須載入寫入位址時，訊號變成高位準。在規劃操作時，位址位元輸入/輸出 WAh 是經由第一和第二鎖存器 450、460 而鎖存在位址緩衝器 400 中，且將訊號 WAh 回饋。

舉例而言，假設從外部傳送進來位址訊號 222 則 Ahi 為寫入位址。然後在當訊號 LATCHb 變成高位準時，將寫入位址之位元鎖存或儲存在位址緩衝器 400 之鎖存器 450、460 內。之後，在寫入操作期間將寫入位址輸出作為位址位元輸出 WAh。在讀取操作期間，將位址位元輸出 RAh 傳送至適當的庫。就算 LATCHb 變成低位準，寫

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (23)

入位址仍舊是可取得的，因為寫入位址是鎖存在位址緩衝器 400 內。

在快閃記憶體內之刪除操作通常需要檢測是否在所有位址位置之核心單元均已實際刪除。位址定序器是整合在位址緩衝器 400 內以便協同完成所需位置之檢測。利用輸入時序訊號 CLK_a 和 CLK_b 可完成位址之定序。邏輯電路 218 最好能產生時序訊號 CLK_a 和 CLK_b 。當將輸入時序訊號 CLK_b 設定為每次完成在此位址位置之一連串內建操作時是觸發的，則輸入時序訊號 CLK_a 可與內部所產生之記憶體晶片之時序同步。以此方式，當內部位址轉態，也就是說，當內部位址需要轉變成下一個位址時，是需要適當地增加內部位址。雖然可經由任何適當的電路配置而產生輸入時序訊號 CLK_a 和 CLK_b ，如上所述之訊號 CLK_b 將必須知道在各位址位置之操作何時完成且最好可由邏輯或控制電路 218 應用。在有用之實施例中， CLK_b 訊號為 CLK_a 訊號之補數。

第 4 圖係顯示依據多庫同時操作快閃記憶體 200 之讀取和寫入操作選擇訊號產生器電路 600。狀態機和控制邏輯電路 218 最好包含有一串的選擇訊號產生器電路 600，四個庫每個一個。通常，假如在此有 N 個庫，則將有 N 個選擇訊號產生器電路。讀取和寫入操作選擇訊號產生器電路 600 包含有具兩個輸入端之 AND 閘 608、鎖存器 650、p-通道 MOSFET 602、n-通道 MOSFET 604、兩個輸入之 NOR 閘 614、和一對具有相對應反向器 618、

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

泉

五、發明說明 (24)

622 之三輸入 NAND 閘 616、620。鎖存器 650 最好包含一對的反向器 610、612。

致能訊號(“EN”)是提供給 p-通道 MOSFET 602 之閘極和三輸入 NAND 閘 620 之輸入。三輸入 NAND 閘 620 之另外兩個輸入用於庫解碼之位址位元訊號 WAb 和 WAg，將於下文中說明之。在此具有四個庫的例子中，將訊號 WAb 和 WAg 之反向和非反向值的所有四個組合分別用於庫位址解碼。為簡化說明，輸入第 4 圖 NAND 閘 620 為訊號之非反向值。NAND 閘 620 是連接至反向器 622 之輸入端，且執行 AND 閘(未顯示)之功能。反向器 622 之輸出為一般性的寫入選擇訊號 nWSEL。此訊號回饋到 AND 閘 608 和 NOR 閘 614。同時亦將鎖存器致能(“LEN”)訊號提供給雙輸入 AND 閘 608。AND 閘 608 在節點 606 輸出第 n 個庫的鎖存致能訊號(“nLEN”)。分別產生 N 個 nRSET 和 N 個 nWSET 訊號之 N 個電路 600 亦產生 N 個內部的 nLEN 訊號。

p-通道 MOSFET 602 之源極連接至電源供應端 Vcc，而電晶體 602 之汲極則連接至 n-通道 MOSFET 604 之汲極和鎖存器 650。電晶體 604 之源極連接至接地端，而電晶體 604 之閘極則在接點 606 從 AND 閘極 608 接收訊號 nLEN。鎖存器 650 之輸出是耦接至具兩個輸入端之 NOR 閘 614 的其中一輸入端。

NOR 閘 614 之輸出是耦接至三輸入 NAND 閘 616 之輸入端。三輸入 NAND 閘 620 的其他兩個輸入端用於庫

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (25)

解碼之位址位元訊號 RAb 和 RA_g，將於下文中詳細說明之。在四個庫的例子中，將訊號 RAb 和 RA_g 之反向和非反向值的所有四個組合分別用於庫位址解碼。為簡化說明，輸入第 4 圖 NAND 閘 616 的是訊號之非反向值。NAND 閘 616 是連接至反向器 618 之輸入端，且執行 AND 閘(未顯示)之功能。反向器 618 之輸出為一般性的讀取選擇訊號 nRSEL。

電路 600 產生讀取選擇訊號 nRSEL 和寫入選擇訊號 nWSEL。訊號 nRSEL 和訊號 nWSEL 對應於核心記憶體之第 n 個庫。在第 1 圖之多庫同時操作快閃記憶體 200 中，有四個庫 (N=4)，庫 0 202、庫 1 204、庫 2 206、和庫 3 208，在此庫 n 通常表示第 n 個庫。因此，如第 1 圖中所顯示，在此有四個讀取選擇訊號 0RSEL、1RSEL、2RSEL、3RSEL 和四個寫入選擇訊號 0WSEL、1WSEL、2WSEL、3WSEL (即，n=0、1、2、和 3)。將電路 600 設計成當在庫 n 上執行讀取操作時，nRSEL 是高位準或主動。同樣地，當在庫 n 上執行寫入操作，也就是說，規劃或刪除操作時，nRSEL 是高位準或主動。

使用讀取和寫入位址之特定位元數決定單元位址之位置是位於哪一個庫中。假如有四個庫 (N=4)，則僅需要兩位元 ($2^2=4$) 來說明這些庫。舉例而言，假如有 7 個 (N=7) 或 8 個 (N=8) 庫，則需要 3 位元 ($2^3>7, 2^3=8$)。假如有 N 個庫，則通常需要 y 個位元 (在此 $2^N>2^y>=N$) 來表示這些庫。利用上述術語，可由一個 y 至 N 的解碼

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (26)

器 (在此 $2^y \geq N > 2^{y-1}$) 唯一決定 N 個讀取訊號和 N 個寫入選擇訊號。藉由使 y 個輸入值之各種組合中僅只有一個輸出線是高位準或主動，所以可藉由此主動輸出線唯一決定發生操作 (讀取或寫入) 之庫 n 。

可以其所具有之第一部分和第二部分描述此讀取和寫入位址。通常，這些部分包含有一串的位址位元。用於各種位址形式之各部分均包含有訊息。每一部分之位元量是依據此部分所攜帶之訊息決定。讀取或寫入位址之第一部分，舉例而言，可用於決定單元位址所在之庫，例，庫解碼。讀取或寫入位址之第二部分，舉例而言，可用於決定單元在庫內之特殊位置。再者，可將在讀取或寫入操作中期望使用之位址訊息編碼成第 1 圖之位址訊號 222。

在四庫記憶體 200 中， n 等於 4 且是由兩個位址位元表示。因此，依據第 1 圖所顯示之實施例，讀取和寫入位址之第一部分的大小是兩個位元。讀取位址位元串之位元範例為第 3 圖中之 RAh。舉例而言，假如讀取位元的長度是 20 位元，且其中兩位元用於庫解碼，則可將此二範例位元稱為 RAb 和 RAg。組成讀取位址之第一部分的庫解碼位元，RAb 和 RAg，是輸入至第 4 圖之 NAND 閘 616 以便產生 nRESL 讀取選擇訊號。通常，以 RAh 表示之讀取位址位元之位元 RAb 和 RAg 的反向和非反向值是提供給 n 個 NAND 閘以便產生 N 個讀取選擇訊號。這些訊號之反向和非反向值之 2^y (在此 $2^2 = 4$) 的 N 個 (對應於庫的數目，在此 $N = 4$) 可能組合係用於庫解碼。在四個庫

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (27)

的例子中，在四個電路 600 中之四個 NAND 閘 616 的輸入為 $RAbRAg$, \overline{RAbRAg} , \overline{RAbRAg} , 和 \overline{RAbRAg} 。

同樣地，寫入位址位元串之位元範例為第 3 圖中之 WAh 。在記憶體 200 內為了庫解碼而從寫入位址輸出之兩個位元範例可稱為 WAb 和 WAg 。組成寫入位址之第一部分的庫解碼位元， WAb 和 WAg ，是輸入至第 4 圖之 NAND 閘 620 以便產生 $nRESL$ 讀取選擇訊號。通常，以 WAh 表示之寫入位址位元之位元 WAb 和 WAg 的反向和非反向值是提供給 N 個 NAND 閘以便產生 N 個寫入選擇訊號。這些訊號之反向和非反向值之 2^y (在此 $2^2=4$) 的 N 個 (對應於庫的數目，在此 $N=4$) 可能組合係用於庫解碼。在四個庫的例子中，在四個電路 600 中之四個 NAND 閘 620 的輸入為 $WAbWAg$, \overline{WAbWAg} , \overline{WAbWAg} , 和 \overline{WAbWAg} 。

第 4 圖之電路的操作大部分是由三個訊號驅動的 (除了訊號 $nWSEL$ 之回饋)。致能 ("EN") 訊號為在讀取操作期間為低位準之脈衝訊號且最好在起始寫入操作時會產生脈衝。鎖存致能 ("LEN") 訊號為在讀取和規劃操作期間為低位準之脈衝訊號且最好在起始刪除操作時會產生脈衝。當 $nWSEL$ 在高位準或主動的且 LEN 訊號為脈衝或變成高位準時，第 n 個庫在節點 606 之鎖存致能 ("nLEN") 訊號是主動的。也就是說，當對庫 n 之寫入操作致能且此寫入操作為刪除操作時，則 $nLEN$ 訊號是主動的。

在讀取操作期間， EN 訊號為低位準或不確定。因此，NAND 閘 620 之輸出為高位準。此將使反相器 622 之輸出

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (28)

為低位準，所以寫入選擇訊號 nWSEL 是非主動且是低位準。因此，如所預期的，寫入選擇訊號 nWSEL 在讀取操作期間均是在低位準。因為 nWSEL 是低位準，所以在節點 606 之 nLEN 訊號是低位準（不管 LEN 之值為何，其在讀取操作期間是低位準），且電晶體 604 是不導通。同時，在電晶體 602 閘極之 EN 訊號的低位準值會使 p-電晶體 MOSFET 602 導通，因而使鎖存器 650 輸入變成高位準。雙輸入 NOR 閘極 614 接收鎖存器 650 低位準輸出，和在低位準之寫入選擇訊號 nWSEL。因此，NOR 閘極 614 之輸出為高位準。NAND 閘 616 之輸出將是低位準且反向器 618 之輸出將為高位準。發生此狀況是因為已經將用於庫 n 之庫解碼讀取位址位元之適當組合（即，導致高邏輯位準之值）與 NOR 閘極 614 之高輸出一起提供給 NAND 閘 616。最後結果是讀取選擇訊號 nRESL 當對庫 n 執行讀取操作時會是主動（也就是說，高位準）。

在規劃操作期間，EN 訊號在起始寫入操作時最好能產生脈衝。因此，當 EN 訊號變成高位準時，NAND 閘 620 之輸出變成低位準且反向器 620 之輸出變成高位準。發生此狀況是因為已經將用於庫 n 之庫解碼寫入位址位元之適當組合（即，導致高邏輯位準之值）與產生脈衝之主動 EN 訊號一起提供給 NAND 閘 616。寫入選擇訊號 nWSEL 將變成主動或高位準，其致使 NOR 閘 614 之輸出為低位準，NAND 閘 616 之輸出為高位準，及讀取選擇訊號 nRSEL 為低位準或非主動。因此，在高位準之 nWSEL 會強迫

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (29)

nRSEL 維持在低位準，所以可避免在同一個庫中發生操作模式之衝突。最後結果是當在庫 n 中執行寫入操作時，在此例中為規劃操作，則寫入選擇訊號 nWSEL 會是主動。

在刪除操作期間，EN 訊號在起始寫入操作時最好能產生脈衝。因此，當 EN 訊號變成高位準時，NAND 閘 620 之輸出會變成低位準且反向器 620 之輸出會變成高位準。發生此狀況是因為已經將用於庫 n 之庫解碼寫入位址位元之適當組合（即，導致高邏輯位準之值）與產生脈衝之主動 EN 訊號一起提供給 NAND 閘 616。在 EN 訊號變成高位準時，LEN 訊號最好能產生脈衝。當 AND 閘之輸入 nWSEL 在高位準或主動且 LEN 訊號為脈衝或變成高位準時，第 n 個庫在節點 606 之鎖存致能（“nLEN”）訊號是主動的。也就是說，在節點 606 之 nLEN 訊號是主動的，且 n-通道電晶體 604 因在閘極輸入端之 nLEN 訊號上升而導通。將鎖存器 650 之輸入接地，所以鎖存器 650 之輸出會變成高位準。NOR 閘極 614 之輸出因為 nWSEL 變成高位準和鎖存器 650 之輸出變成高位準而變成低位準，此將導致具有低位準之 nRSEL。一旦庫 n 選擇刪除操作，讀取選擇訊號 nRSEL 將不會變成高位準。也就是說，鎖存器 650 將強迫 nRSEL 保持在低位準直到 EN 訊號變成低位準（即，在讀取操作期間）。LEN 訊號將多次產生脈衝以便選擇多個將刪除之區段（核心記憶體單元之庫 n 的多個區段）。最後結果是當在庫 n 執行寫入操作時，在此例中為刪除操作，則寫入選擇訊號 nWSEL 會是主動。

（請先閱讀背面之注意事項再填寫本頁）

裝
訂

線

五、發明說明 (30)

LEN 訊號和 LN 訊號最好是由位於快閃記憶體晶片內之狀態機和控制邏輯產生。舉例而言，訊號 LEN 和 EN 可由控制邏輯電路 218 產生。

第 5 圖係顯示依據多庫同時操作快閃記憶體 200 之位址選擇電路 500 的第一範例。位址選擇電路方塊 ASEL0 210、ASEL1 212、ASEL2 214、和 ASEL3 216 最好每一個均包含有一串之位址選擇電路 500。位址電路 500 之第一範例包含有 n 通道電晶體 502、504、鎖存器 540、和反向器 510。存鎖器 540 最好包含有一對的反向器 506、508。將每個電路 500 均構成可接收讀取位址位元 RAh 和寫入位址位元 WAh。通常，假如讀取位址具有 q 個位元，則將有 q 個 RAh 值。同樣地，假如寫入位址具有 q 個位元，則將會有 q 個 WAh 值。最好僅將任何庫中需要用於選擇個別單元或多個單元之讀取或寫入位址位元提供給位址選擇電路 500。讀取或寫入位址之其他位元是提供給控制電路以便產生讀取選擇訊號 nRSEL 和寫入選擇訊號 nWSEL。訊號 nRSEL 和 nWSEL 為同時多庫讀取和寫入操作選擇或取消適當的庫。在對庫 n 進行刪除或規劃操作期間，nWSEL 是高位準而 nRSEL 是低位準。對特定庫 n 而言，nWSEL 和 nRSEL 是互為補數的。因此，電晶體 502 是截止而電晶體 504 是導通的，所以可將位元 WAh 傳輸至存鎖器 540。然後位元 WAh 出現在反向器 510 之輸出作為 nAh，其為用於區域庫 n 之位址位元。同樣地，在對庫 n 進行讀取操作期間，nRSEL 是高位準而 nWSEL 是低

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (31)

位準。因此，電晶體 502 是導通的而電晶體 504 是截止的，所以可將位元 RAh 傳輸至存鎖器 540。然後位元 RAh 出現在反向器 510 之輸出作為 nAh。

第 6 圖係顯示依據多庫同時操作快閃記憶體 200 之位址選擇電路 550 的第二範例。位址選擇電路方塊 ASELO 210、ASEL1 212、ASEL2 214、ASEL3 216 每一個均包含有一串之位址選擇電路 550。位址電路 550 之第二範例包含有 n-通道電晶體 552、554、和反向器 556、558、560。

電路 550 之設計係依據對特定庫 n 而言其訊號 nRSEL 和 nWSEL 是互為補數之需求。將訊號 nWSEL 提供給電晶體 554 之閘極以便選擇寫入位址位元 WAh，同時由反向器 558 輸出訊號 nWSEL 之補數且將其提供給電晶體 552 之閘極以便選擇讀取位址位元 RAh。在反向器 560 之前放置一個反向器 556 取代如第 5 圖之存鎖器 540 的存鎖器。在其他方面，該電路 550 之操作與第 6 圖電路 550 的操作相同。

在一實施例中，第 1 和 2 圖中之所有元件均包含在單一個積體電路晶片中。注意用於快閃記憶體晶片範例之位址和控制輸入是由記憶體密度及所使用介面決定。很明顯地所揭露之實施例亦可工作於具有其個別位址和控制輸入結構之不同記憶體密度和不同應用介面。

在上述能夠多庫同時操作之快閃記憶體 200 範例的應用中，將可得之數據儲存空間建構成在其中一庫中儲存數據和啟動碼而在另一庫中儲存控制碼。包含有告知其中

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (32)

一庫，例庫 2 204 用於規劃/刪除數據區段之命令順序的控制碼可以執行碼方式常駐在另一個庫中，例庫 0 202。在規劃/刪除庫 2 204 的同時，系統可繼續執行來自庫 0 202 或另一個庫之執行碼以便管理其他的系統操作。同樣地，依據系統之應用，CPU 可在任何其他庫進行規劃/刪除操作之同時執行來自第一庫之碼。在此最好沒有庫切換等待時間且不需要暫停規劃/刪除操作以便執行讀取。此可減少 CPU 讀取/操作之週期時間，最大數據進出量，且藉由免除需要額外硬體之需求而降低整個系統的成本。

如在此所使用，稱為或名為低位準、未確認、非主動、及被動之訊號將廣泛地視為數位訊號之邏輯低值，已知通常是以二進位零 (0) 表示。

如在此所使用，稱為或名為高位準、確認、及主動之訊號將廣泛地視為數位訊號之邏輯高值，已知通常是以二進位 1 (1) 表示。

如在此所使用，術語寫入是希望涵蓋所有可應用之規劃及刪除操作，除非另有說明。

如在此所使用，術語 "A 與 B 耦接" 係定義裝置 A 是直接連接至 B，或 A 是經由一個或多個中間元件而間接連接至 B。

如在此所使用，術語 "使用者" 即所謂嘗試存取記憶體之處理器或其他元件或實體。

如在此所使用，術語 "鎖存器" 意指暫時數據儲存元件。暫時儲存元件可以是互補的一對反向器 (如在此所說

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (33)

明和舉例的)，或者是如 D-型正反器之正反器。

在此提出更有彈性及有效之設計的快閃記憶體，其能夠多庫同時操作。在此所說明之實施例提供定址、位址選擇、操作控制訊號及邏輯、和侷限於各庫之存取電路。侷限於記憶體核心單元各庫之獨立結構可協助及實現將同時操作結構從雙庫或兩個庫延伸至 N 個庫。

在此所提出之實施例提供可延伸及有彈性的多庫結構，其能夠同時操作，也就是說，其允許同時進行讀取和寫入操作。

從前文中，可得知目前的最佳實施例提供多庫（或 N 庫）同時操作快閃記憶體，包含有位址緩衝和解碼結構。在對 N 庫其中一庫進行讀取操作期間，可對其他 N-1 庫的任何一庫進行寫入操作。在對 N 庫其中一庫進行寫入操作期間，可對其他 N-1 庫的任何一庫進行讀取操作。位址緩衝和解碼結構包含有控制邏輯電路、位於 N 個庫的每一個庫中的位址選擇電路、和位址緩衝電路。控制邏輯電路係用於產生在 N 個庫中選擇一個用於讀取操作之庫的 N 個讀取選擇訊號及用於在 N 個庫中選擇另一個用於寫入操作之庫的 N 個寫入選擇訊號。每一個位址選擇電路是建構成可從控制邏輯電路接收 N 個讀取選擇訊號之每一個及 N 個寫入選擇訊號之每一個。位址緩衝電路係用於同時提供寫入位址和讀取位址以便存取核心記憶體單元。寫入和讀取位址之各第一部分係提供給控制邏輯電路以便產生 N 個讀取選擇訊號和 N 個寫入選擇訊號的每

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (34)

一個。寫入和讀取位址之各第二部分係提供給各位址選擇電路。

此實施例的優點之一為使用雙埠位址緩衝。讀取位址位元是從緩衝器與寫入位址位元同時輸出。另一個優點為提供對應於 N 個庫之讀取和寫入操作選擇訊號且作為選擇或刪除進行寫入或讀取操作之庫。其又一個優點為此電路最好包含有各庫局部使用之感測放大器介接電路以便協助將雙庫延伸至多庫或 N 庫同時操作快閃記憶體。

雖然已經顯示和說明本發明之特殊實施例，但亦可對其進行修正。舉例而言，p-通道和 n-通道等電晶體之感測在適當的應用是可以反向的。值得注意的是在圖中省略用於詳細指定組成所描述電路之電晶體的通道寬度和長度比（以微米為單位而量測）之適當電晶體的尺寸。可依據設計需求及為了電路應用和特殊實施例之性能需求所使用之特殊積體電路的製程功能和極限而選擇適當的比率是顯而易見的。再者，本發明在此所說明和描述之概念可應用於記憶體裝置以外的電路。

因此希望將前述的詳細說明視為舉例說明而非限制用，且下列的申請專利範圍，包含所有的等效物，均是用於定義本發明之精神和目的是顯而易見的。因此希望所附申請專利範圍能包含所有在本發明之精神和目的範圍內的種種變動及修正。

[元件符號說明]

200 快閃記憶體 202、204、206、208 庫

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (35)

210、212、214、216	位址選擇電路方塊		
218	邏輯電路	220	位置緩衝器方塊
222	位址輸入訊號	224	Din緩衝器
226	多位元輸入訊號	228	寫入致能緩衝器
232、234	位址位元線(數據匯流排)	236、238、240、242	訊號
244、246、248、250	規劃/刪除控制電路		
252、254、256、258、260、262、264、266	電晶體		
268	讀取感測放大器方塊	270	檢測感測放大器方塊
400	位址緩衝器	402	NOR閘
404、412、414、418、420、422、426、428	反向器		
406、410、416	電晶體		
408	異-非或閘(exclusive-NOR)		
424	AND閘	450、460	鎖存器
500	位址選擇電路	502、504	電晶體
506、508、510	反向器	540	鎖存器
550	位址選擇電路	552、554	電晶體
556、558、560	反向器	600	訊號產生器電路
602、604	電晶體	606	節點
608、616、620	AND閘	614	NOR閘
610、612、618、622	反向器	616、620	NAND 閘
650	鎖存器		

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱： 快閃記憶體之多庫同時操作)

本發明提供一種用於多庫 (或 N 個庫) 同時操作快閃記憶體之位址緩衝器和解碼結構。在對 N 個庫其中一庫進行讀取操作之期間，可僅對其他 N-1 個庫的任何一庫進行寫入操作。在對 N 個庫其中一庫進行寫入操作之期間，可僅對其他 N-1 個庫的任何一庫進行讀取操作。位址緩衝器和解碼結構包含有控制邏輯電路 (218)、位於 N 個庫之每一個庫中的位址選擇電路、和位址緩衝電路 (220)。控制邏輯電路 (218) 係用於產生 N 個讀取選擇訊號以便從 N 個庫中選擇一個庫進行讀取操作及 N 個寫入選擇訊號以便從 N 個庫中選擇另一個庫進行寫入操作。將各位址選擇電路建構成從控制邏輯電路 (218) 的 N 個

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

英文發明摘要 (發明之名稱： MULTIPLE BANK SIMULTANEOUS OPERATION FOR A FLASH MEMORY)

An address buffering and decoding architecture for a multiple bank (or N bank) simultaneous operation flash memory is described. For the duration of a read operation at one bank of the N banks, a write operation can only be performed on any one of the other N-1 banks. For the duration of a write operation at one bank of the N banks, a read operation can only be performed on any one of the other N-1 banks. The address buffering and decoding architecture includes a control logic circuit (218), an address selection circuit located at each of the N banks, and address buffer circuitry (220). The control logic circuit (218) is used to generate N read select signals to select one bank of the N banks for a read operation and N write select signals to select another bank of the N banks for a write operation. Each address selection circuit is configured to receive from the control logic circuit (218) a respective one of the N read select signals and a respective one of the N write select signals. The address buffer circuitry (220) is used to simultaneously provide a write address and a read address in order to access core memory cells. Respective first portions of the write and read addresses are provided to the control logic circuit (218) to generate the respective N read select signals and N write select signals. Respective second portions of the write and read addresses are provided to the respective address selection circuit.

四、中文發明摘要 (發明之名稱：)

讀取選擇訊號之個別其中之一和 N 個寫入選擇訊號之個別其中之一接收。位址緩衝電路 (220) 用於同時提供寫入位址和讀取位址以便存取核心記憶體單元。各寫入和讀取位址之第一部分是提供給控制邏輯電路 (218) 以便產生個別之 N 個讀取選擇訊號和 N 個寫入選擇訊號。各寫入和讀取位址之個別第二部分是提供給個別之位址選擇電路。

(請先閱讀背面之注意事項再填寫本頁各欄)

訂

英文發明摘要 (發明之名稱：MULTIPLE BANK SIMULTANEOUS OPERATION FOR A FLASH MEMORY)

An address buffering and decoding architecture for a multiple bank (or N bank) simultaneous operation flash memory is described. For the duration of a read operation at one bank of the N banks, a write operation can only be performed on any one of the other N-1 banks. For the duration of a write operation at one bank of the N banks, a read operation can only be performed on any one of the other N-1 banks. The address buffering and decoding architecture includes a control logic circuit (218), an address selection circuit located at each of the N banks, and address buffer circuitry (220). The control logic circuit (218) is used to generate N read select signals to select one bank of the N banks for a read operation and N write select signals to select another bank of the N banks for a write operation. Each address selection circuit is configured to receive from the control logic circuit (218) a respective one of the N read select signals and a respective one of the N write select signals. The address buffer circuitry (220) is used to simultaneously provide a write address and a read address in order to access core memory cells. Respective first portions of the write and read addresses are provided to the control logic circuit (218) to generate the respective N read select signals and N write select signals. Respective second portions of the write and read addresses are provided to the respective address selection circuit.

六、申請專利範圍

1. 一種協助對在記憶體內之核心記憶體單元的 N 個庫進行同步讀取和寫入操作之位址緩衝器和解碼結構，在對 N 個庫之中之一庫進行讀取操作期間，可對其他 N-1 個庫的任何一庫進行寫入操作；且其中在對 N 個庫其中一庫進行寫入操作期間，可對其他 N-1 個庫的任何一庫進行讀取操作，該結構包含有：

控制邏輯電路，用於產生 N 個讀取選擇訊號以便從 N 個庫中選擇一個進行讀取操作之庫及 N 個寫入選擇訊號以便從 N 個庫中選擇另一個進行寫入操作之庫；

位址選擇電路，位於 N 個庫的每一個庫中，其中每一個位址選擇電路建構可從 N 個讀取選擇訊號之個別其中一個和 N 個寫入選擇訊號之個別其中一個之控制電路接收；和

位址緩衝電路，用於同時提供寫入位址和讀取位址以便存取核心記憶體單元，其中各該寫入和讀取位址之第一部分是提供給控制邏輯電路以便產生個別之 N 個讀取選擇訊號和 N 個寫入選擇訊號，而寫入和讀取位址之個別第二部分則是提供給各位址選擇電路。

2. 如申請專利範圍第 1 項之位址緩衝器和解碼結構，更包含有：

位於 N 個庫之每一個中的寫入操作控制電路，其中每一個寫入操作控制電路對應於 N 個寫入選擇訊號的個別其中一個。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

3. 如申請專利範圍第 2 項之位址緩衝器和解碼結構，其中該寫入操作控制電路執行規劃操作。
4. 如申請專利範圍第 2 項之位址緩衝器和解碼結構，其中該寫入操作控制電路執行刪除操作。
5. 如申請專利範圍第 2 項之位址緩衝器和解碼結構，其中寫入操作控制電路執行檢測操作。
6. 如申請專利範圍第 1 項之位址緩衝器和解碼結構，更包含有：

位於 N 個庫之每一個內之讀取數據匯流排，在此將每一個讀取數據匯流排建構成因應 N 個讀取選擇訊號中相對應之其中一個訊號而連接至感測放大器。

7. 如申請專利範圍第 1 項之位址緩衝器和解碼結構，更包含有：

於 N 個庫之每一個內之讀取數據匯流排，在此當 N 個讀取選擇訊號的其中之一顯示有讀取進入此讀取數據匯流排所在之庫時可將此任何一個讀取數據匯流排切換成連接至感測放大器。

8. 如申請專利範圍第 1 項之位址緩衝器和解碼結構，更包含有：

位於 N 個庫之每一個內之寫入數據匯流排，在此將每一個寫入數據匯流排建構成因應 N 個寫入選擇訊號中其相對應之其中一個訊號而連接至感測放大器。

9. 一種 N 重元組庫同時操作快閃記憶體，其中在對第 N 個庫進行讀取操作之期間，可僅對其他 N-1 個庫的任

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

何一庫進行寫入操作；且其中在對第 N 個庫進行寫入操作之期間，可僅對其他 N-1 個庫的任何一庫進行讀取操作，此記憶體包含有：

控制邏輯電路，用於產生 N 個讀取選擇訊號及 N 個寫入選擇訊號；

位址緩衝電路；

N 個區域化庫電路，其中該電路 1 至 N-1 包含有 N-1 個各自的核心記憶體單元之庫，且在此第 N 個電路包含有：

核心記憶體單元之第 N 個庫；

位址選擇電路，其中此位址選擇電路對應於第 N 個讀取選擇訊號和第 N 個寫入選擇訊號；

寫入操作控制電路，其中此寫入操作控制電路對應於第 N 個寫入選擇訊號；

寫入數據匯流排，其中此寫入數據匯流排對應於第 N 個寫入選擇訊號；和

讀取數據匯流排，其中此讀取數據匯流排反應於第 N 個讀取選擇訊號。

10. 一種在記憶體之多庫快閃記憶體內執行數據之同時寫入和讀取的方法，此方法包含有：

將寫入位址之第一部分和讀取位址之第一部分提供給對應於核心記憶體單元之 N 個庫的 N 個位址選擇電路；

將寫入位址之第二部分提供給控制邏輯電路，此

六、申請專利範圍

寫入位址之第二部分定義進行寫入操作的一個庫；

將讀取位址之第二部分提供給控制邏輯電路，此讀取位址之第二部分定義進行讀取操作的一個庫；

將來自控制邏輯電路之 N 個寫入選擇訊號的其中之一提供給 N 個庫中進行寫入操作的各庫；

將來自控制邏輯電路之 N 個讀取選擇訊號的其中之一提供給 N 個庫中進行讀取操作的選擇之另一個庫；

將各寫入和讀取位址之第一部分選通到具有個別之 N 個寫入選擇訊號和個別之 N 個讀取選擇訊號之 N 個庫；

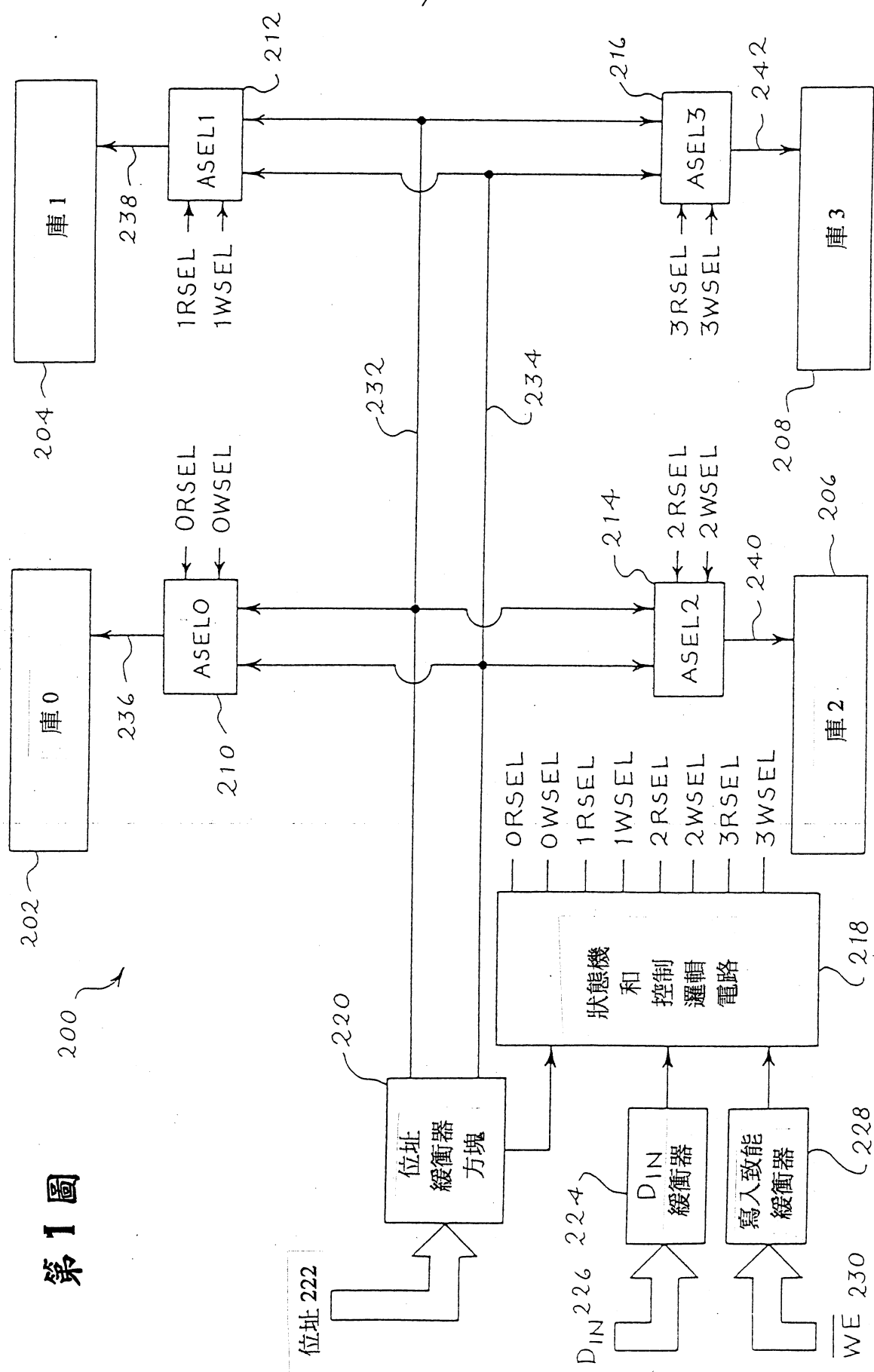
將在 N 個庫中由寫入和讀取位址位置之存取數據藉由寫入和讀取位址之第一部分選通到具有個別之 N 個寫入選擇訊號和個別之 N 個讀取選擇訊號之數據輸出和檢測電路。

(請先閱讀背面之注意事項再填寫本頁)

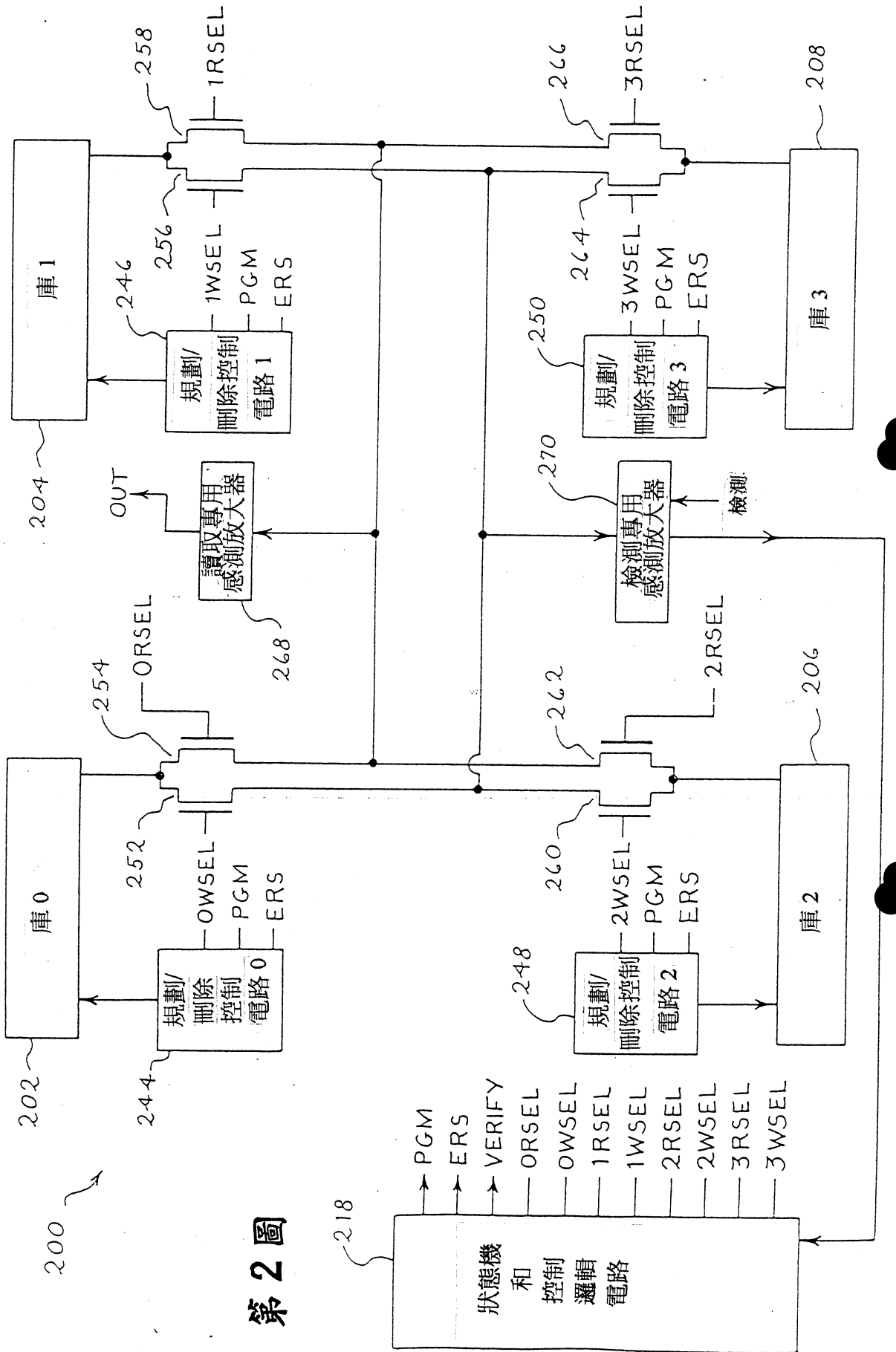
裝

訂

線



第1圖



第2圖

200

202

庫0

204

庫1

206

庫2

208

庫3

244

246

248

250

252

254

258

OWSEL

1WSEL

2WSEL

3WSEL

1RSEL

2RSEL

3RSEL

PGM

PGM

PGM

PGM

PGM

PGM

PGM

ERS

ERS

ERS

ERS

ERS

ERS

ERS

VERIFY

ORSEL

OWSEL

1RSEL

1WSEL

2RSEL

2WSEL

3RSEL

3WSEL

OUT

檢測

268

270

260

262

264

218

244

246

248

250

252

254

258

202

204

206

208

210

212

214

216

218

244

246

248

250

252

254

258

202

204

206

208

210

212

214

216

218

244

246

248

250

252

254

258

202

204

206

208

210

212

214

216

218

244

246

248

250

252

254

258

202

204

206

208

210

212

214

216

218

244

246

248

250

252

254

258

202

204

206

208

210

212

214

216

218

244

246

248

250

252

254

258

202

204

206

208

210

212

214

216

218

244

246

248

250

252

254

258

202

204

206

208

210

212

214

216

218

244

246

248

250

252

254

258

202

204

206

208

210

212

214

216

218

244

246

248

250

252

254

258

202

204

206

208

210

212

214

216

218

244

246

248

250

252

254

258

202

204

206

208

210

212

214

216

218

244

246

248

250

252

254

258

202

204

206

208

210

212

214

216

218

244

246

248

250

252

254

258

202

204

206

208

210

212

214

216

218

244

246

248

250

252

254

258

202

204

206

208

210

212

214

216

218

244

246

248

250

252

254

258

202

204

206

208

210

212

214

216

218

244

246

248

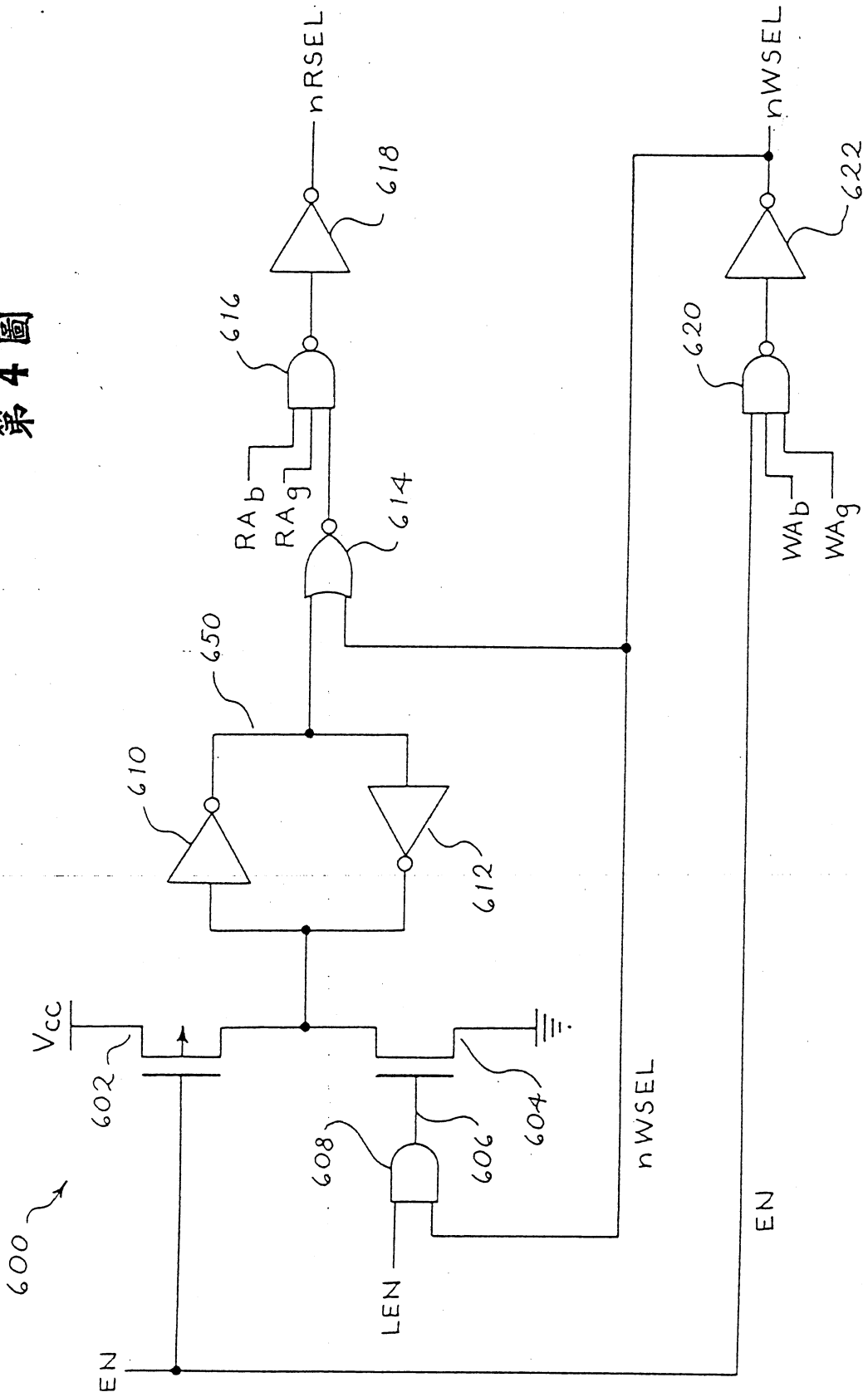
250

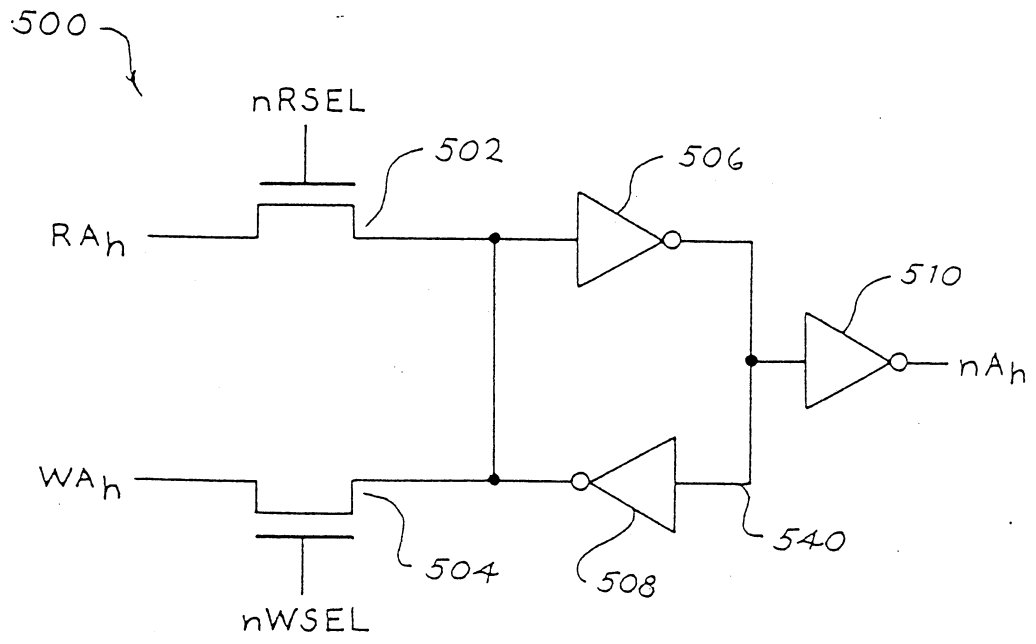
252

254

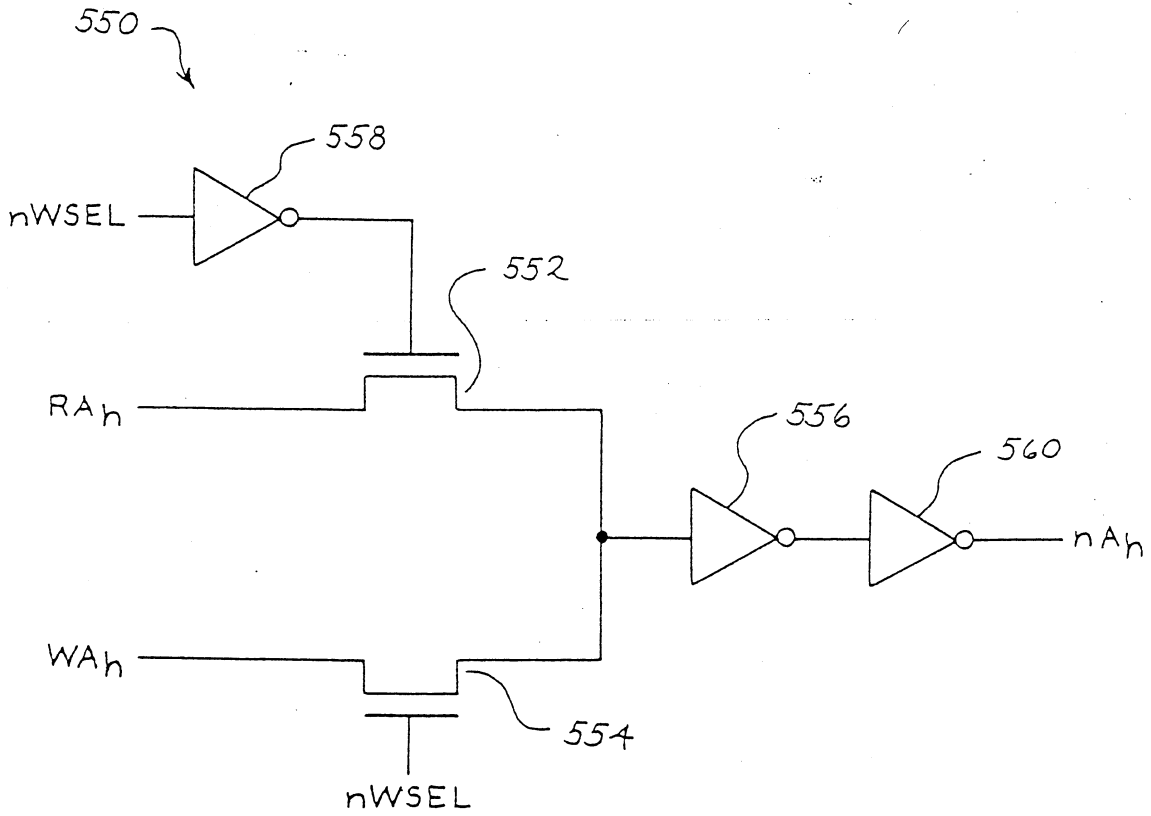
258

第 4 圖





第 5 圖



第 6 圖

公告本

93年4月8日修正/變更/補充

申請日期	90.3.4
案號	90105916
類別	G11C 16/00

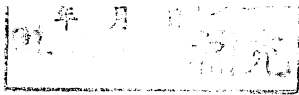
A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書 I222073		
一、發明 名稱	中 文	快閃記憶體之多庫同時操作
	英 文	MULTIPLE BANK SIMULTANEOUS OPERATION FOR A FLASH MEMORY
二、發明 創作人	姓 名	1. 赤荻隆男 / AKAOGI, TAKAO 2. 肯瑞亞·奴燕 / NGUYEN, KENDRA 3. 克來芬地 李 愛德華 / CLEVELAND, LEE EDWARD
	國 籍	1. 日本國 2. 美國 3. 美國
	住、居所	1. 美國·加州 95014·古皮蒂諾市·10月街 7911 號 7911 October Way Cupertino, CA 95014 U. S. A. 2. 美國·加州 95111·聖荷西·塞普林路 4942 號 4942 Zeppelin Court San Jose, CA 95111 U. S. A. 3. 美國·加州 95051·聖克拉克·瑪麗皇宮路 3428 號 3428 St. Mary's Place Santa Clara, CA 95051 U. S. A.
三、申請人	姓 名 (名稱)	飛索股份有限公司 FASL, LLC
	國 籍	美國
	住、居所 (事務所)	美國·加州 94088-3453·桑尼威·第 1AMD 區·M/S 68· 郵政信箱 3453 號 One AMD Place, M/S 68, P.O. BOX 3453, Sunnyvale, CA 94088-3453, U. S. A.
	代 表 人 姓 名	歐布萊恩 郝力斯 M O'BRIEN, HOLLIS M.

經濟部智慧財產局員工消費合作社印製

裝 訂 線



五、發明說明(9)

分。

邏輯電路 218 能夠提供複數個訊號給快閃記憶體 200。由邏輯電路 218 所提供之訊號最好包含有規劃和刪除相關控制訊號(未顯示)及操作選擇訊號。

D_{in} 緩衝器 224 接收多位元輸入訊號 D_{in} 226。多位元輸入訊號 D_{in} 226 最好能將讀取和寫入操作指令提供給位於邏輯電路 218 內之指令暫存器。輸入訊號 D_{in} 226 是儲存在 D_{in} 緩衝器 224 內且在需要時提供給邏輯電路 218。輸入訊號 D_{in} 226 為在規劃操作期間對快閃記憶體 200 之核心記憶體進行規劃所需之訊息。

寫入致能 (\overline{WE}) 緩衝器 228 接收多位元控制輸入訊號 \overline{WE} 230。亦稱為寫入致能之控制輸入 \overline{WE} 230 是由寫入致能緩衝器 228 儲存且提供給邏輯電路 218。控制輸入 \overline{WE} 230 係用於致能快閃記憶體之寫入操作。

第 1 圖係顯示由定址觀點所呈現之快閃記憶體 200 之方塊圖。在第 1 圖中顯示作為範例之四個庫，庫 0 202、庫 1 204、庫 2 206、庫 3 208。可瞭解的是用於多庫同時操作之快閃記憶體定址結構並不是僅限於記憶體單元之四個庫。局部定址和解碼結構之優點為此快閃記憶體 200 的定址結構是可延伸的且可延伸至滿足任何記憶體單元之庫數目，也就是說，記憶體單元之 "N" 庫 (在此 $N=4$)。此 N 個庫之每一個均可作為庫 n。因此，雖然第 1 圖為了簡化說明僅顯示四個庫，但是如用於快閃記憶體 200 同時多庫操作之定址結構的快閃記憶體定址結構實施例並不是僅限

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (13)

nRSEL 和 nWSEL。

第 2 圖之方塊圖係以數據操作觀點顯示快閃記憶體晶片之多庫同時操作快閃記憶體 200。多庫同時操作快閃記憶體 200 之快閃記憶體操作結構範例包含有記憶體單元之四個庫，庫 0 202、庫 1 204、庫 2 206、庫 3 208，其分別對應於規劃/刪除控制電路 PECC0 244、PECC1 246、PECC2 248、PECC3 250、n 通道 MOSFET 電晶體 252、254、256、258、262、264、266、邏輯電路 218、讀取專用感測放大器方塊 268 ("S/A READ")，和檢測專用感測放大器方塊 270 ("S/A VERIFY")。放大器方塊 268 和 270 均包含有一個或多個感測放大器以便感測來自快閃記憶體 200 之庫 202、204、206 和 208 之數據。

讀取感測放大器方塊 268 是經由各 n-通道 MOSFET 電晶體 254、258、262、266 而分別耦合至記憶體單元之各個庫，庫 0 202、庫 1 204、庫 2 206、庫 3 208。記憶體單元之每一個庫均有其專屬之讀取電晶體。當然，在快閃記憶體 200 中亦包含有其他專屬的讀取記憶體 (未顯示)。藉由在閘極輸入端施加可分別應用於特定庫之讀取選擇訊號，0RSEL、1RSEL、2RSEL、和 3RSEL 而開啟(例，導通)和關斷各讀取電晶體 254、258、262、266。舉例而言，讀取感測放大器方塊 268 當選擇訊號 0RSET 為高位準且讀取電晶體 254 開啟和導通時能夠讀取庫 0 202 之核心單元的值。讀取感測放大器方塊 268 從快閃記憶體 200 之核心單元讀取訊息且從快閃記憶體 200 將此數據輸出。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (14)

將如輸出緩衝器、數據鎖存器、或其他數據讀取機構排列成可同時使用或分開使用以便適當地協助讀取感測放大器方塊 268 於輸出核心數據。這些機構和/或配置並沒有顯示在第 2 圖中，但最好是包含在快閃記憶體 200 中。當然，可瞭解的是在其他實施例中，數據輸出機構和/或配置可以放置在快閃記憶體 200 外部。依據描述於此之實施例，不須為每個庫分別設置讀取感測放大器電路。

檢測感測放大器方塊 270 是經由各 n-通道 MOSFET 電晶體 252、256、260、264 而分別耦合至記憶體單元之各個庫，庫 0 202、庫 1 204、庫 2 206、庫 3 208。記憶體單元之每一個庫均有其專屬之檢測電晶體用於規劃或刪除操作。當然，在快閃記憶體 200 中亦包含有其他專屬的檢測記憶體(未顯示)。藉由在閘極輸入端施加可分別應用於特定庫之寫入選擇訊號，0WSEL、1WSEL、2WSEL、和 3WSEL 而開啟(例，重導通狀態)和關斷各檢測電晶體 252、256、260、264。舉例而言，檢測感測放大器方塊 270 當寫入選擇訊號 3WSEL 為高位準且檢測電晶體 264 為開啟和導通時能夠檢測庫 0 208 核心單元之值。檢測感測放大器方塊 270 感測來自快閃記憶體 200 之核心單元的訊息且將此數據提供給狀態機和控制邏輯電路 218 以供檢測及決定快閃記憶體 200 的下一個狀態。依據描述於此之實施例，不須為每個庫分別設置檢測感測放大器電路。

如第 1 圖中所顯示，第 2 圖中之狀態機和控制邏輯電路 218 (邏輯電路 218) 能夠提供複數個訊號給快閃記

(請先閱讀背面之注意事項再填寫本頁)

訂

線

92108 修正
補充

五、發明說明()

電路 268 時，來自其他庫之數據可傳輸至檢測感測放大器電路 270。同樣地，當將來自其中一庫之數據傳輸至檢測感測放大器電路 270 時，來自其他庫之數據可傳輸至讀取感測放大器電路 268。檢測感測放大器電路 270 之輸出是傳送至邏輯電路 218，其用於檢測是否對某特定位元組進行規劃或刪除。

I/O 緩衝器最好用於暫存進出快閃記憶體 200 之數據。當在其中一庫上進行讀取時，輸出數據是從讀取感測放大器電路 268 傳輸至 I/O 緩衝器。在刪除或規劃程序期間，邏輯電路 218 最好將狀態訊息傳輸至 I/O 緩衝器以便在外側之處理器可以獲得快閃記憶體 200 進行刪除或規劃的狀態。

當其中一庫進行規劃時，可為了讀取操作而存取任何其他庫。舉例而言，在規劃庫 0 202 之一位元組時，邏輯電路 218 提供致能用之寫入選擇訊號 0WSET 給 ASELO 210 以便從位址緩衝器 220 選擇用於與在庫 0 202 之 X 和 Y 解碼器（未顯示）通訊之寫入位址。再者，當完成規劃時，邏輯電路 218 儲存來自 I/O 緩衝器之將進行規劃之數據位元組以供檢測。庫 0 202 之輸出經由電晶體 252 而傳送至檢測感測放大器電路 270 以便與所儲存之輸入數據相比較。在起始庫 3 208 之讀取操作期間，邏輯電路 218 在儲存將規劃數據之後最好同時提供主動的讀取選擇訊號 3RSET 至 ASEL3 216 以從在庫 3 208 之 X 和 Y 位址解碼器（未顯示）通訊之位址緩衝器方塊 220 選擇讀取

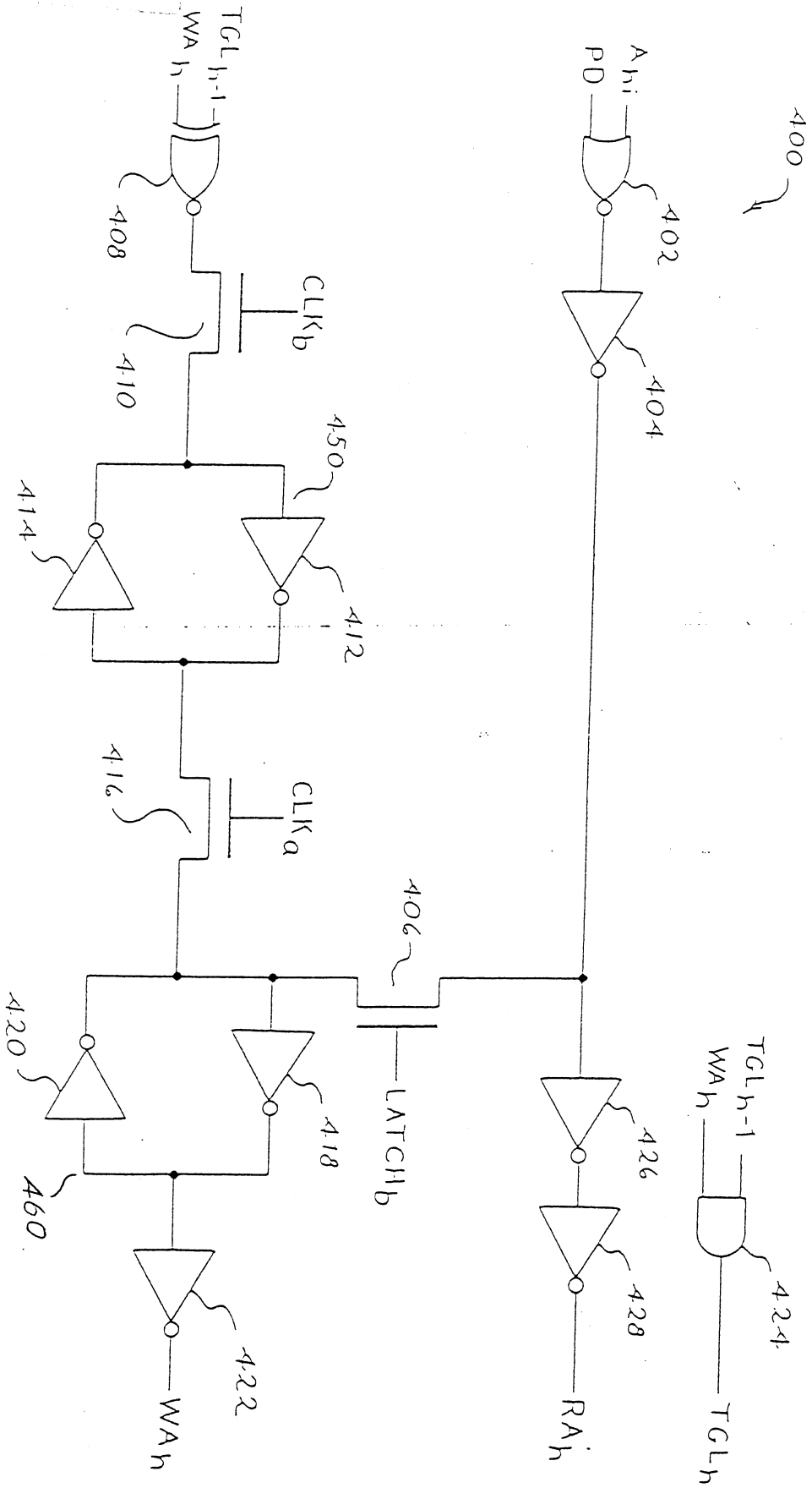
（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

顯示，本案修正後是否變更實質內容

經濟部智慧財產局員工消費合作社印製

第 3 圖



(修正圖)