

309603

309603

309603

申請日期	85.10.24.		
案號	85113083		
類	別	Int. Cl.	G06F 3/00 13/4

(以上各欄由本局填註)

A4
C4
公告本 309603

發 明 專 利 說 明 書

一、發明 名稱	中 文	具有改良定時器能力之積體電路輸入/輸出處理器
	英 文	"INTEGRATED CIRCUIT INPUT/OUTPUT PROCESSOR HAVING IMPROVED TIMER CAPABILITY"
二、發明 人	姓 名	1. 凡諾 本納德 勾勒 2. 葛瑞 林 米勒 3. 大衛 如梵拉
	國 籍	均美國
三、申請人	住、居所	1. 美國德州奧斯汀市拉康橋路6808號 2. 美國德州圓石市紫隨巨路410號 3. 美國德州奧斯汀市瑪里可拍海灣7404號
	姓 名 (名稱)	美商摩托羅拉公司
三、申請人	國 籍	美國
	住、居所 (事務所)	美國伊利諾州史堪伯市東阿崗崑路1303號 摩托羅拉中心
三、申請人	代 表 人 姓 名	安索尼 J. 沙利二世

309603

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

美 國 (地區) 申請專利，申請日期： 1995.11.13. 案號： 08/555,456 ☐有 ☐無主張優先權

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(1)

先前申請案

本申請案業已於1995年11月13日在美國以第555,456號專利申請案提出申請。

發明之範圍

本發明一般係關於一種輸入/輸出處理器，更具體言之，係關於一種具有改良之定時器能力之輸入/輸出處理器。

發明之背景

用於例如為汽車及機器人之複合即時控制系統之資料處理系統，需要較精細之控制，較快速之系統響應，及較強之輸入/輸出(I/O)能力。因此，對於資料處理系統能以較強，較快及較佳之輸入/輸出(I/O)處理之需要業已顯著增加。微處理機需要能提供在數位及類比二方面均有較高之解析度輸出，俾有更精確之控制。對於較高頻率之控制功能言，中央處理單元(CPU)可能無法以所需之速率產生響應，此係由於處理上之額外開銷之故。因此需要在無需使CPU過荷之情況下，仍可提供更大，更快及更佳之I/O處理能力之解決方法。

此外，微電腦需要有極大之適應性以配合廣泛不同之應用需要。在以往之微電腦中，I/O處理之適應性係經由用於輸出入埠或簡單之定時器通道而達成。類比及數位I/O亦經由CPU軟體連接。然而I/O帶寬卻因此受到損失，此主要由於CPU涉及所有I/O所造成之系統額外開銷所致。因此需要一種提供適應性及同時增加I/O能力之解決方

五、發明說明(2)

法。

圖式之簡要說明

圖1以方塊圖例示根據本發明之一具體實例之一資料處理系統10；

圖2以方塊圖例示根據本發明之一具體實例之圖1中之電路25之一部分；

圖3以方塊圖例示根據本發明之一具體實例之圖1中之電路26之一部分；

圖4以方塊圖例示根據本發明之一具體實例之圖1中之電路25之一部分；

圖5以方塊圖例示根據本發明之一具體實例之圖1中之電路25之一部分；

圖6以列表形式例示一真值表，此真值表由圖5中接腳電路64使用，以決定結果導線之邏輯位準；

圖7以方塊圖例示根據本發明之一具體實例之圖5中之控制暫存器166之一部分及控制暫存器167之一部分；

圖8以列表形式例示一組功能，此組功能可由使用者利用圖7之接腳輸出激勵控制位元182或183而予以程式設計；

圖9以列表形式例示於圖5之接腳165處所產生之結果之一實例，此結果得自對於匹配通道160及161之狀態之邏輯AND運算及邏輯OR運算；

圖10以方塊圖例示根據本發明之一具體實例之圖1中之電路26及27之一部分；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

圖11以方塊圖例示根據本發明之一具體實例之圖10中之控制暫存器226之一部分；

圖12以方塊圖例示根據本發明之一具體實例之圖10中之電路26之一部分；

圖13以方塊圖例示根據本發明之一具體實例之圖2中之電路61，62，80，81及86之每一通道之一部分；

圖14以方塊圖例示根據本發明之一具體實例之圖2中之電路25之一部分；

圖15以列表形式例示，在定時器滙流排之不同之時間槽期間，使用者如何可選擇提供一個或多個時基值之8個實例；

圖16以方塊圖例示根據本發明之一具體實例之一定時器系統積體電路280；

圖17以方塊圖例示根據本發明之一具體實例之一資料處理系統315；

圖18以方塊圖例示根據本發明之一具體實例之圖16中之主時基通道285之一部分及從屬時基通道288之一部分；

圖19以方塊圖例示根據本發明之一具體實例之圖17中之主時基通道304之一部分及從屬時基通道310之一部分；

圖20以方塊圖例示根據本發明之一具體實例之圖1中電路25之一部分；

圖21以方塊圖例示根據本發明之一具體實例之圖20中

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

之捕捉通道401之一部分；

圖22以方塊圖例示根據本發明之一具體實例之圖20中之捕捉通道401之一部分；

圖23以列表形式例示可設定及清除每一通道之資料有效位元(DVB)之動作(例如圖22中之425)，此等每一通道係用以支援資料傳送操作，同時經配置成其各自之操作模式；

圖24以列表形式例示資料傳送操作之模式，此傳送操作係由具有資料傳送操作之每一通道中之資料傳送控制位元(DTC)(例如圖21及22中之423-424)所控制；

圖25以時序圖例示根據本發明之一具體實例之一種改良之實施週期累加測量之方法，此種改良之方法較之先前技術之方法產生較少之累加誤差；

圖26以時序圖例示根據本發明之一具體實例之一種改良之實施週期累加測量之方法；

圖27以方塊圖例示根據本發明之一具體實例之圖2中之計數器58之一部分；

圖28以方塊圖例示根據本發明之一具體實例之圖2中之暫存器67之第一部分；

圖29以方塊圖例示根據本發明之一具體實例之圖2中之暫存器67之第二部分；

圖30以方塊圖例示根據本發明之一具體實例之圖2中之暫存器67之第三部分；

圖31以時序圖例示根據本發明之一具體實例之一種改

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

良之實施週期累加測量之方法；

圖32以方塊圖例示根據本發明之一具體實例之圖2中之計數器通道58之一部分；

圖33以時序圖例示根據本發明之一具體實例之一種改良之捕捉時基值之方法；

圖34以時序圖例示根據本發明之一具體實例之一種改良之捕捉時基值之方法；

圖35以方塊圖例示根據本發明之一具體實例之圖2中之暫存器66之第一部分；

圖36以方塊圖例示根據本發明之一具體實例之圖2中之暫存器66之第二部分；

圖37以方塊圖例示根據本發明之一具體實例之圖2中之捕捉通道55之一部分；

圖38以方塊圖例示根據本發明之一具體實例之圖2中之暫存器65之第一部分；

圖39以方塊圖例示根據本發明之一具體實例之圖2中之暫存器65之第二部分；及

圖40以方塊圖例示根據本發明之一具體實例之圖2中之匹配通道57之一部分。

較佳具體實例之說明

“滙流排”一詞用以指示用作傳送一個或多個例如資料，位址，控制或狀態之各種不同型式資訊之信號導體。
“斷言”及“求反”二詞分別用於指示信號，狀態位元，積體電路接腳或類似裝置變為在邏輯上為真或在邏輯上為假

五、發明說明 (6)

之時。如果在邏輯上為真之狀態為邏輯位準“1”，則在邏輯上為假之狀態即為邏輯位準“0”。如果在邏輯上為真之狀態為邏輯位準“0”，則在邏輯上為假之狀態即為邏輯位準“1”。

“設定”一詞用於指示使信號，狀態位元，積體電路接腳或類似裝置變為邏輯位準“1”之時。“清除”一詞用於指示使信號，狀態位元，積體電路接腳或類似裝置變為邏輯位準“0”之時。“捺跳”(toggle)一詞用於指示使信號，狀態位元，積體電路接腳或類似裝置，在當現時狀態為邏輯位準“0”時，即變為邏輯位準“1”，在當現時狀態為邏輯位準“1”時，即變為邏輯位準“0”之時。

在一數字之前置有符號“%”時，即指示此數字為其二進位或以2為底數形式。在一數字之前置有符號“\$”時，即指示此數字為其十六進位或以16為底數形式。“積體電路接腳”一詞及“接腳”一詞可交互代替使用。此外，當使用“積體電路接腳”或“接腳”名詞時，可與焊接點或任何將一積體電路以電耦合至一外部裝置之導體交替使用。

於以後之說明中，將使用例如特殊之字或位元組長度以闡明具體之細部情形，俾可對本發明有透徹瞭解。然而對於精熟於本行技術者顯然可知，本發明在無此種具體細節之情形下亦可實施。在某些實例中，電路可以方塊圖形式顯示，如此可避免以不必要之細節而使本發明不易明白瞭解。對於大部分之說明言，有關定時考慮及類似事項之細節，均已予以省略，因為此等細節對於本發明之完全瞭解

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

並無需要，並且屬於在相關技術上有一般技術水準之人士之技術範圍內。

雖然在本文件中通篇均使用“積體電路接腳”及“接腳”(例如圖1中31-35及19)，但此等名詞係有意包括任何型式之可將電信號傳送至積體電路或將電信號自積體電路送出之裝置，此種裝置例如為積體電路焊接點，焊接凸緣，導線等。

現參看圖式，圖中繪出之元件不一定合乎比例，相同或相似之元件在各個不同之視圖中均以相同之參考號碼代表。

輸入/輸出控制模組(參看圖1中IOCM 25-29)對於資料處理系統提供適應性及增強之I/O能力。在本發明之一具體實例中，一個或多個IOCM 25-29設置於與一中央處理單元(CPU)13分開之積體電路上，但是此一個或多個IOCM 25-29利用一匯流排30而與CPU 13通訊。於本發明之一代替性具體實例中，一個或多個IOCM可與一CPU共同設置於一相同之積體電路上。舉例而言，另一電路15可用為一輸入/輸出控制模組(IOCM)，以其藉匯流排17而與CPU 13通訊。

每一IOCM 25-29均經設計使用一完全之模組化結構。在最高層次時，每一IOCM 25-29均為利用一模組間匯流排24而與其他模組通訊之一模組。例如於一具體實例中，每一IOCM 25-29均可與MC68HC300系列之微電腦連同使用之一模組，此種微電腦可自德州奧斯汀之

五、發明說明(8)

Motorola公司獲得。

每一IOCM 25-29除去用爲一模組本身外，亦可由子模組或模組型式之I/O通道組成。不同之IOCM型式可輕易以任何組合方式將得自“矽通道庫”中之模組化通道組合而產生。通道可具有包括數位或類比I/O能力之不同硬體以完成特定之操作。爲能使未預期之I/O功能有增長路徑，可將新通道加至通道庫。因此可將模組化通道之不同配置予以合併，俾可形成不同型式之IOCM 25-29。

IOCM 25-29之另一重要特徵爲其結構可使用戶劃分軟體與硬體間之任務。通道可予以程式規劃以於在硬體方面共同操作，以完成簡單之高頻功能。以共同方式操作之通道係用爲一前處理器以適應高頻I/O事件。此種設計之重要性在於可提供更精細之控制及更快速之系統響應，因其可解除CPU對於所有I/O事件之軟體服務，或者僅需要對較低頻率I/O事件之軟體服務。

每一IOCM25-29之數位I/O部分在其可實施之I/O功能之數目及特性方面，均有其適應性。每一IOCM 25-29均可達成此適應性，因爲其對於接腳，通道，匯流排之數目均爲模組化。此即謂不同IOCM型式均可自“矽通道庫”輕易產生及積體電路之接腳亦可予以增加，不受通道數目之影響。當通道之數目在各種不同之IOCM型式方面增加時，IOCM 25-29之結構亦可增加更多之供資料及控制用之匯排以提供支援。新通道亦可予以設計及加添至通道庫，以提供爲未來I/O功能用之增長路徑。

五、發明說明(9)

IOCM 25-29之結構之第二重要特點為通道可予以程式規劃以於硬體方面共同操作。可容許使用者劃分軟體與硬體之間之任務，在藉將系統中CPU之中斷數目而將系統處理能力增至最大時，實關重要。

複合之即時控制系統所需之相當大數量之I/O處理涉及相同型式之定時功能。因此可以不同方式將較小之通道庫合併，以形成各種不同之符合大多數客戶要求之IOCM 25-29。

於本發明之一具體實例中，通道庫包括數種不同類型之通道，即“工作通道”，“時基通道”，“其他通道”。此種類型名稱可使具有相同功能或結構之通道組合在一起。“工作通道”包括實施典型之定時功能之通道，例如當時間事件發生時捕捉一輸入值，當一匹配事件發生時提供一信號，及計數。工作通道亦包括形成更複雜之基本定時功能之組合之通道。例如，實施匹配及計數器功能之一通道可對匹配事件計數並且僅當預定數目之匹配事件發生之後，提供一信號。

於本發明之一具體實例中，工作通道包括：(1)一捕捉通道(CC)；(2)一匹配通道(MC)；(3)一計數器通道(CMTC)；(4)一火花積體通道(SIC)，用以將定時器功能合併以提供為引擎用之火花定時；(5)一燃料積體通道(FIC)用以將定時器功能合併以提供為引擎用之燃料噴射定時；及(6)雙先進先出(FIFO)通道(DFC)，用以提供2深度(deep)FIFO以儲存資料數值。可注意到雙FIFO通道

五、發明說明 (10)

(DFC)並不實施定時器功能，而係提供資料儲存功能。

於本發明之一具體實施例中，時基通道包括：(1)一定時器滙流排控制通道(TBCC)，用以提供定時器滙流排之主控制或從屬控制；(2)一程度(degree)時鐘通道(DC)用以提供多達4個時基；及(3)一定時器通道(TC)用以提供可由內部或外部產生之時基。可注意到於本發明之一具體實施例中，定時器通道可由一個或多個工作通道或一個或多個外部信號所控制(例如，時序控制，裝入模數值，或決定計數之方向性)。

於本發明之一具體實施例中，其他之通道包括：(1)一同步串列通道用以實施串列傳送；(2)一非同步串列通道用以實施串列傳送；(3)一接腳控制通道(PCC)用以使工作通道與積體電路接腳之間形成界面連接；(4)一從屬外部滙流排界面通道(SEBI)，用以使內部模組間滙流排與積體電路外部之一滙流排之間形成界面連接；(5)一全盤資源通道(GRC)，此通道包括定製或特製電路，可在彼此之型式之間有所改變者(例如某些時鐘及若干系統保護功能)；(6)一從屬滙流排界面通道(SBIU)用以對內部模組間滙流排形成界面連接；(7)一主界面通道(MBIU)，用以使內部模組滙流排(IMB)與程度時鐘之間形成界面連接(在當CPU失效時，所有CPU寫入動作除去可對一預定暫存器實施外，其餘均予以防止，MBIU使程度時鐘取代IMB)，MBIU重新組合若干通道以便在無CPU之情況下運作例如一汽車引擎之系統；及(8)一測試通道，包括用為測試目的

五、發明說明 (11)

之電路。

於本發明之一具體實例中，亦可有額外之電路，此電路嚴格來說並非屬於通道庫之一部分，但經設計成模組化型式及可用於連接一個或多個通道。例如，接腳控制共用邏輯可連接於二相鄰接腳控制通道(PCC)之間，以使二相鄰PCC共用匯流排資訊。本發明之代替性具體實例可包括所有此種連接性電路以作為通道庫之一部分。

每一工作通道提供很多包括輸入及輸出事件之可程式規劃之特徵。輸入事件源可為積體電路接腳或其他工作通道，而一輸出事件可影響積體電路接腳或其他工作通道。例如為輸入捕捉及相鄰工作通道間資料傳送之通道傳送均可由輸入事件控制。反言之，工作通道之輸出事件或一積體電路接腳亦可影響工作通道之操作及工作通道間資料傳送。每一工作通道之另一特徵為一可選擇之組態模式，此模式界定為輸入事件所實施之工作通道之操作或導致輸出事件之操作。此等特徵及其他特徵可使工作通道經程式規劃而一起操作以完成寬廣範圍之I/O功能。

通道庫中所包括之通道可以各種不同之組合予以加添，以產生不同型式之IOCM 25-29。本發明之代替性具體實例，在用以形成IOCM 25-29之通道庫中可有較多，較少或不同之通道。藉使用模組化結構及適應性模組化通道庫，即可以快速及有效率方式滿足廣大客戶之I/O需求。

圖1例示一資料處理系統10。此資料處理系統10備有一

五、發明說明(12)

CPU積體電路12及一輸入/輸出(I/O)積體電路22。CPU積體電路12包括一中央處理單元(CPU)13，系統積體模組14及其他電路15，所有此等組件均經由匯流排17而成雙向耦合。系統積體模組14包括以雙向耦合至匯流排30之外部匯流排界面電路16。其他電路15包括匯流排界面電路18。其他電路15在CPU積體電路12之外部經由積體電路接腳19而以選擇方式耦合。

I/O積體電路22包括電路25-29及外部匯流排界面電路23，此等電路均經由匯流排24以雙向耦合。外部匯流排界面電路23以雙向耦合至匯流排30用以傳送及接收得自CPU積體電路12之資訊。I/O控制模組電路25-29，經由積體電路接腳31-35，而在I/O積體電路22之外部耦合。於本發明之代替性具體實例中，圖1中之方塊31-35代表積體電路銲接點而非積體電路接腳。模組25-29中之每一模組包括源自通道庫之一個或多個通道(例如參看圖2)。模組25-29中之每一模組亦包括一從屬匯流排界面通道(SBIU)36-40，用以使一個或多個通道與內部模組間匯流排24之間形成界面連接。

本發明之代替性具體實例可有一個或多個模組25-29。之所以將通道劃分成一個或多個模組25-29並且使每一模組有其自己之匯流排界面，係由於加於模組25-29內部之匯流排上之負荷限制之故。包括於每一模組25-29中之通道數目，係由加於每一模組25-29內之內部匯流排上之合成負荷決定。模組化結構可使每一模組25-29利用通道庫

五、發明說明 (13)

中之不同通道而形成。因此每一模組25-29可根據個別客戶之要求而定製。

模組化通道結構之特點

本發明除去使用模組化庫以外，亦使用模組化通道匯流排，此等匯流排用於各種不同通道之間傳送資訊。由於通道在不同IOCM型式之間有不同之安排，通道匯流排必需具適應性。

現參看圖1及2，根據本發明之一具體實例，在IOCM(例如IOCM 25)中之通道係經由通道匯流排通訊。下述之通道匯流排可能會橫通IOCM中之通道：(1)模組間匯流排(IMB) 24之位址及資料導體；一個或多個匯流排；(3)一個或多個接腳/狀態匯流排。此等通道彼此之間亦有相互連接之路徑以使資料在相鄰通道間流動。模組間匯流排之位址及資料導體可接達通道暫存器，控制暫存器及狀態暫存器。根據本發明之一具體實例，匯流排界面電路36-40(見圖1)實施全盤位址解碼，以決定是否該特定IOCM 25-29正在被編址；然而所有局部位址解碼均於每一通道中完成。

定時器匯流排結構

現參看圖2，本發明使用一個或多個定時器匯流排71-72，此等匯流排可經由使用主定時器及從屬定時器匯流控制通道(TBCC) 61-64而被輕易劃分成若干部分，以便增加可傳播至其他通道之時基數目。

IOCM 25-29之此種結構及匯流排結構，提供一種沿

五、發明說明 (14)

定時器滙流排之長度將此滙流排於任何位置以簡易方式劃分之方法。結果，通道由每一定時器滙流排劃分成各別之通道區塊，此等通道區塊由彼等分別之定時器滙流排提供對不同之時基之接達。一定時器滙流排區塊中之通道可用以實施不同功能，且可能不會損失解析度，因為一定時器滙流排區塊中之每一通道，可自此定時器滙流排接收同樣之時基值。

現參看圖2並舉一實例，可發現定時器滙流排71係對應於通道區段之有標號之工作通道及其他通道86，定時器滙流排72係對應於通道區塊之有標號之工作通道及其他通道87。定時器滙流排71用以將時基值傳送至工作及其他通道86，同樣定時器滙流排72用以將時基值傳送至工作通道及其他通道87。

可發現每一定時器滙流排71-72之一端係由一主定時器滙流排控制通道(TBCC)所規畫，定時器滙流排之另一端係由一從屬定時器滙流排控制通道(TBCC)所規畫。例如，定時器滙流排71係由主定時器滙流排控制通道(TBCC) 61所規畫，定時器滙流排71之另一端由一從屬定時器滙流排控制通道(TBCC)所規畫。同樣，定時器滙流排72之一端由一主定時器滙流排控制通道(TBCC) 63所規畫，定時器滙流排72由一從屬定時器滙流排控制通道(TBCC) 64所規畫。主定時器及從屬定時器滙流排控制通道，用以規畫定時器滙流排之每一部份或分段。

現參看圖2，重要者是需認知定時器滙流排71及定時器滙

五、發明說明 (15)

流排72必需使用不同導體，因為彼等需能同時傳送不同組之時基值。然而定時器滙流排71及定時器滙流排72在觀念上可被認為係屬各別之滙流排，換言之，在觀念上彼等可被認為屬於同一全盤定時器之不同部分或分段。關於此點，此全盤定時器滙流排可被認為係用以將全部所需要之時基值傳送至全部所需之工作及積體電路22上之其他通道之滙流排。其關鍵之處為對於必需同時傳送之每一組時基值言，必需使用不同組之定時器滙流排導體。此等各別之導體組可被認為係一全盤滙流排之各別部分或分段。

根據本發明之某些具體實例，一主定時器滙流排控制通道(TBCC)可單獨用以控制一定時器滙流排。僅當由一區塊之時基通道所提供之時基值為二定時器滙流排共同時，方需要一從屬定時器滙流排控制通道(TBCC)。一種代替方式為可使用一主TBCC以取代一從屬TBCC以容許二定時器滙流排共用時基值。例如，參看圖2，如果定時器滙流排72僅需要時基通道81之時基值，則無需從屬TBCC 64。從屬TBCC 64用以將得自時基通道82之時基值提供予定時器滙流排72。從屬TBCC 64由主TBCC 63所控制。

可注意到本發明之代替性具體實例於耦合至一定時器滙流排中可包括較少，較多，或不同之通道。例如，工作及其他通道86及87可包括得自現有通道庫之較多，較少，或不同之工作通道或其他通道。

當定時器系統由模組化通道以積木塊方式組成時，分段

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

之定時器滙流排結構對於定時器系統之不同部分，可以簡易方式於沿定時器滙流排長度之任何位置提供多個或不同之時基，且可能不會犧牲解析度。

舉例而言，於一典型之定時器系統中，工作及其他通道86可能需要接達具第一預定解析度之某些時基，而工作通道及其他通道87可能需要接達與通道86相關之若干相同時基，另加具第二預定解析度之額外時基。本發明可於遍及每一IOCM 25-29處依需要劃分全盤定時器滙流排。因此，對應於每一個別定時器滙流排(例如71及72)之通道均接收彼等所需之時基，在可能不會犧牲解析度情況下，實施彼等所規定之功能。

同樣，當定時系統中定時器滙流排由於需支援之功能數目很多而可能為很長時，本發明提供一種劃分定時器滙流排之方式，以便對定時器滙流排每一部分確使有足夠之驅動能力。

於本發明中，定時器滙流排自一定時器通道(例如圖2中時基通道80中之一通道)接收一時基值及提供此時基值予一個或多個工作及其他通道(例如圖2中之工作及其他通道86)。由於可同時提供時基值予多個工作及其他通道，故可於工作與其他通道之間保持相干性。

根據本發明之一具體實例，其定時器滙流排為一分時多工滙流排，此滙流排可容有8個時基通道以提供高達8個不同之時基值，此等時基值於同一定時器滙流排上以分時多工方式供應。於本發明之代替性具體實例中，定時器滙

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

流排可不予以分時多工處理或可予以分時多工處理成不同數目之時間段。

現參看圖2，根據本發明之一具體實例，主定時器匯流排控制通道(TBCC) 61自一個或多個時基通道80及一個或數個時基通道81中選出通道，以其能提供於定時器匯流排71上驅動之時基值。如果主TBCC 61選擇時基通道80中例如定時器通道91之一通道，則主TBCC 61以定時器通道91所提供之時基值驅動定時器匯流排71。但是如果主TBCC 61選擇時基通道81中例如定時器通道92之一通道，則從屬TBCC 62以定時器通道92所提供之時基值驅動定時器匯流排71。因此，僅有主TBCC選擇時基通道以其提供時基值；但是主TBCC與從屬TBCC二者均可自時基通道接收時基值及可以該時基值驅動此定時器匯流排。

根據本發明之一具體實例，每一主TBCC提供所有控制予相對應之從屬TBCC。每一主TBCC中之控制暫存器儲存位元，例如TBCC 61中之控制暫存器儲存位元68及TBCC 63中之控制暫存器儲存位元69)，係用以於定時器匯流排之8個分時多工窗中之每一窗期間，控制何者時基選擇信號為有用。主TBCC之時基選擇信號用以選擇作用時基，以其經開控通過主TBCC(得自時基通道80)或從屬TBCC(得自時基通道81)而至對應之分時多工定時器匯流排71。

參看圖2，時基選擇信號50因此必需自主TBCC 61跨

五、發明說明 (18)

越至與主TBCC 61相關之時基通道80，然後自主TBCC 61跨越工作與其他通道86而至從屬TBCC 62及其相關時基通道81。此外，時基選擇信號50由工作與其他通道86使用，以決定那一個時基實際上在定時器滙流排71上產生作用，以便知道何時實施例如匹配或捕捉之某些操作。因此，時基選擇信號50可有效將標記值自主TBCC 61傳送至工作及其他通道86，傳送至時基通道80及至時基通道81。由時基選擇信號50所傳送之標記值可指示何者時基現可用於定時器滙流排71上。

根據本發明之一具體實施例，圖2中例示每一通道具有一個或多個使用者可程式規劃之通道暫存器260(見圖13)。不同型式之通道可有若干相同之暫存器，亦可有若干不相同之暫存器。

參看圖2及圖13，根據本發明之一具體實例，通道80，81及86中之每一通道，連同通道61及62中之每一通道，均有一個或多個耦合至如圖13中所例示之暫存器260。

參看圖13，通道控制暫存器260之一部分264儲存一使用者程式規劃之標記值，此標記值可依需要予以編碼。如果此標記值係經編碼，此經編碼之標記值即送至一解碼器261，解碼器261於其輸出處提供一經解碼之標記值。然後使此經解碼之標記值與時基選擇信號50所提供之標記值相比較。如果經解碼之標記值藉時基選擇信號50而被驅動，則匹配信號263即經斷言，以對通道提出指示，指示通道將需提供一時基值予定時器滙流排(用於時基通道)

五、發明說明 (19)

或自定時器滙流排接收時基值(用於工作通道或其他通道)。

根據本發明之一代替性具體實例，通道控制暫存器260之部分264中所儲存之標記值未經編碼。因此無需解碼器261。此時，部分264直接耦合至多工器(MUX)電路262之控制輸入。部分264用為MUX電路262之控制輸入，以選擇一時基選擇信號50以其用為匹配信號263，而提供於其輸出處。

本發明之定時器滙流排結構支援以下功能。第一，定時器滙流排結構可沿其長度之任何位置實施分段。第二，其可使一對定時器滙流排控制通道(TBCC)，亦即一主TBCC及一從屬TBCC，用以控制定時器滙流排之分段。第三，其可使同樣之時基通道(例如圖2中之時基通道81)。以同時提供同樣之時基通道予二不同之定時器滙流排分段(例如定時器滙流排71及72)。

第四，本發明之定時器滙流排結構可使每一定時器滙流排分段分割成N個分時多工定時窗。第五，此定時器滙流排結構可支援使用者可程式規劃性，以於每一定時器滙流排分段之N個定時窗中之每一定時窗期間，選擇被驅動之M個時基值中任何一個時基值。舉例而言，圖2中之時基通道81可包括各種不同數目之時基通道(例如定時器通道92及定時器通道95)。每一時基通道可提供一個或多個時基值予定時器滙流排71，定時器滙流排72，或同時提供予定時器滙流排71及72。數字N及M為正整數。

五、發明說明 (20)

例如參看圖2，根據本發明之一具體實例，時基通道81可提供5個時基值(即 $M=5$)，其中定時器通道92提供二時基值“A”及“B”，定時器通道95提供三時基值“C”，“D”，“E”；定時器滙流排71及定時器滙流排72可各自經分時多工處理而成8個定時窗(即 $N=8$)。定時器滙流排71之8定時窗可驅動下列時基值：A, D, A, B, A, D, A, C，此等時基值當然再就隨後之定時器滙流排71之8定時窗而重複。在另一方面，定時器滙流排72之8定時窗可驅動下列時基值：B, D, B, D, B, D, B, D，此等時基值當然再就隨後定時器滙流排72之8定時窗而重複。在第二及第六定時窗期間，定時器滙流排71及定時器滙流排72驅動由定時器通道95所提供之同一時基值“D”。

圖15例示在一定時器滙流排(例如圖2中之定時器滙流排71)之不同時間槽期間，可以選擇方式提供一個或多個時基值(即TB1, TB2, TB3, TB4, TB5, TB6, TB7及TB8)。每一時基通道80提供時基值TB1至TB8中之一時基值。每一時基通道80均有可程式規劃之暫存器儲存位元264(見圖13)，此等位元用以儲存標記值。對於有時基選擇信號於其間驅動一標記值，且此標記值係與一時基通道中之可程式規劃之標記值相匹配之每一時槽言，該時基通道將驅動時基源滙流排271(見圖14)，因此以其時基值(即時基值TB1至TB8中之一時基值)驅動定時器滙流排71。

可注意到根據本發明之一代替性具體實例，時基通道可

五、發明說明 (21)

就每一各別之時基值(TB1至TB8)具有一組可程式規劃之暫存器儲存位元264，此通道能將此等時基值供應至定時器滙流排71。每一組可程式規劃之暫存器儲存位元264可藉寫入(例如自圖1中之CPU 13)儲存位元264而被程式規劃。根據本發明之代替性具體實例，標記儲存位元264可經遮蔽程式規劃，因此其可在I/O積體電路22製造期間一次以程式規劃成一固定之預定值。

可注意到，除去時基通道81之外，時基通道80亦可由使用者規劃以對定時器滙流排71提供一個或多個時基值。在同樣情況下，除去時基通道81之外，時基通道82亦可由使用者規劃，以對定時器滙流排72提供一個或多個時基值。因此可供選擇及於定時器滙流排71上被驅動之時基值之總數，係為由時基通道80及時基通道81所提供之時基值之和。在同樣情況下，可供選擇及於定時器滙流排72上被驅動之時基值之總數，係為由時基通道81及時基通道82所提供之時基值之和。

本發明之定時器滙流排結構尚有更多之功能。第六，本發明之定時器滙流排結構使用主定時器及從屬定時器滙流排控制通道(例如圖2中之TBCC 61及62)，以控制對於多個時基值之開控而將彼等送至一共用定時器滙流排分段(例如定時器滙流排71)。時基選擇信號50包括供時基通道80及81中每一時基通道用之一選擇信號。主TBCC 61選擇一時基通道，以藉於適當定時窗期間斷言一時基選擇信號50而使此通道經開控而進入定時器滙流排71。

五、發明說明 (22)

第七，本發明之定時器滙流排結構可使工作通道及其他通道86監視時基選擇信號50，以決定時基通道中何者現在正提供時基值予定時器滙流排71。因此，每一工作通道及其他通道86均能決定何時實施彼等各別之操作，此等操作例如匹配或捕捉定時器滙流排71之經選定之時基值。工作通道及其他通道86於適當時間，由時基選擇信號50決定，而自定時器滙流排讀取資訊。

時基通道及時基同步

參看圖2，本發明使用一個或多個時基通道(例如81)以產生時基值，此等時基值利用定時器滙流排(例如71, 72)而供應至工作通道及其他通道86及87。IOCM 25-29之結構及滙流排構造(見圖1)將每一IOCM劃分成各別之工作及其他通道之區塊(例如85-87)，此等區塊可接達各種不同之時基通道(例如80-81)。一區塊中之工作及其他通道可被用以實施不同功能、且可能不會使解析度受損，因為在一區塊中之每一工作及其他通道均可自定時器滙流排接收同樣時基值。

根據本發明之一具體實例，時基通道(例如80, 81)可包括下述一個或數個通道：(1)一定時器滙流排控制通道(TBCC)用以提供一定時器滙流排之主控制或從屬控制；(2)一程度時鐘通道(DC)用以提供多達4個時基；及(3)一定時器通道(TC)用以提供可由內部或外部產生之時基。

參看圖2及圖14，根據本發明之一具體實例，每一時基通道80均耦合至時基源滙流排271。時基源滙流排271以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (23)

有如定時器滙流排71一樣經以分時多工處理。每一時基通道80均與儲存於一暫存器部分264中之一使用者程式規劃之標記值相比較(見圖13)。如果發現在匹配,則此通道連同此匹配以此通道之時基驅動時基源滙流排271。未發現匹配之通道在此特定時間間隔中不驅動時基源滙流排271。耦合邏輯270(見圖14)用以於適當時間自時基源滙流排271將次一時基值提供予時基滙流排71。

一複合之資料處理系統(例如圖17中之資料處理系統315)當其使用單一之時基操作時,由於對定時器滙流排驅動能力,定時器滙流排上資料改變之頻率,各種不同定時器系統之實地之設置或者路徑安排之考慮,可能會太大而不易達成其功能。在某些資料處理系統中,可能需要將定時器系統在數個模組之間予以劃分(見圖16)或甚至於積體電路間予以劃分(見圖17)。由於不同技藝之要求,例如電功率輸出驅動器,類比輸入之調整及複合數位電路等之需求,在數個積體電路之間可能需要予以劃分。參看圖17,圖中例示將16位元或32位元時基值分配予一界面積體電路301或功率積體電路,如使用現有之包裝技術用於此等型式之積體電路,將不可能實現。

參看圖16至19,本發明可使二個或多個通道(例如圖16及圖18中主時基通道285及從屬時基通道288)僅使用二信號,一時鐘信號328及一同步信號329,即可同步並且保持於同步狀態。時鐘信號328及同步信號329可經由各別之積體電路(見圖17)或積體電路之不同模組(見圖

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (24)

16)，而於定時器系統之間傳播。主時基通道產生或接收一主時鐘信號，此信號連接至一個或多個從屬時基通道，以確使主時基通道及從屬時基通道於相同時間及速率遞增或遞減。

例如，於圖18中，主時基通道285藉按照系統時鐘信號327之比例換算而產生時鐘信號328。主時基通道285然後提供主時鐘信號328予一個或多個從屬時基通道(例如288)，以確使主時基通道285及從屬時基通道288於相同時間及速率遞增或遞減。根據圖19中所例示之一代替性具體實例，主時基通道304及從屬時基通道310二者均接收同一主時鐘信號348，此時鐘信號在某些本發明之具體實例中與系統時鐘信號327為同一信號(見圖18)。但是，主時基通道304及從屬時基通道310二者均以相同數量按照主時鐘信號348比例換算。因此時基倒數計數器340及時基倒數計數器341均以相同時間及速率遞減。

如果資料處理系統(例如圖17中之315)使用一固定頻率系統時鐘，及如果該系統時鐘可用為主時基通道之一輸入及一個或多個從屬時基通道之一輸入，又如果此同一預先標度分割數值可自主及從屬時基通道之預先標度電路326，346，及350(見圖18及19)中選擇，則該系統時鐘可用為主時鐘信號。此種安排可能省掉必需為主時鐘信號加添一新互連導體。如果資料處理系統使用不在時域中之系統時鐘信號或有不規則之頻率，則此主時基通道必需產生主時鐘信號。其要點為所有需予以同步之時基通道(例

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (25)

如圖18中之285及288，圖19中之304及310)必需使用相同頻率及相位之主時鐘信號(例如圖18中之328及圖19中之348)而被定時。

然後需要一同步信號(例如圖18中之327及圖19中之349)以將所有時基通道(例如圖18中之285及288及圖19中之304及310)設定於同樣之初始值，上述之主時鐘信號即自此主時鐘信號遞增或遞減。對於使用一自發計數器之時基通道言，最方便之同步點係為轉入\$0000或\$FFFF之點，惟需視是否為一前數計數器或倒數計數器而定。對於模數時基言，模數值裝入計數器之點為最便利之同步之點(見圖19)。

選擇此等同步點之原因為主時基通道(例如圖18中之285及圖19中之304)業已具有所需之檢測電路(例如圖18中之330及圖19中之351)，此檢測電路係為其他同途所需。此外，位於此等選定之同步點之時基值係可以獲得或易於由所有從屬時基通道產生(例如對倒數計數器言為\$0000，對前數計數器言為\$FFFF，對模數計數器言為模數值)。主時基通道用以檢測同步點之發生及產生同步信號。同步信號然後提供予一個或多個從屬時基通道，於此等通道中，同步信號用以於同一時間將所有時基值重設定於同一數值。

一旦每一時基通道中之計數器(圖18中之320及321及圖19中之340及341)業已重設定於同一數值並且由具有同一頻率及相位之主時鐘信號定時，計數器應就所有計數

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (26)

值維持同步。如果有一時基值突然由於雜訊或其他干擾而使之失去同步時，其將於次一同步點再由同步信號予以重新使之同步。

本發明因此可使不同 I/O 控制模組 (IOCM) 281-284 (見圖 16) 中之時基通道或不同之積體電路 300-302 (見圖 17) 上之時基通道產生及使用經同步並且為相關之時基值。由於電路負荷之限制，對於能耦合至同一定時器滙流排 71，以便自時基通道 80 及 81 接收時基值之工作通道及其他通道 (例如圖 2 中之 86) 之數目遂有一上限。本發明因此可使不同 IOCM 中或不同積體電路上之時基通道提供經同步並且為相關之時基值予耦合至不同定時器滙流排之工作通道及其他通道之不同區塊。此種加添定時器通道至週邊積體電路 (例如圖 17 中之 301 及 302)，而同時可使用最少之積體電路接腳之能力，具有其重要性。

參看圖 16，可注意到根據本發明之一具體實例，在定時器系統積體電路 280 中之 TOCM 281 可包括圖 2 中例示之所有電路。在同樣情況下，在定時器系統積體電路 280 中之 IOCM 284 可包括圖 2 中例示之所有電路之重複電路。IOCM 281 及 IOCM 288 除去包括模組間滙流排 24 之外 (見圖 1)，可能尚包括全盤通道通訊滙流排 200 (見圖 10)，主時鐘信號 328，及同步信號 329，此外不需要任何其他耦合於彼等之間傳送資訊之導體。

可注意到有關此同步時基通道方面，“主”與“從屬”二詞係用以指出時基通道中何者提供同步信號 (主) 及時基通

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (27)

道中何者接收同步信號(從屬)。“主”與“從屬”二詞在有關主與從屬定時器滙流排控制通道方面具有不同意義，在主與從屬接腳控制通道方面亦有不同意義。但是一般而言，“主”一詞指示提供較多控制信號之電路，而“從屬”一詞指示提供較少控制信號電路或自主電路接收其較多控制信號之電路。

接腳/狀態滙流排結構

參看圖1及2，接腳/狀態滙流排75-77與定時器滙流排71及72為可予以擴充之模組型式或可予以分割以產生傳送不同信號之各別之滙流排型式。本發明使用一個或多個接腳/狀態滙流排75-77，此等滙流排經由使用接腳控制通道(PCC) 51-53而以簡便方式分割成各別之滙流排或區段。

接腳/狀態滙流排75-77用以於IOCM 25中之通道之間傳送資訊。在本發明之某些具體實例中，可使用一個或多個接腳/狀態滙流排(例如77)以將資訊自一IOCM(例如25)傳送至一不同之IOCM(例如26)。此外，接腳/狀態滙流排75-77可用以於積體電路接腳33與IOCM 25中之一個或多個通道之間傳送資訊。積體電路接腳31-35用以接收及提供I/O積體電路22外部之資訊。每一IOCM 25-29具有一個或多個接腳/狀態滙流排，以於諸IOCM通道之間或於IOCM通道與一個或多個積體電路接腳31-35之間傳送資訊。

根據本發明之某些具體實例，接腳/狀態滙流排75-77

五、發明說明 (28)

係用以供通道影響及控制其他耦合至此同一接腳/狀態滙流排之通道。接腳/狀態滙流排75-77亦用以供通道影響及控制輸出積體電路接腳之邏輯位準及用以使通道受到輸入積體電路接腳之邏輯位準之影響或控制。

根據本發明之一具體實例，每一接腳/狀態滙流排(例如圖2中之75-77)能達到四項主要目的：(1)指示一個或多個經程式規劃為輸入之積體電路接腳之邏輯位準；(2)決定一個或多個經程式規劃為輸出之積體電路接腳之邏輯位準；(3)對一個或多個通道充任一輸入事件源；及(4)充任一個或數個通道之一輸出事件之目的地。

由CPU 13寫入通道中之資料之相干性(Coherency)(見圖1)為一重要需求。使用接腳/狀態滙流排可確保有此相干性。此等滙流排可提供通道間之同時控制，通道之操作因此可彼此同步。由於CPU 13亦可利用接腳控制通道中之控制暫存器而影響此等滙流排，通道操作可與CPU 13操作同步。結果，使用CPU 13可確保通道資料有一致相干之存取。

IOCM 25-29之結構及滙流排構造可提供一種簡易方法將接腳/狀態滙流排於沿其長度之任何處予以劃分。結果，可將通道分割成各別之通道區塊，此等區塊可接達不同之積體電路接腳。區塊中之每一通道可自多個或一個積體電路接腳處提供或接收資訊，或不自此等接腳提供或接收資訊。此外，於一區塊中可有多於一個通道自此同一積體電路接腳接收資訊或提供其資訊。參看圖2，可注意到

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (29)

將通道分割成可接達不同接腳/狀態滙流排75-77之各別區塊，係與將通道分割成可接達不同之定時器滙流排71-72之各別區塊無關。

參看圖2，例如可注意到接腳/狀態滙流排75對應於有標號57之通道之區塊，而接腳/狀態滙流排76對應於有標號58之通道之區塊。接腳/狀態滙流排75用以於通道57之間傳送接腳及(或)狀態資訊，在相同情況下，接腳/狀態滙流排76係用以於通道58之間傳送接腳及(或)狀態資訊。

此種接腳控制通道與定時器控制通道(例如圖2中之61-64)不同之處為其不屬於“主”與“從屬”型式。而係每一接腳控制通道需負責控制與其對應之接腳/狀態滙流排。例如，於圖2中，接腳控制通道51控制接腳/狀態滙流排75，接腳控制通道52控制接腳/狀態滙流排76；接腳控制通道53控制接腳/狀態滙流排77。

然而，如圖3所例示，接腳控制共用邏輯106可用以將接腳/狀態滙流排118之一個或多個導體耦合至接腳/狀態滙流排119。因此可能形成一擴展之接腳/狀態滙流排(118，119)。例如，接腳控制共用邏輯106可用以連接接腳/狀態滙流排118及接腳/狀態滙流排119，因此滙流排118及119之一個或多個導體可傳送同一數值或信號。結果，接腳控制共用邏輯106使一部分或全部接腳/狀態滙流排118及119有效連接或擴展成一滙流排，此滙流排傳送同樣信號並且於可能為二倍之通道與二倍之積體電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (30)

接腳之間傳送同樣資訊。

參看圖3，例示於圖3中之IOCM 26之部分包括4個接腳/狀態匯流排116-119。接腳/狀態匯流排116由接腳控制通道109控制並且不傳送任何資訊予任何其他接腳/狀態匯流排。接腳/狀態匯流排117由接腳控制通道108控制並且不傳送任何資訊予任何其他接腳/狀態匯流排。接腳/狀態匯流排118由接腳控制通道105控制及經由接腳控制共同邏輯106而傳送資訊予接腳/狀態匯流排119及(或)自匯流排119傳出資訊。接腳/狀態匯流排119由接腳控制通道107控制及經由接腳控制共用邏輯106而傳送資訊予接腳/狀態匯流排118及(或)自匯流排106傳出資訊。

根據本發明之一具體實例，每一接腳/狀態匯流排(例如118)有8個用以傳送接腳資訊(例如112)之導體，另有8個可個別以程式規劃以傳送接腳資訊或狀態資訊(例如113)之導體。接腳控制通道105中之控制暫存器儲存位元120，用以就每一接腳/狀態資訊導體113而以選擇方式決定是否導體將於通道123與一個或多個積體電路接腳110之間傳送接腳資訊，或者是否導體僅於通道123之間傳送狀態資訊。在同樣情況下，接腳控制通道107中之控制暫存器位元122，用以就每一接腳/狀態資訊導體115而以選擇方式決定，是否導體將於通道125與一個或多個積體電路接腳111之間傳送接腳資訊，或是否導體僅於通道125之間傳送狀態資訊。

接腳控制共用邏輯106中控制暫存器儲存位元121之一

五、發明說明 (31)

部分，係用以控制接腳/狀態匯流排118及接腳/狀態匯流排119之導體之間之選擇性耦合。根據本發明之一代替性具體實例，供接腳控制共用邏輯106之控制暫存器儲存位元121之一部分，可予以複製及在實際上置於接腳控制通道(PCC) 105及107二者之電路中以作為其中的一部分。可能需要一遮蔽選擇改變，以啟動在二PCC 105及107中之一PCC之控制暫存器儲存位元121之該部分。

例如可使用一遮蔽選擇改變，以啟動PCC 105中之控制暫存器儲存位元121之一部分，同時PCC107中之控制暫存器儲存位元121之複製部分則使其成待用狀態。PCC 105中之控制暫存器儲存位元121之經啟動部分，因此耦合至接腳控制共用邏輯106及用以控制接腳控制共用邏輯106，在另一方面PCC 107中之控制暫存器儲存位元121之待用複製部分，不耦合至接腳控制共用邏輯106，及對於接腳控制共用邏輯106不產生影響。根據本發明之一具體實例，具有控制暫存器儲存位元121之經啟動部分之PCC 105被視為“主”PCC，而具有控制暫存器儲存位元121之待用部分之PCC 107被視為“從屬”PCC。

參看圖2，重要者為瞭解接腳/狀態匯流排75-77需各自使用不同之導體，因為彼等需各自能同時傳送一不同組之接腳/狀態值。然而，接腳/狀態匯流排75-77在概念可視為各別之匯流排；此等匯流排或者在概念上亦可視為同一全盤接腳/狀態匯流排之不同部分或區段。有關此點，此全盤接腳/狀態匯流排，可被視為將所有必需之接腳/狀態

五、發明說明 (32)

數值傳送至所有必需之通道及積體電路22上所有必需之接腳。其重點為對必需同時傳送之每一組接腳/狀態數值而言，必需使用一不同組之接腳/狀態匯流排導體。此等各別組之導體可視為各別之匯流排或可視為一全盤匯流排之各別部分或區段。

可注意到本發明之代替性具體實例，可包括耦合至一接腳/狀態匯流排之通道之每一區塊中較少，較多，或不同之通道。例如參看圖2，通道57及58可包括得自現有可用通道庫中較多，較少，或不同之通道。

根據由積木塊形式之模組化通道所構成之一定時器系統，經劃分之接腳/狀態匯流排結構，係使用一種簡易方法，沿此接腳/狀態匯流排之任何位置，提供不同組之接腳/狀態資訊予定時器系統之不同部分，且可能不會犧牲解析度。

例如，於一典型之定時器系統中(見圖2)，通道58可能需要於彼此之間交換資訊，及可能需要接達由控制通道52所控制之積體電路接腳(未示於圖中)，同時通道57亦可能需要於彼此之間交換資訊，及可能需要接達由接腳控制通道51所控制之積體電路接腳(未於圖中示出)。參看圖3，如果一個或多個通道123需要自一個或多個通道125提供或接收資訊，則必需將接腳控制共用邏輯106插入接腳控制通道105與107之間，以便使接腳/狀態匯流排118及接腳/狀態匯流排119共用資訊及同時傳送相同組之接腳/狀態數值。本發明就全部每一IOCM 25-29將全盤

五、發明說明 (33)

接腳/狀態滙流排於需要處劃分成區段。因此，對應於每一個別之接腳/狀態滙流排(例如75，76及77)，係用以接收及提供為實施必需之通道功能所需之接腳/狀態資訊。

此外，當定時器系統中之接腳/狀態滙流排，由於需支援大量之功能而可能很長之長度時，本發明提供一種劃分接腳/狀態滙流排之方式，以便確使對接腳/狀態滙流排之每一部分均有充分之驅動能力。

輸出接腳之適應性AND操作及OR操作

圖3中所例示之接腳/狀態滙流排之特別實例僅為一可能之實例，實際上有很多其他實例。圖4例示接腳/狀態滙流排之一代替性具體實例，此實例可容許使用者以邏輯方式將多通道之輸出合併，以決定一輸出接腳之邏輯狀態。

根據圖4中所例示之具體實例，圖1之每一接腳/狀態滙流排75-77分別使用輸入狀態滙流排143-145及分別使用輸出事件滙流排131-133而實施操作。每一輸入狀態滙流排143-145分別包括8接腳導體146，148及150及分別包括8接腳/狀態導體147，149及151。每一輸出事件滙流排131-133分別包括8設定導體134，137及140及分別包括8清除導體135，138及141及分別包括8捺跳導體136，139及142。

輸出事件滙流排132係用以決定接腳195之輸出狀態，此等狀態對應於接腳控制通道52並由此通道所控制。通道58中之各種不同通道使用輸出事件滙流排以影響接腳195之邏輯狀態。每一接腳195耦合至一設定導體137，

五、發明說明(34)

一清除導體138，一捺跳導體139。因此，一特定輸出接腳195之邏輯狀態係由此三導體之邏輯狀態所決定，亦即設定，清除及捺跳，此三導體耦合至該特定接腳。但需注意者，此等設定，清除及捺跳導體對於接腳195無影響，接腳195係由接腳控制通道52配置成輸入。與一接腳相關之設定，清除及捺跳導體，僅當此接腳經配置設計成一輸出接腳時方被使用。

仍然參看圖4，根據本發明之一具體實例，24導體137-139中之每一導體為一連線NOR導體，此等導體能以連線NOR組合成其他導體。根據本發明之一具體實施，工作通道(例如160，161)之一區塊中所有設定導體137均以連線NOR組合在一起。在同樣情況下，工作通道(例如160，161)之一區塊中之所有清除導體138亦均以連線NOR組合在一起。同樣，在工作通道(例如160，161)之一區塊中所有捺跳導體139亦均以連線NOR組合在一起。

現就接腳/狀態滙流排76(見圖4)之操作舉例說明。圖5例示當接腳165經配置成一輸出接腳時，控制積體電路接腳165之輸出狀態之接腳/狀態滙流排76之一部分。設定導體157為例示於圖4中之8設定導體137中之一導體；清除導體158為例示於圖4中之8清除導體138中之一導體；捺跳導體159為例示於圖4中之8捺跳導體139中之一導體。每一導體157-159均為一連線NOR導體，此導體經預先充電至邏輯位準“1”。因此如果匹配通道160之接腳控制電路162於導體171上驅動一邏輯位準“1”，同時匹

五、發明說明 (35)

配通道161之接腳控制電路163於導體168上驅動一邏輯位準“0”，則設定導體157之邏輯位準將為“0”。因此，對於連線NOR導體而言，邏輯位準“0”將具主宰功能。於代替性具體實例中可使用連線OR導體。

接腳控制電路164接收設定導體157，清除導體158，捺跳導體159之連線NOR結果。接腳控制電路164亦經由導體174接收接腳165之現時之邏輯位準。接腳控制電路164使用導體157-159及174之邏輯位準，以便決定結果導體168之邏輯位準，因而再決定積體電路接腳165之次一輸出邏輯位準。

圖6例示由接腳控制電路164之一具體實例所使用之一真值表，以決定結果導體168之邏輯位準，因此再決定積體電路接腳165之次一輸出邏輯位準。結果導體168用以驅動接腳165之輸出邏輯位準。例示於圖6中之真值表界定一項協定，此協定就設定，清除及捺跳導體157-159之所有可能情況決定接腳165之行爲。對於圖中之表言，設定，清除及捺跳導體157-159之斷言狀態為邏輯位準“0”，設定，清除及捺跳導體157-159之求反狀態為邏輯位準“1”。此協定可說明如下：(1)如果捺跳導體159為斷言，捺跳始終會完成並且接腳165變換狀態；(2)如果所有導體157-159為求反、接腳165維持於斷言邏輯位準；及(3)如果設定導體157與清除導體158二者均為確定及捺跳導體159為求反，接腳165維持同樣邏輯位準。代替性具體實例可使用不同之協定及不同之真值表。

五、發明說明 (36)

藉使用具有各別之設定(137)，清除(138)及捺跳(139)導體之一輸出事件滙流排132，本發明能對多通道之輸出實行邏輯操作，且無需服務處理器之干預。此為極為有利及富適應性之特點。

於先前技術中，係需要服務處理器(例如一中央處理單元)干預，以根據多重定時器通道之狀態而啟動定時器輸出接腳邏輯位準改變。服務處理器係經一中斷或某些其他機構而被要求干預。服務處理器識別多重定時器通道之狀態並且產生響應，而於一主定時器輸出接腳產生相對應之邏輯位準之改變。匹配通道之狀態之一實例為例示是否已產生一匹配。

當服務處理器識別出經選擇之通道之狀態時，其即對此等狀態實施比較並對某些有關汽車應用方面產生下述結果中之一種結果：(1)如果所有經選定之通道之狀態為真，設定一輸出接腳；如果所有經選定之通道之狀態為真，清除一輸出接腳；(3)如果任何經選定之通道之狀態為真，設定一輸出接腳；或(4)如果任何經選定之通道之狀態為真，清除一輸出接腳。但是，使用服務處理器以比較各種不同通道之狀態及致使輸出接腳被驅動至適當之輸出邏輯位準，係需要大量之軟體之額外開銷。由於需要服務處理器干預以設定或清除基於多重通道之狀態之精確定時輸出接腳之狀態，因而產生由於服務處理器之執行時間所造成精確定時輸出之定時誤差。

本發明可使定時器通道設計成可實施上述4種型式之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (37)

“邏輯”操作，且無需服務處理器之干預。結果，不會於精確定時輸出中引入由於服務處理器所造成之定時誤差。可予以邏輯方式組合之定時器通道輸出之數目，在理論上僅受限於可用於定時器系統中之通道之總數。

本發明提供例如圖5中接腳165之定時器通道輸出接腳之使用者可程式規劃之邏輯AND操作及OR操作。本發明之一具體實例能使具有多重獨立定時器通道及輸出定時器接腳能以選擇方式配置一子集合通道以控制接腳之狀態，且不會有根據下述演算法中之一之服務處理器之干預：(1)如果所有經選定之通道之輸出狀態為真，設定接腳；(2)如果所有經選定之通道之輸出狀態為真，清除接腳；(3)如果任何經選定之通道之輸出狀態為真，設定接腳；及(4)如果任何經選定之通道之輸出狀態為真，清除接腳。

參看圖5，每一通道均有一個或多個控制暫存器。匹配通道160具有控制暫存器166，匹配通道161具有控制暫存器167，接腳控制通道具有控制暫存器184。圖7例示圖5中之一部分控制暫存器166及一部分控制暫存器167。於一具體實例中，控制暫存器166具有4個接腳選擇控制位元180，以其用以選擇16個積體電路接腳中之1個，控制暫存器167具有4個接腳控制位元181，以其用以選擇16個積體電路接腳中之1個。根據圖5中所例示之本發明之具體實例，接腳選擇控制位元180及181業經由使用者予以程式規劃以選擇接腳165。

同樣，根據本發明之一具體實例，控制暫存器166具有

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (38)

3 接腳輸出激勵控制位元 182，以其用以選擇匹配通道 160 將於輸出接腳 165 處產生之功能。同樣，控制暫存器 167 具有 3 接腳輸出激勵控制位元 183，以其用以選擇匹配通道 161 將於輸出接腳 165 處產生之功能。圖 8 例示可由使用者利用本發明之一具體實例中之接腳輸出激勵控制位元 182 及 183 予以程式規劃之功能。於本發明之代替性具體實例中可就各種不同之控制位元使用較多，較少，或不同之位元編碼。

參看圖 8，由使用者程式規劃之功能可決定當匹配發生時，每一匹配通道 160-161 如何可使設定導體 157，清除導體 158 及捺跳導體 159 產生其功能。例如，如果匹配通道係就使失效功能予以程式規劃，則當匹配發生時，匹配通道 160 對於導體 157-159 將不生影響。如果匹配通道 160 係就上升功能予以程式規劃，當匹配發生時，匹配通道 160 將斷言設定導體 157 (藉於設定導體 157 上驅動一邏輯位準“0”) 歷一時鐘週期。如果匹配通道 160 係就下降功能予以程式規劃，當匹配發生時，匹配通道 160 將斷言清除導體 158 (藉於清除導體 158 上驅動一邏輯位準“0”) 歷一時鐘週期。如果匹配通道 160 係就捺跳功能予以程式規劃，當匹配發生時，匹配通道 160 將斷言捺跳導體 159 (藉於捺跳導體 159 上驅動一邏輯位準“0”) 歷一時鐘週期。

其餘 4 功能為以 AND 操作清除，以 AND 操作設定，以 OR 操作清除，以 OR 操作設定，此等功能可使使用者對於定時器通道之輸出以程式規劃邏輯 AND 操作及 OR 操作。

五、發明說明 (39)

圖9例示藉對於匹配通道160及161之狀態之邏輯AND操作及邏輯OR操作，而於接腳165處所產生之結果之實例。以“T”代表真，以其指示匹配業已發生，以“F”代表假，以其指示匹配未曾發生。如果二匹配通道160及161係就以AND操作設定而予以程式規劃，則當匹配業已發生於匹配通道160與匹配通道161二者中時，接腳165之次一邏輯位準將僅為設定(亦即為一邏輯位準“1”)。因此以AND操作設定意指匹配必需發生於匹配通道160及匹配通道160二者之中，以便設定輸出接腳165。在同樣情況，以AND操作清除意指匹配必需發生於匹配通道160及匹配通道161二者之中，以便清除輸出接腳165。

如果二匹配通道160及161係就以OR操作設定而予以程式規劃，則當匹配業已發生於匹配通道160或匹配通道161中時，接腳165之次一邏輯位準將被設定(亦即邏輯位準“1”)。因此以OR操作設定意指匹配必需發生於匹配通道160及161中之任一通道，以便設定輸出接腳165。在同樣情況下，以OR操作清除意指匹配必需發生於匹配通道160與161中之任一通道，以便清除輸出接腳165。雖然例示於圖9中之實例係使用二匹配通道，但可使用任何數目之通道。

此外，可將各種不同之邏輯AND及OR功能予以組合。舉例而言，例如為計數器通道185之一額外通道可置於匹配通道160與接腳控制通道52之間。此計數器通道185可有控制暫存器187中之接腳選擇位元，暫存器187由使用

五、發明說明 (40)

者予以程式規劃以選擇接腳165。因此計數器通道185可驅動導體157-159。如果匹配通道160及161係就以AND操作設定而予以程式規劃，而計數器通道185係就以OR操作設定而予以程式規劃，在當計數器通道185達到其計數值，或當二匹配通道160及161具有匹配時，接腳165將被設定。本發明可被使用以形成甚至更多之包括各種不同通道狀態之複合之布爾方程式。

參看圖5，設定，清除及捺跳導體157-159本身，由於彼等之連線NOR特性，係在實際上用作實施邏輯AND操作及OR操作。邏輯AND操作及OR操作之如何實施，現將予以說明。根據本發明之一具體實例，設定導體157及清除導體158係用作實施以AND操作清除及以AND操作設定功能；捺跳導體159用作實施以OR操作清除及以OR操作設定功能。

如果匹配通道160係就以AND操作設定而予以程式規劃，則匹配通道160斷言清除導體158直至匹配發生為止。可注意者，設定導體157及捺跳導體159係保持預先充電至求反狀態(即邏輯位準“1”)。當匹配發生時，匹配通道160斷言設定導體157及持續斷言此導體，直至接腳165之邏輯位準改變至邏輯位準“1”(即設定)時為止。可注意到匹配通道160經由輸入狀態滙流排144(見圖4)而接收接腳165之輸出邏輯位準。只要接腳165維持設定，匹配通道160就不會斷言任何導體157-159。接腳165然後可被另一通道清除，或可被匹配通道160清除，如果此通

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (41)

道160業已經軟體重新設計配置。一旦接腳165業已被清除，匹配通道160即再度斷言清除導體158，直至匹配發生為止。

如果匹配通道160係就以AND操作清除而經程式規劃，匹配通道160即斷言設定導體157直至匹配發生為止。可注意到清除導體158及捺跳導體159係保持於預先充電至求反狀態(亦即邏輯位準“1”)。當匹配發生時，匹配通道160斷言清除導體158並且持續斷言此導體，直至接腳165之邏輯位準改變至邏輯位準“0”(即清除)時為止。可注意到匹配通道160經由輸入狀態滙流排144(見圖4)而接收接腳165之輸出邏輯位準。只要接腳165維持清除，匹配通道160就不會斷言任何導體157-159。接腳165然後可被另一通道設定，或可被匹配通道160設定，如果此通道160業已經軟體重新設計配置。一旦接腳165業已被設定，匹配通道160即再度斷言設定導體158，直至匹配發生為止。

如果匹配通道係就以OR操作設定而經程式規劃，匹配通道160即不斷言任何導體157-159直至匹配發生為止。可注意到導體157-159係保持於預先充電至求反狀態(亦即邏輯位準“1”)。接腳165必需由另一通道清除或被一不同設計配置之匹配通道160清除。當匹配發生時，匹配通道160斷言捺跳導體159並且持續斷言此導體，直至接腳165之邏輯位準改變至相反之邏輯位準(即設定)時為止。可注意到匹配通道160經由輸入狀態滙流排144(見圖4)而

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(42)

接收接腳165之輸出邏輯位準。只要接腳165維持設定，匹配通道160就不會斷言任何導體157-159。接腳165然後可被另一通道清除，或可被匹配通道160清除，如果此通道160業已經軟體重新設計配置。一旦接腳165業已被清除，匹配通道160即再度等待，直至匹配發生以斷言捺跳導體159為止。

如果匹配通道係就以OR操作清除而經程式規劃，匹配通道160即不斷言任何導體157-159直至匹配發生為止。可注意到導體157-159係保持於預先充電至求反狀態(亦即邏輯位準“1”。接腳165必需由另一通道設定或被一不同設計配置之匹配通道160設定。當匹配發生時，匹配通道斷言捺跳導體159並且持續斷言此導體，直至接腳165之邏輯位準改變至相反之邏輯位準(即清除)時為止。可注意到匹配通道160經由輸入狀態經由輸入狀態匯流排144(見圖4)而接收接腳165之輸出邏輯位準。只要接腳165維持清除，匹配通道160就不會斷言任何導體157-159。接腳165然後可被另一通道設定，或可被匹配通道160設定，如果此通道160業已經軟體重新設計配置。一旦接腳165業已被設定，匹配通道即再度等待，直至匹配發生以斷言捺跳導體159為止。

可注意到根據本發明之一具體實例，當匹配通道160係等待接腳165產生響應時，發生於匹配通道160中之匹配，係被忽略。於代替性具體實例中，有關一個或多個匹配業已發生之資訊，係經儲存及在隨後可用之時機予以使

五、發明說明 (43)

用，以使接腳165產生效果。

可注意到上述有關圖5中之操作之說明亦適用於其他通道57-58，及適用於圖4中所例示之其他輸出事件匯流排導體131-133。

現將說明例示於圖4中之輸入狀態匯流排143-145之操作。於一具體實例中，輸入狀態匯流排143，144及145各自分別包括8接腳導體146，148及150，亦各自分別包括8接腳/狀態導體147，149及151。因此，每一接腳/狀態匯流排(例如118)具有8導體以其用以傳送接腳資訊(例如112)，及另外8導體以其可以個別程式規劃，以傳送接腳資訊或狀態資訊(例如113)。

於接腳控制通道52中之控制暫存器儲存位元192，係用以就每一接腳/狀態導體149而以選擇方式決定，是否導體將於通道58與一個或多個積體電路接腳195之間傳送接腳資訊，或是否導體僅於通道58之間傳送狀態資訊。在同樣情況下，於接腳控制通道51中之控制暫存器儲存位元，係用以就每一接腳/狀態導體151而以選擇方式決定，是否導體將於通道57與一個或多個積體電路接腳194之間傳送接腳資訊，或是否導體僅於通道57之間傳送狀態資訊。

接腳/狀態導體147，149，151因此可用作對接腳無影響之狀態導體，但可被用為通知其他通道一事件(例如四配)業已發生於一特別通道上。其他通道因此可同時調整彼等根據發生於一特別通道中之事件所產生之行為。當導

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (44)

體149被用為狀態導體時，其可提供一種以硬體鏈結各種不同通道58之方式。在同樣情況下，當導體151被用為狀態導體時，其可提供一種以硬體鏈結各種不同通道57之方式。例如，匹配通道161可藉斷言導體149中之一導體，而提供匹配發生之資訊。因此通道58中一個或多個通道可監視一導體，以決定通道161中何時曾發生匹配。

接腳導體148用以將積體電路接腳195中之現時邏輯狀態傳回通道58，接腳導體150用以將積體電路接腳194中之現時邏輯資訊傳回通道57。更具體言之，每一5接腳導體148將積體電路接腳195中與其對應之一接腳之現時之邏輯位準自此接腳傳回至通道58。同樣，每一接腳導體150將積體電路接腳194中與其對應之一接腳之現時邏輯位準自此接腳傳回至通道57。

因此，本發明可使多重通道(例如圖4中之通道58)提供資訊予同樣之接腳/狀態匯流排導體(例如接腳/狀態匯流排導體76)。結果有多個通道可影響一積體電路接腳(例如一接腳195)之邏輯位準，及有多個通道可以硬休鏈接。雖然上述具體實例可使AND操作及OR操作之邏輯功能予以實施，但本發明之代替性具體實例可實施任何邏輯操作，此包括NOR操作，NAND操作，XOR操作或更複雜之布爾功能。

全盤通道通訊匯流排

參看圖10，根據本發明之若干具體實例中，一全盤通道通訊匯流排200係用以於耦合至不同之接腳/狀態匯流

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (45)

排216-218之通道之間傳送資訊。全盤通道通訊匯流排200之用途為於不同之IOCM 25-29(見圖1)中之通道之間傳送資訊，亦於耦合至不同之接腳/狀態匯流排(例如圖10中之216及217)之一IOCM中之通道之間傳送資訊。此外，根據本發明之若干具體實例中，全盤通道通訊匯流排200經由積體電路接腳223而提供及接收來自輸入/輸出積體電路22(見圖1)外部之資訊。可注意到根據本發明之一具體實例，例示於圖1中之接腳34，可包括接腳213-215及一個或多個例示於圖10中之接腳223。

於先前技術中，局部產生之狀態或控制資訊，係藉一服務處理器而傳送至一個或多個積體電路上之電路之其他功能性區塊。例如，很多控制方面之應用，係使用由一通道所產生之一事件(例如，匹配，捕捉，超時等)以觸發各種不同之動作，以其發生於電路之多個獨立之功能區塊中。此等獨立之電路功能區塊，可在實際上設置於各別之模組上或甚至於設置於各別之積體電路上。

根據先前技術設備，將會需要此單一事件以產生一中斷，將會需中斷服務常式以觸發一動作，以其發生於電路中之每一獨立之功能區塊中。此外，中斷服務常式係藉順序觸發每一動作而操作。

藉使用全盤通道通訊匯流排200(見圖10)而非使用中斷，本發明可使狀態及控制資訊於同時間傳播至所有通道，因此於電路之各種不同獨立功能區塊中之所有動作可同時予以觸發，隨之可於整個資料處理系統10(見圖1)中

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(46)

提供相連貫之全盤信號傳送。

由全盤通道通訊匯流排200(見圖10)所提供之全盤傳播能力，可免除每一次事件發生時需將服務處理器中斷之操作，否則此中斷必需傳送至耦合至不同之接腳/狀態匯流排之各種不同通道。全盤通道通訊匯流排200，較之先前技術之使用服務處理器之方法，會產生較快速之通訊及響應時間，因為中斷服務常式之速度，較之全盤通道通訊匯流排200之傳播速度，一般較慢一等級。

此外，在軟體誤差情況期間，服務處理器一般為不操作。由於服務處理器在非操作情況，很多必需在彼此之間通訊之I/O功能，在無法產生中斷之情況下，必需使之失效。在過去，如果在軟體誤差情況下，必需有一I/O系統實施某些有限度操作，則需要特殊設計之硬體。本發明之傳播配置可省除大部分此特殊硬體，因其電路之獨立功能性區塊可利用全盤通道通訊匯流排200而彼此直接通訊。

再者，本發明之傳播能力，可大量簡化對於資料處理系統10(見圖1)之修改及增添之設計與實施。在很多不同型式之資料處理系統中，IOCM 25-29中之通道，係經配置以實施特定功能或有限數目之功能，故在重新設計配置硬體，以增加原有應用之頻帶寬度或改變用途以從事另一任務方面，頗為困難。由全盤通道通訊匯流排200所提供之傳播能力，可使電路之多重獨立功能區塊(例如IOCM 25-29)彼此通訊，因此增加頻帶寬度及使不同功能跨IOCM邊界實施。

五、發明說明 (47)

參看圖10，全盤通道通訊匯流排用以於耦合至不同之接腳/狀態匯流排216-218之通道間傳送資訊。不同之接腳/狀態匯流排216-217，可置於同一IOCM(例如IOCM 27)中，或不同之接腳/狀態匯流排217-218，可置於不同之IOCM(例如IOCM 26及IOCM 27)中。根據本發明之若干具體實例，全盤通道匯流排200可耦合至一積體電路22(見圖1)上之所有接腳/狀態匯流排。

於代替性具體實例中，全盤通道通訊匯流排200僅可耦合至必需與不耦合至此同一接腳/狀態匯流排之通道通訊之接腳/狀態匯流排。例如，如果通道206中無一通道需要接收或提供資訊予除去通道206之外之任何通道，則無需使接腳/狀態匯流排218耦合至全盤通道匯流排200。

參看圖1，模組間匯流排24係用以自CPU 13讀出及寫入位於外部匯流排界面23中之暫存器及位於IOCM 25-29之通道中之暫存器中之資訊。模組間匯流排24亦傳送例如中斷資訊之系統資訊。模組間匯流排24分別利用一匯流排界面單元36-40而與每一IOCM 25-29形成界面連接。根據本發明之一具體實例，全盤通道通訊匯流排200僅係用為模組間匯流排24之一部分。

然而，根據本發明之代替性具體實例，全盤通道通訊匯流排200有別於模組間匯流排24。全盤通道通訊匯流排200之路徑安排係使之直接連接至每一IOCM 25-29中之接腳控制通道。全盤通道通訊匯流排200係直接與每一接腳控制通道(例如201-203)通訊，而非經由匯流排界面單

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (48)

元36-40而間接通訊。

每一接腳控制通道201-203中之耦合電路220-222分別耦合至一個或多個控制暫存器224-226。舉例而言，控制暫存器224中之控制暫存器儲存位元可由使用者程式規劃，以選擇接腳/狀態滙流排216中那一個或那一些導體耦合至全盤通道通訊滙流排200。因此使用者可選擇那一些通道，將經由控制暫存器229-230及接腳控制電路227-228，而耦合至接腳/狀態滙流排216之那些導體，亦可選擇接腳/狀態滙流排216之那一些導體，將經由控制暫存器224及耦合電路220，而耦合至全盤通道通訊滙流排200之那一些導體。

根據本發明之一具體實例，全盤通道通訊滙流排200之每一導體均為連線OR導體，此導體係由弱下拉裝置(未示於圖中)而拉下至邏輯位準“0”。因此，如果工作通道212利用耦合電路222將一邏輯位準“1”置於全盤通道通訊滙流排200之一第一導體上，同時工作通道210利用耦合電路221將一邏輯位準“0”置於全盤通道通訊滙流排200之同一第一導體上，則全盤通道通訊滙流排200之此第一導體之邏輯位準將邏輯位準“1”。結果，對於連線OR導體言，邏輯位準“1”將為主宰。代替性具體實例可使用連線NOR導體。

參看圖10，根據本發明之一具例，接腳/狀態滙流排(例如216-218)非連線OR亦非連線NOR滙流排。因此，當以通道(例如204-206)接收一傳播之數值時，耦合電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (49)

(例如220-222)自全盤通道通訊匯流排200之導體接收數值，然後以適當數值驅動接腳狀態匯流排(例如216-218)之經選定之導體。同樣，當以通道(例如204-206)提供傳播之數值時，耦合電路(例如220-222)自接腳/狀態匯流排(例如216-218)之適當導體讀取數值，然後以適當數值驅動全盤通道通訊匯流排200。

結果，本發明可容許資料處理系統10(見圖1)之使用者以可程式規劃方式選擇積體電路22上或一不同之積體電路(例如積體電路12)上之一通道或多個通道，以其能提供資訊予全盤通道通訊匯流排200之導體。然後提供予全盤通道通訊匯流排200之資訊，以同步方式傳播至使用者業已於積體電路22上或一不同之積體電路(例如積體電路12)上之所有通道，且未有服務處理器之干預。

因此本發明提供一種以同步方式將信號或資訊全盤傳送至資料處理系統10中之所有通道之方式。本發明以適應方式共用電路(例如IOCM 25-29)之多重獨立功能性區塊間之資訊，因此可使IOCM 25-29一起工作及協調彼等所實施之一項或多項功能。此外，本發明減少需由服務處理器服務之中斷之次數及使更多之功能以同步方式在資料處理系統中實施。

圖11例示圖10中之控制暫存器226之一部分之一具體實施例。根據本發明之一具體實施例，全盤通道通訊匯流排200包括8個導體。對於此全盤通道通訊匯流排200之8導體之每一導體言，均有一對應之SFUN(狀態功能控制)

五、發明說明 (50)

暫存器儲存位元250，一SDAT(狀態資料)暫存器儲存位元251，一GLS(全盤/局部選擇控制)暫存器儲存位元252，及一GDO(全盤資料輸出)暫存器儲存位元253。例如，導體246(見圖12)對應於SFUN位元254，SDAT位元255，GLS位元256，及GDO位元257。

SDAT位元251包括代表輸出狀況事件之結果，此結果由全盤或局部通道為達成通道與通道之通訊及通道與CPU之通訊而產生。每一SDAT位元251均由一對應之SFUN位元250所控制。每一SFUN位元250指定一模式，此模式係與對應之SDAT位元251相關。指定於每一SDAT位元251之模式為“硬體控制”模式及“軟體控制”模式。除去SFUN位元250位元250之外，SDAT位元251亦由GLS位元252設計配置。每一GLS位元252控制相對應之SDAT位元251是否代表局部狀態資料或全盤狀態資料。

現舉一實例，參看圖10及圖12，如果SDAT位元255由對應之GLS位元256設計配置為局部及由對應之SFUN位元254設計配置成“硬體控制”，則SDAT位元255包含於導體241上由通道206所驅動之通道輸出狀態事件之結果。如果SDAT位元255由對應之GLS位元256設計配置為全盤及由對應之SFUN位元254設計配置為“硬體控制”，則SDAT位元255包含代表全盤狀態事件之結果之資料，此等事件係於導體246上由位於積體電路22(見圖1)上任何位置之經選定之通道所驅動。SDAT位元255經由

五、發明說明 (51)

導體240提供其資料予通道206。SDAT位元251無法由CPU 13(見圖1)以“硬體控制”模式將資料寫入。

如果SDAT位元255由對應之GLS位元256設計配置成局部及由對應之SFUN位元254設計配置成“軟體控制”，SDAT位元255包括由CPU 13寫入其中之資料，以便模倣導體241之狀態。但是如經設計配置成全盤時，SDAT位元255無法在軟體控制模式下被寫入。SDAT位元255將自導體246表現其全盤狀態。SDAT位元255始終可對導體240提供數值。當SDAT位元255在軟體控制模式情況下，僅在就局部狀態設計配置時，方可由CPU 13寫入資料。如需寫入全盤狀態，GDO位元257被寫入。

當將資料寫入SDAT位元251時，即可能迫使一單一SDAT位元成一新狀態，而不會影響其餘位元。為達成此目的，SDAT位元251及SFUN位元250二者必需同時由CPU 13將資料寫入。SFUN位元250之內容決定寫入之資料是否影響SDAT位元251，因為每一SFUN位元250均控制一相對應之SDAT位元251。為能使此資料寫入影響一SDAT位元251，必需以一%“0”寫入SFUN位元250。為能使此資料寫入不影響一SDAT位元251，必需以一%“0”寫入SFUN位元250。在此種方式下，SFUN位元250用以罩蓋對應之SDAT位元251，以便控制位元寫入於特定之SDAT位元251。

參看圖11及圖12，GDO 253包含提供予全盤通道通訊匯流排200之全盤資料。儲存於GDO位元257中之資料由

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (52)

二可能之資源之一提供，即導體241及CPU 13。SFUN位元250及GLS位元256決定導體241或CPU 13是否提供資料予GDO位元257。

當GLS位元256係經設計配置成全盤狀態。GDO位元257用以提供一全盤狀態值予導體246。GDO位元257藉驅動全盤狀態值至導體246之上，而以軟體控制模式及硬體控制模式二者提供全盤狀態值。如果GDO位元257由對應之SFUN位元254設計配置成軟體控制，則CPU 13能更新儲存於GDO位元257中之全盤狀態值。如果GDO位元257由對應之SFUN位元254設計配置成硬體控制，則僅有導體241可更新儲存於GDO位元257中之全盤狀態值。

當GLS位元256經設計配置成局部狀態時，GDO位元257不用為提供全盤狀態予導體246。GDO位元257不能由CPU 13寫入。GDO位元257僅可由導體241更新。

參看圖3，可注意到將接腳110之一(對應於PCC 105)耦合至接腳/狀態資訊導體115之一(對應於在一對中之另一PCC 107)之能力，可容許使用者將全盤通道通訊匯流排200之通道輸出提供至一輸出接腳110。因此輸出事件可由積體電路22上之任何通道(見圖1)而產生並經由全盤通道通訊匯流排200而送至任何輸出接腳31-35。根據本發明之一具體實例，一輸入接腳110之邏輯位準並不反映於接腳/狀態資訊導體115之上，因此接腳輸入不能經由全盤通道通訊匯流排200而以全盤方式傳送。根據本發明

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (53)

之一代替性具體實例，一輸入接腳110之邏輯位準能反映於接腳/狀態資訊導體115之上，因此接腳輸入可經由全盤通道通訊匯流排200而以全盤方式傳送。

於本發明之一具體實例中，GDO位元253可由CPU 13於任何時間讀出，但僅當設計配置成軟體控制模式之全盤狀態時，方可由CPU 13寫入。

參看圖11及12，每一SFUN位元250均可以選擇模式，亦即為每一相對應之SDAT位元251及GDO位元253，選擇軟體控制模式或硬體控制模式。CPU 13可於任何時間對GLS位元257讀取及寫入。

參看圖11及圖12，每一GLS位元252均用以選擇相對應之一SDAT位元251是否為局部或全盤狀態。儲存於SDAT位元251僅於局部接腳/狀態匯流排(例如圖10中之218)上傳送，此匯流排由局部接腳控制通道(例如圖10中之203)所控制。儲存於GDO位元257中之全盤狀態值，可由全盤通道通訊匯流排200或局部接腳/狀態匯流排(例如圖10中之218)提供。CPU 13可於任何時間對GLS位元252讀取及寫入。

參看圖12，可注意到SDAT位元255可藉相對應之GLS位元256而被個別設計配置成全盤或局部。當導體241經設計配置成全盤時，即提供一全盤狀態值予GDO位元257，而不會提供予SDAT位元255。GDO位元257為全盤狀態值源，利用導體246將此狀態值提供予全盤通道通訊匯流排200。連線OR導體246之合成邏輯位準(即全盤

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (54)

狀態值)儲存於SDAT位元255中。此全盤狀態值被驅動至導體240之上而達到通道206(見圖10)。

可注意到根據本發明之一具體實例，有一全盤定時器匯流排(未示於圖中)係耦合至每一定時器匯流排控制通道(例如圖2中之61及63)，以便將一個或多個時基值傳送至積體電路22(見圖1)上各種不同之定時器匯流排(例如圖2中之71及72)。此全盤定時器匯流排(未示於圖中)之功能操作方式與全盤通道通訊匯流排200相類似。根據本發明之一代替性具體實例，此全盤定時器匯流排不被使用。取代之方式為如果各別之IOCM 25-29需要相同之時基值，產生所需時基之時基通道(例如圖2中之程度時鐘通道)係複製於多重IOCM 25-29中。

通道間資料傳送

在“矽通道館”中，有許多可以程式規劃以實施資料傳送操作之通道。在資料傳送操作方面，資料可自一上方相鄰通道(例如圖20中之400)之資料暫存器傳送至通道本身(例如401)之資料暫存器，然後自通道本身(例如401)之資料暫存器傳送至下方相鄰通道(例如402)之資料暫存器。藉將通道中之控制暫存器位元予以程式規劃，即可形成及使用堆疊及先進先出二種結構。根據本發明之一具體實例，支援通道間資料傳送之工作通道包括：(1)匹配通道；(2)捕捉通道；(3)前數計數器通道。於一具體實例中，雙向計數器通道亦可用為某些資料傳送設備。

根據本發明之一具體實例，有三種基本型式結構可使用

五、發明說明 (55)

支援資料傳送操作之通道予以構成：(1)堆疊，其為用作收集若干時基值或計數操作值之有用結構；(2)先進先出 (FIFO)，使用儲存於FIFO結構中所收集之時基值，多重匹配輸出事件可輸出至接腳或狀態導體，此等輸出事件可為其他通道所用或為I/O積體電路外部之裝置所用(例如圖1中之22)；(3)FIFO亦可用以收集及儲存最近捕捉之時基值或最近之計數操作。

此等型式之堆疊及FIFO資料儲存結構可減少通道所需之服務頻率，因而可減少需由CPU 13響應之中斷之數目(見圖1)。圖20例示相鄰通道400-402間資料傳送操作之一實例。

如圖20中所例示，匹配通道400，捕捉通道401，計數器通道402，各自控制資料自其上部相鄰通道傳送至其自己之資料暫存器。為能控制資料之傳送，一通道資料傳送邏輯(例如407-409中之一邏輯)與上部相鄰通道之資料傳送邏輯相通訊。每一通道之資料傳送邏輯可產生二種型式之輸出事件而送至狀態匯流排414，亦即指示此通道及其上部通道二者均具有有效資料之一輸出事件，及指示此通道及其上部通道二者均具有無效資料。此外，捕捉通道401可使用得自狀態匯流排414之一輸入事件以使在其資料暫存器404中之資料無效。

根據本發明之一具體實例，接腳控制通道(PCC)(例如圖2中之52)具有通過其中之一32位元資料路徑，因此此PCC上部相鄰通道可將資料經由PCC傳送至其下部相鄰

五、發明說明 (56)

通道。通過PCC傳送之資料對於PCC無影響(亦即PCC對於資料傳送無控制並且不儲存於其中通過之資料)。

圖21及圖22例示此電路，此電路包括控制及狀態暫存器儲存電路及需要支援通道中之資料傳送操作(例如捕捉通道401)。圖21例示為16位元資料傳送操作所需之電路，圖22例示為32位元資料傳送操作所需之電路。此32/16位元資料傳送功能，用於資料傳送操作之暫存器位元，相鄰通道間信號之傳送，通道資料傳送邏輯所使用之輸入事件及所產生之輸出事件，將於後文中說明。可注意到控制及狀態暫存器儲存電路係例示於以虛線構成之框中，此係因為彼等在實體上係以一個或多個可由使用者程式規劃之一個或多個暫存器之一部分而設置。亦可注意到清除DVB輸入事件信號僅用於捕捉通道中(例如圖20中之404)。

匹配通道400，捕捉通道401及計數器通道402可經分別設計配置成二完全獨立之16位元之半部通道或一32位元通道，而以資料傳送模式操作。舉例而言，圖21例示設計配置成供16位元資料傳送操作之捕捉通道401，圖22例示設計配置成供32位元資料傳送操作之捕捉通道401。匹配通道400及計數器通道402係經設計配置成供資料傳送以同樣方式操作。

參看圖21，每一16位元所用之邏輯均相同並與其他6位元用之邏輯無關。根據本發明之一具體實例，無需使用一通道之二個經設計供16位元操作之半部通道以相同模式

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (57)

操作。例如，一匹配通道400之上半部可予以設計配置，以與定時器匯流排(例如圖12中之定時器匯流排71)上之一16位元值匹配，此匹配通道400之下半部則可予以設計配置用於16位元資料傳送操作。

參看圖21，用以控制一通道上部16位元之暫存器儲存位元以“0”標示，用以控制一通道下部16位元之暫存器儲存位元以“1”標示(例如DTC0及DTC1)。當一通道(例如401)如圖22中所示經設計配置用為32位元資料傳送操作時，控制此通道之一上部16位元之暫存器儲存位元係用以控制32位元資料傳送。

根據本發明之一具體實例，支援資料傳送操作之通道具有三種不同之暫存器數位欄，以其用以控制資料傳送及提供狀態資訊予CPU 13(見圖1)。此三暫存器位元欄為資料有效位元(DVB)，資料傳送控制位元(DTC)，資料傳送狀態位元(DTS)。根據本發明之一具體實例，每一捕捉通道及每一計數器通道亦使用輸入事件邊緣選擇(IE)位元以控制資料傳送操作。

參看圖21及22，每一資料有效位元(DVB)425-426係由相對應資料傳送邏輯422，429，430以供狀態及控制。DVB作為一狀態位元，係用以指示相對應之資料暫存器中有效或無效資料之存在。DVB作為一控制位元，係用以藉相對應之資料傳送邏輯以控制源自通道上部相鄰通道之資料傳送。

根據本發明之一具體實例，當DVB位元為邏輯位準“1”

五、發明說明 (58)

時，其指示於通道資料暫存器中有有效資料存在。例如，在捕捉通道401中，DVB位元在每當捕捉操作完成時即被設定為邏輯位準“1”，在計數器通道402中，DVB位元在每當計數操作完成時，即被設定為邏輯位準“1”。舉例而言，參看圖20及22，當資料傳送進入資料暫存器404中時(例如自其上部相鄰通道400傳送進入)，捕捉通道資料傳送邏輯430設定其DVB位元425為邏輯位準“1”。

再者，如果CPU 13(見圖1)寫入經設計配置成資料傳送模式之任何通道之資料暫存器中，DVB位元將自動被設定為邏輯位準“1”以指示資料為有效。根據本發明之一具體實例，匹配通道中之DVB位元，在當匹配通道在匹配模式時，亦可藉寫入資料暫存器而被設定為邏輯位準“1”。

根據本發明之一具體實例，當DVB為邏輯位準“0”時，其指示通道資料暫存器中無效資料之存在。例如，在匹配通道400中，DVB位元每當一匹配輸出事件發生時即被清除為邏輯位準“0”。例如，參看圖20及22，當資料自資料暫存器404傳送進入資料暫存器405(下部相鄰通道)時，傳送邏輯409遂將捕捉通道401中之DVB位元425清除成為邏輯位準“0”。一旦資料業經傳送，通道401中之DVB位元425即被清除為邏輯位準“0”以指示此資料不再為有效。

此外，CPU 13可藉將其對應之DVB位元425清除為邏輯位準“0”。為能清除DVB位元425，CPU 13必需讀取

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (59)

在其確定狀態之DVB位元425，然後必需將一邏輯位準“1”寫入DVB位元425。DVB位元425中之一邏輯位準“1”指示在資料暫存器404中之資料為無效。需注意到由於DVB位元為一狀態與控制二者之位元，CPU 13對於DVB位元之清除，如果實施時不小心，可能因資料傳送操作而被重寫。

圖23係就本發明之一具體操作，例示可設定及清除每一用以支援資料傳送操作之通道中之DVB位元(例如圖22中之425)之動作，同時此等通道係經設計而有各自之操作模式。參看圖20及22，當通道402係就資料傳送操作而設計配置時，且當上部相鄰通道之DVB位元(通道401中之DVB位元425)為邏輯位準“1”及通道自己之DVB位元(亦即通道402中之DVB位元)為邏輯位準“0”，一資料傳送即發生。此通道之資料傳送邏輯(亦即通道402中之傳送邏輯)首先將資料自相鄰之通道資料暫存器404複製於通道自己之資料暫存器405中。隨後，上部相鄰之通道之DVB位元(通道401中之DVB位元405)經清除為邏輯位準“0”。最後通道自己之DVB位元使之設定為邏輯位準“1”。

參看圖21及22，資料傳送控制位元423-424用以啟動相對應之資料傳送邏輯422，429，430及使此等邏輯失效。當有一通道之資料傳送邏輯被啟動之後，上部相鄰通道資料暫存器之內容可被傳送進入通道自己之資料暫存器。當通道之DVB位元為邏輯位準“0”及上部相鄰通道之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (60)

DVB位元為邏輯位準“1”時，傳送工作即完成。

輸出事件可於二種模式資料傳送操作情況下產生：(1)傳送資料及當此通道及上部相鄰通道之DVB位元二者均為邏輯位準“1”時，致使一輸出事件產生(此輸出事件指示在此通道與上部相鄰通道中之有效資料之存在及被稱作有效相鄰資料對(VADP)輸出事件)；(2)傳送資料及當此通道與上部相鄰通道中之DVB位元二者均為邏輯位準“0”時，致使一輸出事件^件產生(此輸出事件指示在此通道與上部相鄰通道中之無效資料存在及被稱作無效相鄰資料對(IADP)輸出事件)。

根據本發明之一具體實例，用於此二種模式之目的地(輸出事件導體)及輸出事件型式(上升，下降，捺跳)不能由軟體控制。此二輸出事件以硬體接線連接至狀態滙流排414之同一導體(見圖21及22)，二者均致使捺跳事件發生。

圖24例示資料傳送操作模式，此操作模式為具有資料傳送操作之每一通道中之資料傳送控制位元(DTC)所控制。

參看圖21及22，資料傳送狀態(DTS)位元427-428用為旗標，以指示輸出事件業已由相對應之資料傳送邏輯422，429，430產生。如果DTC=%10及VADP檢測輸出事件係由相對應之資料傳送邏輯產生，則DTS位元設定為邏輯位準“1”。在同樣情形下，如果DTC=%11及IADP檢測輸出事件係由相對應之資料傳送邏輯產生。

五、發明說明 (61)

DTS位元設定為邏輯位準“1”。為能清除DTS位元427，CPU 13必需讀取在其確定狀態之一邏輯位準“1”，然後必需將一邏輯位準“1”寫入DTS位元427。

現將討論使用控制信號以實施資料傳送操作。參看圖21及22，圖中顯示若干資料傳送控制信號，此等控制信號傳送至設計配置成資料傳送操作之一通道之上部相鄰通道或自此上部相鄰通道傳出。此二通道間之三通訊路徑為32/16位元資料導體，讀取信號導體，清除信號導體。32/16位元資料導體用以將資料自上部相鄰通道(例如圖20中之通道400)傳送至此通道自己之資料暫存器(例如通道401中之資料暫存器404)。

讀取信號用以將上部相鄰通道DVB位元之狀態傳送至通道自己之資料傳送邏輯。此種資訊有二種用途。首先，在資料傳送方面，如果上部相鄰通道之DVB位元為邏輯位準“1”及通道自己之DVB為邏輯位準“0”，則資料傳送產生。其次，當此通道經程式規劃以產生一VADP或一IADP輸出事件時，讀取信號用以決定有效或無效相鄰資料對是否存在。

清除信號由上部相鄰通道使用，以當資料業已自上部相鄰通道之資料暫存器傳送至此通道自己之資料暫存器之後，以在有條件之情況下清除其DVB位元。

可注意到於圖22顯示資料傳送通道具有通至下部相鄰通道之三傳送路徑。此等路徑為上述之資料，讀取及清除信號導體。當資料傳送通道所用之電路(例如圖20中之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (62)

400-402)在實體上係置於一積體電路上彼此相鄰之位置時，資料，讀取及清除信號導體之路徑設置，可直接自一通道通至次一相鄰通道。根據本發明之一具體實例，每一資料傳送通道控制自上部相鄰通道至其自己之資料暫存器之資料傳送。本發明之代替性具體實例可使用不同之方式，可使用不同之狀態及控制暫存器位元，可使用不同之資料傳送控制信號，可使用不同電路，以便於一I/O積體電路22(見圖1)中相鄰通道之間傳送資料。

根據本發明之一具體實例，所有資料傳送通道可提供二種型式之輸出事件，即一有效相鄰資料對(VADP)輸出事件與一無效相鄰資料對(IADP)輸出事件。此外，根據本發明之若干具體實例，於資料傳送操作中發揮其功能之捕捉通道及計數器通道，可使用一輸入事件以清除捕捉或計數器通道之自己之DVB位元(見圖21及22)。

參看圖21及22，根據本發明之一具體實例，有效相鄰資料對(VADP)或無效相鄰資料對(IADP)輸出事件信號，係輸出至一硬體接線之狀態線414及產生一捺跳事件。VADP及IADP輸出事件可用中斷CPU 13(見圖1)以指示堆疊已滿或FIFO已空。接腳控制通道(PCC)(例如圖2中之52)監視有VADP/IADP輸出至其處之狀態導體414(例如接腳/狀態匯流排76之一導體)，當有捺跳事件於狀態導體上被識別出來時，此接腳控制通道可經程式規劃以造成一中斷。

捕捉通道或計數器通道之輸入事件邏輯可予以程式規

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (63)

劃，以在資料傳送操作時，使用輸入事件以清除其DVB位元(分別見於圖21及圖22中之清除DVB輸入事件信號431及433)。此種設計規劃有助於使FIFO中底部資料傳送通道之資料失效，如此所有大於下部資料傳送通道之資料數值均向下傳送一通道。

一般用於定時器方面之資料傳送結構有三種基本型式。第一種資料傳送結構為堆疊，以其保存捕捉之時基值或計數操作值。第二資料傳送結構為保存時基值之FIFO，以其用以產生一序列之匹配輸出事件。第三資料傳送結構為保存若干最近捕捉之時基值或最近之計數操作值之一FIFO。本發明可利用資料傳輸能力及一個或多個通道之操作，而使此三種基本型式之資料傳送結構由使用者以程式規劃。

計數操作控制功能

很多基於微控制器之控制應用需要對於目標信號之高度精確之累加測量。例如，圖2中之計數器通道58可用以實施目標信號之累加測量。目標信號可由輸入/輸出(I/O)積體電路22(見圖1)提供或可由I/O積體電路22內部提供。計數器通道58可實施各種不同之計數操作，此種計數操作可藉將預定之控制數值寫入計數器通道58(見圖2)中一個或多個由使用者規劃之控制暫存器儲存位元67中而加以選擇。

例如，參看圖26，作為一第一可程式規劃選擇，計數器通道58可根據當目標信號為“高位準”或當目標信號為

五、發明說明 (64)

“低位準”時，使一計數器值遞增或遞減。其次，計數器通道58可在每當收到目標信號之一作用邊緣時，使一計數器值遞增。此作用邊緣可以程式規劃方式予以選擇，使其為目標信號之上升或下降邊緣。第三，計數器通道58可於目標信號之第一作用邊緣開始，繼續使一計數器值遞增或遞減。第四，計數器通道58可在每當收到目標信號之一作用邊緣時，使一計數值遞減。本發明之代替性具體實例可使用其他計數操作。

在若干控制應用方面，需要一第二通道(例如匹配通道56，捕捉通道55，通道87中之另一計數器通道等)所產生之一第二信號，以符合當用於目標信號之計數操作需啓動時之需要。在先前技術中，如果一計數器通道對於一目標信號在一段時間中實施累加，一第二信號將需以目標信號予以開控或者此第二信號需產生一中斷信號送至一中斷服務處理器。此中斷服務處理器需進行干預以啓動計數器通道中目標信號之計數操作。

同樣，在先前技術中，為使計數器通道中目標信號之計數操作失效，經以目標信號開控之第二信號將予以求反或第二信號將需要產生一中斷信號而送至中斷服務處理器。中斷服務處理器然後即需要干預以使計數器通道中之目標信號之計數操作失效。但是此種先前技術之方法有時會導致計數操作中之累加誤差。

有如圖25中之舉例所例示者，當使用第二信號使計數器通道中之目標信號之計數操作失效時，累加誤差可被引

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (65)

入先前技術中。由於此第二信號在目標信號之下降邊緣之前求反，計數器通道在整數目標信號週期完成之前將停止計數。因此儲存於先前技術計數器通道中之週期累加值低於正確之數值，且其較低之數量即為累加誤差之數量。可注意到圖25及圖26中之指向上方之箭標係表示計數器通道58中之計數器之增量，圖25及圖26之指向下方之箭標表示計數器通道58中之計數器之減量。

仍然參看圖25，先前技術於一段時間(即一“計數窗”)中實施週期累加，此計數窗僅由計數窗信號之斷言及求反而界定。一般而言，第一計數器通道用以對目標信號之事件計數，而第二通道用以產生計數窗信號。第一計數通道接收目標信號及計數窗信號二者。

於圖25所示之舉例中，計數窗信號之斷言狀態為“高位準”並且目標信號之作用邊緣為下降邊緣。

參看圖25中所例示之先前技術週期累加方法，當由第一計數器通道所接收之計數窗信號經斷言之後，第一計數器通道於目標信號之次一作用邊緣啓始處開始計數。第一計數器通道繼續計數，同時計數窗信號維持產生作用。當由第一計數器通道所接收之計數窗信號隨後為求反時，第一計數器通道立即停止計數。因此，如果計數窗信號如圖25所例示未於目標信號之週期邊界處求反時，有時即會產生累加誤差。

然而，本發明可使計數器通道58接收由一第三通道(例如為參看圖2中所示者，匹配通道56，捕捉通道55，通道

五、發明說明 (66)

87中之另一計數器通道等)所提供之一第三信號或由I/O積體電路22之外部之一信號源(見圖1)所提供之一第三信號。此於圖26中標示為“計數停止信號”之第三信號係由計數器58所接收及使用，以決定何時停止計數操作。可注意者，計數器通道58之啓用及使之失效並不需要任何由處理器(例如圖1中CPU 13)所提供之中斷服務。此外，使用一第三信號以控制使計數操作之失效，可使計數操作停止於目標信號之週期邊界，因而可防止任何累加誤差。

增添一第三信號，以其用為一計數停止信號，可提供一種在一時段中，以精確無誤差之情況下，累加目標信號事件之方式。可注意到於先前技術中，第三信號無法由一外部事件或一通道產生，以進一步適合計數操作之失效需要。增添一第三信號可消除對於中斷服務介入之任何需要，及提供一種可於一時段中，以精確無誤差之情況下，累加目標信號事件之方式。

可注意到，根據本發明之某些具體實例，目標信號亦可用作計數停止信號。例如，參看圖25，計數停止情況可予以程式規劃為目標為信號之一特定邊緣。例如，於圖25中，目標信號之下降邊緣係藉將一預定值寫入計數器通道58之控制暫存器儲存位元67中(見圖2)，而被選為計數停止信號。因此當計數窗信號為求反及計數停止事件發生時(即目標信號之下降邊緣發生時)，計數器通道58中之計數操作即停止。計數器通道58在目標信號之第一次

五、發明說明 (67)

下降邊緣時開始計數，此係發生於計數窗信號經斷言之後，計數器通道58在目標信號之第一次下降邊緣時停止計數，此係發生於計數窗信號經求反之後。結果，計數器通道58計算及儲存極為精確之週期累加值，其與先前技術相較，幾乎無累加誤差。

本發明可使基於目標信號之計數操作受到第二信號之狀態限制，如此計數可於由第二信號所界定之“計數窗”期間被啟動，可由第二信號使之失效或由為一第三信號進一步所限制之第二信號使之失效。在某些情況下，目標信號之一邊緣可用為此第三信號。於一具體實例中，計數器通道58中之控制暫存器儲存位元67之一部分(見圖2)係用以選擇是否使用一計數停止信號。再者，控制暫存器儲存位元67之一部分用以選擇使計數操作停止之事件是否為一第三信號(即圖26中例示之一計數停止信號)之事件，圖25中所例示之目標信號之事件，或先前技術中之計數窗信號之事件。在先前技術中，計數窗信號之求反始終用以使計數操作停止。

圖27例示計數器通道58之一部分(見圖2)之一具體實例。計數器暫存器447經雙向耦合至匯流排24。計數器電路440包括一計數器441，一控制電路442，一控制電路443。控制電路442經由導體448而接收一計數窗信號。控制電路443經由導體448而接收一計數窗信號，經由導體449接收一計數停止信號，經由導體450接收一目標信號。控制電路442經由導體導體444提供一計數啟動信號

五、發明說明 (68)

予計數器441，控制電路443經由導體445提供一計數失效信號予計數器441。計數器441亦經由導體450而接收目標信號。計數器441經由導體446提供一計數值。

控制及狀態資訊經由導體而於計數器441，控制電路442，控制電路443之間傳送。舉例而言，控制電路442及443中之一經由導體451提供一資料傳送控制信號予計數器441。當提供予計數器441之資料傳送控制信號經斷言，計數器441經由導體446而將計數值送至資料暫存器447。資料暫存器447可經由匯流排24及可使用讀取及寫入而接達。計數器441經由導體452而接收一時鐘信號。控制暫存器儲存位元67經由導體453而耦合至控制電路442及443。

圖28例示控制暫存器67之一具體實例(見圖2及圖27)之一部分之一具體實例。可注意到有一些暫存器位元可視對於計數器通道58所選之模式而有不同功能。例如，CZO/WTO/DTO位元478，當計數窗模式使之失效時用作計數至零輸出(CZO)位元，當計數窗模式被啓動時用作窗終止輸出(WTO)位元，當資料傳送模式經選定時用作資料傳送輸出(DTO)位元。於一具體實例中，圖28中所例示之控制暫存器位元具有下述功能。

16/8及24/32-16位元，8及24位元，或32位元操作位元469

00-32位元操作

01-雙向組合之8及24位元操作

五、發明說明 (69)

1X-16位元操作

CCS：計數器時鐘選擇位元470

0-使用輸入事件定時之計數器

1-使用時鐘滙流排輸入定時之計數器

DTC：資料傳送控制位元471

0X-計數模式啟動

10-以VADP檢測輸出事件啟動

11-以IADP檢測輸出事件啟動

CLK：時鐘滙流排源選擇位元472

000-111-時鐘滙流排線路0-7

SCC：單一/連續計數操作位元473

0-連續計數操作

1-單一計數操作

CI：計數輸入位元474

0000-0111-接腳線路0至接腳線路7

1000-1111-狀態線路0至狀態線路7

CIEL：計數輸入邊緣或位準位元475

CCS=0

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (70)

X00-失效之輸入

X01-計數上升邊緣輸入事件

X10-計數下降邊緣輸入事件

X11-計數二邊緣輸入事件

CCS=1

000-失效之輸入

001-使用時鐘於上升邊緣處開始

010-使用時鐘於下降邊緣處開始

011-使用時鐘於二邊緣中任一邊緣開始

100-使用時鐘於低位準輸入開始

101-使用時鐘於高位準輸入開始

110-使用時鐘，當輸入為低位準時計數

111-使用時鐘，當輸入為高位準時計數

USI/MTI/CDVI：前數計數停止輸入/

模數傳送輸入/

清除資料有效輸入位元476

0000-0111-接腳0至接腳7

1000-1111-狀態0至狀態7

USIE/MTIE/CDVE：前數計數停止輸入邊緣/

模數傳送輸入邊緣/

清除資料有效邊緣位元477

00-失效之輸入

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (71)

01-於上升邊緣停止計數/傳送模數/清除DVB

10-於下降邊緣停止計數/傳送模數/清除DVB

11-於二邊緣中之任一邊緣停止計數/傳送模數/清除
DVB

CZO/WTO/DTO : 計數至零輸出/

窗終止輸出/

資料傳送輸出位元478

0000-0111-接腳線路0至接腳線路7

1000-1111-狀態線路0至狀態線路7

CZOEL/WTOEL/DTOE : 計數至零輸出邊緣或邏輯
操作/

窗終止輸出邊緣或邏輯操作/

資料傳送輸出邊緣位元479

CZOEL/WTOEL

000-失效輸出

001-輸出一上升邊緣

010-輸出一下降邊緣

011-輸出一捺跳

100-條件AND輸出以設定接腳/狀態

101-條件OR輸出以設定接腳/狀態

110-條件AND輸出以清除接腳/狀態

111-條件OR輸出以清除接腳/狀態

五、發明說明 (72)

DTOE

X00-失效之輸出

X01-輸出一上升邊緣

X10-輸出一下降邊緣

X11-輸出一捺跳

圖29例示控制暫存器67之一部分(見圖27)之一具體實例。於一具體實例中，例示於圖29中之控制暫存器位元具有下述功能。

CM：計數器模式位元480

0-倒數計數模式

1-前數計數模式

CWE：計數窗啓動位元481

00-計數窗失效之操作

01-使用選擇之狀態線路而被啓動

1X-使用得自下方鄰近雙FIFO通道(視適用情況)之輸入而被啓動

註：如果下方鄰近雙FIFO通道不存在並且CWE=1X被選擇，則窗輸入始終爲低位準。

WTOC：窗終止輸出控制位元482

00-計數至零輸出被啓動

窗終止輸出失效

01-計數至零輸出被啓動

用於窗中之第一計數操作之窗終止輸出被啓動

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：具有改良定時器能力之積體電路輸入/輸出處理器)

參看圖1及2，I/O控制模式(IOCM 25-29)具有經由定時器匯流排(71, 72)及接腳/狀態匯流排(75-77)通訊之諸通道。通道(86, 87)由每一定時器匯流排(71, 72)劃分成通道(86, 87)之各別區塊，此等通道可藉彼等分別之定時器匯流排(71, 72)而接達得自時基通道(80, 81)之不同之時基值，因此不會在解析度方面有損失，此係因為於定時器匯流排區塊(例如86)中之每一通道，均可同時自其相對應之定時器匯流排(71)接收同樣之時基值。接腳/狀態匯流排(75-77)可使耦合至同一接腳/狀態匯流排(例如76)之諸通道間有同一時間之控制。接腳/狀態匯流排(71, 72)可以獨立方式予以劃分。

英文發明摘要(發明之名稱：

"INTEGRATED CIRCUIT INPUT/OUTPUT PROCESSOR HAVING IMPROVED TIMER CAPABILITY"

Referring to FIGS. 1 and 2, I/O control modules (IOCMS 25-29) have channels which communicate by way of timer buses (71, 72) and pin/status buses (75-77). Channels (86, 87) are partitioned by each timer bus (71, 72) into separate blocks of channels (86, 87) which are provided with access to different timebase values from timebase channels (80, 81) by their respective timer bus (71, 72), so there is no loss of resolution because each channel in a timer bus block (e.g. 86) can concurrently receive the same timebase value from its corresponding timer bus (71). Pin/status buses (75-77) allow simultaneity of control among the channels (e.g. 58) coupled to the same pin/status bus (e.g. 76). Pin/status buses (75-77) and timer buses (71, 72) can be independently partitioned.