

[19]中华人民共和国国家知识产权局

[51]Int.Cl⁷

H01L 23/52

H01L 21/768 H01L 21/31

[12]发明专利申请公开说明书

[21]申请号 99111369.1

[43]公开日 2000年2月23日

[11]公开号 CN 1245350A

[22]申请日 1999.8.10 [21]申请号 99111369.1

[30]优先权

[32]1998.8.14 [33]JP [31]229708/98

[71]申请人 日本电气株式会社

地址 日本东京都

[72]发明人 横山孝司 宇佐美达矢

[74]专利代理机构 中科专利商标代理有限责任公司

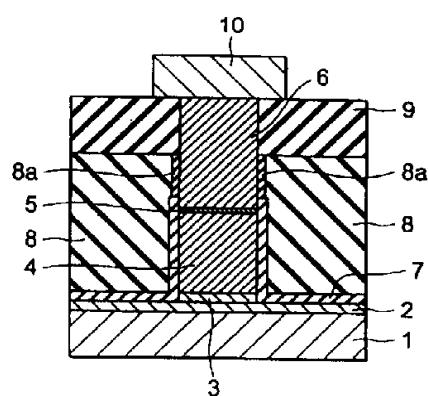
代理人 刘晓峰

权利要求书4页 说明书11页 附图页数9页

[54]发明名称 半导体器件及制造该半导体器件的方法

[57]摘要

在基片上形成一层间绝缘膜，其中包含由具有 Si-H 键或 Si-CH₃键的化学式所表示的介电成分。接着，在该层间绝缘膜上形成一层光刻胶。然后把所述光刻胶构图成为接触孔的形状。此后，通过利用所述光刻胶作为掩模对所述层间绝缘膜进行干法蚀刻。接着，除去所述光刻胶，并且使所述层间绝缘膜暴露于氮等离子体和氢等离子体下。



I S S N 1 0 0 8 - 4 2 7 4

权利要求书

1. 一种半导体器件，其特征在于，包括：
 —半导体基片，
 形成于所述半导体基片上的布线层，
 覆盖所述布线层的氮化膜，以及
 形成于所述氮化膜上的层间绝缘膜，所述层间绝缘膜具有到达所述布线层的开孔，并且包含由具有 Si-H 键的化学式所表示的介电成分。
2. 根据权利要求 1 所述的半导体器件，其特征在于，所述氮化膜是从氮化钛膜和氮化硅膜的组中选择出来的一种。
3. 一种半导体器件，其特征在于，包括
 —半导体基片，
 形成于所述半导体基片上的布线层，
 覆盖所述布线层的氮化膜，以及
 形成于所述氮化膜上的层间绝缘膜，所述层间绝缘膜具有到达所述布线层的开孔，并且包含由具有 Si-CH₃ 键的化学式所表示的介电成分。
4. 根据权利要求 2 所述的半导体器件，其特征在于，所述氮化膜是从氮化钛膜和氮化硅膜的组中选择出来的一种。
5. 一种用于制造半导体器件的方法，其特征在于，包括如下步骤：
 在硅基片上形成一层间绝缘膜，其中包含由具有 Si-H 键的化学式所表示的介电成分，
 在所述层间绝缘膜上形成光刻胶，
 把所述光刻胶构图成为接触孔的形状，
 通过利用所述光刻胶作为掩膜对所述层间绝缘膜进行干法蚀刻，
 除去所述光刻胶，以及
 使所述层间绝缘膜暴露于氮等离子体和氢等离子体下。
6. 根据权利要求 5 所述的用于制造半导体器件的方法，其特征在于，使所述层间绝缘膜暴露于氮等离子体和氢等离子体下的步骤包括在所述

半导体基片所放置的腔体内通入氮气和氢气的步骤，并且所述氢气的体积与所述氮气的体积之比为 2-80 %。

7. 一种用于制造半导体器件的方法，其特征在于，包括如下步骤：

在硅基片上形成一层间绝缘膜，其中包含由具有 Si-CH₃ 键的化学式所表示的介电成分，

在所述层间绝缘膜上形成光刻胶，

把所述光刻胶构图成为接触孔的形状，

通过利用所述光刻胶作为掩膜对所述层间绝缘膜进行干法蚀刻，

除去所述光刻胶，以及

使所述层间绝缘膜暴露于氮等离子体和氢等离子体下。

8. 根据权利要求 7 所述的用于制造半导体器件的方法，其特征在于，使所述层间绝缘膜暴露于氮等离子体和氢等离子体下的步骤包括在所述半导体基片所放置的腔体内通入氮气和氢气的步骤，并且所述氢气的体积与所述氮气的体积之比为 2-80 %。

9. 一种用于制造半导体器件的方法，其特征在于，包括如下步骤：

在硅基片上形成一层间绝缘膜，其中包含由具有 Si-H 键的化学式所表示的介电成分，

在所述层间绝缘膜上形成光刻胶，

把所述光刻胶构图成为接触孔的形状，

通过利用所述光刻胶作为掩膜对所述层间绝缘膜进行干法蚀刻，

除去所述光刻胶，以及

使所述层间绝缘膜暴露于氮等离子体下。

10. 一种用于制造半导体器件的方法，其特征在于，包括如下步骤：

在硅基片上形成一层间绝缘膜，其中包含由具有 Si-CH₃ 键的化学式所表示的介电成分，

在所述层间绝缘膜上形成光刻胶，

把所述光刻胶构图成为接触孔的形状，

通过利用所述光刻胶作为掩膜对所述层间绝缘膜进行干法蚀刻，

除去所述光刻胶，以及

使所述层间绝缘膜暴露于氮等离子体下。

11. 一种用于制造半导体器件的方法，其特征在于，包括如下步骤：在硅基片上形成一层间绝缘膜，其中包含由具有 Si-H 键的化学式所表示的介电成分，

在所述层间绝缘膜上形成光刻胶，

把所述光刻胶构图成为接触孔的形状，

通过利用所述光刻胶作为掩膜对所述层间绝缘膜进行干法蚀刻，

除去所述光刻胶，以及

使所述层间绝缘膜暴露于六甲基二硅烷气体中。

12. 一种用于制造半导体器件的方法，其特征在于，包括如下步骤：

在硅基片上形成一层间绝缘膜，其中包含由具有 Si-CH₃ 键的化学式所表示的介电成分，

在所述层间绝缘膜上形成光刻胶，

把所述光刻胶构图成为接触孔的形状，

通过利用所述光刻胶作为掩膜对所述层间绝缘膜进行干法蚀刻，

除去所述光刻胶，以及

使所述层间绝缘膜暴露于六甲基二硅烷气体中。

13. 一种用于制造半导体器件的方法，其特征在于，包括如下步骤：

有选择地在硅基片上形成一布线层，

在整个表面上形成一层氮膜，

在所述氮膜上形成一层间绝缘膜，其中包含由具有 Si-H 键的化学式所表示的介电成分，

在所述层间绝缘膜上形成光刻胶，

把所述光刻胶构图成为开孔的形状，

通过利用所述光刻胶作为掩膜对所述层间绝缘膜进行干法蚀刻，

除去所述光刻胶，以及

使所述层间绝缘膜暴露于氟等离子体下。

14. 一种用于制造半导体器件的方法，其特征在于，包括如下步骤：

有选择地在硅基片上形成一布线层，

在整个表面上形成一层氮膜，

在所述氮膜上形成一层间绝缘膜，其中包含由具有 Si-CH₃ 键的化学

式所表示的介电成分，

在所述层间绝缘膜上形成光刻胶，

把所述光刻胶构图成为开孔的形状，

通过利用所述光刻胶作为掩膜对所述层间绝缘膜进行干法蚀刻，

除去所述光刻胶，以及

使所述层间绝缘膜暴露于氟等离子体下。

说 明 书

半导体器件及制造该半导体器件的方法

本发明涉及具有层间绝缘膜的半导体器件以及用于制造该半导体器件的方法，其中该半导体器件所要求的属性容易因氧等离子体处理而变坏。特别地，本发明涉及能够恢复属性变坏的半导体器件以及用于制造该半导体器件的方法。

在大规模集成电路 (LSI) 中对信号高速处理的需求逐年增加。在 LSI 中处理信号的速度主要由其晶体管本身的工作速度和在布线中的信号传输延迟时间所决定的。大大地影响现有技术中处理信号的速度的晶体管的工作速度已经通过减小晶体管的尺寸而得到提高。

但是，在具有小于 $0.25 \mu\text{m}$ 的设计尺寸的 LSI 中，基于布线中的信号传输延迟的信号处理速度的降低变得显著。在具有四层布线层以上的多层布线结构的 LSI 器件中，这种影响很大。

因此，近年来作为用于改进布线中信号传输的延迟的方法，现在已经研究出利用具有较小介电常数的氢倍半硅氧烷 (HSQ) 膜或类似薄膜取代常规的硅氧化膜的层间绝缘膜。HSQ 膜是具有某种化学结构的树脂膜，其中硅氧化膜的一部分 Si-O 键被 Si-H 键所代替。该膜被施加到基片上然后被加热和烧结，使其用作为层间绝缘膜。由于几乎全部 HSQ 膜按照与常规硅氧化膜相同的方法由 Si-O 键所构成，该 HSQ 膜具有低的介电常数和高达约 500°C 的热阻。

但是，当用 HSQ 膜用作为层间绝缘膜时，仍然具有在通常的光刻技术和蚀刻技术中用作为形成各种图案的剥除光刻胶的步骤中损坏 HSQ 膜的问题。

通常，在剥除光刻胶的步骤中，用氧等离子体进行处理，从而除去未被剥除的光刻胶的剩余物或者蚀刻的剩余物。因此，用具有包含单乙醇胺或类似物质的湿剥除溶液进行处理。当 HSQ 膜暴露于氧等离子体下

时，其中的 Si-H 键断开并且产生 Si-OH 键。使得该膜包含水分。当 HSQ 膜用湿剥除溶液进行处理时，Si-H 键断开，并且 Si-OH 键产生，这与用氧等离子体进行处理的方法相同。也就是说，在这些剥除步骤中，HSQ 膜包含大量水分。结果，所不希望的是，其介电常数上升。如果 HSQ 膜包含大量水分，这会造成在通孔之间产生泄漏电流的问题。在通过 CVD（化学汽相沉积）或溅射方法于通孔内嵌入的步骤中，在通孔中的嵌入过程由于除气而变得不充分。

下面描述用于制造现有技术中的半导体器件的过程。图 1 为示出在现有技术中的半导体器件制造过程的截面图。

首先在硅基片 51 上形成底层 52。底层 52 包括底层元件，例如晶体管。接着，在底层 52 上有选择地形成阻挡金属层 53。此后在阻挡金属层 53 上形成第一金属布线层 54。在第一金属布线层 54 上形成防反射层 55。接着，通过等离子体 CVD 在整个表面上形成第一硅氧化层 57。接着，通过涂覆机器在第一硅氧化层 57 上形成 HSQ 膜 58。该生成物在热板上进行暂时地烧结，随后在烧结炉中烧结。

在此时，为了避免 Si-H 键分解，通常把氮气或类似气体导入热板的周围，或导入烧结炉中使得 HSQ 膜不与氧或水发生反应。接着，通过等离子体 CVD 或类似方法在 HSQ 膜 58 上形成第二硅氧化膜 59。然后，用构图后的光刻胶蚀刻在防反射层 55 上的硅氧化膜 59 和 HSQ 膜 58。按这种方式，形成通孔。接着，通过用氧等离子体进行处理使光刻胶被剥除。该生成物进一步受到碱-湿溶液的剥除处理以除去蚀刻剩余物等。

如上文所述，此时在 HSQ 膜 58 上暴露于通孔处并受到氧等离子体处理的区域中的 Si-H 键由于氧等离子体处理和用湿溶液进行的剥除处理而变为 Si-OH 键。因此，在这些区域中产生具有增加的介电常数的受损部分 58b。这些受损部分 58b 造成有害的通孔。

另外，有人提出一种方法，用该方法形成 HSQ 膜，然后用惰性气体（例如，氮气或氩气）从表面上对生成物进行处理，以提高 HSQ 膜的强度（日本专利申请公开第 8-111458 号）。

根据公开与上述公报中的现有技术的这种制造方法，HSQ 膜的强度得到提高。因此，即使从形成为 HSQ 膜的下层的金属层向 HSQ 膜施加外

力，也不易产生裂纹。但是，即使用现有技术中的方法也不可能抑制 HSQ 膜的介电常数上升。

本发明的一个目的是提供一种半导体器件，使得可以减小由于氧等离子体处理或类似处理对层间绝缘膜的介电常数升高造成的影响；以及一种用于制造该半导体器件的方法。

根据本发明的一个方面，一种半导体器件可以包括半导体基片、形成于该半导体基片上的布线层、覆盖该布线层的氮化膜、以及形成于该氮化膜上的层间绝缘膜。该层间绝缘膜可以具有到达布线层的开孔并且包含有具有 Si-H 或 Si-CH₃ 键的化学式所表示的介电成分。

在本发明的这一方面中，布线层由氮化膜所覆盖。因此，即使在造成该半导体器件的工艺中，进行氟等离子体处理来降低由氧等离子体处理所升高的层间绝缘膜的介电常数，该布线层也与氟等离子体相隔离。因此，该布线层不受到氟等离子体的腐蚀，从而获得具有低的介电常数的层间绝缘膜。通过降低层间绝缘膜的介电常数。可以使半导体集成电路（例如，LSI）以高速进行工作。

氮化膜可以由氮化钛或氮化硅所构成。

根据本发明的一个方面，一种用于制造半导体器件的方法可以包括如下步骤：在半导体基片上形成包含由具有 Si-H 键或 Si-CH₃ 键的化学式所表示的介电成分的层间绝缘膜、在层间绝缘膜上形成光刻胶、对该光刻胶构图成为接触孔形状，通过利用该光刻胶作为掩膜进行层间绝缘膜的干法蚀刻、除去该光刻胶、并使层间绝缘膜暴露于氮等离子体和氢等离子体下。

使层间绝缘膜暴露于氮等离子体和氢等离子体下的步骤可以包括在半导体基片所分布的腔体内导入氮气和氢气的步骤，氢气体积与氮气体积之比可以为从 2 到 80%。

根据本发明的另一个方面，一种用于制造半导体器件的方法可以包括如下步骤：在半导体基片上形成包含由具有 Si-H 键或 Si-CH₃ 键的化学式所表示的介电成分的层间绝缘膜、在层间绝缘膜上形成光刻胶、对该光刻胶构图成为接触孔形状，通过利用该光刻胶作为掩膜进行层间绝缘膜的干法蚀刻、除去该光刻胶、并使层间绝缘膜暴露于氮等离子体或

六甲基二硅烷气体下。

根据本发明的另一个方面，一种用于制造半导体器件的方法可以包括如下步骤：在半导体基片上有选择地形成布线层、在整个表面上形成氮化膜、在该氮化膜上包含由具有 Si-H 键或 Si-CH₃ 键的化学式所表示的介电成分的层间绝缘膜、在层间绝缘膜上形成光刻胶、对该光刻胶构图成为具有在该布线层上的开孔的形状、通过利用该光刻胶作为掩膜进行层间绝缘膜的干法蚀刻、除去该光刻胶、并使层间绝缘膜暴露于氮等离子体下。

在用于本发明的方法中，即使层间绝缘膜的介电常数在除去该光刻胶时升高，该层间绝缘膜随后暴露于预定的等离子体或六甲基二硅烷气体下。因此，上升的介电常数可以充分地降低。结果，通过降低层间绝缘膜的介电常数，象 LSI 这样的半导体集成电路可以高速工作。

根据本发明，即使进行氟等离子体处理，以降低在制造该器件的工艺中由氧等离子体处理所升高的层间绝缘膜，该布线层也不暴露于氟等离子体下，并且不会受到腐蚀。

图 1 为示出在现有技术中用于而造成半导体器件的方法的截面图。

图 2 为示出根据本发明第一实施例的半导体器件的截面图。

图 3A 至 3E 为按照步骤的次序示出用于制造根据本发明第一实施例的半导体器件的方法的截面图。

图 4 为示出根据本发明第二实施例的半导体器件的截面图。

图 5A 至 5C 为按照步骤的次序示出用于制造根据本发明第二实施例半导体器件的方法的截面图。

图 6 为示出采用包含 Si₃N₄ 的防氟膜的一个实例的截面图。

图 7 为示出根据本发明第三实施例的半导体器件的截面图。

图 8A 至 8E 为按照步骤的次序示出用于制造根据本发明第三实施例半导体器件的方法的截面图。

参照附图，在下文具体描述根据本发明的实施例的半导体器件。图 2 为示出根据本发明的第一实施例的半导体器件的截面图。

在本实施例中，底层 2 形成于硅基片 1 上。在底层 2 上有选择地形成阻挡金属层 3。在阻挡金属层 3 上形成第一金属布线层 4。在第一金属

布线层 4 上形成防反射层 5。在防反射层 5 上形成连接金属层 6。

形成第一层间绝缘膜 7 以覆盖底层 2 的上表面，以及阻挡金属层 3、金属布线层 4 和防反射层 5 的侧表面。第二层间绝缘膜 8 形成于第一层间绝缘膜 7 上，使其具有到达连接金属层 6 中部的厚度。第二层间绝缘膜 8 的电容率小于硅氧化膜的电容率。改变部分 8a 形成在第二层间绝缘膜 8 和连接金属层 6 之间的界面上。第三层间绝缘膜 9 形成在第二层间绝缘膜 8 上，使其具有高达连接金属层 6 的顶部的高度。第二金属布线层 10 形成在连接金属层 6 上，使其扩展到第三层间绝缘膜 9 的一部分上。

第一金属布线层 4 和第二金属布线层 10 由铝基布线材料构成，例如，含铜的铝合金或含硅和铜的铝合金。阻挡金属层 3 和防反射层 5 由 Ti、TiN 或 TiW 所构成。第一层间绝缘膜 7 和第三层间绝缘膜 9 由 SiH₄ 类等离子体 SiO₂；用 Si(OC₂H₅) 作为原材料的 TEOS (四乙基正硅酸盐) 类等离子体 SiO₂；SiH₄ 类等离子体 SiON；SiH₄ 类等离子体 SiN；含氟的等离子体 SiOF；或类似材料所构成。第二层间绝缘膜 8 由氢一倍半硅氧烷 (HSQ) 或有机旋涂玻璃 (SOG) 所构成。几乎在第二层间绝缘膜 8 中的所有键都为 Si-O 键，但是几乎所有在修正部分 8a 中的所有键都为 Si-H 键和 Si-N 键。连接金属层 6 由钨、铝等构成，其阻挡金属层由 TiN 或 Ti 所构成。

下面将描述用于制造根据本发明第一实施例的半导体器件的方法。图 3A 至 3E 为按照其步骤顺序示出用于制造根据第一实施例的半导体器件的截面图。

如图 3A 所示，底层 2 首先形成在硅基片 1 上。底层 2 包括底层元件，如晶体管。接着，为了连接到底层元件，在该底层 2 上有选择地形成由 TiN / Ti 所构成的阻挡金属层 3，使其具有 30 至 200nm (纳米) 的厚度。此后，通过溅射工艺在该阻挡金属层 3 上形成由铝或含铜的铝合金所构成的第一金属布线层 4，使其具有 300 至 800nm 的厚度。另外，为了避免光刻中的反射现象，在第一金属布线层 4 上形成由 TiN 所构成的防反射层 5，使其具有 10 至 100nm 的厚度。接着，通过等离子体 CVD (化学汽相沉积) 或类似方法，用相似的方式沿着图形在整个表面上形成由氧化硅或含氟的氧化硅所构成的第一层间绝缘膜 7。膜 7 的厚度达 20 至 100nm。随后形成的第二层间绝缘膜 8 与基片 1 之间的附着力由第一层间

绝缘膜 7 而提高。其厚度最好尽可能地薄以减少整个层间绝缘膜的介电常数。

接着，在第一层间绝缘膜 7 上施加 HSQ 树脂膜，使其具有 200 至 1000nm 的厚度。为了暂时烧结，该生成物在氮气环境中，受到在例如 100-150 °C、150-250 °C、以及 250-300 °C 温度条件下的三步骤热处理，每步骤持续 1-10 分钟。受到暂时烧结的具有 HSQ 树脂膜的基片 1 被置入烧结炉中，然后在氮气环境下在 350-500 °C 的温度下烧结 1 小时。按这种方式，形成第二层间绝缘膜 8。

接着，如图 3B 所示，由氧化硅或类似材料所构成的第三层间绝缘膜 9 形成在第二层间绝缘膜 8 上，使其具有例如 2000 至 15000nm 的厚度。此后，一层构图的光刻胶 9a 形成在第三层间绝缘膜 9 上，使其具有约为 1 μm 的厚度。光刻胶 9a 用于形成到达防反射层 5 的通孔。

接着，如图 3C 所示，该生成物在等离子体处理器的腔体内，在 300-600W 的输出功率以及 100-400sccm (标准立方厘米 / 分) 的氧气导入流速下受到氧等离子体处理，以剥除光刻胶 9a。为了除去未被剥除的光刻胶 9a 的剩余物和蚀刻剩余物，用含乙醇胺或类似物质的湿剥除溶液对该生成物进行 10-20 分钟的湿剥除处理。通过氧等离子体处理和湿剥除处理，在暴露于第二层间绝缘膜 8 的通孔处的区域中的 Si-H 断开，并且产生 Si-OH 键而在这些区域中生成受损部分 8b。

接着，基片 1 被导入等离子体处理器的腔体内，如图 3D 中所示，然后基片 1 同时暴露于氮等离子体和氢等离子体下。这些等离子体是通过把该腔体内的温度设置为 50-300 °C 并用平行板型反应器、感应耦合射频等离子体 (ICP)、喇叭状电子回旋共振 (ECR)、微波发射源等，在 500 至 1500W 的输出功率下产生的。被导入腔体内的氮气和氧气的流速分别为 100-1000sccm 以及 20-800sccm。氢气与氧气的掺合比最好设为 2-80 %。按这种方式，在受损部分 8b 处的 Si-OH 键被 Si-N 键或 Si-H 键所代替，使得该膜质量的损害得到恢复。因此，修正部分 8a 在受损部分 8b 形成的区域中产生。因此，HSQ 膜表面的膜质量得到恢复。但是，如果氢气与氮气的掺合比小于 2 %，则容易产生整个氮化膜，使得 HSQ 膜的介电常数异常升高。另一方面，如果上述掺合比大于 80 %，则在主要由

铝构成的第一布线层 4 上可能产生须状物等。因此，该掺合比最好为 2-80%。

接着，如图 3E 所示，由钨、铝或类似金属所构成的连接金属层 6 通过 CVD 或溅射工艺嵌入到通孔内。第二布线层 10 有选择地形成在第三层间绝缘膜的一部分和连接金属层 6 上。

在此制造的第一实施例中，通过使在剥除光刻胶 9a 的步骤中形成的受损部分 8b 同时受到氮等离子体处理和氢等离子体处理，形成使膜质量受损部分恢复的修正部分 8a。按这种方式，可以避免包含 HSQ 膜的第二层间绝缘膜 8 中介电常数升高。这也避免在通孔中嵌入钨、铝或类似金属的质量下降，并且克服通孔之间电流泄漏的问题。

下面将描述本发明的第二实施例。图 4 是示出根据本发明第二实施例的半导体器件的截面图。

在本实施例中，底层（未示出）形成在硅基片 11 上。阻挡金属层 13 有选择地形成在底层上。第一金属布线层 14 形成在阻挡金属层 13 上。防反射层 15 形成第一金属层 14 上。

形成防氟层 21 以覆盖阻挡金属层 13 金属布线层 14 和防反射层 15 的侧面。连接金属层 16 形成在防反射层 15 的表面上，使得层面 16 具有从防氟层 21 的表面到达底层的区域。形成第一层间绝缘膜 17 以覆盖未被连接金属层 16 或类似层面所覆盖的防氟层 21 的侧面、底层的表面、以及防反射层 15 的一部分表面。第二层间绝缘膜 18 形成在第一层间绝缘膜 17 上，使其具有高达连接金属层 16 的中部的厚度。第二层间绝缘膜 18 的电容率小于硅氧化膜的电容率。一个修正部分 18a 形成在第二层间绝缘膜 18 和连接金属层 16 之间的界面上。第二层间绝缘膜 19 形成在第二层间绝缘膜 18 上，使其具有高达连接金属层 16 的上端的厚度。第二金属布线层 20 形成在连接金属层 16 上，使其扩展到第三层间绝缘膜 19 的一部分上。

第一金属布线层 14 和第二金属布线层 20 由铝基布线材料所构成，例如含铜的铝合金或含硅和铜的铝合金，阻挡金属层 13 和防反射层 15 例如由 Ti、TiN 和 TiW 所构成。第一层间绝缘膜 17 和第三层间绝缘膜 19 由 SiH₄ 类等离子体 SiO₂；用 Si(OC₂H₅)作为原材料的 TEOS 类等离子体

SiO_2 ; SiH_4 类等离子体 SiON ; SiH_4 类等离子体 SiN ; 含氟的等离子体 SiOF ; 或者类似材料所构成。第二层间绝缘膜 18 由 HSQ 或有机旋涂玻璃 (SOG) 所构成。第二层间绝缘膜 18 的修正部分 18a 由具有 Si-F 键的氧化膜所构成。连接金属层 16 由钨、铝等构成。阻挡金属由 TiN 或 Ti 所构成。

下面将描述用于制造根据本发明第二实施例的半导体器件的方法。

图 5A 至 5C 为按照其步骤顺序示出用于制造根据第二实施例的半导体器件的截面图。

如图 5A 所示，底层（未示出）首先形成在硅基片 11 上。底层包括底层元件，如晶体管。接着，为了连接到底层元件等类似部件上，在该底层 2 上有选择地形成阻挡金属层 13。此后，在该阻挡金属层 13 上形成第一金属布线层 14。另外，在第一金属布线层 14 上形成由 TiN 所构成的防反射层 15，使其具有 50nm 或更厚的厚度。接着，通过 CVD 工艺在整个表面上形成防氟层 21，使其具有 50-100nm 的厚度。

接着，如图 5B 所示，在各向异性、低压和高密度等离子体条件下蚀刻防氟层 21，直到防反射层 15 露出。由于形成在第一金属布线层 14 的侧面上的区域或类似区域在此时不易被蚀去，防氟层 21 保留在这些区域上。这使得可以获得由 TiN 所构成的防氟层 21 和防反射层 15 覆盖第一布线层 14 的结构。

接着，如图 5C 所示，按照通常方法沿着该图案使第一层间绝缘膜 17 淀积在整个表面上。此后，把 HSQ 树脂膜施加到第一层间绝缘膜 17 上。按照与第一实施例相同的方法，使该生成物受到热处理以形成第二层间绝缘膜 18。然后按照与第一实施例相同的方法，淀积上由氧化硅所构成的第三层间绝缘膜 19，并且，用在布线和通孔之间产生裂缝的无边接触连接法形成该通孔。

在第二实施例中，用由 TiN 所构成的防氟层 21 覆盖第一布线层 14；因此，即使采用无边接触连接法，第一布线层 14 以及类似的层面不会产生毛刺。相应地，即使在下一步骤中执行氟等离子体处理，也可以避免含铝的第一金属层 14 被氟所腐蚀。另外，在剥除光刻胶的步骤中形成在暴露于第二层间绝缘膜 18 的通孔处的区域上的受损部分受到氟等离子体处理。该处理使得从受损区域除去水分成为可能，并且在这些区域上形

成修正部分 18a。在氟等离子体处理中，基片被置入等离子体处理器的腔体内，然后以 50-2000sccm（标准立方厘米/分）的流速导入氟气和氟碳气，如 CH_3F 、 C_2F_6 等，以通过平行板型反应器、感应耦合射频等离子体（ICP）、喇叭状电子回旋共振（ECR）、微波等产生氟等离子体。

接着，按照与第一实施例相同的方法形成连接金属层 16 和第二布线层 20。

在此进行的第二实施例中，通过氟等离子体处理，在剥除光刻胶的步骤中形成的受损部分被恢复为具有少量水分和低介电常数的修正部分 18a。在氟等离子体处理中，第一布线层 14 由防氟层 21 和防反射层 15 所覆盖；因此，氟等离子体不与布线层 14 相接触。因此，含铝的第一布线层 14 不被腐蚀。

作为防氟层，可以用 Si_3N_4 膜取代 TiN 膜。图 6 为示出使用含 Si_3N_4 的防氟层的一个实例。在使用 Si_3N_4 作为防氟层的情况下，形成防反射层 15，然后通过 CVD 工艺在整个表面上形成防氟层 21a，使其具有约为 50nm 的厚度。第二层间绝缘膜 18 形成在防氟层 21a 上而不形成第一层间绝缘膜。然后形成通孔。该生成物受到氟等离子体处理，然后进行腐蚀，以除去在形成通孔的区域内的防氟层 21a。

下面描述本发明的第三实施例。图 7 为示出根据本发明第三实施例的半导体器件的截面图。

在该第三实施例中，底层 32 形成在硅基片 31 上。具有凹槽的第一等离子体 TEOS 氧化膜 37 形成在底层 32 上。HSQ 膜 38 和第二等离子体 TEOS 氧化膜 39 形成在第一等离子体 TEOS 氧化膜 37 上，按照膜 37、38 和 39 的次序。每层膜 38 和 39 在与第一等离子体 TEOS 氧化膜 37 的凹槽相同的部位处具有凹槽。包含大量 $\text{Si}-\text{CH}_3$ 键的修正部分 38a 形成在接近 HSQ 膜 38 的凹槽附近。阻挡金属层 33 形成在这三层膜中的凹槽侧面和底面。铜布线层 34 嵌入在由阻挡金属层 33 所覆盖的区域中。

下面描述用于制造根据本发明第三实施例的半导体器件的方法。图 8A 至 8E 为按照步骤的次序示出用于制造根据第三实施例的半导体器件的方法。

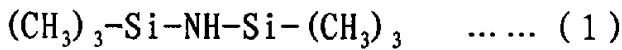
如图 8A 所示，象晶体管这样的元件形成在硅基片 31 上以形成底层



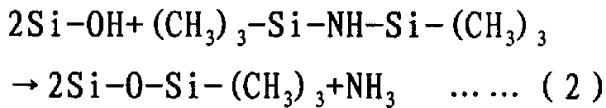
32。接着，第一等离子体 TEOS 氧化膜 37 形成在底层 32 上，使其具有约 1000 埃的厚度。然后，在第一等离子体 TEOS 氧化膜 37 上施加 HSQ 膜 38，使其具有约 500nm 的厚度。该生成物在约 200℃的热板上进行热处理，然后在烧结炉中，在约 400℃的温度下烧结 1 个小时。在 HSQ 膜 38 上形成第二等离子体 TEOS 氧化膜 39，使其具有约 100nm 的厚度。接着，在第二等离子体 TEOS 氧化膜 39 上形成光刻胶 39a。然后，通过曝光和显影对光刻胶 19a 进行构图。用光刻胶 19a 作为掩膜，通过氟碳基气体对第二等离子体 TEOS 氧化膜 39、HSQ 膜 38 和第一等离子体 TEOS 氧化膜 37 相继进行构图，以形成凹槽。

接着，如图 8B 所示，利用氧气通过 ICP 抛光法除去光刻胶 39a。接着该形成物受到湿剥除处理。在暴露于 HSQ 膜 38 的凹槽处的区域中的 Si-H 键易于被等离子体处理和剥除处理所断开，以产生具有吸湿能力的 Si-OH 键。按这种方式，在这些区域中产生受损部分 38b。

接着，HSQ 膜 38 在真空中腔中暴露于六甲基二硅烷（在下文中简称为 HMDS）下长达 10 分钟。HMDS 由如下化学式 1 所表示：



通过把 HSQ 膜 38 暴露于所述 HMDS 中，由如下化学方程式所表示的反应造成受损部分 38b。



该反应使几乎所有的 Si-OH 键变为 Si-CH₃ 键。因此，如图 8C 所示，修正部分 38a 在受损部分 38b 所在的区域中产生。

接着，如图 8D 所示，通过溅射工艺整个表面上形成 TiN 膜，使其具有 50nm 的厚度。以这种方法，阻挡金属层 33 形成在槽中。接着，通过 CVD 工艺在整个表面上形成厚度为 750nm 的 Cu-CVD 层，而保持用于形成阻挡金属层 33 的真空。因此，形成铜布线层 34。

接着，如图 8E 所示，该生成物受到金属化学机械抛光（金属 CMP），使得阻挡金属层 33 和铜布线层 34 变得平整。

在此产生的第三实施例中，作为包含 Si-OH 键区域的受损部分 38b 受到疏水处理，也就是说，暴露于 HMDS 下的处理；因此，Si-OH 键变为

Si-CH₃ 键以产生修正部分 38a。相应地，可以避免嵌入阻挡金属层 33 和铜布线层 34 中质量下降，并且避免 HSQ 膜 38 的介电常数升高。

在第三实施例中，HSQ 膜 38 被用作为低介电常数膜，但是在使用有机 SOG 膜的情况下也可以获得相同的优点。当然，也可以使用包含 Si-H 键和 / 或 Si-CH₃ 键的其他膜。

说 明 书 附 图

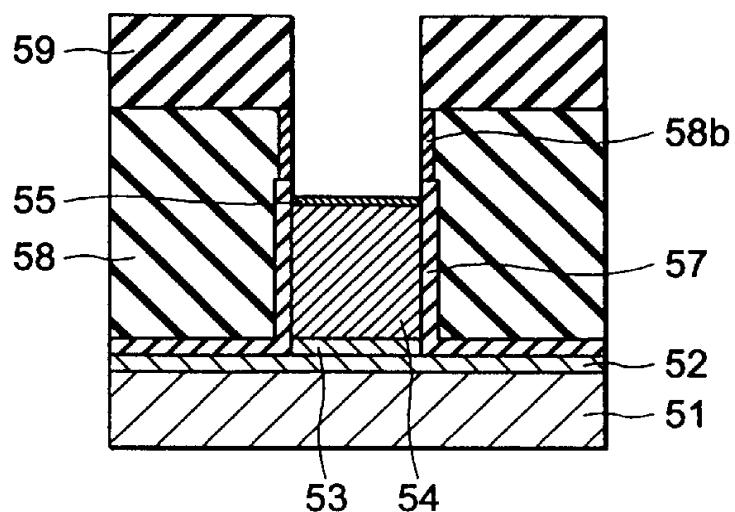


图 1

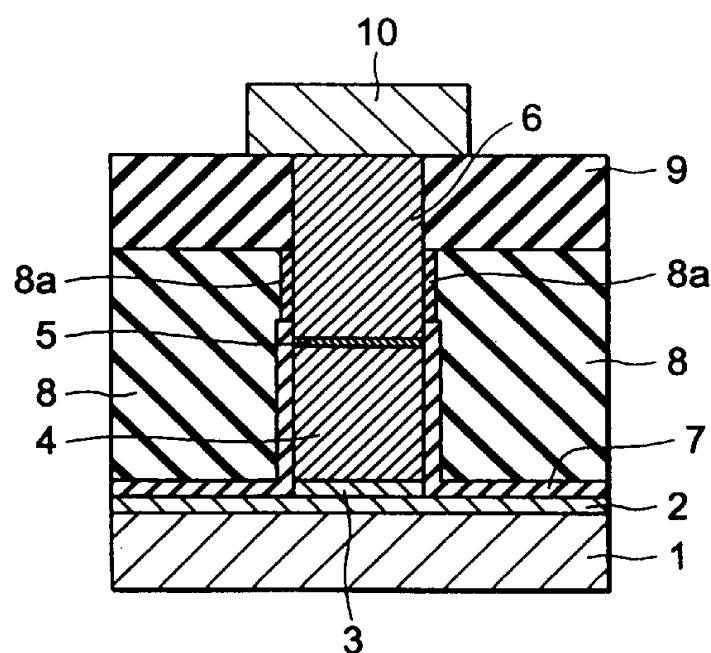


图 2

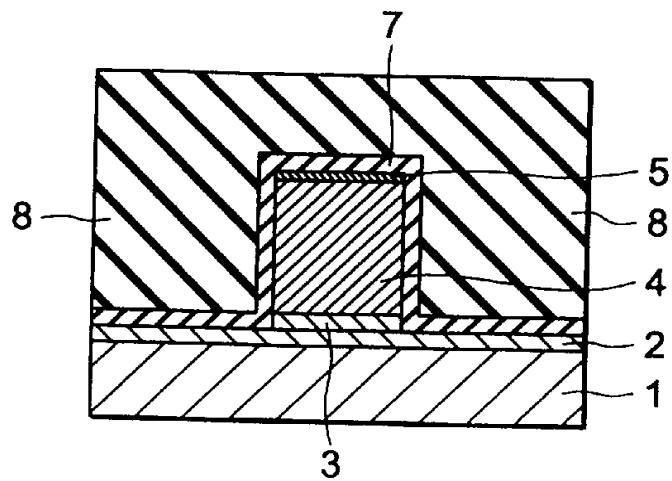


图 3A

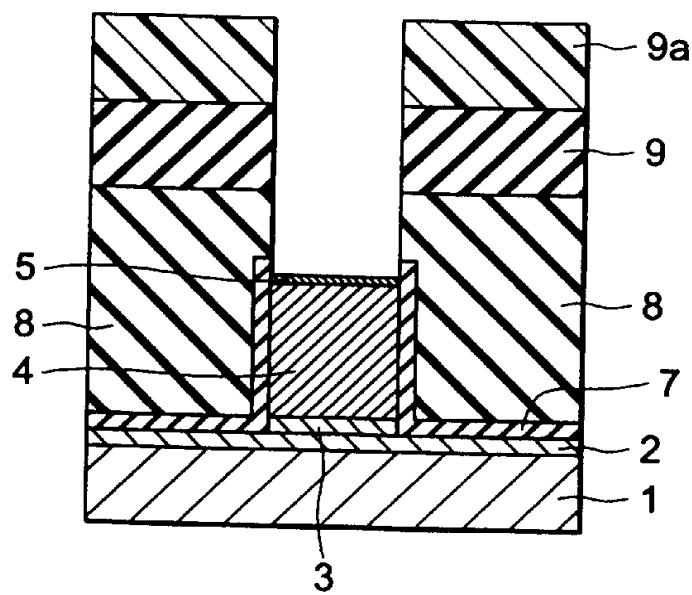


图 3B

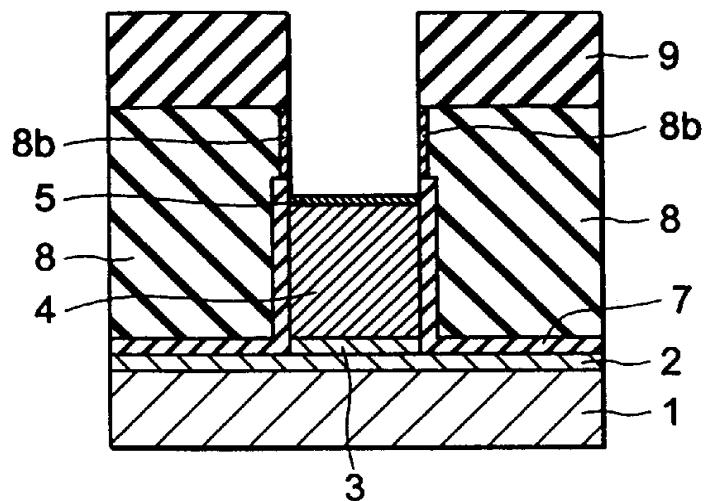


图 3C

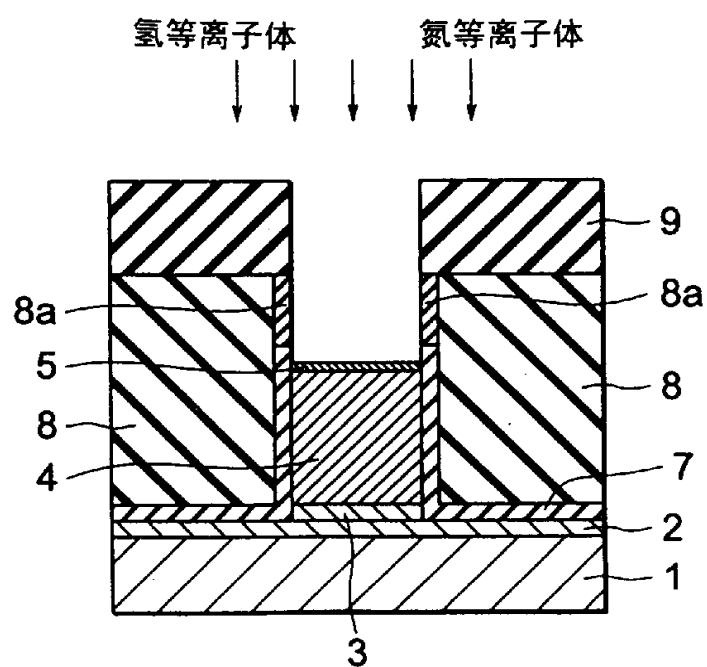


图 3D

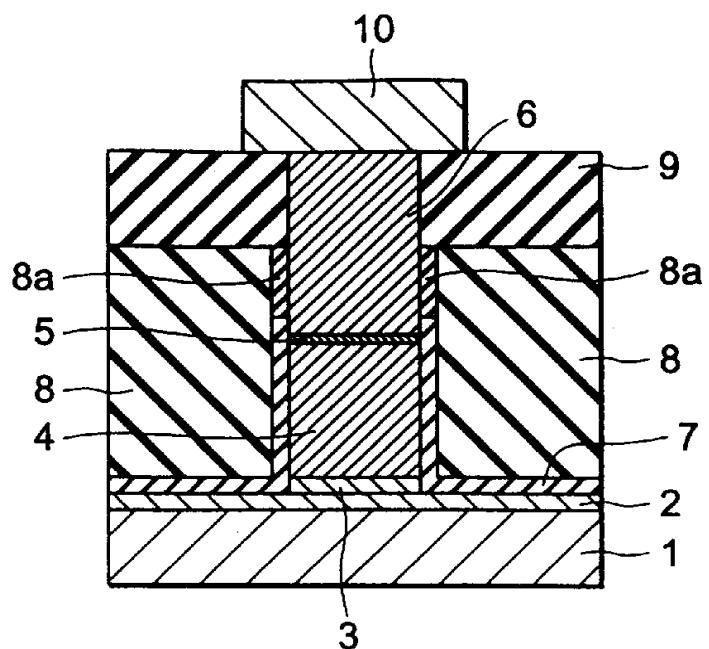


图 3E

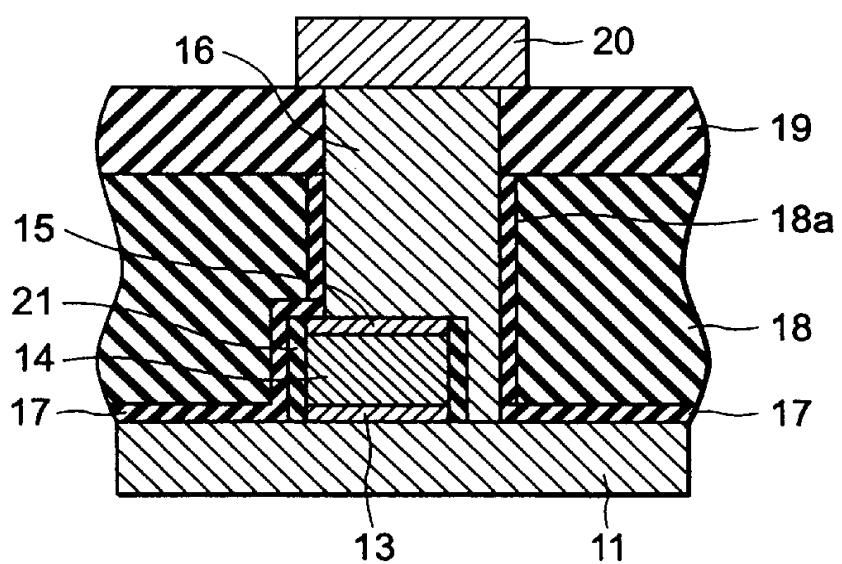


图 4

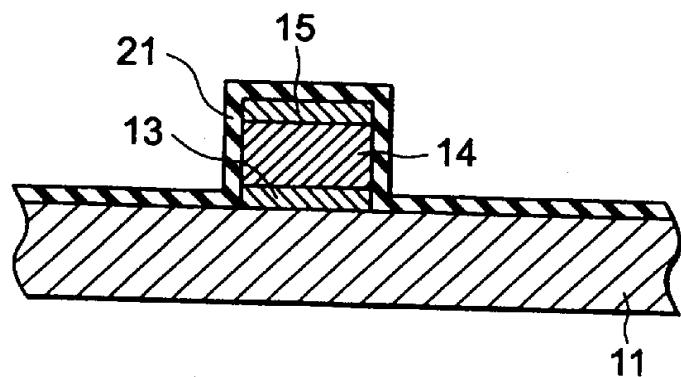


图 5A

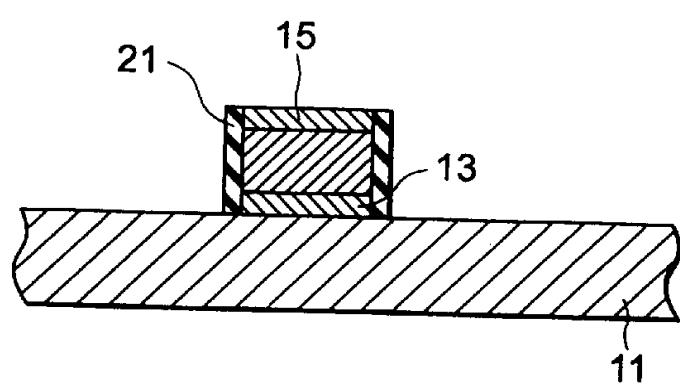


图 5B

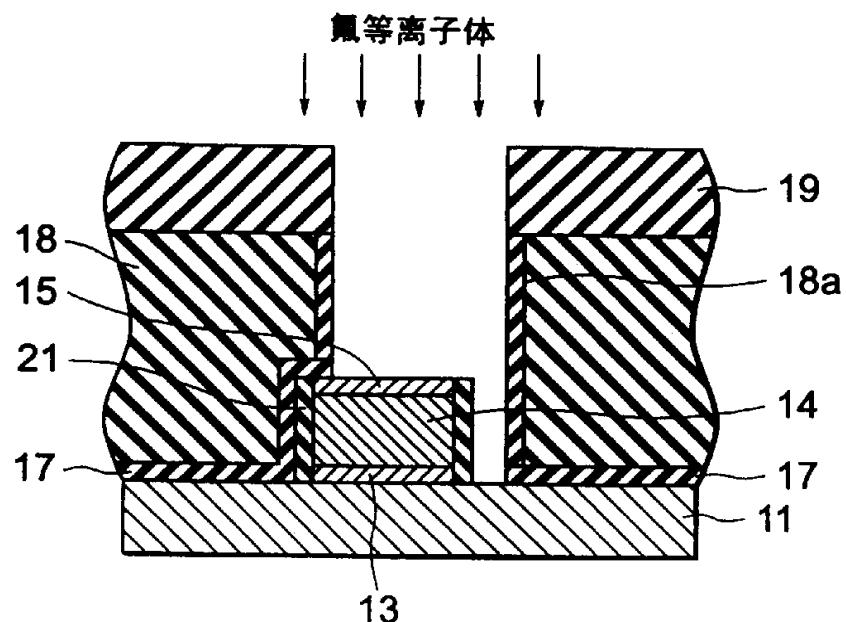


图 5C

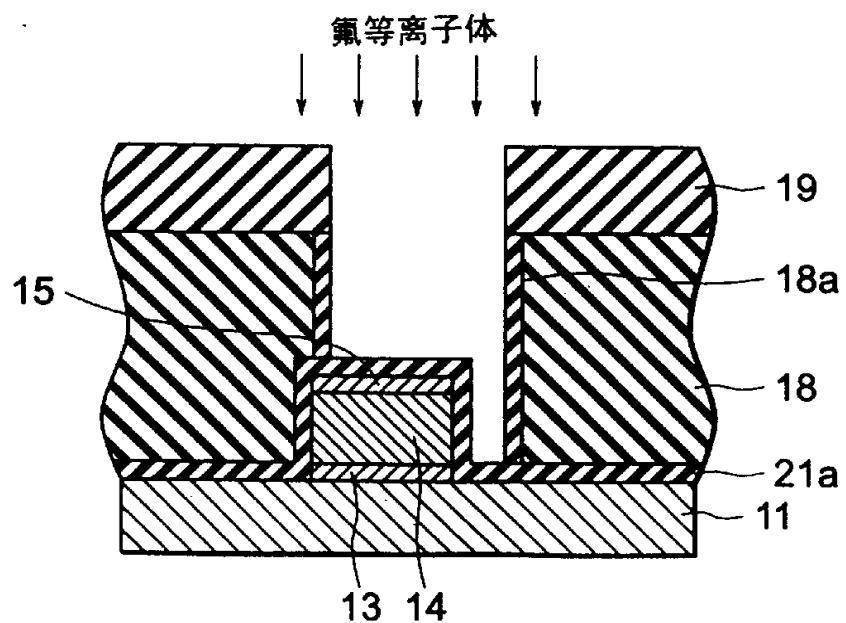


图 6

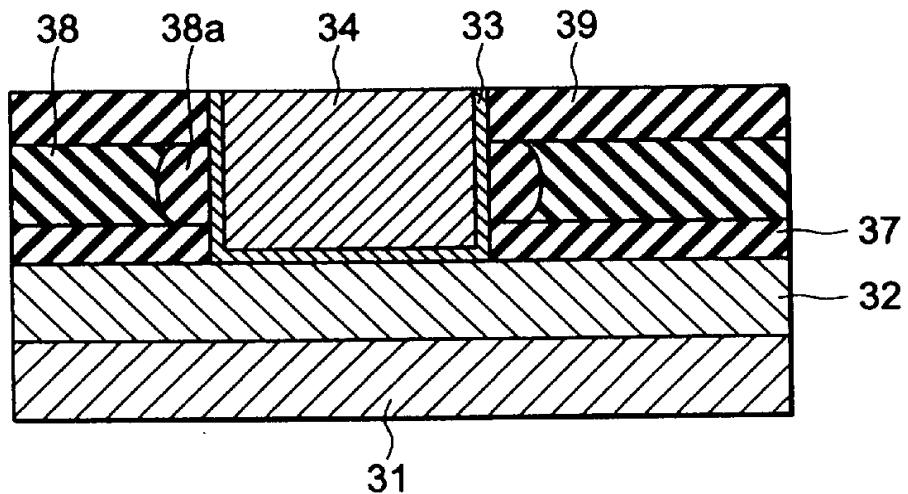


图 7

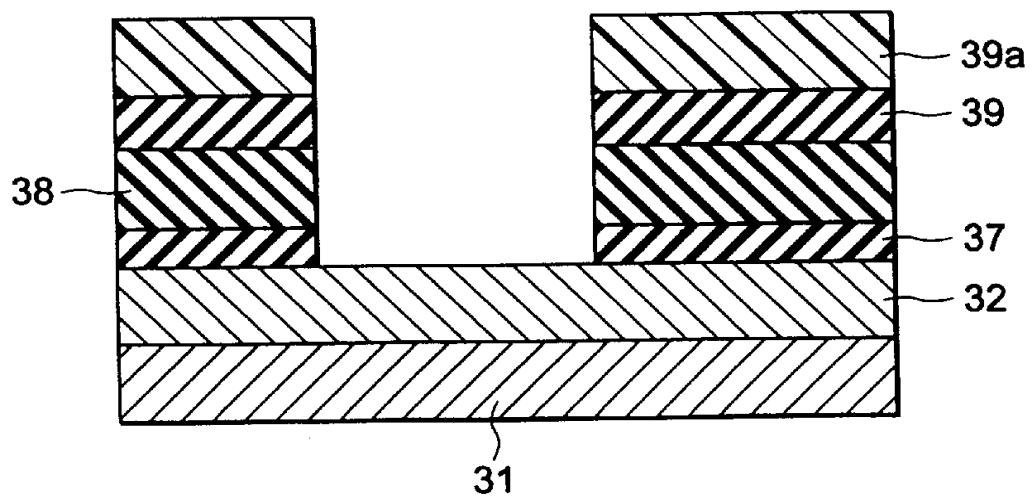


图 8A

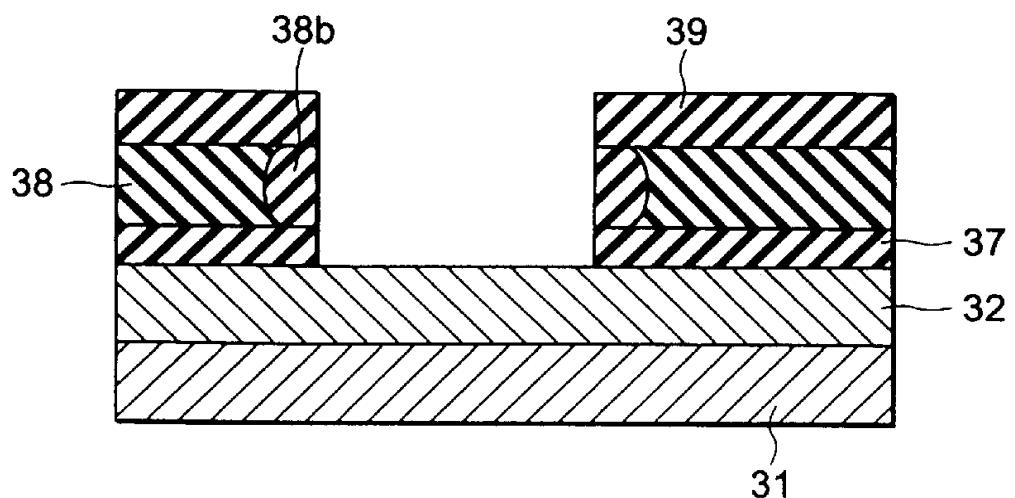


图 8B

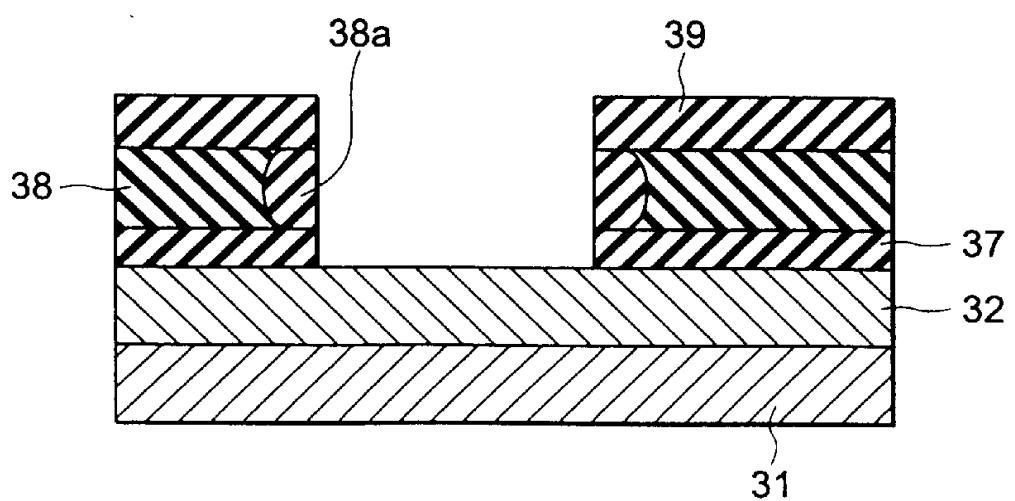


图 8C

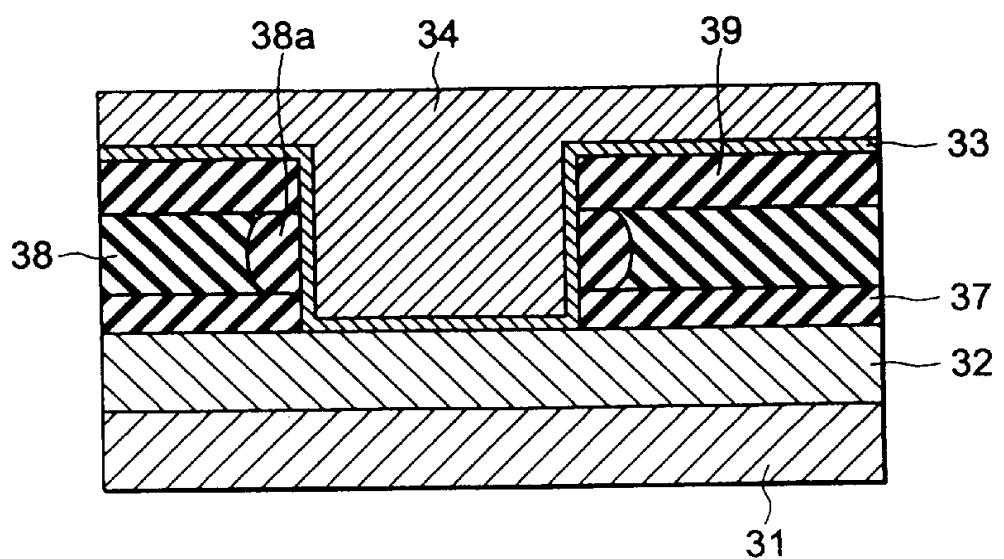


图 8D

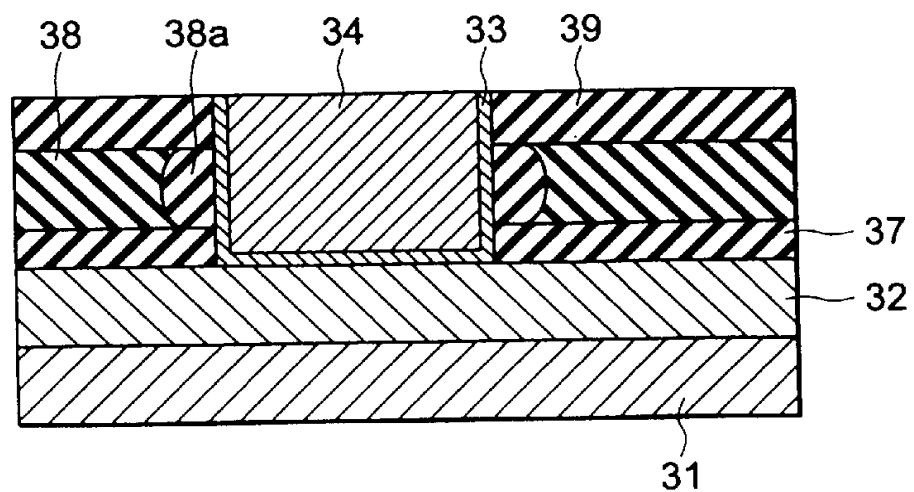


图 8E