

- (71) 출원인
퓨리파이 에이피에스
 덴마크 디케이-8270 호이비에르 호르하베베 66에
 이
- (72) 발명자
푸제이, 브루노
 벨기에 3930 아헬 세린겐란 14
리스보, 라스
 덴마크 4330 흐발소 스콜드내스홀름 스콜드내스베
 이 159
- (74) 대리인
양영준, 이민호, 백만기

(54) 발명의 명칭 제어 루프에서 적어도 2차 필터를 갖는 증폭기

대표도



(52) CPC특허분류

H03F 2200/03 (2013.01)

H03F 2200/66 (2013.01)

명세서

청구범위

청구항 1

증폭기로서,

- 입력,
- 출력,
- 1차 증폭기—상기 1차 증폭기는, 1차 증폭기 입력, 1차 증폭기 출력, 비교기, 상기 비교기에 의해 제어되는 스위칭 전력 스테이지, 및 상기 비교기의 입력과 출력 사이에 접속된 피드백 네트워크를 갖고, 상기 피드백 네트워크는 적어도 실질적으로 고역 통과 필터를 형성하고, 상기 1차 증폭기는 적분기의 주파수 응답과 적어도 실질적으로 동일한 주파수 응답을 갖도록 구성됨-, 및
- 제1 제어 회로—상기 제1 제어 회로는,
 - o 상기 입력에 동작가능하게 접속된 제1 제어 입력,
 - o 상기 1차 증폭기 출력에 동작가능하게 접속된 제2 제어 입력,
 - o 상기 1차 증폭기 입력 및 상기 제1 제어 입력에 동작가능하게 접속된 제어 출력, 및
 - o 상기 제2 제어 입력과 상기 제어 출력 사이의 적어도 2차의 필터를 포함함—
 를 포함하는, 증폭기.

청구항 2

제1항에 있어서,

상기 제1 제어 회로는,

적어도 실질적으로 적어도 주파수 디케이드에 걸친 적분기의 전달 함수에 대응하는,

- 상기 제2 제어 입력으로부터 상기 제어 출력으로의 제1 전달 함수와
 - 상기 제1 제어 입력으로부터 상기 제어 출력으로의 제2 전달 함수
- 사이의 비율을 갖도록 구성되는, 증폭기.

청구항 3

제1항 또는 제2항에 있어서,

상기 1차 증폭기는 적어도 제1 동작 모드 및 제2 동작 모드 중 하나에서 동작하도록 구성되고, 상기 제1 제어 회로는 상기 1차 증폭기가 상기 제2 동작 모드에서 동작하고 있을 때 그 동작이 디스에이블되도록 구성되는 보상을 포함하는, 증폭기.

청구항 4

제3항에 있어서,

상기 보상은 피드백 네트워크를 갖는 증폭기를 포함하고, 상기 보상은 상기 피드백 네트워크의 적어도 일부를 단락시킴으로써 디스에이블되도록 구성되는, 증폭기.

청구항 5

증폭기 입력 및 제1항 내지 제4항 중 어느 한 항에 따른 증폭기를 포함하는 증폭기로서,

- o 상기 증폭기 입력에 동작가능하게 접속된 제3 제어 입력,

- o 상기 입력에 동작가능하게 접속된 제2 제어 출력, 및
 - o 제4 제어 입력과 상기 제2 제어 출력 사이에 제공된 저역 통과 필터로 상기 출력에 동작가능하게 접속된 상기 제4 제어 입력
- 을 포함하는 제2 제어 회로를 포함하는, 증폭기.

청구항 6

부하, 케이블 및 제5항에 따른 증폭기의 어셈블리로서,

- 상기 케이블은 하나의 단부에서, 상기 출력에, 그리고 다른 단부에서, 부하에 접속되고,
- 상기 제4 제어 입력은 상기 케이블의 상기 다른 단부에 동작가능하게 접속되는, 어셈블리.

청구항 7

부하 및 제1항 내지 제4항 중 어느 한 항에 따른 증폭기의 어셈블리로서,

상기 부하는 상기 적분 증폭기의 상기 출력에 접속되고, 상기 어셈블리는,

- 전류 제어 입력,
- 상기 부하를 통한 전류를 감지하고, 상기 감지된 전류에 관한 정보를 출력하도록 구성된 수단; 및
- 상기 정보의 값으로부터 상기 전류 제어 입력 상에서 수신된 신호를 감산하도록 구성된 차동 증폭기-상기 차동 증폭기의 출력은 상기 증폭기의 상기 입력에 접속됨-를 더 포함하는, 어셈블리.

발명의 설명

기술 분야

[0001] 본 발명은 제어 루프에서 필터를 갖는 증폭기에 관한 것으로서, 특히, 필터가 적어도 2차인 클래스 D 증폭기에 관한 것이다.

배경 기술

[0002] 증폭기들 및 관련 기술은 US4041411, US7142050, US8049557, US8736367, US2010/073063, US2001/030529, US2007/09812, W001/71905 및 US2016/0352293에서 볼 수 있다.

발명의 내용

[0003] 제1 양태에서, 본 발명은 증폭기로서,

[0004] · 입력,

[0005] · 출력,

[0006] · 1차 증폭기-1차 증폭기는, 1차 증폭기 입력, 1차 증폭기 출력, 비교기, 비교기에 의해 제어되는 스위칭 전력 스테이지, 및 비교기의 입력과 출력 사이에 접속된 피드백 네트워크를 갖고, 피드백 네트워크는 적어도 실질적으로 고역 통과 필터를 형성하고, 1차 증폭기는 적분기의 주파수 응답과 적어도 실질적으로 동일한 주파수 응답을 갖도록 구성됨-, 및

[0007] · 제1 제어 회로-제1 제어 회로는,

[0008] o 입력에 동작가능하게 접속된 제1 제어 입력,

[0009] o 1차 증폭기 출력에 동작가능하게 접속된 제2 제어 입력,

[0010] o 1차 증폭기 입력 및 제1 제어 입력에 동작가능하게 접속된 제어 출력, 및

[0011] o 제2 제어 입력과 제어 출력 사이의 적어도 2차의 필터를 포함함-

[0012] 를 포함하는, 증폭기에 관한 것이다.

- [0013] 본 맥락에서, 증폭기는 오디오 신호와 같은 신호를 수신하고, 바람직하게는 더 높은 신호 진폭을 갖는 대응하는 신호를 출력하도록 구성된 요소이다. 종종, 오디오 증폭기는 낮은 신호 강도(전압)의 전기적 오디오 신호를 수신하고, 더 높은 신호 강도를 갖는 대응하는 신호를 출력한다. 이러한 맥락에서, 2개의 신호들은 그들이 적어도 주파수 간격에서 동일한 스펙트럼 콘텐츠를 갖는 경우에 대응한다.
- [0014] 증폭기는 오디오 신호들과는 다른 타입들의 신호들을 증폭하는데 이용될 수 있다는 점에 유의한다. 증폭기는 제어된 방식으로 액추에이터(actuator)를 구동하기 위해서, 예를 들어, 선형 액추에이터에 공급하는 전력 공급기 또는 제어기로서 이용될 수 있다. 이러한 상황에서, 증폭기는 액추에이터에 공급되도록 요망되는 것에 대응하는 더 낮은 진폭 신호를 수신할 수 있으며, 증폭기는 액추에이터의 요건들에 적응된 전류 또는 전압을 출력할 것이다.
- [0015] 본 맥락에서, 적분 증폭기는 실질적으로 적분기처럼 작용하는 증폭기이다. 즉, 20Hz와 20kHz 사이의 범위의 (적어도 30%와 같은) 상당한 부분에 걸쳐, 제1 주파수에서의 이득은 제1 주파수의 2배인 제2 주파수에서의 이득보다 높다. 바람직하게, 제1 주파수에서의 이득은 제2 주파수에서의 이득의 적어도 1.5배이다.
- [0016] 이러한 맥락에서, 입력은, 예를 들어, 신호를 수신하도록 구성된 회로의 일부이다. 많은 상황들에서, 입력은 전기 요소의 도체, 칩/ASIC 등과 같은 도체이다. 입력은, 입력이 (증폭기 케이싱의 외부로부터 및/또는 전치증폭기로부터와 같은) 적절한 증폭기에 대한 입력인 것과 같이, 커넥터를 포함할 수 있다. 그 후, 신호 소스는 입력에 분리가능하게 접속되어, 입력에 신호를 전달할 수 있다. 대안적으로, 입력은 분리성(detachability)이 요구되지 않는 증폭기의 일부 내로의 입력일 수 있어서, 입력이 영구적인 접속일 수 있다. 영구적인 접속들은, 신호를 입력에 전달하기 위해, 납땀(soldering)에 의한 것과 같이, 다른 요소가 영구적으로 접속될 수 있는, 예를 들어, 도체, 솔더 패드(solder pad) 등을 통해 획득될 수 있다. 물론, 입력은 칩 등의, 칩의 부분들 사이의, 도체와 같은 내부 부분일 수 있다.
- [0017] 출력은, 입력과 같이, 증폭기의 주변들에 대한 출력일 수 있고, 따라서, 출력은, 예를 들어, 부하(load), 케이싱 등에 대한 분리가능한 부하를 위한 커넥터를 포함할 수 있다. 대안적으로, 출력은 증폭기의 하나의 컴포넌트로부터 다른 컴포넌트로의 출력일 수 있다. 그러한 컴포넌트들이 분리가능한 것으로 요망되지 않는 경우, 출력은 그것에 영구적으로 접속될 수 있다. 영구적으로 접속된 상황들에서, 출력은 도체, 레그(leg) 등일 수 있고, 여기서 도체의 한 단부는 입력일 수 있고 다른 단부는 출력일 수 있다.
- [0018] 종종, 1차 증폭기 출력은 또한, 출력들이 동일한 도체(들)를 공유하는 경우와 같이 적절한 증폭기의 출력이다. 그러나, 필터들과 같은 추가 회로들을, 이들 출력들 사이에서, 증폭기 출력 후에, 또는 단순히 출력들에 접속하는 것이 바람직할 수 있다. 통상적으로, 때로는 출력 필터라고 지칭되는, LC 필터와 같은 저역 통과 필터가 출력에 접속되어, 1차 증폭기의 동작으로부터 기인하는 고주파 잡음을 제거함으로써, 이 잡음은 출력에 접속된 부하로 전달되지 않는다. 이러한 필터는 스위칭 전력 스테이지 이후에, 1차 증폭기 내부에 제공되어, 1차 증폭기의 출력을 형성할 수 있다. 출력들은 필터의 하나의 포트가 접속되는 커넥터를 공유할 수 있다는 점에 유의한다.
- [0019] 1차 증폭기는 그것 자체가 증폭기이다. 따라서, 그것은 전술한 증폭기로서 동작할 수 있다. 그러나, 1차 증폭기는 전체 증폭기의 그것/그것들과는 상이한 파라미터들 또는 다른 동작을 갖도록 요망되거나 허용될 수 있다. 예를 들어, 그 자체가 자체 발진(self-oscillation)이라는 것이 전체 증폭기에 대한 요건은 아닐 수 있지만, 1차 증폭기는 제어 회로가 발진으로부터 벗어나서 1차 증폭기를 제어하도록 구성되거나 또는 이 발진이 바람직하도록 하는 방식과 같이, 자체 발진하도록 구성될 수 있다.
- [0020] 1차 증폭기는 전술한 입력 및 출력과 같은 것일 수 있는, 1차 증폭기 입력 및 1차 증폭기 출력을 갖는다. 주목할 점은, 1차 증폭기 입력/출력이 회로 내부, 회로들 사이 등에서의, 예를 들어, PCB 상의 도체들 등에 의해 형성될 수 있도록, 아래에서 언급된 경로들로부터 1차 증폭기를 분리할 수 있는 것이 일반적으로 요망되지 않는다는 것이다.
- [0021] 1차 증폭기는 비교기 및 비교기에 의해 제어되는 스위칭 전력 스테이지를 포함하는 증폭기 이득 스테이지를 포함한다. 이러한 타입의 증폭기들은 통상적으로 클래스 D 증폭기들이라고 지칭된다. 통상적으로, 1차 증폭기 입력은 비교기에 대한 입력에 접속되거나 이에 의해 구성된다. 클래스 D 증폭기는 자체 발진(self oscillating)일 수 있거나, 그것에 부과되는 발진 주파수를 가질 수 있다.
- [0022] 이러한 맥락에서, 전력 스테이지는 제어 신호에 응답하여 전력 공급기로부터 부하로의 전류 흐름을 제어하는 회로이다. 이러한 맥락에서, 스위칭 전력 스테이지는 모든 전력 디바이스들이 실질적으로 전체 시간 동안 완전히

온 또는 완전히 오프로 동작되는 전력 스테이지이다. 전력 디바이스들은 트랜지스터들, FET들, IGBT들 등일 수 있다.

- [0023] 1차 증폭기는 1차 증폭기 출력과 비교기의 입력 및/또는 1차 증폭기에 대한 입력 사이에 접속된 제1 피드백 네트워크를 포함하고, 피드백 네트워크는 적어도 실질적으로 고역 통과 필터를 형성한다. 제1 피드백 네트워크는, 증폭기 이득 스테이지와 함께, 내부 피드백 루프를 형성한다.
- [0024] 1차 증폭기의 주파수 응답은 제1 피드백 필터의 주파수 응답에 실질적으로 반비례한다. 따라서, 제1 피드백 필터가 적절한 파라미터들을 갖는 고역 통과 필터이도록 구성되면, 1차 증폭기는 전술한 바와 같이 실질적으로 적분기처럼 작용할 것이다. 그 다음, 이러한 고역 통과 필터는 20Hz와 20kHz 사이의 범위의 (적어도 30%와 같은) 상당한 부분에 걸쳐, 제1 주파수의 2배인 제2 주파수에서의 이득보다 낮은 제1 주파수에서의 이득을 가질 수 있다. 바람직하게, 제2 주파수에서의 이득은 제1 주파수에서의 이득의 적어도 1.5배이다. 바람직하게, 고역 통과 필터는 20Hz - 20kHz의 오디오 대역의 적어도 50% 위의, 예컨대 5kHz보다 높은 1차 기울기를 갖는다.
- [0025] 이러한 맥락에서, 고역 통과 필터는 그 이득이 적어도 원하는 주파수 간격에 걸쳐 상향 추세(upward trend)를 나타내는 필터이다. 본 맥락에서, 원하는 주파수 간격은 10kHz와 유희 스위칭 주파수의 절반 사이, 또는 5kHz와 유희 스위칭 주파수의 절반 사이와 같은, 유희 스위칭 주파수의 1/4과 1/2 사이이고, 여기서 이득은 더 높은 주파수들에서 더 높고(더 낮은 감쇠), 더 낮은 주파수들에서 더 낮다(더 높은 감쇠).
- [0026] 이 내부 피드백 필터는 임의의 차수를 가질 수 있다. 레저시 클래스 D 증폭기들에서, 이 필터는 1차 필터이지만, 이 필터는 적어도 2차인 것이 유리할 수 있는데, 그 이유는, 1차 증폭기가 내장될 수 있는 임의의 어셈블리에서, 적어도 더 낮은 주파수들에서 루프 이득을 증가시킬 잠재력을 갖기 때문이다.
- [0027] 또한, 비교기는 통상적으로, 클래스 D 증폭기들에서, 2개의 입력 신호들 사이, 또는 입력 신호와 미리 결정된 전압 사이의 차이의 부호에 대응하는 이진 신호를 출력하는 회로이다.
- [0028] 이러한 맥락에서, 비교기의 출력 신호는 스위칭 전력 스테이지에 대한 제어 신호로서 작용한다.
- [0029] 제1 제어 회로는 제1 및 제2 제어 입력 및 제어 출력을 갖는다. 이러한 입력들 및 출력들은 전술한 바와 같을 수 있다. 유의할 점은, 제1 제어 회로 입력들/출력이 회로 내부, 회로들 사이 등에서의, 예를 들어, PCB 상의 도체들 등에 의해 형성될 수 있도록, 입력, 출력 및 1차 증폭기 입력으로부터 제1 제어 회로를 분리할 수 있는 것이 통상적으로 요망되지 않는다는 것이다.
- [0030] 본 맥락에서, 입력은 입력 또는 출력에 동작가능하게 접속된다는 것은, 신호가 입력/출력으로부터 제1/제2 제어 입력에 공급될 수 있음을 의미한다. 그러나, 이러한 신호는 상기의 입력과 상기의 출력 사이의 경로를 따라 필터링되거나, 증폭되거나, 감쇠되거나 또는 그 조합일 수 있다.
- [0031] 예를 들어, 제1 제어 입력을 입력에 동작가능하게 접속하는 하나의 방식은 제1 제어 입력으로부터 입력으로의 순방향 경로를 제공하는 것이다. 이 순방향 경로는 단순한 도체일 수 있다. 대안적으로, 경로는 필터들, 감쇠기들, 증폭기들 등을 포함할 수 있다. 사실, 경로는 또한, 예를 들어, 입력으로부터의 (원하는 경우 필터링 등이 행해진) 신호 및 다른 신호를 수신하고, 이 신호들의 합을 제1 제어 입력에 도달할 때까지 경로의 나머지에 출력하도록 구성된 합산 노드를 포함할 수 있다.
- [0032] 제1 제어 입력은 또한 제어 출력에 동작가능하게 접속된다. 명백히, 제1 제어 입력에서 수신된 신호는 또한, 2차 필터 또는 그 일부에 의한 것과 같이 필터링될 수 있다. 통상적으로, 제1 제어 입력 상에서 수신된 신호 및 제2 제어 입력 상에서 수신된 신호는, 제어 출력 상에 출력되기 전에, 신호들 또는 조합에 대해 수행되는 임의의 처리에 부가하여, 결합될 것이다.
- [0033] 물론, 제2 제어 입력과 출력 사이에 제공되는 피드백 경로에 대해 동일한 것이 적용된다.
- [0034] 또한, 제어 출력과 1차 증폭기 입력 사이에 경로가 정의될 수 있다.
- [0035] 순방향 경로 및 피드백 경로는, 필터 또는 그 일부와 같은 공통 요소들, 및 별개의 요소들을 가질 수 있다는 점에 유의한다. 따라서, 순방향 경로와 공통이 아닌 피드백 경로의 일부는 필터 또는 그 일부를 포함할 수 있다. 따라서, 제2 제어 입력과 제어 출력 사이에만 필터가 제공되어, 제2 제어 입력 상에서 수신되는 신호들을, 제어 출력 상에 출력되기 전에 필터링할 수 있다. 그 후, 제1 제어 입력 상에서 수신된 신호들은 필터에 의해 필터링되지 않을 것이다. 대안적으로, 필터는 그것 또는 그 일부가 제1 제어 입력으로부터 수신된 신호를 또한 필터링하도록 제공될 수 있다.

- [0036] 적어도 2차의 이러한 필터는 1차 증폭기 출력과 1차 증폭기 입력 사이의 피드백 셋업(feedback set-up)에서 제공된다. 통상적인 클래스 D 증폭기들에서, 필터가 이 위치에 제공되지만 단지 1차일 뿐이다.
- [0037] 제2 제어 입력과 제어 출력 사이에 2차 또는 더 높은 차수의 필터를 제공하는 것은 적어도 저주파수들에서 루프 이득을 증가시키는 이점을 갖는다.
- [0038] 적어도 1차인 제1 필터는 제2 제어 입력과 제어 출력 사이에 제공될 수 있는 반면, 적어도 1차의 다른 제2 필터는, 제1 제어 입력과 제어 출력 사이의 경로 및 제2 제어 입력과 제어 출력 사이의 경로에 공통인 경로에 제공될 수 있다. 상기의 제2 필터는 적어도 저주파수들에서 루프 이득을 증가시키는 반면, 상기의 제1 필터는, 예를 들어, 적어도 1차 증폭기가 제1 동작 모드에서 동작하는 동안, 제어 출력에서의 신호 레벨이 최소화되도록 그 응답이 선택되는 실질적으로 고역 통과 필터일 수 있다.
- [0039] 따라서, 제2 제어 입력과 제어 출력 사이에서, 적어도 2차의 결합된 필터가 발견된다.
- [0040] 상기의 제1 필터의 주파수 응답은 실질적으로 1차 증폭기의 주파수 응답의 역이 되도록 선택될 수 있다. 대안적으로, 제2 제어 입력과 제어 출력 사이의 경로와 공통이 아닌 제어 출력과 제1 제어 입력 사이에 제3 필터가 제공될 수 있다. 상기의 제2 및 제3 필터들의 주파수 응답들 사이의 비율은 1차 증폭기의 주파수 응답과 실질적으로 동일하도록 선택될 수 있다.
- [0041] 제어 회로는 1차 증폭기 주위의 피드백 뿐만 아니라, 증폭기 입력과 1차 증폭기 입력 사이의 순방향 경로 둘다에서 제공되는 회로인, 통상적으로 보상기(compensator)라고 지칭되는 것을 포함할 수 있다. 물론, 제어 회로는 피드백 경로에 있고 순방향 경로에 있지 않은 부분을 포함할 수 있다.
- [0042] 일 실시예에서, 증폭기는 보상기의 출력으로부터 입력으로의 제3 경로를 더 포함한다. 이 경로는, 증폭기 입력으로부터의 경로와 함께, 보상기가 출력 및 입력으로부터 보상기의 입력으로의 경로들을 통해 공급되는 신호들로부터 도출된 에러 신호에 기초하여 1차 증폭기에 대한 추가적인 입력 신호를 생성할 수 있게 한다. 에러 신호를 필터링 및 증폭함으로써, 보상기는 적어도 원하는 주파수 대역 내에서, 1차 증폭기에 의해 생성된 왜곡에 대항하는 신호를 생성할 것이다.
- [0043] 바람직한 실시예에서, 제1 제어 회로는,
- [0044] 적어도 실질적으로 적어도 주파수 디케이드(frequency decade)에 걸친 적분기의 전달 함수에 대응하는,
- [0045] • 제2 제어 입력으로부터 제어 출력으로의 제1 전달 함수와
- [0046] • 제1 제어 입력으로부터 제어 출력으로의 제2 전달 함수
- [0047] 사이의 비율을 갖도록 구성된다.
- [0048] 본 맥락에서, 전달 함수는 주파수의 함수로서, 출력 신호와 입력 신호 사이의 비율에 의한 시스템의 동작을 기술하고, 전달 함수의 크기는 출력 신호와 입력 신호의 크기들 사이의 비율을 표현하고, 전달 함수의 인수(argument)는 출력 신호와 입력 신호 사이의 위상 시프트를 표현한다. 종종, 전달 함수는 적어도 관심 주파수 간격 내에서의 상이한 주파수들에서의 상대적 감쇠 또는 증폭으로서 보여진다. 현재, 제1 제어 회로는 적어도 주파수들의 디케이드 내의 적분 동작을 갖는다. 주파수들의 디케이드는 주파수 X 로부터 주파수 $10 \cdot X$ 까지 범위이다. 그러나, 바람직하게는, 예컨대, 2kHz 내지 20kHz 또는 1kHz 내지 40kHz의 범위에서, 예를 들어, 15, 20, 50 또는 그 이상의 계수에 걸쳐서, 더 넓은 주파수 범위 내에서도 적분 동작이 요망된다.
- [0049] 두 개의 전달 함수들 간의 비율은 둘다를 특징화하고, 하나를 다른 것에 의해 나눔으로써 도출될 수 있다.
- [0050] 위에서 언급된 바와 같이, 필터는 제1 제어 회로 내의 상이한 위치들에 제공될 수 있고, 따라서 제1 전달 함수 단독, 또는 제1 및 제2 전달 함수들 둘다에 영향을 미칠 수 있다.
- [0051] 본 맥락에서, 적분기의 전달 함수는 적어도 디케이드에 걸쳐 하향 기울기를 갖는다.
- [0052] 일 실시예에서, 1차 증폭기는 적어도 제1 및 제2 증폭기 동작 모드 중 하나에서 동작하도록 구성되고, 제1 제어 회로는 1차 증폭기가 제2 동작 모드에서 동작할 때 그 동작이 디스에이블되도록 구성되는 보상기를 포함한다.
- [0053] 하나의 증폭기 동작 모드는, 1차 증폭기가 특정 범위에서의 스위칭 주파수, 특정한 주파수 응답, 특정 이득 등을 갖는 모드일 수 있다. 종종, 제1 증폭기 모드는 원하는 동작 모드이고, 제2 증폭기 모드는 바람직하지 않지만 1차 증폭기에서 완전히 피할 수 없는 모드이다. 전형적인 제2 증폭기 모드는, 1차 증폭기가 전력 공급기 전

압들에 의해 실질적으로 제한되는 출력 전압을 생성하거나, 스위칭을 중단하거나, 제1 모드의 범위 밖의 주파수에서 스위칭하는 클립핑 모드(clipping mode)이다. 다른 제2 증폭기 모드는, 보호 회로가 비교기를 오버라이드하고 출력 전류를 제한하기 위해 전력 상태의 제어를 취하는 소위 "전류 클립핑(current clipping)"일 수 있다. 클립핑 모드에서 동작할 때, 1차 증폭기는 1차 증폭기 입력 신호에서의 변화들에 대한 무시할만한 응답만을 가질 수 있다. 제2 모드는 1차 증폭기가 제1 모드에 있지 않을 때일 수 있다.

[0054] 따라서, 제1 증폭기 모드는, 1차 증폭기 입력 신호에서의 추가적인 작은 변화에 응답한 1차 증폭기 출력 신호에서의 추가적인 변화가, 1차 증폭기 입력 신호에서의 그러한 추가적인 변화만으로 이루어지는 신호에 대한 1차 증폭기 출력 신호의 응답과 실질적으로 동일한 모드로서 특성화될 수 있다. 따라서, 제1 모드에서, 1차 증폭기는 원하는 이득을 입력 신호에 제공할 수 있다. 즉, 큰 신호의 존재는 1차 증폭기가 추가적인 작은 신호에 응답하는 능력에 실질적으로 영향을 미치지 않는다.

[0055] 제3 모드는, 잠재적으로 손상하는 부하 조건에 대해 1차 증폭기가 자신을 보호하는 모드일 수 있다. 이것은, 예컨대, 일시적으로 턴 오프함으로써 그렇게 할 수 있다.

[0056] 제4 모드는 1차 증폭기가 턴 오프되는 모드일 수 있다. 이것은 파워 업/다운 시퀀스의 일부로서이거나, 또는 사용자에게 의한 커맨드의 결과일 수 있다.

[0057] 본 맥락에서, 제어 회로는, 동작적 접속들에 의해, 1차 증폭기의 입력과 출력 사이의 피드백 루프에서 접속되는 회로이다. 제어 회로는 임의의 원하는 방식으로 구현될 수 있는, 임의의 차수의 필터일 수 있다. 제어 회로의 전체 기능은 바람직하게는 1차 증폭기의 출력을 원하는 값에 더 근접하게 조절하는 것이다. 제어 회로는 바람직하게는, 제1 주파수 범위에서 보상기가 에러 신호를 증폭하고 제2 주파수 범위에서 보상기가 에러 신호를 증폭하지 않고, 심지어 그것을 감소시킬 수 있는 방식으로, 입력으로부터 도출된 신호를 1차 증폭기 출력으로부터 도출된 신호와 비교함으로써 발견되는 에러 신호를 필터링하는 보상기를 포함한다. 보상기는 임의의 차수의 저역 통과 필터로서, 또는 하나 이상의 적분기로서 구현될 수 있다. 제1 주파수 범위는 원하는 동작 주파수 대역에 대응한다. 오디오 증폭기에서, 이 대역폭은, 예를 들어, 0Hz - 40kHz, 0Hz - 20kHz, 또는 20Hz - 20kHz일 수 있다. 제2 주파수 범위는 제1 대역 외의 대역, 예를 들어, 60kHz - 1MHz, 100kHz - 700kHz일 수 있다. 클래스 D 증폭기의 경우에, 제2 주파수 범위는 전형적으로 스위칭 주파수를 포함한다.

[0058] 보상기는 통상적으로 1차 증폭기 출력으로부터 1차 증폭기 입력으로의 피드백 루프 뿐만 아니라, 적절한 증폭기의 입력으로부터 1차 증폭기 입력으로의 순방향 경로에서 제공된다. 결과적으로, 보상기는 적어도 2차의 필터를 대신할 수 있다. 대안적으로, 보상기는, 보상기 이외에, 다른 부분을 갖는 이 필터의 일부를 형성할 수 있고, 이것은 이후 순방향 경로에 제공되지 않을 수 있다. 따라서, 이 피드백 경로의 결합된 필터링 또는 전달 함수는 적어도 2차의 필터를 갖는다.

[0059] 보상기는 1차 증폭기가 적어도 제2 증폭기 동작 모드에서 동작하고 있을 때 그 동작이 디스에이블되도록 구성된다. 이러한 디스에이블링은 임의의 원하는 방식으로 구현될 수 있고, 다수의 방식으로 보상기를 동작하지 않도록 렌더링할 수 있다. 하나의 상황에서, 보상기는, 디스에이블될 때, 그것이 제공되는 경로를 따른 신호들의 전송을 방지하고, 따라서 그 경로를 따른 증폭기 입력으로부터 1차 증폭기 입력으로의 신호 전송을 효과적으로 방지할 수 있다. 이러한 상황에서는, 그 경로를 통해 입력으로부터 1차 증폭기 입력으로 신호가 여전히 공급될 수 있도록 다른 순방향 경로가 바람직하게 제공된다. 이 셋업에 대한 대안들이 이하에서 더 설명된다.

[0060] 다른 상황에서, 디스에이블링은, 예를 들어, (0Hz - 100kHz와 같은) 관심 주파수 간격에 걸쳐, 단위 이득(unity gain)과 같은 미리 결정된 이득을 가질 때와 같이, 예를 들어, 보상기에게 어떠한 주파수 필터링 능력들도 제공하지 않는 것에 의해, 보상기를 "비가시적(invisible)"으로 렌더링함으로써 획득될 수 있다. 이어서, 디스에이블된 보상기는 그것을 통한, 증폭기 입력으로부터 1차 증폭기 입력으로의 신호들의 전송을 허용할 것이다. 이러한 상황에서, 신호는 모든 상황들 하에서 그 경로를 통해 입력으로부터 1차 증폭기 입력으로 전송될 수 있기 때문에, 단일 순방향 경로이면 충분할 수 있다.

[0061] 일 실시예에서, 보상기는 피드백 네트워크를 갖는 연산 증폭기를 포함한다. 보상기의 디스에이블링은 이어서 피드백 네트워크의 적어도 일부를 단락시킴으로써 발생할 수 있다. 이 단락은 네트워크의 커패시터의 단락일 수 있다. 증폭기의 출력과 입력 사이에 커패시터가 제공될 때, 그것의 단락은 주파수 독립적인 동작을 네트워크에 제공할 수 있으며, 그것은 주파수 독립적인 동작을 보상기에 부과하거나, 또는 저주파수들에서 보상기의 이득 및 위상 시프트를 적어도 감소시킬 수 있다.

[0062] 이러한 단락은 다수의 방식들로 획득될 수 있다. 하나의 상황에서, 피드백 네트워크는 다이오드(들)에 걸친 전

압이 다이오드(들)의 순방향 전압을 초과할 때, 자동으로 도전성이 되고 따라서 그에 병렬로 접속된 컴포넌트들을 단락시키는 다이오드 또는 2개의 역평행(anti-parallel) 다이오드들을 포함한다. 이 전압은 1차 증폭기로부터 도출될 수 있어서, 1차 증폭기가 클리핑(clip)되고, 과도한 전압을 출력하거나 예상 전압으로부터 과도하게 벗어나면, 보상기는 자동으로 디스에이블될 것이다.

- [0063] 대안적인 방법은, 1차 증폭기가 제1 증폭기 동작 모드를 벗어났거나, 제2, 제3 또는 제4 증폭기 동작 모드에 있는 것으로 결정한 다음, 보상기가 디스에이블하게 반응하도록 구성된 미리 결정된 신호를 보상기에 전송하는 다른 회로를 갖는 것이다. 이 신호는, 예를 들어, 보상기에 대한 전력을 차단할 수 있다.
- [0064] 다른 상황들에서, 검출 회로는 1차 증폭기가 제1 증폭기 동작 모드를 벗어났거나, 제2, 제3 또는 제4 증폭기 동작 모드에 있는 것으로 결정한 다음, 보상기가 그 자신을 디스에이블하게 반응하도록 구성된 미리 결정된 신호를 보상기에 전송할 수 있다.
- [0065] 이 신호는, 예를 들어, 보상기의 능동 회로에 대한 전력을 차단하는 것, 보상기의 능동 회로로부터 바이어스 전류를 제거하는 것, 또는 보상기의 능동 회로의 부분들을 단락 또는 접속해제하는 것을 위해 이용될 수 있다. 대안적으로, 보상기의 피드백 네트워크의 적어도 일부의 단락은 스위치들, 예를 들어, 스위치들로서 동작되고 검출 회로로부터의 신호에 의해 제어되는 트랜지스터들 또는 FET들을 이용하여 수행될 수 있다. 대안적으로, 그러한 스위치는 보상기의 입력과 직렬로 삽입될 수 있고, 정상적으로 온(즉, 폐쇄)되지만, 1차 증폭기가, 예를 들어, 제2 증폭기 동작 모드에 있는 것으로 검출 회로가 결정할 때 턴 오프되도록 구성될 수 있다.
- [0066] 본 발명의 제2 양태는 증폭기 입력 및 제1 양태에 따른 증폭기 뿐만 아니라,
- [0067] o 증폭기 입력에 동작가능하게 접속된 제3 제어 입력,
- [0068] o 증폭기 입력에 동작가능하게 접속된 제2 제어 출력, 및
- [0069] o 제4 제어 입력과 제2 제어 출력 사이에 제공된 저역 통과 필터로 출력에 동작가능하게 접속된 제4 제어 입력
- [0070] 을 포함하는 제2 제어 회로
- [0071] 를 포함하는, 증폭기에 관한 것이다.
- [0072] 물론, 제1 양태와 관련하여 이루어진 모든 실시예들, 상황들 및 고려사항들은 제2 양태와 관련하여 동일하게 유효하다.
- [0073] 제1 양태의 증폭기는 바람직하게는 적분 증폭기이다.
- [0074] 이러한 맥락에서, 저역 통과 필터는 그 주파수 응답이 적어도 디케이드에 걸쳐 또는 적어도 20dB에 걸쳐 하향 추세를 나타내는 임의의 회로이다. 저역 통과 전달 함수는 더 낮은 주파수들에서 더 낮은 감쇠(또는 더 높은 이득) 및 더 높은 주파수들에서 더 높은 감쇠(또는 더 낮은 이득)를 갖는 회로를 설명한다.
- [0075] 저역 통과 필터는 이산 또는 비활성 컴포넌트들로 만들어지는 것과 같이, 영구적으로 활성일 수 있거나, 또는 1차 증폭기가 제2 동작 모드에 있을 때와 같이, 디스에이블되도록 구성될 수 있다. 디스에이블링은, 그 전체가 본 명세서에 참고로 포함되는, "AMPLIFIER CIRCUIT"라는 명칭으로 동일 날짜에 출원된 출원인의 공동 계류중인 출원에서 설명된 바와 같을 수 있다. 다른 솔루션들 및 실시예들은, "AN AMPLIFIER WITH A COMPENSATOR WITH A NETWORK OF AT LEAST THIRD ORDER"라는 명칭으로 동일 날짜에 또한 출원된, 출원인의 공동 계류중인 출원에서 볼 수 있으며, 그 전체가 본 명세서에 참고로 포함된다.
- [0076] 이 저역 통과 필터를 추가하는 목적은 먼저 적분 증폭기를, 전체 루프 이득을 증가시키고 입력 신호에서의 고주파수 성분들을 감쇠시키는 동시에, 넓은 평탄한 주파수 응답을 갖는 것으로 전환하는 것일 수 있다. 이 증폭기는 매우 원하는 2차 폐쇄 루프 응답을 가질 것이다.
- [0077] 본 발명의 제3 양태는 부하, 케이블 및 제2 양태에 따른 증폭기의 어셈블리에 관한 것이며, 여기서,
- [0078] · 케이블은 제1 단부 및 제2 단부를 갖고, 제1 단부에서, 증폭기 출력에, 그리고 제2 단부에서, 부하에 접속되고,
- [0079] · 제4 제어 입력은 케이블의 제2 단부에 동작가능하게 접속된다.
- [0080] 물론, 상기의 양태들과 관련된 모든 실시예들, 상황들 및 고려사항들은 이 양태에 대해 동일하게 관련된다.
- [0081] 제2 양태에 따른 증폭기는 케이블에 의해 야기되는 임의의 영향들, 전형적으로 저항 또는 임피던스를 고려하기

에 특히 매우 적합하다. 따라서, 케이블의 원단(far end)으로부터 피드백을 제공하는 것은 증폭기가 이러한 영향을 고려할 수 있게 한다.

- [0082] 이 점에 있어서, 케이블은 제1 단부로부터 제2 단부로 연장되는 하나 이상의 도체를 포함하는 긴 요소일 수 있다.
- [0083] 부하는 확성기, 모터, 액추에이터 등과 같은 임의의 전력 소비 요소일 수 있다. 그러한 요소들은 (적어도) 2개의 커넥터들 또는 도체들 사이의 전압 차이를 수신한다. 도체들 또는 커넥터들 모두는 통상적으로 증폭기에 접속되지만, 증폭기 및 부하 둘다, 예를 들어, 접지와 같은 공통 전압에 접속되는 경우, 하나면 충분하다. 종종, 이러한 다른 도체 또는 공통 전압에 대한 접속은 암시적이고, 간략함을 위해 설명되지 않는다.
- [0084] 그 다음, 케이블은 제1 단부에서의 증폭기의 출력 및 제2 단부에서의 부하에 접속된 제1 도체를 포함할 수 있다. 그 다음, 케이블은 제2 단부에서 제1 도체 또는 부하(종종 동일한 커넥터 또는 도체)에, 그리고 다른 단부에서의 제4 제어 입력에 접속된 제2 도체를 포함할 수 있다.
- [0085] 물론, 케이블은 미리 결정된 전압, 종종 접지와 같은 증폭기, 그리고 부하의 다른 도체 또는 커넥터에 접속된 제3 도체를 포함하여, 제1 및 제3 도체들 사이의 부하를 통해 원하는 전압 변화를 생성할 수 있다.
- [0086] 장점은, 증폭기 출력 대신에, 부하에서 직접 전압을 감지함으로써, 케이블 임피던스가 피드백 루프에 포함될 수 있고, 이 임피던스의 영향들이 실질적으로 감소된다는 것이다.
- [0087] 본 발명의 제4 양태는 부하 및 본 발명의 제1 양태에 따른 증폭기의 어셈블리에 관한 것으로서, 부하는 증폭기의 출력에 접속되고, 어셈블리는,
- [0088] · 전류 제어 입력,
- [0089] · 부하를 통한 전류를 감지하고, 감지된 전류에 관한 신호를 출력하기 위한 감지 수단; 및
- [0090] · 차동 증폭기—차동 증폭기는,
- [0091] · 감지 수단에 접속된 제1 입력,
- [0092] · 전류 제어 입력에 접속된 제2 입력, 및
- [0093] · 증폭기의 입력에 동작가능하게 접속된 출력을 가짐—를 더 포함하고,
- [0094] 차동 증폭기는 제1 입력 상에서 수신된 신호로부터 제2 입력 상에서 수신된 신호를 감산하도록 구성되는, 어셈블리에 관한 것이다.
- [0095] 물론, 상기의 양태들과 관련된 모든 실시예들, 상황들 및 고려사항들은 이 양태에 대해 동일하게 관련된다.
- [0096] 이러한 맥락에서, 전류 제어 입력은 적절한 증폭기의 입력일 수 있다. 따라서, 이 입력은, 예를 들어, 증폭되고, 그 후 전형적으로 확성기일 것인 부하에 공급될 오디오 신호를 수신할 것이다.
- [0097] 대안적으로, 전류 제어 입력은 증폭되고, 부하인 액추에이터에 공급되는 신호를 수신할 수 있으며, 여기서 전류 제어 입력에 공급되는 신호는 액추에이터의 원하는 동작을 정의한다.
- [0098] 전술한 바와 같이, 부하는 2개의 도체들을 통해 증폭기에 통상적으로 공급되며, 도체들 중 하나는 증폭기의 출력과 같은 증폭기 출력에 접속된다. 다른 도체는 단순히 고정된 전압에 접속될 수 있다. 그 다음, 증폭기는 부하에 원하는 전력 공급을 제공하기 위해 동일한 전압에 접속될 수 있다.
- [0099] 전류 센서는 공급 도체들 및 부하를 따른 임의의 위치에 제공될 수 있다.
- [0100] 목적은, 높은 출력 임피던스를 갖는 증폭기를 구성하는 것, 즉, 입력 신호가 출력에서의 또는 부하에 걸친 전압을 제어하지 않고, 부하를 통해 흐르는 전류를 제어하는 것일 수 있다.

도면의 간단한 설명

- [0101] 이하에서, 본 발명의 바람직한 실시예들이 도면을 참조하여 도시된다.
- 도 1은 본 발명에 따른 클래스 D 전력 증폭기의 제1 실시예를 도시한다.
 - 도 2는 본 발명에 따른 클래스 D 전력 증폭기의 제2 실시예를 도시한다.

- 도 3은 본 발명에 따른 클래스 D 전력 증폭기의 제3 실시예를 도시한다.
- 도 4는 본 발명에 따른 클래스 D 전력 증폭기의 제4 실시예를 도시한다.
- 도 5는 합산 노드(1), 제3 피드백 필터(12) 및 제1 순방향 필터(2)의 회로 구현을 도시하며, 여기서 순방향 필터(2)는 1차 저역 통과 필터이다.
- 도 6은 합산 노드(1), 제3 피드백 필터(12) 및 제1 순방향 필터(2)의 회로 구현을 도시하며, 여기서 순방향 필터(2)는 적분기이다.
- 도 7은 합산 노드(1), 제3 피드백 필터(12) 및 제1 순방향 필터(2)의 회로 구현을 도시하며, 여기서 순방향 필터(2)는 2차 저역 통과 필터이다.
- 도 8은 합산 노드(4), 순방향 필터(3), 제2 피드백 필터(11) 및 보상기(5)의 회로 구현을 도시하며, 여기서 보상기(5)는 출력과 반전 입력 사이에 접속된 다이오드 네트워크(52)와 병렬로 보상 네트워크(51)로서 이용되는 커패시터를 갖는 op 앰프이고, 따라서 보상기(5)를 포화 적분기로 만들고, 순방향 필터(3)는 저항기이고, 제2 피드백 필터(11)는 고역 통과 필터이다.
- 도 9는 보상 네트워크(51)로서 또한 이용될 수 있는 다른 네트워크를 도시하며, 보상기를 2개의 DC 극들 및 하나의 실수 0(real zero)을 갖는 함수로 만든다.
- 도 10은 보상 네트워크(51)로서 또한 이용될 수 있는 다른 네트워크를 도시하며, 보상기를 하나의 실수 0, 및 크기만이 자유롭게 선택될 수 있는 2개의 복소수 극들(complex pole)을 갖는 함수로 만든다.
- 도 11은 보상 네트워크(51)로서 또한 이용될 수 있는 다른 네트워크를 도시하며, 보상기를 하나의 실수 0, 및 자유롭게 선택될 수 있는 2개의 복소수 극들을 갖는 함수로 만든다.
- 도 12는 보상 네트워크(51)로서 또한 이용될 수 있는 다른 네트워크를 도시하며, 보상기를 2개의 실수 0들, 하나의 DC 극, 및 크기만이 자유롭게 선택될 수 있는 2개의 복소수 극들을 갖는 함수로 만든다.
- 도 13은 보상 네트워크(51)로서 또한 이용될 수 있는 다른 네트워크를 도시하며, 보상기를 2개의 실수 0들, 하나의 DC 극, 및 자유롭게 선택될 수 있는 2개의 복소수 극들을 갖는 함수로 만든다.
- 도 14는 보상 네트워크(51)로서 또한 이용될 수 있는 다른 네트워크를 도시하며, 보상기를 3개의 실수 0들, 및 크기만이 자유롭게 선택될 수 있는 복소수 극들의 2개의 쌍을 갖는 함수로 만든다.
- 도 15는 도 8(파선(dashed), 흑색), 도 9(쇄선(dashdot), 회색), 도 10(점선(dotted), 회색), 도 11(실선(solid), 회색), 도 12(점선, 흑색), 및 도 13(실선, 흑색)의 보상 네트워크(51)를 갖는 도 8에서와 같은 회로에 의해 획득된 이득의 전형적인 곡선들을 도시한다.
- 도 16은 보상기의 포화를 달성하기 위해 피드백 네트워크(52)로서 이용될 수 있는 다른 네트워크를 도시한다.
- 도 17은 연산 증폭기 클립(operational amplifier clip)을 그의 공급 레일들(supply rails)에 대항하여 배치함으로써 포화가 암시적으로 적용되는 보상기(5)의 회로 구현을 도시한다.
- 도 18은 도 2의 실시예에서 이용하기 위한 보상기(5a)의 회로 구현을 도시하며, 포화의 수단이 제공되지 않지만, 보상기를 재설정하기 위해 전계 효과 트랜지스터가 보상 네트워크(51)에 걸쳐 접속된다.
- 도 19는 도 2의 실시예에서 이용하기 위한 보상기(5a)의 회로 구현을 도시하며, 스위치는 적분기와 직렬로 배치되어 적분을 유지하지만 적분기를 리셋하지 않는다.
- 도 20은 도 2의 실시예에서 이용하기 위한 보상기(5a)의 완전 차동 회로 구현을 도시하며, 3개의 극(그 2개는 공진 쌍임) 및 2개의 0들을 갖고, 3개의 op 앰프들을 이용하여 실행되고, 매 커패시터마다 리셋 스위치들을 갖는다.
- 도 21은 순방향 필터(3) 및 제2 피드백 필터(11)의 회로 구현을 도시하며, 순방향 필터(3)는 1차 저역 통과 필터이다.
- 도 22는 합산 노드들(6 및 7) 및 제1 피드백 필터(10)의 회로 구현을 도시하며, 제1 피드백 필터(10)는 고역 통과 필터이다.
- 도 23은 합산 노드들(6 및 7) 및 제1 피드백 필터(10)의 회로 구현을 도시하며, 제1 피드백 필터(10)는 하이

셸프 필터(high-shelf filter)이다.

- 도 24는 보상 네트워크(51)의 개선된 버전들이 대체될 수 있는 곳을 나타내는, 전압 팔로워(voltage follower)로서 구성된 선형 증폭기의 단순화된 회로를 도시한다.
- 도 25는 본 발명에 따른, 2차 증폭기(101), 순방향 필터(2), 제3 피드백 필터(12), 케이블 및 부하의 어셈블리를 도시하며, 여기서, 제3 피드백 필터(12)에 대한 입력 신호가, 부하가 부착되는 케이블의 단부에 접속된다.
- 도 26은 본 발명에 따른, 적분 증폭기, 차동 증폭기(13), 부하 및 전류 센서(14)로서 구성되는 2차 증폭기(101)의 어셈블리를 도시하며, 여기서 적분 증폭기는 전류 센서의 입력 신호와 출력 신호 사이의 차이에 응답하도록 구성된다.
- 도 27은 마킹된 대략적인 등가 함수들, 즉, 제1 피드백 필터(10)로서의 1차 고역 통과 필터 및 제1 순방향 필터(2)로서의 1차 저역 통과 필터를 갖는 종래 기술의 증폭기를 도시한다.
- 도 28은 1차 피드백 필터에서의 2차 또는 더 높은 차수의 고역 통과 필터의 이용을 도시하는, 본 발명에 따른 증폭기를 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0102] 도 1에서, 입력(20), 출력(21), 이득 스테이지(박스들 8 및 9), 4개의 합산 노드들(1, 4, 6, 7), 제1 피드백 필터(10), 제2 피드백 필터(11), 제3 피드백 필터(12), 제1 순방향 필터(2), 제2 순방향 필터(3) 및 보상기(5)를 갖는 증폭기(100)가 도시된다.
- [0103] 1차 증폭기는 박스(102)로서, 2차 증폭기는 박스(101)로서 표시된다.
- [0104] 입력(20)과 1차 증폭기(101)로의 입력 사이에는 순방향 경로가 정의되고, 출력(21)과 합산 노드 사이 전체에는 다수의 피드백 경로들이 도시되어 있다.
- [0105] 내부 피드백 경로는 출력(21)과 합산 노드(7) 사이에 정의되고, 내부 피드백 루프는 출력(21)으로부터 필터(10), 합산 노드(7), 증폭기 이득 스테이지(8) 및 필터(9)를 통해 정의된다.
- [0106] 입력(20)을 통해 오디오 신호가 합산 노드(1)에 공급된다. 출력(21)은 피드백 필터(12)를 통해 합산 노드(1)에 접속되어 있다. 바람직한 실시예에서, 피드백 필터(12)는 도 5에 도시된 바와 같은 저항기이지만, 증폭기(100)의 주파수 응답의 추가적인 형상화를 허용하기 위한 필터를 또한 포함할 수 있다. 합산 노드(1)의 출력은 순방향 필터(2)에 공급된다. 바람직한 실시예에서, 순방향 필터(2)는 도 5에 도시된 바와 같이 오디오 대역 위의 코너 주파수(corner frequency)를 갖는 1차 저역 통과 필터이다. 순방향 필터(2)의 출력은 순방향 필터(3)를 통해 합산 노드(6) 및 합산 노드(4) 둘다에 접속된다. 합산 노드(4)는 또한 피드백 필터(11)를 통해 출력(21)의 신호를 수신한다. 합산 노드(4)는 보상기(5)에 공급한다. 보상기(5)는 합산 노드(6)에 공급한다. 보상기는 증폭기가 클리핑될 때 디스에이블되도록 배열된다. 순방향 경로는 평행한 부분들을 가지며, 하나의 부분은 필터(3), 합산 노드(4) 및 필터(5)를 포함하고, 다른 부분은 필터(3)의 입력으로부터 합산 노드(6)로의 직접 접속이다.
- [0107] 피드백 경로가 출력(21)으로부터 필터(11)를 통해 합산 노드(4)로 정의된다. 이 피드백 경로는 또한 보상기(5), 합산 노드(6) 및 1차 증폭기(102)를 포함하는 피드백 루프의 일부를 형성한다. 따라서, 피드백 루프는 필터(11) 및 보상기(5)에 의해 형성된 제어 회로를 포함한다.
- [0108] 이 실시예에서, 보상기는 보상기 이득 스테이지인 연산 증폭기(50)를 포함하며, 용량성 보상 네트워크(51)는 연산 증폭기의 출력과 반전 입력 사이에 접속된다. 이는 도 8에 도시된다. op 앰프들 주위에 피드백 네트워크들을 채용하는 필터 회로들을 설계할 때, 차동 입력을 갖는 회로를 획득하기 위해 이들 피드백 네트워크의 중복(duplicate)을 op 앰프의 비반전 입력과 접지 사이에 제공하는 것이 일반적인 관행이다. 다른 이점들 중에서도 이것은 반전 또는 비반전 동작의 자유로운 선택을 가능하게 한다. 그러나 명료성을 위해, 그러한 중복 피드백 네트워크들은 도면들에 도시되지 않고, 정확한 극성을 복원하는데 필요한 임의의 반전들이 암시된다.
- [0109] 가장 간단한 그러한 용량성 피드백 네트워크는 단순히 도 8에서와 같은 커패시터이다. 결과적인 회로는 적분기, 즉, 이득이 주파수에 반비례하는 회로이다. 이것은 또한 1차 필터 또는 1극 필터(one-pole filter)라고도 지칭되고, "극(pole)"은 이득이 무한인 (실수 또는 복소수) 주파수이고, "차수(order)"는 극들의 수이다. 간단한 적분기에서, 극은 0Hz에 있다(또는 실제로 그것에 매우 가깝다). Ifb와 Vcomp의 비율은 원하는 동작 주파수 범위에서 높은 것이 바람직한 보상기 이득에 반비례한다. 본 개시내용의 목적들을 위해, 용량성 네트워크

는 적어도 증폭기의 동작 대역폭과 스위칭 주파수의 절반 사이의 범위에서, op 앰프 출력 전압 V_{comp} 에 대한 크기가 주파수에 따라 증가하는 피드백 전류 I_{fb} 를 생성하는 회로인 것으로 이해된다. 예로서, I_{fb} 와 V_{comp} 사이의 비율은 20kHz와 200kHz 사이에서 10배 증가할 수 있다. 다른 예로서, I_{fb} 와 V_{out} 사이의 비율은 80kHz와 800kHz 사이에서 10배 증가할 수 있다. 또한, 높은 보상기 이득을 확보하기 위해, 기술된 증폭기 동작 범위에서는 I_{fb}/V_{comp} 비율이 낮다.

[0110] 도 9에서, 2차 응답이 도시되어 있다. 예로서, 획득된 응답의 타입은 도 15의 그래프의 회색 채선으로 도시된다. 저주파수들에서, 이득은 (40dB/decade)의 하향 기울기에 의해 입증된 바와 같이 주파수의 제곱에 반비례한다. 높은 주파수들에서, 응답은 1차 (20dB/decade) 기울기로 천이한다. 이러한 타입의 동작은 보상기들에 대해 매우 바람직하다. 필터는 1차 기울기로의 천이가 루프 이득이 1이 되는 지점 전에 발생하도록 설계되고, 따라서 안정된 동작을 허용하기 위해 충분히 낮은 값으로 위상 시프트를 감소시킨다. 동시에, 저주파수들에서의 더 빠른 기울기는 간단한 1차 회로보다, 낮은 주파수들에서의 더 높은 루프 이득을 허용한다. 도 10 및 도 11에서의 개선들은 DC(도 15에서 점선 회색 및 실선 회색)의 루프 이득을 희생하여 이득이 가장 높은 주파수를 더 높은 주파수로 이동시키는 역할을 한다.

[0111] 추가적인 증폭 스테이지들을 이용하지 않고 저주파수 루프 이득이 더 증가(즉, 차수가 증가)될 수 있다. 지금까지, 도 20에 도시된 바와 같이 차수당 하나의 증폭 스테이지를 이용하여 차수 3 이상의 보상기들만이 구현되었다.

[0112] 도 8에서, op 앰프(50)의 반전 입력 단자는 가상 단락(virtual short)으로서 동작되고, 보상 네트워크(51)는 미분기(differentiator)로서 작용하는 커패시터이고, 그 출력 전류 I_{fb} 는 V_{comp} 의 도함수(derivative)이다. 그렇지 않으면, V_{comp} 는 전류 I_{fb} 의 적분이다. 도 9의 네트워크는 1차 고역 통과 필터와 캐스캐이딩된 미분기로서 작용한다. 이 네트워크는 추가적인 고역 통과 섹션들을 추가함으로써 확장될 수 있다. 고역 통과 섹션을 하나 더 추가하는 것은 도 15에서 흑색 채선으로 도시된 것과 같은 응답을 초래한다. (도 12에 도시된 바와 같이) 3개의 커패시터들 중 2개를 브리징하는 저항기는 도 15에서 흑색 점선으로 도시된 바와 같이 2개의 극들의 주파수를 위로 다시 이동시킬 것이다. 도 13은 도 11의 2-극 경우에서 동일한 효과를 생성하는데 필요했던 바와 같은 3-컴포넌트 병렬 T 네트워크를 필요로 하지 않는 2개의 극들의 Q를 증가시키는 방법을 도시한다. 마지막으로, 도 14는 방법이 추가의 고역 통과 섹션들을 (선택적으로는 극들의 주파수를 위로 이동시키기 위해 병렬 네트워크들과) 캐스캐이딩함으로써 임의의 수의 극들로 확장될 수 있다는 것을 도시한다.

[0113] 이러한 통찰은 클래스 D 증폭기들을 위한 제어 회로에만 적용되는 것은 아니다. 도 24는 표준 연산 증폭기의 기본 회로를 도시한다(실제 op 앰프들은 바이폴라 트랜지스터들, j-FET들, MOSFET들 또는 유사한 디바이스들, 또는 혼합을 이용할 수 있고, 추가적인 바이어스, 캐스코드 또는 보호 회로들을 포함할 수 있다). 보상 네트워크(51), 즉, 여기서 커패시터는 "보상 커패시터"의 위치를 취한다. 여기서도, 그러한 네트워크는 오디오 충실도를 개선시킨다.

[0114] 본 발명의 일 실시예에서, 1차 증폭기(102)의 맥락에서, 제1 피드백 필터(10)는 보상기(5)의 맥락에서 보상 네트워크(51)에 의해 충족된 것과 유사한 기능을 충족시킨다는 점에 유의한다. 즉, 보상기의 이득은 보상 네트워크(51)의 이득에 대략 반비례한다. 보상 네트워크(51)가 커패시터인 경우, 보상기(5)는 적분기처럼 동작할 것이다. 보상 네트워크(51)가 도 9에 도시된 것과 같은 고차 미분 네트워크이고, 도 14까지 이어지는 경우, 보상기는 고차 적분기들처럼 작용할 것이다. 마찬가지로, 1차 증폭기(102)의 이득은 피드백 필터(10)의 이득에 대략 반비례한다. 따라서, 제1 피드백 필터(10)에서의 커패시터에 대해 고차 미분 네트워크를 대체하는 것은 1차 증폭기(102)의 이득을 증가시킬 것이다. 제2 피드백 필터(11)에서 알려진 단일 커패시터에 대해 유사한 네트워크를 제공함으로써 신호 소거(signal cancellation)가 다시 획득된다.

[0115] 도 27은 많은 오디오 응용들에서 그 성능을 수용가능한 알려진 간단한 회로를 도시한다. 본 설명에서 명명된 요소들의 관점에서, 그것은 순방향 필터(2), 제1 피드백 네트워크(10), 이득 스테이지(8) 및 출력 필터(9)로서 분해될 수 있으며, 여기서 합산 노드들(1 및 7)은 회로 접합들(circuit junctions)로서 구현된다. 커패시터에 대한 고차 미분 네트워크를 대체함으로써 제1 피드백 필터(10)를 수정하는 것은 그러한 회로에서의 루프 이득을 저렴한 방식으로 개선한다.

[0116] 바람직한 실시예에서, 제2 피드백 네트워크(52)는 포화를 제공하기 위해, 즉, 용량성 피드백 네트워크(51)에 걸린 전압이 미리 설정된 한계보다 더 커지는 것을 방지하기 위해 접속된다. 이 제2 피드백 네트워크는 도 8에 도시된 바와 같이 한 쌍의 역평행 다이오드들만큼 간단할 수 있거나, 도 16으로부터의 것과 같이 더 정교한 회로일 수 있다. 또 다른 실시예에서 op 앰프(50)는 op 앰프(50)의 출력 V_{comp} 가 정상 동작 범위 바로 밖에서 자

연스럽게 포화되도록 선택된 공급 전압들로부터 단순히 전력 공급을 공급받는다(도 17).

[0117] 이것은 1차 증폭기가 클립핑될 때 보상기가 그 동작을 디스에이블하도록 배열된다는 취지로 신호 소거 및 포화가 함께 이용되는지 실험적으로 검증될 수 있다. 먼저, 오디오 신호가 1차 증폭기(102)의 심각한 클립핑을 야기하기에 충분한 진폭으로 입력(20)에 인가된다. 입력 신호로서, 20Hz와 20kHz 사이에서 계속 스위핑하는 사인파가 이용된다. 출력 신호(21)의 피크-대-피크 값 V_{clip} 이 기록된다. 이 테스트 동안, 보상기(50)의 포화가 관찰되어야 한다(관찰 1). 다음으로, 출력 신호(21)의 피크-대-피크 값이 V_{clip} 의 70%일 때까지 오디오 신호의 레벨이 감소된다. 이제, 보상기(50)의 포화가 관찰되지 않아야 한다(관찰 2). 다음, 제1 피드백 필터(10)의 이득은 적어도 DC 내지 20kHz 범위에서 10% 만큼 변경된다. 1차 증폭기(102)가 클립핑으로부터 멀리 있더라도 보상기(50)의 포화는 다시 관찰되어야 한다(관찰 3). 관측들 1, 2 및 3이 모두 참(true)이면, 보상기는 1차 증폭기가 클립핑될 때 그 동작을 디스에이블하도록 배열된다.

[0118] 1차 증폭기가 클립핑될 때 보상기가 그 동작을 디스에이블하도록 배열된다는 취지로 신호 소거 및 포화가 함께 이용되는지를 확립하기 위한 대안적인 절차는, 제1 피드백 필터(10)의 이득이 변경될 때 왜곡 성능의 급격한 변화를 찾는 것이다. 먼저, 정현파 오디오 신호(sinusoidal audio signal)를 입력(20)에 인가하고, 총 고조파 왜곡(harmonic distortion)이 10%를 측정할 때까지 레벨을 조절함으로써, 증폭기의 클립핑 레벨을 설정한다. 그 후, 신호 레벨을 40% 만큼 감소시키고 왜곡을 측정한다. 다음, 제1 피드백 필터의 이득을 10% 만큼 변경하고, 왜곡을 다시 측정한다. 제2 왜곡 수치가 제1 왜곡 수치의 적어도 2배인 경우, 보상기는 1차 증폭기가 클립핑될 때 그 동작을 디스에이블하도록 배열된다. 테스트는 1kHz 및 6kHz에서 행해질 수 있다.

[0119] 제2 실시예(도 2)에서, 1차 증폭기의 클립핑을 검출하는 회로가 추가된다. 클립핑을 검출하는 많은 방법들이 존재한다. 하나의 방법은 합산 노드(7)의 출력을 윈도우 비교기로 모니터링하는 것이다. 정상 동작 동안, 합산 노드(7)의 출력은 출력 스테이지 변화 상태를 만들기 위해 제로 크로싱할 필요가 있으므로 특정 한계들 내에 유지될 것이다. 1차 증폭기가 클립핑될 때, 합산 노드(7)의 출력은 훨씬 더 커질 것이다. 이것은 정상 동작 또는 클립핑의 용이한 판별을 가능하게 한다. 다른 방법은 비교기 출력을 시간화하는 것이다. 미리 결정된 최대값보다 더 오랫동안 하이(high) 또는 로우(low)로 유지되는 경우, 1차 증폭기는 클립핑인 것으로 간주된다. 추가 방법들은 입력 또는 출력 신호를 미리 설정된 한계들과 비교하는 것을 포함하고, 그러한 한계들을 넘어서 1차 증폭기는 클립핑이라고 간주된다.

[0120] 그 다음, 클립핑 검출기의 출력은 용량성 피드백 네트워크(51)를 단락(즉, 리셋)하는 스위치들(53)(도 18에 도시됨)을 제어하는데 이용된다. 그러한 스위치들은 전계 효과 트랜지스터들을 이용하여 구현될 수 있다. 피드백 네트워크로서의 단일 커패시터 및 리셋 스위치로서 작용하는 전계 효과 트랜지스터를 이용하는 변형이 도 18에 도시되어 있다.

[0121] 대안적으로, 스위치는 추가의 적분을 디스에이블하도록 배열될 수 있다. 도 19는 1차 증폭기의 클립핑이 검출될 때 보상기의 입력을 접속해제하고, 1차 증폭기가 정상 동작으로 복귀할 때 보상기의 입력을 재접속하도록 스위치가 배열되는 보상기의 구현예를 도시한다.

[0122] 보상기는 하나의 op 앰프를 이용하여 구성될 필요가 없고, 하나의 피드백 네트워크만을 가질 필요가 없다. 기능적으로 등가인 회로들은, 예를 들어, 차동 피드백 네트워크들, 차동 op 앰프들 또는 다중 op 앰프들을 이용하여 만들어질 수 있다. 도 20에는, 개별 적분 스테이지들을 리셋하기 위해 3개의 차동 op 앰프들 및 전계 효과 트랜지스터들을 이용하여 구성된 3차 보상기의 구현이 도시되어 있다. 이러한 구현은 다수의 변형들을 한번에 표시하는 것으로 도시되고, 많은 유용한 조합들이 발견될 수 있다는 것이 명백할 것이다.

[0123] 합산 노드(6)의 출력은 1차 증폭기(102)에 공급한다. 이 증폭기는 클래스 A, AB, B 또는 D 증폭기일 수 있다. 그것이 클래스 D 증폭기인 경우, 그것은 자체 발진 또는 발진기 구동될 수 있다. 자체 발진 구현은 클래스 D 이득 스테이지(8), 출력 필터(9) 및 피드백 필터(10)를 포함할 수 있다. 이득 스테이지(8)는 비교기(또는 제로 크로싱 검출기(zero-crossing detector))에 의해 제어되는 스위칭 전력 스테이지를 포함한다. 이득 스테이지(8)는 비교기에 인가되는 입력 신호의 부호에 따라 그것의 출력을 포지티브 또는 네거티브 전력 공급기 레일에 접속할 것이다. 이러한 방식으로 구성되어, 1차 증폭기(102)는 자체 발진 증폭기로서 동작한다. 삼각파와 같은 주기적 기준 신호가 이득 스테이지(8)의 비발진 단자에 접속되는 경우, 증폭기는 더 이상 자체 발진하지 않는다. 그의 동작 주파수 및 이득은, 대신에 기준 파형의 주파수, 형상 및 진폭에 의해 결정될 것이다. 종래 기술의 증폭기들에서, 피드백 필터(10)는 1차 증폭기(102)의 주파수 응답이 오디오 이용을 위해 충분히 편평하도록 설계되었다. 이것은 피드백 필터(10)가 DC에서 무시할만한 이득을 가질 수 있는 본 발명에서의 경우일 필요는 없다. 바람직한 실시예에서, 피드백 필터(10)는 오직 저항기 및 커패시터로 직렬로 구성된다(도 22). 결

과적으로, 1차 증폭기(102)의 주파수 응답은 큰 DC 이득 및 낮은 코너 주파수를 갖는 저역 통과 필터에 근사화된다. 이용가능한 대역폭 대부분에 걸쳐서 20dB/decade 하향 기울기를 갖는다. 실제의 목적들을 위해, 1차 증폭기(102)는 적분기처럼 동작한다.

[0124] 바람직한 실시예에서, 순방향 필터(3)는 일정한 이득을 갖고(예를 들어, 저항기이고), 피드백 필터(11)는 1차 증폭기의 DC 이득이 무한하지 않다는 사실을 고려하여 저항기를 병렬로 갖는 피드백 필터(10)의 정확한 복제(copy)이고, 그에 의해 신호 소거를 개선한다. 이것은 피드백 필터들(10 및 11)을 위해 별개의 회로들을 갖는 것이 유리하다는 것을 보여준다. 이 배열은 도 1에 도시되어 있다. 2차 증폭기(101)의 주파수 응답은 1차 증폭기(102) 단독의 주파수 응답과 가깝게 매칭된다. 포화된 보상기(5)의 출력에서 오디오 입력 신호의 더 개선된 소거를 얻기 위해 순방향 필터(3) 및 피드백 필터(11)를 함께 수치적으로 최적화하는 것이 유리할 수 있다. 도 21은 순방향 필터(3)가 1차 저역 통과 필터인 예를 도시한다.

[0125] 베셀(Bessel), 버터워스(Butterworth) 또는 체비셰프(Chebyshev) 응답 또는 그 사이의 어떤 것을 달성할 가능성과 함께 2차 또는 더 높은 차수의 저역 통과 필터에 근사하는 폐쇄 루프 주파수 응답을 획득하는 것이 바람직하다. (0.5를 넘는 Q 계수를 갖는) 공진 코너를 갖는 2차 저역 통과 필터를 구성하는 방식은 공통 피드백 루프 내부에 2개의 1차 저역 통과 필터들을 배치하는 것이다. 증폭기(100)로부터 2차 저역 통과 주파수 응답을 얻기 위해, 2차 증폭기(101) 및 순방향 필터(2)가 그러한 저역 통과 필터의 구성 부분들로서 이용된다. 피드백 루프는 피드백 필터(12) 및 합산 노드(1)를 통해 폐쇄된다. 바람직한 실시예에서, 2차 증폭기(101)는 큰 DC 이득을 갖지만 매우 낮은 코너 주파수를 갖는다. 도 22는 그러한 응답을 발생시키는 제1 피드백 필터(10)의 구현을 도시한다. 일반적으로, 2차 증폭기(101)에 대한 그러한 특성을 얻기 위해, 제1 피드백 필터(10)는 DC에서의 매우 낮은 이득 및 높은 주파수들(예를 들어, 스위칭 주파수, 200kHz, 100kHz)에서의 높은 이득을 갖도록 구성되어야 한다. 제1 피드백 필터(10)가 DC에서 0이 아닌 이득을 갖는다면, 그 이득이 그의 DC 이득보다 3dB 만큼 증가한 주파수는 낮아야 한다(예를 들어, 20kHz 미만, 예를 들어, 2kHz 미만). 제1 피드백 필터(10)가 1차 고역 통과 필터이면, 순방향 필터(2)가 1차 저역 통과 필터로서 구성되는 경우에 순방향 필터(2)를 갖는 피드백 루프에 2차 증폭기(101)를 포함시킴으로써 증폭기(100)에 대해 대략 2차 주파수 응답이 획득될 수 있다. 도 5는 그러한 순방향 필터(2)의 구현을 도시한다. 증폭기(100)의 주파수 응답에 대한 임의의 원하는 코너 주파수 및 Q 계수는 순방향 필터(2)의 이득 및 코너 주파수를 변화시킴으로써 획득될 수 있다.

[0126] 증폭기(100)에 대한 동일한 주파수 응답이 피드백 필터(10) 및 순방향 필터(2)의 상이한 선택들로 이용가능하다는 것이 본 기술분야의 통상의 기술자에게 명백할 것이다. 예를 들어, 도 23은 2차 증폭기가 낮은 DC 이득을 갖지만 반대로 높은 코너 주파수를 갖는 것을 허용하는 피드백 필터(10)의 구현을 도시한다. 이어서, 순방향 필터(2)를 적분기로서 구성하는 것은 증폭기(100)의 주파수 응답의 Q 계수가 자유롭게 선택될 수 있게 한다. 순방향 필터(2)를 적분기로서 구성하는 구현이 도 17에 도시되어 있다. 본 발명의 목적은 추가적인 신호 처리(여기서는 순방향 필터(2))가 적분 와인드업(integrating windup)을 겪지 않는 것이다. 통상적인 증폭기 설계 전략에 따라 순방향 필터(2)를 적분기로서 구성하는 것이 더 많지만, 1차 증폭기의 클리핑은 클리핑이 지속되는 한 순방향 필터(2)의 출력이 계속 성장하게 하여, 적분 와인드업을 유발할 것이다. 따라서, 순방향 필터(2)를 저역 통과 필터로서 구성하고, 높은 DC 이득 및 낮은 코너 주파수(예를 들어, 20kHz 미만, 예를 들어, 1kHz)를 갖도록 1차 증폭기를 구성하는 것이 바람직하다.

[0127] 추가적인 신호 처리가 증폭기 입력과 비교기 사이의 저역 통과 필터링을 제공하는 것이 바람직하다. 순방향 필터(2)는 저역 통과 필터 또는 적분기이므로, 이것이 획득된다.

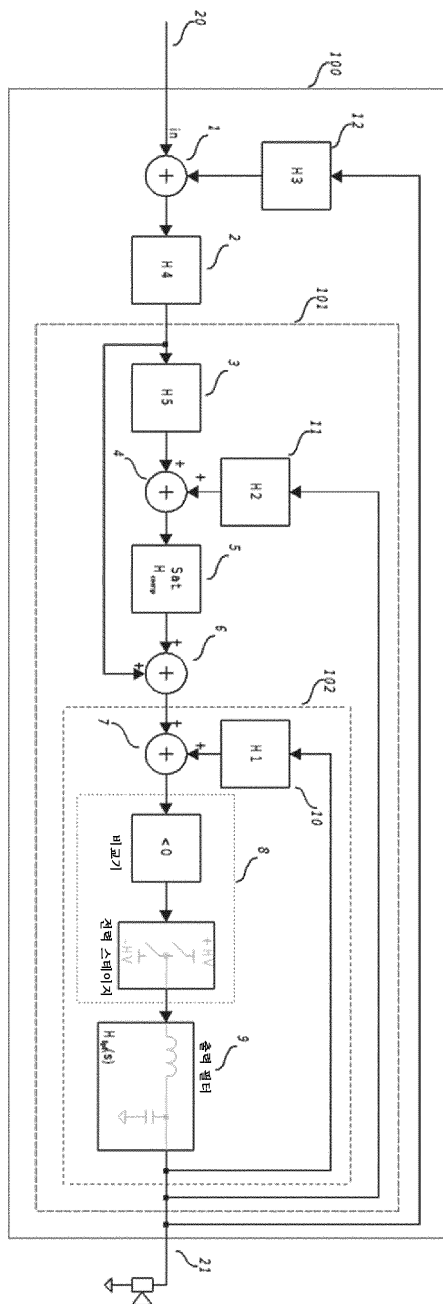
[0128] 고차 저역 통과 동작은 순방향 필터(2)의 차수를 증가시킴으로써 획득될 수 있다. 이것은, 예를 들어, 도 7에 도시된 바와 같이 행해질 수 있다. 이것은 비교기에 도달하는 입력 신호에서의 고주파수 성분들의 감쇠를 더 개선한다.

[0129] 증폭기가 원격 감지에 더 잘 따르는 것이 바람직하다. 도 1 내지 도 4에 도시된 바와 같이, 제3 피드백 필터(12)의 입력은 제2 피드백 필터(11) 및 제1 피드백 필터(10)의 입력과는 독립적으로 부하에 접속된다. 이것은 제3 피드백 필터(12)의 입력이, 증폭기 및 확성기 부하를 접속하는 케이블의 원단(far end)에 접속되는 것을 허용하는 반면, 피드백 필터들(11 및 10)은 근단(near end)에 접속될 수 있다. 이 배열은 도 25에 도시되어 있다. 이것은 순방향 필터(2)가 저역 통과 필터 또는 적분기이기 때문에 가능하며, 케이블의 원단에 존재하거나 누락될 수 있는 고주파수 성분들에 민감하지 않게 한다. 또한, 순방향 필터(2)는 적분기 와인드업을 방지하기 위해 신호 소거에 의존하지 않으므로, 케이블의 저항에 의해 도입된 이득 에러는 중요하지 않다. 대조적으로, 원단에 제2 피드백 필터(11)를 접속하는 것은 보상기의 출력 신호가 매우 커지게 할 것이다.

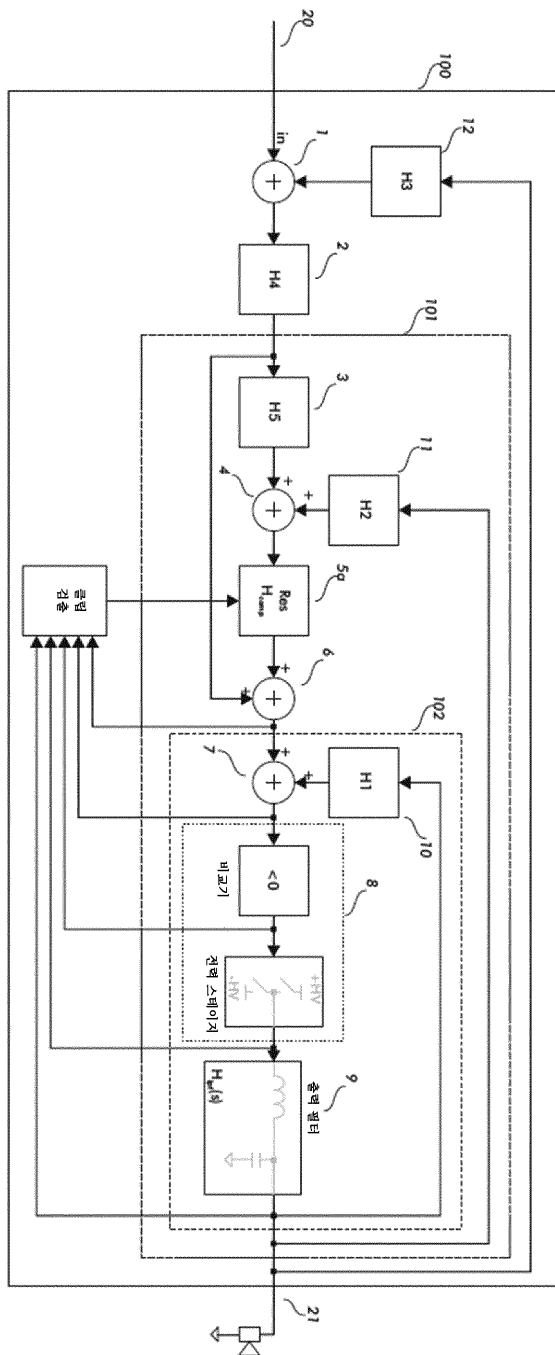
- [0130] 도 25의 원격 감지 피드백 배열을 살펴보면, 분명히, 2차 증폭기(101)가 적분기로서 작용하도록 구성되면, 그것은 실제로 전력 op 앰프로서 동작한다. 일 실시예에서, 2차 증폭기(101)는 적분기로서 구성되므로, 전력 op 앰프의 이용을 요구하는 많은 응용들에서 이용될 수 있다. 도 28은 제어된 전류원으로서 작용하는 전류 센서와 함께 전력 op 앰프로서 이용되는 2차 증폭기(101)의 배열을 도시한다. 전류 센서는 저항기, 전류 감지 변압기 또는 홀 센서(hall sensor)일 수 있다. 그 출력은 전형적으로 부하 전류에 비례하는 전압이다. 이 전압은 입력 신호로부터 감산되고 1차 증폭기(102)의 입력에 인가된다. 감산은 간단한 고정 이득 차이 증폭기를 이용하여 행해질 수 있지만, 추가적인 필터링이 또한 제공될 수 있다.
- [0131] 도 3에는 대안적인 실시예가 도시되어 있다. 이는 간단한 블록도 조작에 의해 도 1로부터 얻어진다. 필터(3')는 이제 필터들(2 및 3)의 전달 함수들을 결합하는 반면, 필터(2')는 필터(2)와 동일하지만 이제 오직 합산 노드들(1 및 6) 사이의 병렬 접속에만 삽입된다. 이것은 회로의 동작을 변경하지 않으면서도 도 1의 정확한 구조로부터 벗어나는 것이 가능하다는 것을 명확하게 도시한다. 이 방법은 H4(이전에 필터(2))의 2개의 버전들에 별도의 조정들(tweaks)을 허용함으로써 유리할 수 있고, 신호 소거의 정확도를 더 개선시킨다.
- [0132] 도 4는 합산 노드(1)가 그의 입력 및 피드백 필터(12)와 함께 중복되는 구현을 도시하며, 이는 이제 12a 및 12b로서 두 번 나타난다. 여기서도, 잠재적인 이점은 신호 소거를 개선할 뿐만 아니라, 2' 및 3'에서 이용되는 증폭 스테이지들에 대한 상이한 선택들을 허용하는 것임을 예상할 수 있다.
- [0133] 기능 블록들의 그러한 재배열이 그럼에도 불구하고 본 발명의 교시들로부터 벗어나지 않는 추가의 실시예들을 제공할 수 있다는 것이 본 기술분야의 통상의 기술자에게 명백할 것이다. 제1 경로가 1차 증폭기가 클립핑될 때 디스에이블되는 보상기를 적어도 포함하는 경우, 그 보상기를 포함하지 않지만 적어도 1차 저역 통과 필터를 포함하는 제2 경로가 제공될 수 있다.
- [0134] 보상기를 포함하지 않는 경로는, 1) 1차 증폭기를 디스에이블링하는 단계, 2) 보상기를 디스에이블링하는 단계, 3) 입력(20)에 정현파 자극을 인가하는 단계, 및 4) 1차 증폭기(102)의 입력에서 발견되는 신호 레벨을 측정하는 단계를 취하는 것을 특징으로 할 수 있다. 이러한 측정은 먼저 증폭기(100)의 코너 주파수의 2배인 제1 주파수에서 행해지고, 제1 신호 레벨을 산출하고, 제1 주파수의 4배인 제2 주파수에서 반복되어 제2 신호 레벨을 산출한다. 제2 레벨이 제1 레벨의 1/3보다 작은 경우, 제2 경로는 적어도 1차 저역 통과 필터처럼 동작한다.
- [0135] 이러한 목적을 위해 1차 증폭기의 입력을 격리하는 것은 비현실적일 수 있는데, 그 이유는 합산 노드들이 종종 회로 접합들로서 구현되기 때문이다. 그 경우, 증폭기가 정상적으로 동작하는 대안적인 테스트 방법이 적용될 수 있다. 순방향 필터(2)로서의 1차 필터의 이용은 2차 저역 통과 필터로서 동작하는 증폭기(100)를 초대할 것이므로, 이 특성은 직접 테스트될 수 있다. 이를 위해, 정현파 자극이 입력(20)에 접속되고, 레벨이 출력(21)에서 측정된다. 이 테스트는 다시 2개의 주파수들에서 행해진다. 첫째로, 증폭기(100)의 코너 주파수의 2배인 제1 주파수에서 제1 신호 레벨을 산출하고, 둘째로, 제1 주파수의 2배인 제2 주파수에서 제2 신호 레벨을 산출한다. 제2 레벨이 제1 레벨의 1/3보다 작은 경우, 제2 경로는 적어도 1차 저역 통과 필터처럼 동작한다.

도면

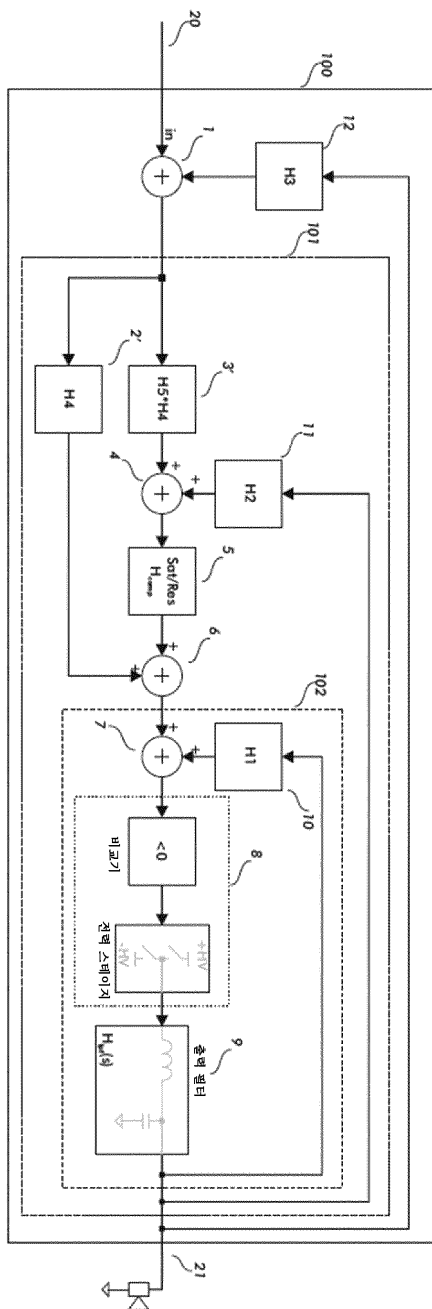
도면1



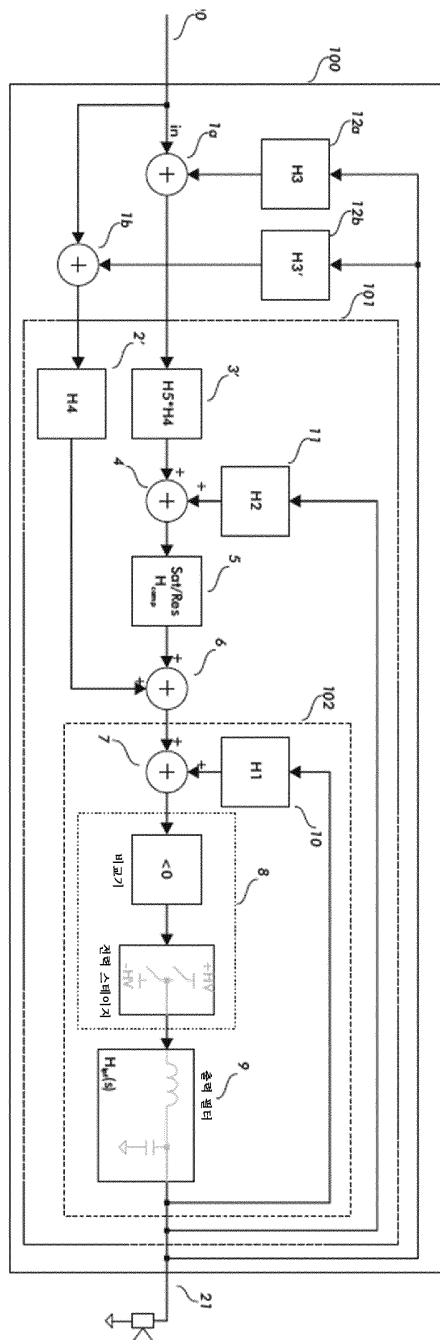
도면2



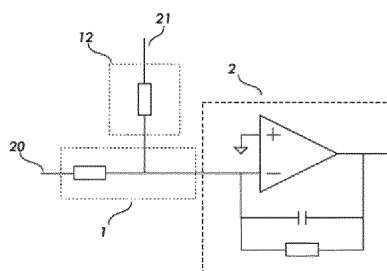
도면3



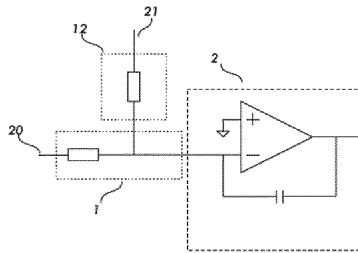
도면4



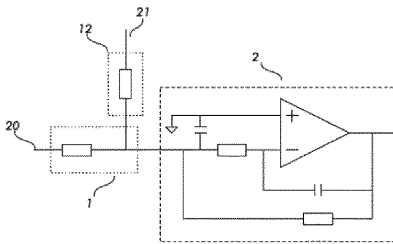
도면5



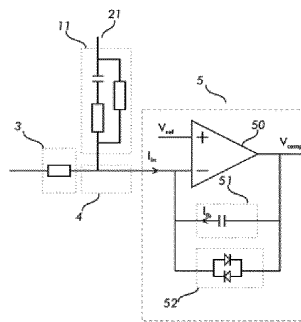
도면6



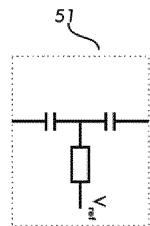
도면7



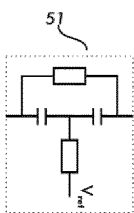
도면8



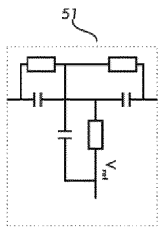
도면9



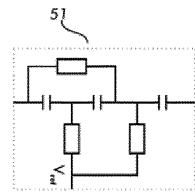
도면10



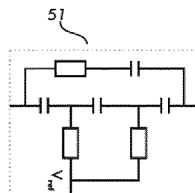
도면11



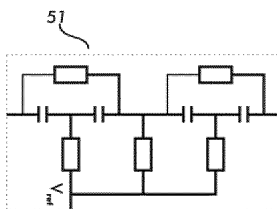
도면12



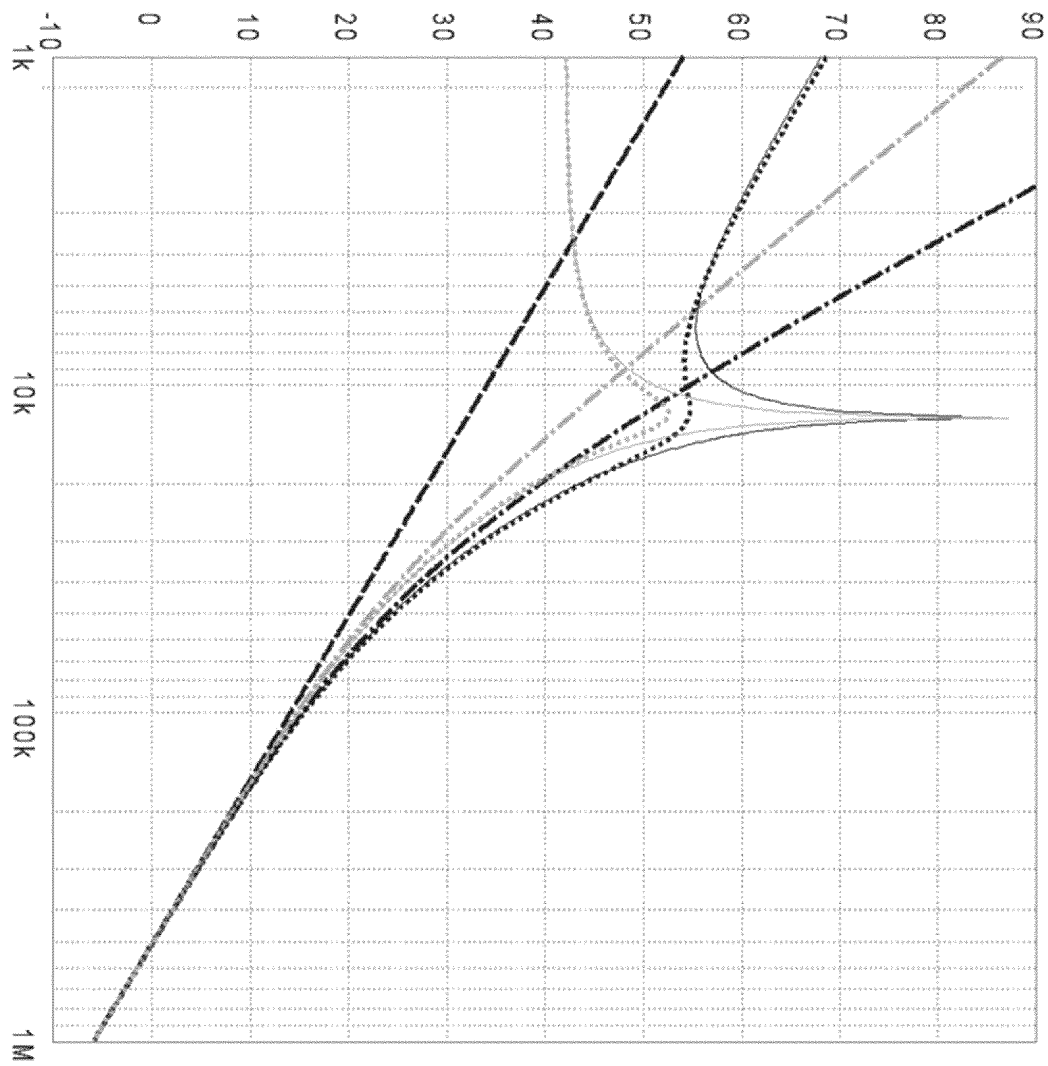
도면13



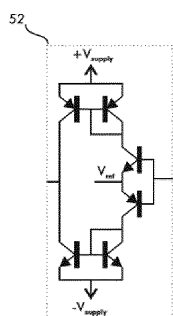
도면14



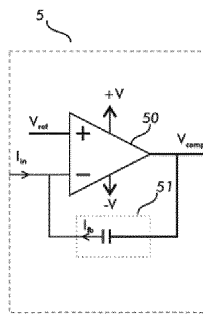
도면15



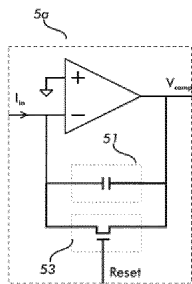
도면16



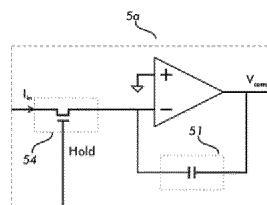
도면17



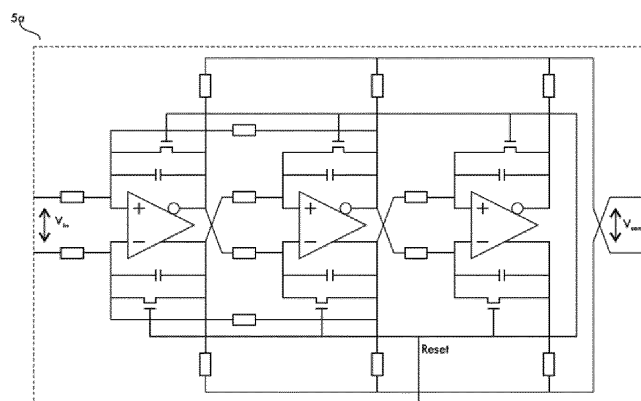
도면18



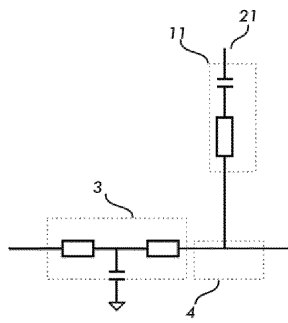
도면19



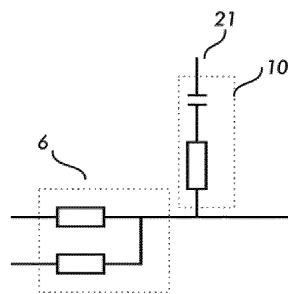
도면20



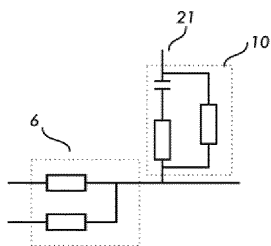
도면21



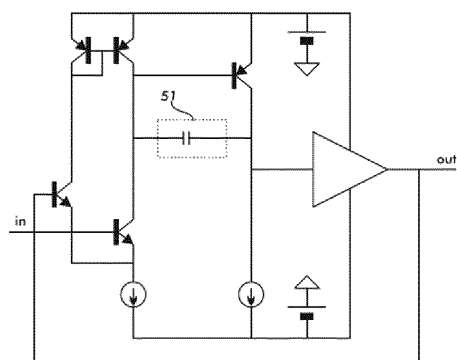
도면22



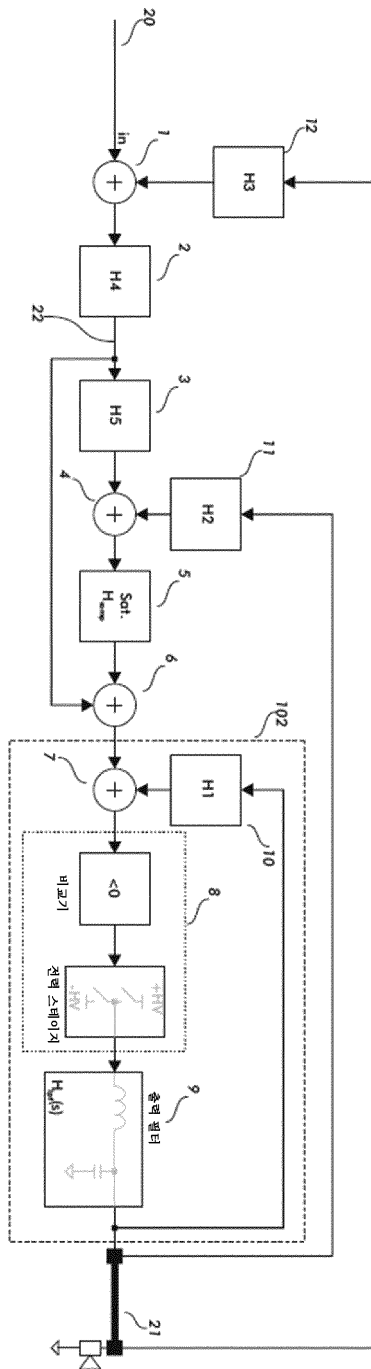
도면23



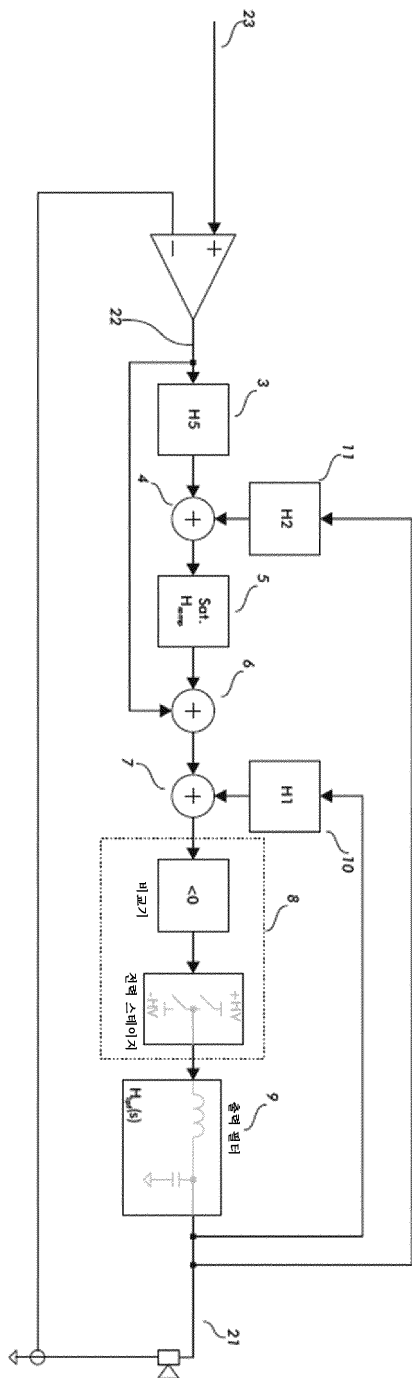
도면24



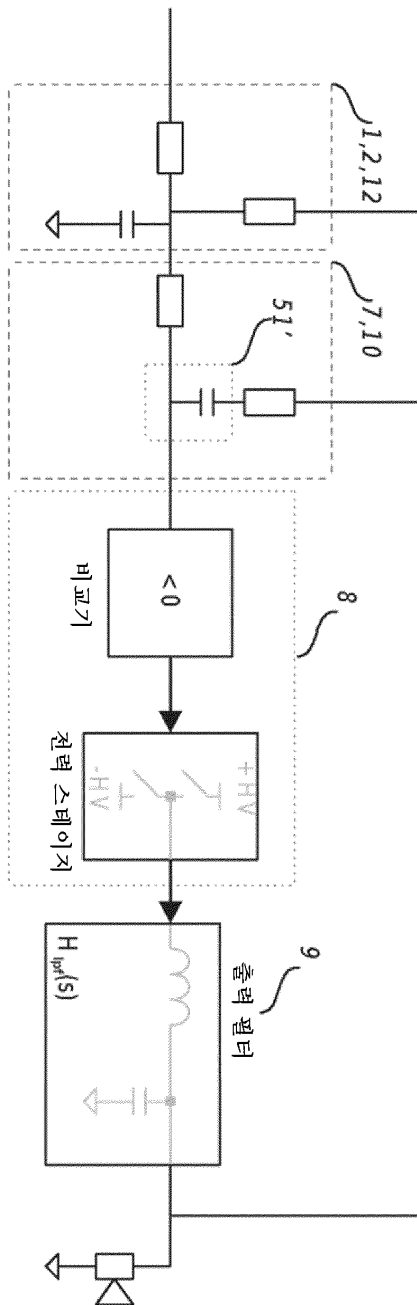
도면25



도면26



도면27



도면28

