

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5893741号  
(P5893741)

(45) 発行日 平成28年3月23日(2016.3.23)

(24) 登録日 平成28年3月4日(2016.3.4)

(51) Int.Cl.	F I	
H03H 7/38 (2006.01)	H03H 7/38	B
H03F 1/56 (2006.01)	H03F 1/56	
H04B 1/04 (2006.01)	H04B 1/04	B
H04B 1/40 (2015.01)	H04B 1/40	
H04B 1/16 (2006.01)	H04B 1/16	Z

請求項の数 25 (全 33 頁)

(21) 出願番号	特願2014-530807 (P2014-530807)	(73) 特許権者	595020643
(86) (22) 出願日	平成24年9月13日 (2012.9.13)		クゥアルコム・インコーポレイテッド
(65) 公表番号	特表2014-530543 (P2014-530543A)		QUALCOMM INCORPORATED
(43) 公表日	平成26年11月17日 (2014.11.17)		アメリカ合衆国、カリフォルニア州 92
(86) 国際出願番号	PCT/US2012/055251		121-1714、サン・ディエゴ、モア
(87) 国際公開番号	W02013/040272		ハウス・ドライブ 5775
(87) 国際公開日	平成25年3月21日 (2013.3.21)	(74) 代理人	100108855
審査請求日	平成26年5月9日 (2014.5.9)		弁理士 蔵田 昌俊
(31) 優先権主張番号	13/231,824	(74) 代理人	100109830
(32) 優先日	平成23年9月13日 (2011.9.13)		弁理士 福原 淑弘
(33) 優先権主張国	米国 (US)	(74) 代理人	100103034
			弁理士 野河 信久
		(74) 代理人	100075672
			弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】 複数の構成を有するインピーダンス整合回路

(57) 【特許請求の範囲】

【請求項 1】

インピーダンス整合回路のインピーダンスを調整するように構成された少なくとも1つの可変リアクティブ素子を含み、かつ、負荷回路をインピーダンス整合させるように構成された複数のリアクティブ素子と、

複数の構成のうちの1つにおいて前記インピーダンス整合回路を設定するように構成された少なくとも1つのスイッチと、ここにおいて、前記インピーダンス整合回路は、2つの回路の組を備え、前記組の各々は、第1の回路と第2の回路を含み、前記第1の回路はバラクタと前記バラクタに並列に接続された第1のスイッチを含み、前記第2の回路はインダクタと前記インダクタに直列に接続された第2のスイッチを含み、前記2つの組は直列に接続され、前記組の各々における前記第1の回路と前記第2の回路は並列に接続され、前記第1のスイッチは、開かれている状態及び閉じられている状態に切り替え可能であり、前記第2のスイッチは、前記インダクタを、接地状態、フロート状態、及び、前記第2の回路が前記第1の回路に並列に接続される状態に切り替える、

を備える前記インピーダンス整合回路

を備える装置。

【請求項 2】

前記複数の構成は、直列構成、シャント構成、「L」構成、「R」構成、「Pi」構成、または「T」構成のうちの少なくとも1つを含む、請求項1に記載の装置。

【請求項 3】

前記複数の構成は、前記インピーダンス整合回路の入力と出力との間で結合された少なくとも1つのリアクティブ素子を有する直列構成を含む、請求項1に記載の装置。

【請求項4】

前記複数の構成は、前記インピーダンス整合回路の出力と回路接地との間で結合された少なくとも1つのリアクティブ素子を有するシャント構成を含む、請求項1に記載の装置。

【請求項5】

前記複数の構成は、前記インピーダンス整合回路の入力と出力との間で結合された少なくとも1つのリアクティブ素子と、前記インピーダンス整合回路の前記出力と回路接地との間で結合された少なくとも1つの他のリアクティブ素子とを有する「L」構成を含む、請求項1に記載の装置。

10

【請求項6】

前記複数の構成は、前記インピーダンス整合回路の入力と出力との間で結合された少なくとも1つのリアクティブ素子と、前記インピーダンス整合回路の前記入力と回路接地との間で結合された少なくとも1つの他のリアクティブ素子とを有する「R」構成を含む、請求項1に記載の装置。

【請求項7】

前記複数の構成は、前記インピーダンス整合回路の入力と出力との間で結合された第1のリアクティブ素子と、前記インピーダンス整合回路の前記入力と回路接地との間で結合された第2のリアクティブ素子と、前記インピーダンス整合回路の前記出力と回路接地との間で結合された第3のリアクティブ素子とを有する「Pi」構成を含む、請求項1に記載の装置。

20

【請求項8】

前記複数の構成は、前記インピーダンス整合回路の入力と中間ノードとの間で結合された第1のリアクティブ素子と、前記中間ノードと前記インピーダンス整合回路の出力との間で結合された第2のリアクティブ素子と、前記中間ノードと回路接地との間で結合された第3のリアクティブ素子とを有する「T」構成を含む、請求項1に記載の装置。

【請求項9】

前記複数のリアクティブ素子は、少なくとも1つの構成では直列素子として、および少なくとも1つの他の構成ではシャント素子として結合されたリアクティブ素子を含む、請求項1に記載の装置。

30

【請求項10】

前記複数のリアクティブ素子は、少なくとも1つの構成では直列インダクタとして、および少なくとも1つの他の構成ではシャントインダクタとして結合されたインダクタを含む、請求項1に記載の装置。

【請求項11】

前記複数のリアクティブ素子は、少なくとも1つの構成では直列キャパシタとして、および少なくとも1つの他の構成ではシャントキャパシタとして結合された可変キャパシタを含む、請求項1に記載の装置。

【請求項12】

40

前記複数のリアクティブ素子は、少なくとも1つの構成では前記インピーダンス整合回路の第1のノードのペアの間で、および少なくとも1つの他の構成では前記第1のノードのペアとは異なる第2のノードのペアの間で結合されたリアクティブ素子を含む、請求項1に記載の装置。

【請求項13】

前記少なくとも1つのスイッチは、前記複数のリアクティブ素子のうちの1つと結合された単一入力と、前記インピーダンス整合回路で少なくとも2つのノードと結合された少なくとも2つの出力とを有するスイッチを含む、請求項1に記載の装置。

【請求項14】

前記負荷回路は、アンテナを備え、前記インピーダンス整合回路は、前記アンテナに対

50

してインピーダンス整合を行う、請求項 1 に記載の装置。

【請求項 15】

前記負荷回路は、電力増幅器を備え、前記インピーダンス整合回路は、前記電力増幅器に対して出力インピーダンス整合を行う、請求項 1 に記載の装置。

【請求項 16】

前記負荷回路は、低雑音増幅器 (LNA) を備え、前記インピーダンス整合回路は、前記 LNA に対して入力インピーダンス整合を行う、請求項 1 に記載の装置。

【請求項 17】

前記インピーダンス整合回路の前記複数の構成のうちの 1 つを選択するように構成されたコントローラ

10

をさらに備える請求項 1 に記載の装置。

【請求項 18】

前記インピーダンス整合回路に対して複数の回路設定を記憶するように構成されたメモリ、各回路設定は、前記複数の構成のうちの 1 つ、前記少なくとも 1 つのスイッチのための少なくとも 1 つのスイッチ設定、前記少なくとも 1 つの可変リアクティブ素子のための少なくとも 1 つの制御設定、または、それらの組み合わせと関連づけられる、

をさらに備える、請求項 1 に記載の装置。

【請求項 19】

前記複数の回路設定は、複数の異なる周波数に関連づけられ、前記複数の回路設定のうちの 1 つは、前記装置の動作周波数に基づいて選択される、請求項 18 に記載の装置。

20

【請求項 20】

前記装置は、集積回路を備える、請求項 1 に記載の装置。

【請求項 21】

インピーダンス整合を行う方法であって、

インピーダンス整合回路において少なくとも 1 つのスイッチを介して、複数の構成のうちの 1 つにおいて前記インピーダンス整合回路を設定することと、

負荷回路に対して、前記インピーダンス整合回路における複数のリアクティブ素子とのインピーダンス整合を行うことと、少なくとも 1 つの可変リアクティブ素子を含む前記複数のリアクティブ素子は、前記インピーダンス整合回路のインピーダンスを調整するように構成され、ここにおいて、前記インピーダンス整合回路は、2 つの回路の組を備え、前記組の各々は、第 1 の回路と第 2 の回路を含み、前記第 1 の回路はバラクタと前記バラクタに並列に接続された第 1 のスイッチを含み、前記第 2 の回路はインダクタと前記インダクタに直列に接続された第 2 のスイッチを含み、前記 2 つの組は直列に接続され、前記組の各々における前記第 1 の回路と前記第 2 の回路は並列に接続され、前記第 1 のスイッチは、開かれている状態及び閉じられている状態に切り替え可能であり、前記第 2 のスイッチは、前記インダクタを、接地状態、フロート状態、及び、前記第 2 の回路が前記第 1 の回路に並列に接続される状態に切り替える、

30

を備える方法。

【請求項 22】

前記インピーダンス整合回路のための複数の回路設定を記憶することと、各回路設定は、前記複数の構成のうちの 1 つ、前記少なくとも 1 つのスイッチのための少なくとも 1 つのスイッチ設定、前記少なくとも 1 つの可変リアクティブ素子のための少なくとも 1 つの制御設定、または、それらの組み合わせと関連づけられる、

40

前記インピーダンス整合回路のための前記複数の回路設定のうちの 1 つを選択すること  
をさらに備える、請求項 21 に記載の方法。

【請求項 23】

前記複数の回路設定のうちの 1 つを前記選択することは、ワイヤレスデバイスの動作周波数に基づいて、前記複数の回路設定のうちの 1 つを選択することを備える、請求項 22 に記載の方法。

【請求項 24】

50

ワイヤレス通信のための装置であって、

負荷回路に対してインピーダンス整合を行うための手段と、インピーダンス整合を行うための前記手段は、インピーダンス整合を行うための前記手段のインピーダンスを調整するように構成された少なくとも1つの可変リアクティブ素子を含む、

複数の構成のうちの1つにおいて、インピーダンス整合を行うための前記手段を設定するための手段と、ここにおいて、インピーダンス整合を行うための前記手段は、2つの回路の組を備え、前記組の各々は、第1の回路と第2の回路を含み、前記第1の回路はバラクタと前記バラクタに並列に接続された第1のスイッチを含み、前記第2の回路はインダクタと前記インダクタに直列に接続された第2のスイッチを含み、前記2つの組は直列に接続され、前記組の各々における前記第1の回路と前記第2の回路は並列に接続され、前記第1のスイッチは、開かれている状態及び閉じられている状態に切り替え可能であり、前記第2のスイッチは、前記インダクタを、接地状態、フロート状態、及び、前記第2の回路が前記第1の回路に並列に接続される状態に切り替える、

10

を備える装置。

【請求項25】

インピーダンス整合を行うための前記手段に対して複数の設定を記憶するための手段と

、  
インピーダンス整合を行うための前記手段に対して前記複数の設定のうちの1つを選択するための手段と

をさらに備える、請求項24に記載の装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本願は、一般に電子技術に関し、より詳細には、ワイヤレスデバイスでの使用に適するインピーダンス整合回路に関する。

【背景技術】

【0002】

ワイヤレス通信システムにおけるワイヤレスデバイス（例えば、セルラーフォンまたはスマートフォン）は、双方向通信でデータを送信および受信しうる。ワイヤレスデバイスは、データ送信のための送信機およびデータ受信のための受信機を含みうる。データ送信について、送信機は、変調された信号を得るために、データを有する無線周波数（RF）キャリア信号を変調し、適切な出力電力レベルを有する出力RF信号を得るために、変調された信号を増幅し、基地局へアンテナを介して出力RF信号を送信しうる。データ受信について、受信機は、アンテナを介して受信されたRF信号を得ることができ、基地局によって送信されたデータを再生するために、受信されたRF信号を調節および処理しうる。

30

【0003】

送信機は、電力増幅器（PA）、フィルタ、等といった、様々な回路を含みうる。受信機はまた、低雑音増幅器（LNA）、フィルタ、等といった、様々な回路を含みうる。インピーダンス整合回路は、アンテナと、送信機および/または受信機との間で結合されることができ、アンテナ、電力増幅器、またはLNAに対してインピーダンス整合を行いうる。インピーダンス整合回路は、ワイヤレスデバイスの性能に対して大きな影響を有しうる。

40

【図面の簡単な説明】

【0004】

【図1】図1は、ワイヤレスデバイスの1つの例示的な設計を示す。

【図2】図2は、ワイヤレスデバイスの1つの例示的な設計を示す。

【図3】図3は、ワイヤレスデバイスの1つの例示的な設計を示す。

【図4】図4は、調節可能なインピーダンス整合回路の概略図を示す。

【図5A】図5Aは、異なる構成のインピーダンス整合回路を示す。

50

【図 5 B】図 5 B は、異なる構成のインピーダンス整合回路を示す。

【図 5 C】図 5 C は、異なる構成のインピーダンス整合回路を示す。

【図 5 D】図 5 D は、異なる構成のインピーダンス整合回路を示す。

【図 5 E】図 5 E は、異なる構成のインピーダンス整合回路を示す。

【図 5 F】図 5 F は、異なる構成のインピーダンス整合回路を示す。

【図 6 A】図 6 A は、図 5 A および 5 B におけるインピーダンス整合回路についてのインピーダンス調整曲線のスミスチャートを示す。

【図 6 B】図 6 B は、図 5 A におけるインピーダンス整合回路についてのインピーダンス調整曲線のスミスチャートを示す。

【図 6 C】図 6 C は、図 5 C および 5 D におけるインピーダンス整合回路についてのインピーダンス調整曲線のスミスチャートを示す。

【図 6 D】図 6 D は、図 5 E および 5 F におけるインピーダンス整合回路についてのインピーダンス調整曲線のスミスチャートを示す。

【図 7】図 7 は、再構成可能なインピーダンス整合回路の概略図を示す。

【図 8 A】図 8 A は、図 7 における再構成可能なインピーダンス整合回路の 1 つの構成を示す。

【図 8 B】図 8 B は、図 7 における再構成可能なインピーダンス整合回路の 1 つの構成を示す。

【図 8 C】図 8 C は、図 7 における再構成可能なインピーダンス整合回路の 1 つの構成を示す。

【図 8 D】図 8 D は、図 7 における再構成可能なインピーダンス整合回路の 1 つの構成を示す。

【図 8 E】図 8 E は、図 7 における再構成可能なインピーダンス整合回路の 1 つの構成を示す。

【図 8 F】図 8 F は、図 7 における再構成可能なインピーダンス整合回路の 1 つの構成を示す。

【図 8 G】図 8 G は、図 7 における再構成可能なインピーダンス整合回路の 1 つの構成を示す。

【図 8 H】図 8 H は、図 7 における再構成可能なインピーダンス整合回路の 1 つの構成を示す。

【図 8 I】図 8 I は、図 7 における再構成可能なインピーダンス整合回路の 1 つの構成を示す。

【図 8 J】図 8 J は、図 7 における再構成可能なインピーダンス整合回路の 1 つの構成を示す。

【図 8 K】図 8 K は、図 7 における再構成可能なインピーダンス整合回路の 1 つの構成を示す。

【図 8 L】図 8 L は、図 7 における再構成可能なインピーダンス整合回路の 1 つの構成を示す。

【図 8 M】図 8 M は、図 7 における再構成可能なインピーダンス整合回路の 1 つの構成を示す。

【図 8 N】図 8 N は、図 7 における再構成可能なインピーダンス整合回路の 1 つの構成を示す。

【図 8 O】図 8 O は、図 7 における再構成可能なインピーダンス整合回路の 1 つの構成を示す。

【図 8 P】図 8 P は、図 7 における再構成可能なインピーダンス整合回路の 1 つの構成を示す。

【図 8 Q】図 8 Q は、図 7 における再構成可能なインピーダンス整合回路の 1 つの構成を示す。

【図 8 R】図 8 R は、図 7 における再構成可能なインピーダンス整合回路の 1 つの構成を示す。

10

20

30

40

50

【図 8 S】図 8 S は、図 7 における再構成可能なインピーダンス整合回路の 1 つの構成を示す。

【図 8 T】図 8 T は、図 7 における再構成可能なインピーダンス整合回路の 1 つの構成を示す。

【図 9 A】図 9 A は、1 つの再構成可能なインピーダンス整合回路の概略図を示す。

【図 9 B】図 9 B は、1 つの再構成可能なインピーダンス整合回路の概略図を示す。

【図 9 C】図 9 C は、1 つの再構成可能なインピーダンス整合回路の概略図を示す。

【図 10】図 10 は、アンテナ対周波数のインピーダンスのスミスチャートを示す。

【図 11】図 11 は、再構成可能なインピーダンス整合回路のためのルックアップテーブルを示す。

10

【図 12】図 12 は、再構成可能なインピーダンス整合回路の 8 つの異なる設定についてのアンテナ効率のプロットを示す。

【図 13】図 13 は、インピーダンス整合を行うためのプロセスを示す。

【詳細な説明】

【0005】

下記に説明された詳細な説明は、本開示の例示的な設計の説明として意図され、本開示が実現される唯一の設計を表すことを意図しない。「例として、事例として、または実例として機能すること」を意味するために、「例示的な」という用語が、本明細書で使われる。「例示的な」ものとして、本明細書で説明されるいずれの設計も、他の設計と比較して、必ずしも、好ましいまたは効果的なものと解釈されるものではない。詳細な説明は、本開示の例示的な設計の完全な理解を提供することを目的とした特定の詳細を含む。本明細書で説明される例示的な設計は、これらの特定の詳細なしで実現されることが当業者に明らかになるであろう。いくつかの事例では、周知の構造およびデバイスが、本明細書に示される例示的な設計の新規性を曖昧にすることを避けるために、ブロック図形式で示される。

20

【0006】

複数の構成を有するインピーダンス整合回路が、本明細書で説明され、また再構成可能なインピーダンス整合回路と呼ばれる。再構成可能なインピーダンス整合回路は、リアクティブ素子/コンポーネントのセット、およびスイッチのセットを含む。リアクティブ素子は、インダクタまたはキャパシタでありうる。異なる構成は、下記で説明されるように、異なる配置でリアクティブ素子を結合するためのスイッチを制御することによって得られうる。例えば、与えられたリアクティブ素子の一端は、スイッチを介して再構成可能なインピーダンス整合回路で複数のノードのうちの 1 つと結合されうる。再構成可能なインピーダンス整合回路の各構成は、リアクティブ素子の異なる配置と一致する。再構成可能なインピーダンス整合回路の複数の構成は、より広範囲のインピーダンス値をサポートすることができ、より良いインピーダンス整合を可能にすることができ、それは、性能を改善しうる。

30

【0007】

本明細書で説明される再構成可能なインピーダンス整合回路は、セルラーフォン、スマートフォン、タブレット、パーソナルデジタルアシスタント(PDA)、ハンドヘルドデバイス、ワイヤレスモデム、ラップトップコンピュータ、スマートブック、ネットブック、コードレスフォン、ワイヤレスローカルループ(WLL)局、ブルートゥースデバイス、消費者向け電子デバイス、等といった、様々なタイプのワイヤレスデバイスで使われる。

40

【0008】

図 1 は、ワイヤレスデバイス 100 の例示的な設計のブロック図を示す。この例示的な設計において、ワイヤレスデバイス 100 は、データプロセッサ/コントローラ 110、トランシーバ 120、およびアンテナ 152 を含む。トランシーバ 120 は、双方向性のワイヤレス通信をサポートする送信機 130 および受信機 160 を含む。ワイヤレスデバイス 100 は、ロングタームエボリューション(LTE)、符号分割多元接続(CDMA

50

）１Ｘまたはｃｄｍａ２０００、ワイドバンドｃｄｍａ（ＷＣＤＭＡ（登録商標））、グローバルシステムフォーモバイルコミュニケーションズ（ＧＳＭ（登録商標））、８０２．１１、等をサポートしうる。

【０００９】

送信パスにおいて、データプロセッサ１１０は、送信されるべきデータを処理（例えば、符号化または変調）し、送信機１３０へアナログ出力信号を提供する。送信機１３０内で、送信（ＴＸ）回路１３２は、ベースバンドからＲＦへアナログ出力信号を、増幅、フィルタリング、およびアップコンバートし、変調された信号を提供する。送信回路１３２は、増幅器、フィルタ、ミキサ、発振器、局部発振器（ＬＯ）発生器、フェーズロックドループ（ＰＬＬ）、等を含みうる。電力増幅器（ＰＡ）１３４は、変調された信号を受信および増幅し、適切な出力電力レベルを有する増幅されたＲＦ信号を提供する。ＴＸフィルタ１３６は、増幅されたＲＦ信号を送信バンドで信号コンポーネントに渡すためにフィルタリングし、信号コンポーネントを受信バンドで弱める。ＴＸフィルタ１３６は出力ＲＦ信号を提供し、そしてそれはスイッチ１４０およびインピーダンス整合回路１５０を通して送られ、アンテナ１５２を介して送信される。インピーダンス整合回路１５０はアンテナ１５２へインピーダンス整合を行い、またアンテナ調整回路、調整可能な整合回路、等と呼ばれる。

10

【００１０】

受信パスにおいて、アンテナ１５２は、基地局および／または他の送信局から信号を受信し、受信されたＲＦ信号が提供され、そしてそれは、インピーダンス整合回路１５０およびスイッチ１４０を通して送られ、受信機１６０へ提供される。受信機１６０内で、受信（ＲＸ）フィルタ１６２は、受信されたＲＦ信号を受信バンドで信号コンポーネントに渡すためにフィルタリングし、信号コンポーネントを送信バンドで弱める。ＬＮＡ１６４は、ＲＸフィルタ１６２からフィルタリングされたＲＦ信号を増幅し、入力ＲＦ信号を提供する。ＲＸ回路１６６は、ＲＦからベースバンドへ入力ＲＦ信号を、増幅、フィルタリング、およびダウンコンバートし、データプロセッサ１１０へアナログ入力信号を提供する。ＲＸ回路１６６は、増幅器、フィルタ、ミキサ、発振器、ＬＯ発生器、ＰＬＬ、等を含みうる。

20

【００１１】

図１は、トランシーバ１２０の例示的な設計を示す。トランシーバ１２０の全てまたは一部分は、１つまたは複数のアナログ集積回路（ＩＣ）、ＲＦＩＣ（ＲＦＩＣ）、混合信号ＩＣ、等で実現されうる。例えば、ＴＸ回路１３２、増幅器１３４、ＬＮＡ１６４、およびＲＸ回路１６６は、ＲＦＩＣで実現されうる。電力増幅器１３４および場合により他の回路もまた、別々のＩＣまたはモジュールで実現される。インピーダンス整合回路１５０、および場合により他の回路もまた、別々のＩＣまたはモジュールで実現されうる。

30

【００１２】

データプロセッサ／コントローラ１１０は、ワイヤレスデバイス１００に対して様々な機能を行いうる。例えば、データプロセッサ１１０は、送信機１３０を介して送信され、受信機１６０を介して受信されているデータについて処理を行う。コントローラ１１０は、ＴＸ回路１３２、ＲＸ回路１６６、スイッチ１４０、および／またはインピーダンス整合回路１５０の動作を制御しうる。メモリ１１２は、データプロセッサ／コントローラ１１０についてプログラムコードおよびデータを記憶しうる。メモリ１１２は、（図１で図示されるような）データプロセッサ／コントローラ１１０の内側、またはデータプロセッサ／コントローラ１１０の外側（図１で図示されず）でありうる。データプロセッサ／コントローラ１１０は、１つまたは複数の特定用途向け集積回路（ＡＳＩＣ）および／または他のＩＣで実現されうる。

40

【００１３】

図２は、ワイヤレスデバイス２００の例示的な設計のブロック図を示す。この例示的な設計において、ワイヤレスデバイス２００は、データプロセッサ／コントローラ２１０、１次アンテナ２５２ａのためのトランシーバ２２０、および２次アンテナ２５２ｂのため

50

の受信機 2 2 2 を含む。トランシーバ 2 2 0 は、( i ) 第 1 のモード / バンドのための双方向性のワイヤレス通信 ( 例えば、G S M ) をサポートする送信機 2 3 0 a および受信機 2 6 0 a、および ( ii ) 第 2 のモード / バンドのための双方向性のワイヤレス通信 ( L T E、c d m a 2 0 0 0、または W C D M A ) をサポートする送信機 2 3 0 b および受信機 2 6 0 b を含む。モードは、L T E、c d m a 2 0 0 0、W C D M A、G S M、等と一致しうる。受信機 2 2 2 は、データの受信をサポートする受信機 2 6 0 c および 2 6 0 d を含む。

#### 【 0 0 1 4 】

トランシーバ 2 2 0 内で、送信機 2 3 0 a は、T X 回路 2 3 2 a、電力増幅器 2 3 4 a、および T X フィルタ 2 3 6 a を含む。受信機 2 6 0 a は、R X フィルタ 2 6 2 a、L N A 2 6 4 a、R X 回路 2 6 6 a を含む。送信機 2 3 0 b は、T X 回路 2 3 2 b、電力増幅器 2 3 4 b、およびデュプレクサ 2 3 8 を含む。受信機 2 6 0 b は、デュプレクサ 2 3 8、L N A 2 6 4 b、および R X 回路 2 6 6 b を含む。スイッチ 2 4 0 a は、T X フィルタ 2 3 6 a、R X フィルタ 2 6 2 a、およびデュプレクサ 2 3 8 と結合される。デュプレクサ 2 3 8 は、増幅された R F 信号を電力増幅器 2 3 4 b からスイッチ 2 4 0 a へ送り、また、受信された R F 信号をスイッチ 2 4 0 a から L N A 2 6 4 b へ送る。インピーダンス整合回路 2 5 0 a は、スイッチ 2 4 0 a とアンテナ 2 5 2 a との間で結合される。

#### 【 0 0 1 5 】

受信機 2 2 2 内で、受信機 2 6 0 c は、R X フィルタ 2 6 2 c、L N A 2 6 4 c、および R X 回路 2 6 6 c を含む。受信機 2 6 0 d は、R X フィルタ 2 6 2 d、L N A 2 6 4 d、および R X 回路 2 6 6 d を含む。スイッチ 2 4 0 b は、R X フィルタ 2 6 2 c および 2 6 2 d と結合される。インピーダンス整合回路 2 5 0 b は、スイッチ 2 4 0 b とアンテナ 2 5 2 b との間で結合される。

#### 【 0 0 1 6 】

図 3 は、ワイヤレスデバイス 3 0 0 の例示的な設計のブロック図を示す。この例示的な設計において、ワイヤレスデバイス 3 0 0 は、データプロセッサ / コントローラ 3 1 0、トランシーバ 3 2 0、およびアンテナ 3 5 2 を含む。トランシーバ 3 2 0 は、双方向性のワイヤレス通信をサポートする送信機 3 3 0 および受信機 3 6 0 を含む。送信機 3 3 0 は、直列に結合された T X 回路 3 3 2、電力増幅器 3 3 4、およびインピーダンス整合回路 3 3 6 を含む。受信機 3 6 0 は、直列に結合されたインピーダンス整合回路 3 6 2、L N A 3 6 4、および R X 回路 3 6 6 を含む。スイッチ / デュプレクサ 3 5 0 は、インピーダンス整合回路 3 3 6 および 3 6 2、またアンテナ 3 5 2 と結合される。

#### 【 0 0 1 7 】

図 1、2、および 3 は、それぞれ、ワイヤレスデバイス 1 0 0、2 0 0、および 3 0 0 の 3 つの例示的な設計を示す。一般に、ワイヤレスデバイスは、任意の数のアンテナ、任意の数の送信機、および任意の数の受信機を含みうる。ワイヤレスデバイスはまた、任意の数の周波数バンド上の動作をサポートしうる。ワイヤレスデバイスは、各アンテナに対して、1 つまたは複数の送信機および / または 1 つまたは複数の受信機を含みうる。各送信機および各受信機は、与えられたアンテナで 1 つまたは複数の周波数バンド上の動作をサポートしうる。

#### 【 0 0 1 8 】

ワイヤレスデバイスは、時分割二重 ( T D D ) システムおよび / または周波数分割二重 ( F D D ) システムを有する通信をサポートしうる。T D D システムを有する通信について、ワイヤレスデバイスは、任意の与えられた時期に、アンテナと送信機または受信機のどちらかとを結合することができるスイッチ ( 例えば、図 1 のスイッチ 1 4 0 ) を含みうる。F D D システムを有する通信について、ワイヤレスデバイスは、( i ) 電力増幅器からアンテナへ出力 R F 信号を ( ii ) アンテナから L N A へ受信された R F 信号を同時に送ることができるデュプレクサ ( 例えば、図 2 のデュプレクサ 2 3 8 ) を含みうる。

#### 【 0 0 1 9 】

図 1、2、および 3 で示されたように、インピーダンス整合回路は、ワイヤレスデバイ

10

20

30

40

50



スの様々な場所において含まれることができ、インピーダンス整合回路の入力および出力に結合する回路のインピーダンスを整合させるために使用されうる。例えば、インピーダンス整合回路（例えば、図1のインピーダンス整合回路150）は、フィルタの出力インピーダンスとアンテナのインピーダンスとの間でインピーダンス整合を行いうる。インピーダンス整合回路（例えば、図3のインピーダンス整合回路336）はまた、増幅器の出力インピーダンスとフィルタまたはアンテナの入力インピーダンスとの間でインピーダンス整合を行いうる。

#### 【0020】

アンテナ（例えば、図1のアンテナ152）のインピーダンスは、1つのアンテナの設計から別のアンテナの設計へ幅広く変化しうる。さらに、アンテナのインピーダンスは、下記で示されるように、周波数とともに幅広く変化しうる。アンテナのインピーダンスはまた、ワイヤレスデバイスへの人体（例えば、手、顔、等）の接近によって変わりうる。インピーダンス整合回路（例えば、図1のインピーダンス整合回路150）は、望ましい性能が得られるように、アンテナのインピーダンスをフィルタ（例えば、図1のTXフィルタ136）の出力インピーダンスへ整合させるように使用されうる。

#### 【0021】

図4は、調節可能であるが再構成可能ではないインピーダンス整合回路410の例示的な概略図を示す。インピーダンス整合回路410は、入力信号（ $V_{IN}$ ）を受信し、出力信号（ $V_{OUT}$ ）を提供する。インピーダンス整合回路410内で、インダクタ412、および可変キャパシタ（バラクタ）414は、直列に結合され、直列の組み合わせは、インピーダンス整合回路410の入力と出力との間で結合される。バラクタ416およびインダクタ418は、並列に結合され、並列の結合は、インピーダンス整合回路410の出力と回路接地との間で結合される。バラクタ414は、バラクタ414の設計および実現によって決まる値の第1の範囲内で可変のキャパシタンスを有する。バラクタ416は、バラクタ416の設計および実現によって決まる値の第2の範囲内で可変のキャパシタンスを有する。

#### 【0022】

検出器420は、インダクタ412の2つの末端と結合される2つの入力、およびコントローラ430へ結合される出力を有する。検出器420は、インダクタ412を介して電圧を検出し、コントローラ430へ検出された電圧を提供する。コントローラ430は、インダクタ412の検出された電圧および既知のインピーダンスに基づいてインピーダンス整合回路410の出力で届けられる電力を推定する。コントローラ430は、インピーダンス整合回路410の出力において、所望した届けられる電力を得るために、バラクタ414に対して第1の制御信号（ $S_1$ ）を、バラクタ416に対して第2の制御信号（ $S_2$ ）を生成する。特に、コントローラ430は、検出器420から検出された電圧に基づいて、バラクタ414のキャパシタンスを変化させるために第1の制御信号を生成し、および/またはバラクタ416のキャパシタンスを変化させるために第2の制御信号を生成しうる。

#### 【0023】

インピーダンス整合回路（例えば、図4のインピーダンス整合回路410）は、通常、1つの固定された構成を有する。この構成は、インピーダンス整合回路において各リアクティブ素子（すなわち、各インダクタおよび各バラクタ）がどのように結合されるかを示す。特に、各リアクティブ素子は、固定された構成に対してインピーダンス整合回路内の2つの特定のノード間で結合される。いくつかのリアクティブ素子（例えば、インダクタ412および418）は、固定されたインピーダンスを有することができ、他のリアクティブ素子（例えば、バラクタ414および416）は、可変インピーダンスを有しうる。可変リアクティブ素子（例えば、バラクタ）のインピーダンスは、インピーダンス整合回路のインピーダンスを変化するように調節されうる。固定された構成は、インピーダンス整合回路のインピーダンスがどのように調整されることができ、それを、インピーダンス整合回路のインピーダンス整合の能力を制限する。

10

20

30

40

50

## 【 0 0 2 4 】

インピーダンス整合回路のインピーダンスは、値の範囲で調節されることができ、それは、インピーダンス調整曲線と呼ばれうる。インピーダンス調整曲線は、インピーダンス整合回路の構成およびインピーダンス整合回路における可変リアクティブ素子に依存しうる。異なる構成は、異なるインピーダンス調整曲線と関連しうる。

## 【 0 0 2 5 】

図 5 A は、直列構成で結合された単一のリアクティブ素子 5 1 2 を有する 1 素子のインピーダンス整合回路 5 1 0 を示す。リアクティブ素子 5 1 2 は、キャパシタまたはインダクタであることができ、インピーダンス整合回路 5 1 0 の入力と出力との間で結合される。スイッチ 5 1 4 は、リアクティブ素子 5 1 2 と並列で結合される。スイッチ 5 1 4 が開かれると、インピーダンス整合回路 5 1 0 は、直列結合のリアクティブ素子 5 1 2 を有する。スイッチ 5 1 4 が閉じられると、インピーダンス整合回路 5 1 0 は、スルー構成 (through configuration) を有し、単に入力信号を渡す。

10

## 【 0 0 2 6 】

図 5 B は、シャント構成で結合された単一のリアクティブ素子 5 2 2 を有する 1 素子のインピーダンス整合回路 5 2 0 を示す。リアクティブ素子 5 2 2 は、キャパシタまたはインダクタであることができ、インピーダンス整合回路 5 2 0 の入力 / 出力と回路接地との間で結合される。

## 【 0 0 2 7 】

図 5 C は、「L」構成で結合された 2 つのリアクティブ素子 5 3 2 および 5 3 4 を有する 2 素子のインピーダンス整合回路 5 3 0 を示す。各リアクティブ素子は、キャパシタまたはインダクタでありうる。リアクティブ素子 5 3 2 は、インピーダンス整合回路 5 3 0 の入力と出力との間で結合される。リアクティブ素子 5 3 4 は、インピーダンス整合回路 5 3 0 の出力と回路接地との間で結合される。

20

## 【 0 0 2 8 】

図 5 D は、「R」構成で結合された 2 つのリアクティブ素子 5 4 2 および 5 4 4 を有する 2 素子のインピーダンス整合回路 5 4 0 を示す。各リアクティブ素子は、キャパシタまたはインダクタでありうる。リアクティブ素子 5 4 2 は、インピーダンス整合回路 5 4 0 の入力と回路接地との間で結合される。リアクティブ素子 5 4 4 は、インピーダンス整合回路 5 4 0 の入力と出力との間で結合される。図 5 C の「L」構成は、インピーダンス整合回路の出力と回路接地との間で結合されるリアクティブ素子を有し、一方、図 5 D の「R」構成は、インピーダンス整合回路の入力と回路接地との間で結合されるリアクティブ素子を有する。

30

## 【 0 0 2 9 】

図 5 E は、「Pi」構成で結合された 3 つのリアクティブ素子 5 5 2、5 5 4、および 5 5 6 を有する 3 素子のインピーダンス整合回路 5 5 0 を示す。各リアクティブ素子は、キャパシタまたはインダクタでありうる。リアクティブ素子 5 5 2 は、インピーダンス整合回路 5 5 0 の入力と回路接地との間で結合される。リアクティブ素子 5 5 4 は、インピーダンス整合回路 5 5 0 の入力と出力との間で結合される。リアクティブ素子 5 5 6 は、インピーダンス整合回路 5 5 0 の出力と回路接地との間で結合される。

40

## 【 0 0 3 0 】

図 5 F は、「T」構成で結合された 3 つのリアクティブ素子 5 6 2、5 6 4、および 5 6 6 を有する 3 素子のインピーダンス整合回路 5 6 0 を示す。各リアクティブ素子は、キャパシタまたはインダクタでありうる。リアクティブ素子 5 6 2 は、インピーダンス整合回路 5 6 0 の入力とノード A との間で結合される。リアクティブ素子 5 6 4 は、ノード A と回路接地との間で結合される。リアクティブ素子 5 6 6 は、ノード A とインピーダンス整合回路 5 6 0 の出力との間で結合される。

## 【 0 0 3 1 】

図 5 A から 5 F は、6 つの例示的なインピーダンス整合回路構成を示す。他のインピーダンス整合回路構成もまた、1 つ、2 つ、3 つまたはそれ以上のリアクティブ素子で形成

50

されうる。各インピーダンス整合回路構成は、インピーダンス整合回路構成を有する達成可能なインピーダンス値を示す、特定のインピーダンス調整曲線と関連しうる。異なるインピーダンス整合回路構成は、異なるインピーダンス調整曲線と関連しうる。

#### 【0032】

図6Aは、図5Aの直列構成を有する1素子のインピーダンス整合回路510についてのインピーダンス調整曲線を図示するスミスチャートを示す。スミスチャートは、正規化された複素数値インピーダンスを、50または75オームでありうる特性インピーダンス( $Z_0$ )で説明するための一般的な方法である。スミスチャートの中心は、 $Z_0$ と一致する。横軸より上の半円は、ポジティブなインピーダンスを意味し、横軸より下の半円は、ネガティブなインピーダンスを意味する。

10

#### 【0033】

プロット610は、直列インダクタであるリアクティブ素子512を有する、インピーダンス整合回路510についてのインピーダンス調整曲線を示す。プロット610の末端で矢印によって示されるように、徐々に大きくなるインダクタンスは、徐々に大きくなるポジティブなインピーダンスと一致する。プロット610で与えられたインピーダンス調整曲線は、直列インダクタに対するインダクタンス値の範囲で決まる。

#### 【0034】

プロット612は、直列キャパシタであるリアクティブ素子512を有する、インピーダンス整合回路510についてのインピーダンス調整曲線を示す。プロット612の末端で矢印によって示されるように、徐々に小さくなるキャパシタンスは、徐々に大きくなるネガティブなインピーダンスと一致する。プロット612で与えられたインピーダンス調整曲線は、直列キャパシタに対するキャパシタンス値の範囲で決まる。

20

#### 【0035】

図6Aはまた、図5Bのシャント構成を有する、1素子のインピーダンス整合回路520についてのインピーダンス調整曲線を示す。プロット614は、シャントインダクタであるリアクティブ素子522を有する、インピーダンス整合回路520についてのインピーダンス調整曲線を示す。プロット614の末端で矢印によって示されるように、徐々に小さくなるインダクタンスは、徐々に小さくなるポジティブなインピーダンスと一致する。プロット614で与えられたインピーダンス調整曲線は、シャントインダクタに対するインダクタンス値の範囲で決まる。

30

#### 【0036】

プロット616は、シャントキャパシタであるリアクティブ素子522を有する、インピーダンス整合回路520についてのインピーダンス値の範囲を示す。プロット616の末端で矢印によって示されるように、徐々に大きくなるキャパシタンスは、徐々に小さくなるネガティブなインピーダンスと一致する。プロット616で与えられたインピーダンス調整曲線は、シャントキャパシタに対するキャパシタンス値の範囲で決まる。

#### 【0037】

図6Bは、スルー構成における図5Aのインピーダンス整合回路510のインピーダンス調整曲線を図示するスミスチャートを示す。例示的な設計において、スルー構成は、アンテナのインピーダンスが、プロット618によって示される点線の円の内側に収まる場合に使用されうる。

40

#### 【0038】

図6Cは、図5Cの「L」構成を有する2素子のインピーダンス整合回路530のインピーダンス調整の特性を図示するスミスチャートを示す。プロット620および624は、直列キャパシタであるリアクティブ素子532およびシャントキャパシタであるリアクティブ素子534を有するインピーダンス整合回路530についてのインピーダンス調整曲線を示す。プロット622および624は、直列インダクタであるリアクティブ素子532およびシャントキャパシタであるリアクティブ素子534を有するインピーダンス整合回路530についてのインピーダンス調整曲線を示す。プロット630および634は、直列キャパシタであるリアクティブ素子532およびシャントインダクタであるリアク

50

ティブ素子 5 3 4 を有するインピーダンス整合回路 5 3 0 についてのインピーダンス調整曲線を示す。プロット 6 3 2 および 6 3 4 は、直列インダクタであるリアクティブ素子 5 3 2 およびシャントインダクタであるリアクティブ素子 5 3 4 を有するインピーダンス整合回路 5 3 0 についてのインピーダンス調整曲線を示す。

#### 【 0 0 3 9 】

図 6 C はまた、図 5 D の「 R 」構成を有する、2 素子のインピーダンス整合回路 5 4 0 についてのインピーダンス調整曲線を示す。プロット 6 4 0 および 6 4 4 は、シャントキャパシタであるリアクティブ素子 5 4 2 および直列キャパシタであるリアクティブ素子 5 4 4 を有するインピーダンス整合回路 5 4 0 についてのインピーダンス調整曲線を示す。プロット 6 4 2 および 6 4 4 は、シャントインダクタであるリアクティブ素子 5 4 2 および直列キャパシタであるリアクティブ素子 5 4 4 を有するインピーダンス整合回路 5 4 0 についてのインピーダンス調整曲線を示す。プロット 6 5 0 および 6 5 4 は、シャントキャパシタであるリアクティブ素子 5 4 2 および直列インダクタであるリアクティブ素子 5 4 4 を有するインピーダンス整合回路 5 4 0 についてのインピーダンス調整曲線を示す。プロット 6 5 2 および 6 5 4 は、シャントインダクタであるリアクティブ素子 5 4 2 および直列インダクタであるリアクティブ素子 5 4 4 を有するインピーダンス整合回路 5 4 0 についてのインピーダンス調整曲線を示す。

#### 【 0 0 4 0 】

図 6 D は、図 5 E の「 P i 」構成を有する 3 素子のインピーダンス整合回路 5 5 0 のインピーダンス調整曲線を図示するスミスチャートを示す。プロット 6 6 0、6 6 2 および 6 6 4 は、シャントキャパシタであるリアクティブ素子 5 5 2、直列インダクタであるリアクティブ素子 5 5 4、およびシャントキャパシタであるリアクティブ素子 5 5 6 を有するインピーダンス整合回路 5 5 0 についてのインピーダンス調整回路を示す。プロット 6 7 0、6 7 2、および 6 7 4 は、シャントインダクタであるリアクティブ素子 5 5 2、直列キャパシタであるリアクティブ素子 5 5 4、およびシャントインダクタであるリアクティブ素子 5 5 6 を有するインピーダンス整合回路 5 5 0 についてのインピーダンス調整曲線を示す。

#### 【 0 0 4 1 】

図 6 D はまた、図 5 F の「 T 」構成を有する 3 素子のインピーダンス整合回路 5 6 0 についてのインピーダンス調整曲線を示す。プロット 6 8 0、6 8 2、および 6 8 4 は、直列キャパシタであるリアクティブ素子 5 6 2、シャントインダクタであるリアクティブ素子 5 6 4、および直列キャパシタであるリアクティブ素子 5 6 6 を有するインピーダンス整合回路 5 6 0 についてのインピーダンス調整曲線を示す。プロット 6 9 0、6 9 2、および 6 9 4 は、直列インダクタであるリアクティブ素子 5 6 2、シャントキャパシタであるリアクティブ素子 5 6 4、および直列インダクタであるリアクティブ素子 5 6 6 を有するインピーダンス整合回路 5 6 0 についてのインピーダンス調整曲線を示す。

#### 【 0 0 4 2 】

一般に、インピーダンス整合回路の与えられた構成は、このような構成によって達成可能なインピーダンス値を示す特定のインピーダンス調整曲線に関連しうる。異なるインピーダンス整合回路構成は、図 6 A から 6 D で示されるように、異なるインピーダンス調整曲線と関連しうる。1 つの構成のみを有するインピーダンス整合回路は、制限されたインピーダンス値と整合することが可能でありうる。例えば、図 4 の「 L 」構成を有するインピーダンス整合回路 4 1 0 は、「 L 」構成についてのインピーダンス調整曲線内のインピーダンス値と整合することができうる。性能は、インピーダンス整合回路 4 1 0 が整合することができる制限されたインピーダンス値のために、低減されうる。

#### 【 0 0 4 3 】

一態様において、複数の構成を有する再構成可能なインピーダンス整合回路は、リアクティブ素子のセットおよびスイッチのセットで実現されうる。リアクティブ素子およびスイッチは、どのように各リアクティブ素子および各スイッチが結合されるかを示しうる特定のトポロジで結合されうる。多数の構成は、スイッチの異なる設定でサポートされうる

10

20

30

40

50

。異なる構成は、異なるインピーダンス調整曲線と関連しうる。これは、再構成可能なインピーダンス整合回路が、インピーダンス値のより広範囲に渡って負荷回路（例えばアンテナ）についてよりよいインピーダンス整合を提供することを可能にしうる。

#### 【0044】

例示的な設計において、再構成可能なインピーダンス整合回路は、各々が可変であることができるインピーダンスを有する、少なくとも1つの可変リアクティブ素子を含む。可変リアクティブ素子は、再構成可能なインピーダンス整合回路のインピーダンスが、より良いインピーダンス整合を提供するように調整されることを可能にし、それは性能を改善しうる。

#### 【0045】

例示的な設計において、再構成可能なインピーダンス整合回路は、少なくとも1つの再構成可能なリアクティブ素子を含み、その各々は、スイッチを介して直列素子またはシャント素子として結合されることができる。例えば、再構成可能なインダクタは、1つの構成において直列インダクタとして、および別の構成においてシャントインダクタとして結合されうる。再構成可能なリアクティブ素子は、再構成可能なインピーダンス整合回路のインピーダンスが、インピーダンス値のより広範囲に渡って調整されることを可能にし、それはより良いインピーダンス整合を提供しうる。

#### 【0046】

図7は、再構成可能なインピーダンス整合回路710の例示的な設計の概念図を示す。インピーダンス整合回路710内で、バラクタ722(C1)は、インピーダンス整合回路710の入力とノードBとの間で結合される。バラクタ724(C2)はノードBとインピーダンス整合回路710の出力との間で結合される。バラクタ726(C3)は、ノードBと回路接地との間で結合される。スイッチ732(SW1)は、インピーダンス整合回路710の入力とノードBとの間で結合される。スイッチ734(SW2)は、ノードBとインピーダンス整合回路710の出力との間で結合される。インダクタ742(L1)は、ノードBとスイッチ752(SW3)の入力との間で結合される。スイッチ752は、インピーダンス整合回路710の入力と結合された第1の出力(「1」)、回路接地と結合された第2の出力(「2」)、およびフロートしており、いずれの回路素子とも結合されていない、第3の出力(「3」)を有する。インダクタ744(L2)は、ノードBとスイッチ754(SW4)の入力との間で結合される。スイッチ754は、インピーダンス整合回路710の出力と結合された第1の出力(「1」)、回路接地と結合された第2の出力(「2」)、およびフロートしている第3の出力(「3」)を有する。

#### 【0047】

スイッチ752は(i)インダクタL1とインピーダンス整合回路710の入力の間で結合された第1のスイッチと、(ii)インダクタL1と回路接地との間で結合された第2のスイッチとで実現されうる。インダクタL1は、第1のスイッチを閉じること、および第2のスイッチを開くことによって、(インピーダンス整合回路710の入力と一致する)第1の出力と結合されうる。インダクタL1は、第1のスイッチを開くこと、および第2のスイッチ閉じることによって、(回路接地と一致する)第2の出力と結合されうる。インダクタL1は、第1および第2のスイッチの両方を開くことによって、第3の出力と結合されうる。スイッチ754はまた、スイッチ752と同様の方法で、スイッチのペアで実現されうる。

#### 【0048】

スイッチSW1およびSW2は、各々開閉されうる(すなわち、2つの可能性のある状態のうちの1つで設置される)。スイッチSW3およびSW4は、第1、第2、または第3の出力への入力と結合するように各々制御されうる(すなわち、3つの可能性のある状態のうちの1つで設置される)。バラクタC1、C2、およびC3は、高いインピーダンスを得るために最小のキャパシタンス値へ各々設定されることができ、本質的に、開くことを提供する。バラクタC1、C2、C3は同様のまたは異なる最小のキャパシタンス値を有しうる。下記で示されるように、インダクタ742および744は、直列素子または

10

20

30

40

50

シャント素子として各々結合されうる。

【 0 0 4 9 】

一般に、再構成可能なインピーダンス整合回路は、最大で

【 数 1 】

$$\prod_{m=1}^M N_m$$

10

【 0 0 5 0 】

の構成をサポートすることができ、ここにおいて、 $N_m$ は、再構成可能なインピーダンス整合回路での第 $m$ のスイッチの状態の数であり、 $M$ は、スイッチの総数であり、

【 数 2 】

$\Pi$

【 0 0 5 1 】

は、積演算を意味する。例えば、インピーダンス整合回路 7 1 0 は、スイッチ  $SW_1$  および  $SW_2$  の各々に対して 2 つの状態、およびスイッチ  $SW_3$  および  $SW_4$  の各々に対して 3 つの状態を有する、最大で  $3 \times 6 = 2 \times 2 \times 3 \times 3$  の構成をサポートしうる。

20

【 0 0 5 2 】

インピーダンス整合回路 7 1 0 は、直列、シャント、「L」、「R」、および「T」構成を含む多数の構成をサポートする。インピーダンス整合回路 7 1 0 のいくつかの構成が、下記で説明される。各構成は、スイッチ  $SW_1$ 、 $SW_2$ 、 $SW_3$ 、および  $SW_4$  のための状態 / 設定のセットと関連する。各構成はまた、バラクタ  $C_1$ 、 $C_2$ 、および / または  $C_3$  についての特定の値と関連しうる。

【 0 0 5 3 】

図 8 A から 8 T は、図 7 のインピーダンス整合回路 7 1 0 の 20 個の構成を示す。各構成は、その構成を説明している図で示されるスイッチ設定およびバラクタの設定で得られうる。各構成について、主な電気経路は、太い点線で示される。

30

【 0 0 5 4 】

図 8 A は、スルー構成におけるインピーダンス整合回路 7 1 0 を示す。この構成において、入力信号は、スイッチ  $SW_1$  および  $SW_2$  を通って、インピーダンス整合回路 7 1 0 の出力へ渡される。

【 0 0 5 5 】

図 8 B は、直列 L 1 を有する直列構成におけるインピーダンス整合回路 7 1 0 を示す。この構成において、入力信号は、スイッチ  $SW_3$ 、インダクタ  $L_1$ 、およびスイッチ  $SW_2$  を通って、インピーダンス整合回路 7 1 0 の出力へ渡される。

40

【 0 0 5 6 】

図 8 C は、直列  $C_1$  を有する直列構成におけるインピーダンス整合回路 7 1 0 を示す。この構成において、入力信号は、バラクタ  $C_1$  およびスイッチ  $SW_2$  を通って、インピーダンス整合回路 7 1 0 の出力へ渡される。

【 0 0 5 7 】

図 8 D は、直列  $C_1$  および  $C_2$  を有する直列構成におけるインピーダンス整合回路 7 1 0 を示す。この構成において、入力信号は、バラクタ  $C_1$  および  $C_2$  を通って、インピーダンス整合回路 7 1 0 の出力へ渡される。

【 0 0 5 8 】

図 8 E は、直列 L 2 を有する直列構成におけるインピーダンス整合回路 7 1 0 を示す。

50

この構成において、入力信号は、スイッチ S W 1、インダクタ L 2、およびスイッチ S W 4 を通って、インピーダンス整合回路 7 1 0 の出力へ渡される。

【 0 0 5 9 】

図 8 F は、直列 L 1 および L 2 を有する直列構成におけるインピーダンス整合回路 7 1 0 を示す。この構成において、入力信号は、スイッチ S W 3、インダクタ L 1 および L 2、およびスイッチ S W 4 を通って、インピーダンス整合回路 7 1 0 の出力へ渡される。

【 0 0 6 0 】

図 8 G は、直列 C 1 および L 2 を有する直列構成におけるインピーダンス整合回路 7 1 0 を示す。この構成において、入力信号は、バラクタ C 1、インダクタ L 2、およびスイッチ S W 4 を通って、インピーダンス整合回路 7 1 0 の出力へ渡される。

10

【 0 0 6 1 】

図 8 H は、直列 L 1 および C 2 を有する直列構成におけるインピーダンス整合回路 7 1 0 を示す。この構成において、入力信号は、スイッチ S W 3、インダクタ L 1、およびバラクタ C 2 を通って、インピーダンス整合回路 7 1 0 の出力へ渡される。

【 0 0 6 2 】

図 8 I は、シャント L 1 を有するシャント構成におけるインピーダンス整合回路 7 1 0 を示す。この構成において、入力信号は、スイッチ S W 1 を通り、（スイッチ S W 3 を介して回路接地へ結合される）インダクタ L 1 に印加され、スイッチ S W 2 を通り、インピーダンス整合回路 7 1 0 の出力へ渡される。

【 0 0 6 3 】

20

図 8 J は、シャント L 2 を有するシャント構成におけるインピーダンス整合回路 7 1 0 を示す。この構成において、入力信号は、スイッチ S W 1 を通り、（スイッチ S W 4 を介して回路接地へ結合される）インダクタ L 2 に印加され、スイッチ S W 2 を通り、インピーダンス整合回路 7 1 0 の出力へ渡される。

【 0 0 6 4 】

図 8 K は、シャント L 1 および L 2 を有するシャント構成におけるインピーダンス整合回路 7 1 0 を示す。この構成において、入力信号は、スイッチ S W 1 を通り、（スイッチ S W 3 および S W 4 を介して回路接地へ結合される）インダクタ L 1 および L 2 に印加され、スイッチ S W 2 を通り、インピーダンス整合回路 7 1 0 の出力へ渡される。

【 0 0 6 5 】

30

図 8 L は、シャント C 3 を有するシャント構成におけるインピーダンス整合回路 7 1 0 を示す。この構成において、入力信号は、スイッチ S W 1 を通り、バラクタ C 3 に印加され、スイッチ S W 2 を通り、インピーダンス整合回路 7 1 0 の出力へ渡される。

【 0 0 6 6 】

図 8 M は、直列 L 1 およびシャント C 3 を有する「 L 」構成におけるインピーダンス整合回路 7 1 0 を示す。この構成において、入力信号は、スイッチ S W 3 およびインダクタ L 1 を通り、バラクタ C 3 に印加され、スイッチ S W 2 を通り、インピーダンス整合回路 7 1 0 の出力へ渡される。

【 0 0 6 7 】

図 8 N は、直列 C 1 およびシャント L 1 を有する「 L 」構成におけるインピーダンス整合回路 7 1 0 を示す。この構成において、入力信号は、バラクタ C 1 を通り、（スイッチ S W 3 を介して回路接地へ結合される）インダクタ L 1 に印加され、スイッチ S W 2 を通り、インピーダンス整合回路 7 1 0 の出力へ渡される。

40

【 0 0 6 8 】

図 8 O は、シャント L 2 および直列 C 2 を有する「 R 」構成におけるインピーダンス整合回路 7 1 0 を示す。この構成において、入力信号は、スイッチ S W 1 を通り、（スイッチ S W 4 を介して回路接地へ結合される）インダクタ L 2 に印加され、バラクタ C 2 を通り、インピーダンス整合回路 7 1 0 の出力へ渡される。

【 0 0 6 9 】

図 8 P は、シャント C 3 および直列 L 2 を有する「 R 」構成におけるインピーダンス整

50

合回路 710 を示す。この構成において、入力信号は、スイッチ SW1 を通り、バラクタ C3 に印加され、インダクタ L2 およびスイッチ SW4 を通り、インピーダンス整合回路 710 の出力へ渡される。

【0070】

図 8Q は、直列 L1、シャント C3、および直列 L2 を有する「T」構成におけるインピーダンス整合回路 710 を示す。この構成において、入力信号は、スイッチ SW3 およびインダクタ L1 を通り、バラクタ C3 に印加され、インダクタ L2 およびスイッチ SW4 を通り、インピーダンス整合回路 710 の出力へ渡される。

【0071】

図 8R は、直列 C1、シャント L1、および直列 C2 を有する「T」構成におけるインピーダンス整合回路 710 を示す。この構成において、入力信号は、バラクタ C1 を通り、（スイッチ SW3 を介して回路接地へ結合される）インダクタ L1 に印加され、バラクタ C2 を通り、インピーダンス整合回路 710 の出力へ渡される。

10

【0072】

図 8S は、直列 C1、シャント L2、および直列 C2 を有する「T」構成におけるインピーダンス整合回路 710 を示す。この構成において、入力信号は、バラクタ C1 を通り、（スイッチ SW4 を介して回路接地へ結合される）インダクタ L2 に印加され、バラクタ C2 を通り、インピーダンス整合回路 710 の出力へ渡される。

【0073】

図 8T は、直列 C1、シャント L1 および L2、および直列 C2 を有する「T」構成におけるインピーダンス整合回路 710 を示す。この構成において、入力信号は、バラクタ C1 を通り、（スイッチ SW3 および SW4 を介して回路接地へ結合される）インダクタ L1 および L2 に印加され、バラクタ C2 を通り、インピーダンス整合回路 710 の出力へ渡される。

20

【0074】

図 7 は、図 8A から 8T で示される多数の構成を有する再構成可能なインピーダンス整合回路の 1 つのトポロジを示す。再構成可能なインピーダンス整合回路はまた、他のトポロジでも実現されうる。

【0075】

図 9A は、再構成可能なインピーダンス整合回路 910 の例示的な設計の概略図を示す。インピーダンス整合回路 910 内で、バラクタ 922 (C1) は、インピーダンス整合回路 910 の入力とスイッチ 962 (SW5) の入力との間で結合される。スイッチ 962 は、ノード D と結合される第 1 の出力、回路接地と結合される第 2 の出力、およびフロートしている第 3 の出力を有する。バラクタ 924 (C2) は、インピーダンス整合回路 910 の出力とスイッチ 964 (SW6) の入力との間で結合される。スイッチ 964 は、ノード D と結合される第 1 の出力、回路接地と結合される第 2 の出力、およびフロートしている第 3 の出力を有する。スイッチ 932 (SW1) は、インピーダンス整合回路 910 の入力とノード D との間で結合される。スイッチ 934 (SW2) は、ノード D とインピーダンス整合回路 910 の出力との間で結合される。インダクタ 942 (L1) は、インピーダンス整合回路 910 の入力とスイッチ 972 (SW3) の入力との間で結合される。スイッチ 972 は、ノード D と結合された第 1 の出力、回路接地と結合された第 2 の出力、およびフロートしている第 3 の出力を有する。インダクタ 944 (L2) は、インピーダンス整合回路 910 の出力とスイッチ 974 (SW4) の入力との間で結合される。スイッチ 974 は、ノード D と結合される第 1 の出力、回路接地と結合される第 2 の出力、およびフロートしている第 3 の出力を有する。

30

40

【0076】

スイッチ SW1 および SW2 は、各々開閉されうる。スイッチ SW3、SW4、SW5、および SW6 は、3 つの出力のうちの 1 つへ入力を結合するように各々設定されうる。バラクタ C1 と C2、およびインダクタ L1 と L2 は、それぞれ、それらが関連するスイッチ SW5、SW6、SW3 および SW4 を介して直列素子またはシャント素子として各

50



々結合されうる。

【 0 0 7 7 】

図 9 B は、再構成可能なインピーダンス整合回路 9 1 2 の例示的な設計の概略図を示す。インピーダンス整合回路 9 1 2 は、図 9 A について上記で説明されたように結合されるバラクタ 9 2 2 および 9 2 4、さらにスイッチ 9 3 2、9 3 4、9 6 2、および 9 6 4 を含む。インダクタ 9 4 2 ( L 1 ) は、ノード D とスイッチ 9 5 2 ( S W 3 ) の入力との間で結合される。スイッチ 9 5 2 は、インピーダンス整合回路 9 1 2 の入力と結合される第 1 の出力、回路接地と結合される第 2 の出力、およびフロートしている第 3 の出力を有する。インダクタ 9 4 4 ( L 2 ) は、ノード D とスイッチ 9 5 4 ( S W 4 ) の入力との間で結合される。スイッチ 9 5 4 は、インピーダンス整合回路 9 1 2 の出力と結合された第 1 10  
の出力、回路接地と結合された第 2 の出力、およびフロートしている第 3 の出力を有する。

【 0 0 7 8 】

スイッチ S W 1 および S W 2 は、各々開閉されうる。スイッチ S W 3、S W 4、S W 5、および S W 6 は、3 つの出力のうちの 1 つへ入力を各々結合しうる。バラクタ C 1 と C 2、およびインダクタ L 1 と L 2 は、それぞれ、それらが関連するスイッチ S W 5、S W 6、S W 3 および S W 4 を介して直列素子またはシャント素子として各々結合されうる。

【 0 0 7 9 】

図 9 C は、再構成可能なインピーダンス整合回路 9 1 4 の例示的な設計の概略図を示す。インピーダンス整合回路 9 1 4 は、図 9 A および 9 B について上記で説明されたように結合されるインダクタ 9 4 2 および 9 4 4、さらにスイッチ 9 3 2、9 3 4、9 5 2、および 9 5 4 を含む。バラクタ 9 2 2 ( C 1 ) は、ノード D とスイッチ 9 8 2 ( S W 5 ) の入力との間で結合される。スイッチ 9 8 2 は、インピーダンス整合回路 9 1 4 の入力と結合される第 1 の出力、回路接地と結合される第 2 の出力、およびフロートしている第 3 の出力を有する。バラクタ 9 2 4 ( C 2 ) は、ノード D とスイッチ 9 8 4 ( S W 6 ) の入力との間で結合される。スイッチ 9 8 4 は、インピーダンス整合回路 9 1 4 の出力と結合された第 1 20  
の出力、回路接地と結合された第 2 の出力、およびフロートしている第 3 の出力を有する。

【 0 0 8 0 】

スイッチ S W 1 および S W 2 は、各々開閉されうる。スイッチ S W 3、S W 4、S W 5、および S W 6 は、3 つの出力のうちの 1 つへ入力を各々結合しうる。バラクタ C 1 と C 2、およびインダクタ L 1 と L 2 は、それぞれ、それらが関連するスイッチ S W 5、S W 6、S W 3 および S W 4 を介して直列素子またはシャント素子として各々結合されうる。 30

【 0 0 8 1 】

図 7、9 A、9 B、および 9 C は、再構成可能なインピーダンス整合回路のための 4 つの例示的なトポロジを示す。図 7 のトポロジは、直列素子またはシャント素子としてインダクタ L 1 および L 2 が結合されることを許可する。図 9 A のトポロジは、「 P i 」構成において直列素子またはシャント素子としてインダクタ L 1 と L 2、およびバラクタ C 1 と C 2 が結合されることを許可する。図 9 B のトポロジは、「 P i 」構成において直列素子またはシャント素子としてバラクタ C 1 と C 2 が結合されることを許可し、「 T 」構成 40  
において直列素子またはシャント素子としてインダクタ L 1 と L 2 が結合されることを許可する。図 9 C のトポロジは、「 T 」構成において直列素子またはシャント素子としてバラクタ C 1 と C 2、およびインダクタ L 1 と L 2 が結合されることを許可する。再構成可能なインピーダンス整合回路はまた、他のトポロジに基づいて実現されうる。

【 0 0 8 2 】

一般に、再構成可能なインピーダンス整合回路のためのトポロジは、任意方法において結合されうる、任意の数のリアクティブ素子および任意の数のスイッチを含みうる。トポロジは、任意の数の構成をサポートしうる。例えば、トポロジは、下記の構成のうちの 1 つまたは複数をサポートしうる。

【 0 0 8 3 】

10

20

30

40

50

- ・ L または C のいずれかを有さないスルー構成
- ・ 直列 L および / または 直列 C を有する図 5 の直列構成
- ・ シャント L および / または シャント C を有する図 5 B のシャント構成
- ・ ( i ) 直列 C および シャント L 、 ( ii ) 直列 L および シャント C 、 ( iii ) 直列 C および シャント C 、 または ( iv ) 直列 L および シャント L を有する図 5 C の「 L 」構成
- ・ ( i ) シャント C および 直列 L 、 ( ii ) シャント L および 直列 C 、 ( iii ) シャント C および 直列 C 、 または ( iv ) シャント L および 直列 L を有する図 5 D の「 R 」構成
- ・ ( i ) シャント C 、 直列 L 、 および シャント C または ( ii ) シャント L 、 直列 C 、 および シャント L を有する図 5 E の「 P i 」構成
- ・ ( i ) 直列 C 、 シャント L 、 および 直列 C 、 または ( ii ) 直列 L 、 シャント C 、 および 直列 L を有する図 5 F の「 T 」構成
- ・ その他の構成

10

例示的な設計において、再構成可能なインピーダンス整合回路のバラクタおよびスイッチは、集積回路 ( IC ) で実現され、インダクタは、 IC 外部で実現されうる。別の例示的な設計において、再構成可能なインピーダンス整合回路のキャパシタ、スイッチ、およびインダクタは、 IC で実現されうる。さらに別の例示的な設計において、再構成可能なインピーダンス整合回路のキャパシタ、スイッチ、およびインダクタは、回路基板で実現されうる。再構成可能なインピーダンス整合回路においてキャパシタ、スイッチ、およびインダクタはまた、別の方法で実現されうる。

#### 【 0 0 8 4 】

20

再構成可能なインピーダンス整合回路は、アンテナに対してより良いインピーダンス整合を提供しうる。アンテナのインピーダンスは、1つのアンテナ設計から別のアンテナ設計へ幅広く変化しうる。さらに、アンテナのインピーダンスは、周波数とともに幅広く変化しうる。アンテナのインピーダンスはまた、ワイヤレスデバイスへの人体 ( 例えば、手、顔、等 ) の接近のために変わりうる。再構成可能なインピーダンス整合回路は、望ましい性能が得られるように、アンテナのインピーダンスを目標のインピーダンスへ整合させうる。

#### 【 0 0 8 5 】

図 1 0 は、アンテナ対周波数のインピーダンスを図示するスミスチャートを示す。プロット 1 0 1 0 は、ポイント 1 0 1 2 における 7 0 0 メガヘルツより下から、ポイント 1 0 1 4 における 2 . 8 ギガヘルツより上までのアンテナのインピーダンスを示す。アンテナは、動作の与えられた周波数において特定のインピーダンス (  $Z_{ANT}$  ) を有する。インピーダンス整合回路は、アンテナへ結合された回路のインピーダンス ( 例えば、フィルタのインピーダンス ) へこの  $Z_{ANT}$  インピーダンスを整合させるべきである。インピーダンス整合回路が1つの構成 ( 例えば、図 4 のインピーダンス整合回路 4 1 0 ) を有する場合、インピーダンス整合回路は、 $Z_{ANT}$  インピーダンスへ整合することができない可能性があり、従って、性能低下が引き起こされる。しかしながら、インピーダンス整合回路が複数の構成を有する場合、可能な限り  $Z_{ANT}$  インピーダンスに近いインピーダンス調整曲線を有する構成は、選択されることができ、1つまたは複数の可変リアクティブ素子は、 $Z_{ANT}$  インピーダンスへ整合するように調節されうる。

30

40

#### 【 0 0 8 6 】

再構成可能なインピーダンス整合回路は、様々な方法において負荷回路 ( 例えば、アンテナ ) のインピーダンス整合のために使用されうる。負荷回路は、例えば、図 1 0 で示されるように、異なる周波数において異なるインピーダンス値を有しうる。再構成可能なインピーダンス整合回路は、選択された動作周波数において負荷回路のインピーダンスを整合させるべきである。

#### 【 0 0 8 7 】

1つの例示的な設計において、多くの再構成可能なインピーダンス整合回路の設定 ( または、回路設定 ) は、異なる周波数において、負荷回路に対して決定されうる。各回路設定は、特定の周波数において負荷回路のインピーダンス (  $Z_{LOAD}$  ) と最も密接に整合

50

する再構成可能なインピーダンス整合回路のインピーダンス ( $Z_{MC}$ ) と関連しうる。  $Z_{LOAD}$  インピーダンスは、特定の周波数において (例えば、研究所または工場での) 測定および / または負荷回路のコンピュータシミュレーションに基づいて決定されうる。  $Z_{MC}$  インピーダンスは、特定の周波数において、再構成可能なインピーダンス整合回路のコンピュータシミュレーションおよび / または測定に基づいて決定されうる。

#### 【 0 0 8 8 】

図 1 1 は、再構成可能なインピーダンス整合回路のためのルックアップテーブル (LUT) 1 1 0 0 の例示的な設計を示す。この例示的な設計において、再構成可能なインピーダンス整合回路の  $K$  個の回路設定は、 $K$  が任意の整数値である、 $K$  個の異なる周波数における負荷回路について決定されうる。各回路設定は、(i) 回路設定が選択されうる周波数または周波数の範囲、(ii) 再構成可能なインピーダンス整合回路の特定の構成、(iii) 再構成可能なインピーダンス整合回路におけるスイッチの特定の設定、(iv) 再構成可能なインピーダンス整合回路における可変リアクティブ素子のための特定の制御設定、および (v) 回路設定が、選択されうる周波数バンドおよび / またはモード (例えば、cdma2000、WCDMA、LTE、GSM、等) と関連しうる。ルックアップテーブル 1 1 0 0 における情報のうちの全てまたはいくつかは、不揮発性メモリ (例えば、図 1 のメモリ 1 1 2) において記憶されうる。例えば、ルックアップテーブル 1 1 0 0 は、各回路設定のための可変リアクティブ素子について、周波数または周波数範囲、スイッチ設定、および制御設定のみを記憶しうる。

#### 【 0 0 8 9 】

ルックアップテーブル 1 1 0 0 に関して、インピーダンス整合は、ワイヤレスデバイスの動作周波数に基づいて適切な回路設定を選択することによって実現されうる。選択された回路設定のためのスイッチ設定および制御設定は、ルックアップテーブル 1 1 0 0 から検索されうる。検索されたスイッチ設定は、スイッチへ適用されることができ、検索された制御設定は、再構成可能なインピーダンス整合回路内の可変リアクティブ素子に適用されうる。

#### 【 0 0 9 0 】

図 1 2 は、1 つの例示的な設計と一致する低周波数バンドに対する 8 つの異なる回路設定についてのアンテナ効率のプロットを示す。図 1 2 において、横軸は、メガヘルツの単位での周波数を表し、縦軸は、デシベル (dB) の単位でのアンテナ効率を表す。LUT 1 から LUT 8 で示される 8 つの異なる回路設定のためのアンテナ効率対周波数は、それぞれ、プロット 1 2 1 2 から 1 2 2 6 で示される。図 1 2 で示されるように、各回路設定は、特定の周波数においてピークのアンテナ効率を有し、ピークのアンテナ効率をカバーする周波数の範囲に対して望ましい性能を提供しうる。8 つの回路設定は、これらの 8 つの回路設定についてのピークのアンテナ効率が、異なる周波数で生じるように選択されることができ、それは、可能な限り均一に離れて存在しうる。1 つの回路設定は、動作周波数に基づく使用のために選択されうる。例えば、LUT 3 の設定は、800 メガヘルツで動作している際に選択されることができ、LUT 5 は、900 メガヘルツで動作している際、選択されることができ、選択された LUT 設定に対する周波数応答は、再構成可能なインピーダンス整合回路において 1 つまたは複数の可変リアクティブ素子を調節することによって変更されうる。

#### 【 0 0 9 1 】

別の例示的な設計において、インピーダンス整合は、再構成可能なインピーダンス整合回路で順応して行われうる。例えば、再構成可能なインピーダンス整合回路において、最初の構成を備える最初の回路設定および可変リアクティブ素子についての最初の制御設定が、適用されうる。性能メトリックは、この最初の回路設定に対して決定されうる。性能メトリックは、負荷回路へ運ばれる電力、負荷回路から反射される電力、増幅器電流の電力、等といった 1 つまたは複数のパラメータに基づいて定義されうる。構成および / または制御設定は、新しい回路設定を得るために (例えば、ランダムにまたは検索アルゴリズムに基づいて) 変更されうる。性能メトリックは、新しい回路設定に対して決定されう

10

20

30

40

50

る。新しい回路設定は、新しい回路設定に対する性能メトリックが最初の回路設定に対する性能メトリックよりも良い場合、維持されうる。構成および/または制御設定は、最も良い性能メトリックが得られるまで同様の方法で繰り返し変更され、評価されうる。

#### 【0092】

本明細書で開示される複数の構成を有する再構成可能なインピーダンス整合回路は、様々な利点を提供しうる。再構成可能なインピーダンス整合回路は、範囲を調整する幅広いインピーダンスをサポートすることができ、より良いインピーダンス整合を提供することができる。再構成可能なインピーダンス整合回路はまた、アンテナなどの負荷を有する適応性のあるインピーダンス整合をサポートしうる。再構成可能なインピーダンス整合回路は、単一の周波数バンドまたは複数の周波数バンド上の動作をサポートすることができ、ワイヤレスデバイスの動作の周波数を拡張することができる。再構成可能なインピーダンス整合回路は、生産テストおよび生産作業の軽減を可能にしうる、単一入力および単一出力を含みうる。再構成可能なインピーダンス整合回路は、コストおよびサイズを削減しうる、少数の(例えば、1つまたは2つの)インダクタで実現されうる。再構成可能なインピーダンス整合回路は、複数のキャリアの同時送信である、キャリアアグリゲーションをサポートしうる。各キャリアは、(例えば、20メガヘルツまたはそれより少ない)特定のバンド幅を有しうる。再構成可能なインピーダンス整合回路はまた、多入力多出力(MIMO)動作、送信ダイバーシティ、受信ダイバーシティ、等をサポートしうる。

#### 【0093】

例示的な設計において、装置(例えば、ワイヤレスデバイス、IC、回路モジュール等)は、負荷回路と結合されたインピーダンス整合回路を備えうる。インピーダンス整合回路(例えば、図1のインピーダンス整合回路150)は、複数のリアクティブ素子および少なくとも1つのスイッチを備えることができ、複数の構成をサポートしうる。各構成は、インピーダンス整合回路において複数のリアクティブ素子の相互接続および特定の配置と一致しうる。複数のリアクティブ素子は、負荷回路をインピーダンス整合するように構成されることができ、インピーダンス整合回路のインピーダンスを調整するように構成された少なくとも1つの可変リアクティブ素子(例えば、少なくとも1つのバラクタ)を含みうる。少なくとも1つのスイッチは、複数の構成のうちの1つにおいてインピーダンス整合回路を設定するように構成されうる。装置は、インピーダンス整合回路のための複数の構成のうちの1つを選択するように構成されるコントローラ(例えば、コントローラ110)をさらに備えうる。コントローラは、デジタル回路および/またはアナログ回路で実現されうる。

#### 【0094】

例示的な設計において、複数の構成は、直列構成、シャント構成、「L」構成、「R」構成、「Pi」構成、「T」構成、またはそれらの組み合わせを含みうる。直列構成は、例えば、図5Aで示されるように、インピーダンス整合回路の入力と出力との間で結合された少なくとも1つのリアクティブ素子を有しうる。シャント構成は、例えば、図5Bで示されるように、インピーダンス整合回路の入力/出力と回路接地との間で結合された少なくとも1つのリアクティブ素子を有しうる。「L」構成は、例えば、図5Cで示されるように、(i)インピーダンス整合回路の入力と出力との間で結合された少なくとも1つのリアクティブ素子、および(ii)インピーダンス整合回路の出力と回路接地との間で結合された少なくとも1つの他のリアクティブ素子を有しうる。「R」構成は、例えば、図5Dで示されるように、(i)インピーダンス整合回路の入力と出力との間で結合された少なくとも1つのリアクティブ素子、および(ii)インピーダンス整合回路の入力と回路接地との間で結合された少なくとも1つの他のリアクティブ素子とを有しうる。「Pi」構成は、例えば、図5Eで示されるように、(i)インピーダンス整合回路の出力と入力との間で結合された第1のリアクティブ素子、(ii)インピーダンス整合回路の入力と回路接地との間で結合された第2のリアクティブ素子、および(iii)インピーダンス整合回路の出力と回路接地との間で結合された第3のリアクティブ素子とを有しうる。「T」構成は、例えば、図5Fで示されるように、(i)インピーダンス整合回路の入力と中間

ノードとの間で結合された第1のリアクティブ素子、(ii)中間ノードとインピーダンス整合回路の出力との間で結合された第2のリアクティブ素子、および(iii)中間ノードと回路接地との間で結合された第3のリアクティブ素子を有しうる。複数の構成は、例えば、図6Aから6Dで示されるように、異なるインピーダンス調整曲線と関連しうる。

【0095】

例示的な設計において、複数のリアクティブ素子は、少なくとも1つの構成において直列素子として、少なくとも1つの他の構成においてシャント素子として結合されるリアクティブ素子を含みうる。リアクティブ素子は、(例えば、図8B、8E、8F、8G、8H、等で示されるように)少なくとも1つの構成において直列インダクタとして、および(例えば、図8I、8J、8K、8N、8O、等で示されるように)少なくとも1つの他の構成においてシャントインダクタとして結合されるインダクタ(例えば、図7のインダクタ742または744)でありうる。代替として、リアクティブ素子は、少なくとも1つの構成において直列キャパシタとして、および少なくとも1つの他の構成においてシャントキャパシタとして結合される可変キャパシタ(例えば、図9Bのキャパシタ922または924)でありうる。

【0096】

複数のリアクティブ素子は、(i)少なくとも1つの構成ではインピーダンス整合回路内の第1のノードのペアの間で、および(ii)少なくとも1つの他の構成では第1のノードのペアとは異なる第2のノードのペアの間で結合されたリアクティブ素子を含みうる。例えば、図7のインダクタ742は、ノードBとインピーダンス整合回路710の入力との間で、またはノードBと回路接地との間で結合されうる。少なくとも1つのスイッチは、インピーダンス整合回路において(i)複数のリアクティブ素子のうちの1つと結合された単一入力、および(ii)少なくとも2つのノードと結合された少なくとも2つの出力を有するスイッチ(例えば、図7のスイッチ752または754)を含みうる。

【0097】

例示的な設計において、例えば、図1および2で示されるように、負荷回路はアンテナを備えることができ、インピーダンス整合回路は、アンテナに対してインピーダンス整合を行いうる。別の例示的な設計において、例えば、図3で示されるように、負荷回路は、電力増幅器を備えることができ、インピーダンス整合回路は、電力増幅器に対して出力インピーダンス整合を行いうる。さらに、別の例示的な設計において、例えば、図3で示されるように、負荷回路は、LNAを備えることができ、インピーダンス整合回路は、LNAに対して入力インピーダンス整合を行いうる。

【0098】

例示的な設計において、装置は、例えば、図11で示されるように、インピーダンス整合回路に対して複数の回路設定を記憶するメモリをさらに備えうる。各回路設定は、複数の構成のうちの1つ、少なくとも1つのスイッチのための少なくとも1つのスイッチ設定、少なくとも1つの可変リアクティブ素子のための少なくとも1つの制御設定、等と関連しうる。例示的な設定において、複数の回路設定は、例えば、図12で示されるように、異なる周波数のためのものでありうる。複数の回路設定のうちの1つは、装置の動作周波数に基づいて選択されうる。

【0099】

図13は、インピーダンス整合を行うためのプロセス1300の例示的な設計を示す。インピーダンス整合回路は、インピーダンス整合回路内の少なくとも1つのスイッチを介して複数の構成のうちの1つへ設定されうる(ブロック1312)。インピーダンス整合は、インピーダンス整合回路において複数のリアクティブ素子を有する負荷回路に対して行われうる(ブロック1314)。複数のリアクティブ素子は、インピーダンス整合回路のインピーダンスを調整するように構成される少なくとも1つの可変リアクティブ素子を含みうる。

【0100】

例示的な設計において、インピーダンス整合回路のための複数の回路設定は、メモリに

10

20

30

40

50

記憶されうる。各回路設定は、複数の構成のうちの1つ、少なくとも1つのスイッチのための少なくとも1つのスイッチ設定、少なくとも1つの可変リアクティブ素子のための少なくとも1つの制御設定、等と関連しうる。インピーダンス整合回路のための複数の回路設定のうちの1つは、例えば、ワイヤレスデバイスの動作周波数に基づいて選択されうる。

#### 【0101】

本明細書で説明される再構成可能なインピーダンス整合回路は、IC、アナログIC、RFIC、混合信号IC、ASIC、プリント回路基板(PCB)、電子デバイス、等で実現されうる。再構成可能なインピーダンス整合回路は、相補型金属酸化膜半導体(CMOS)、N型MOS(NMOS)、P型MOS(PMOS)、バイポーラ接合トランジスタ(BJT)、バイポーラCMOS(BiCMOS)、シリコンゲルマニウム(SiGe)、ヒ化ガリウム(GaAs)、ヘテロ接合バイポーラトランジスタ(HBT)、高電子移動度トランジスタ(HEMT)シリコン・オン・インシュレータ(SOI)、等といった様々なIC処理技術で製造されうる。

#### 【0102】

再構成可能なインピーダンス整合回路を有する装置は、本明細書で説明されるように、単独型のデバイスであることができ、またはより大きなデバイスの一部分でありうる。デバイスは、(i)単独型のIC、(ii)データおよび/または命令を記憶するためのメモリICを含みうる1つまたは複数のICのセット、(iii)RF受信機(RFR)またはRF送信機/受信機(RFR)などのRFIC、(iv)モバイル局モデム(MSM)などのASIC、(v)他のデバイス内に内蔵されうるモジュール、(vi)受信機、セルラーフォン、ワイヤレスデバイス、ハンドセット、またはモバイルユニット、(vii)等、でありうる。

#### 【0103】

1つまたは複数の例示的な設計において、説明された機能は、ハードウェア、ソフトウェア、ファームウェア、またはそれらの任意の組み合わせで実現されうる。ソフトウェアで実現された場合、機能は、1つまたは複数の命令またはコードとしてコンピュータ可読媒体上に記憶または、送信されうる。コンピュータ可読媒体は、ある場所から別の場所へ、コンピュータプログラムの転送を容易にする任意の媒体を含む通信媒体とコンピュータ記憶媒体との両方を含む。記憶媒体は、コンピュータにアクセスされることができる任意の利用可能な媒体でありうる。限定ではなく例として、このようなコンピュータ可読媒体は、RAM、ROM、EEPROM、CD-ROMまたは他の光ディスク記憶装置、磁気ディスク記憶装置または他の磁気記憶デバイス、あるいは、データ構造または命令の形式で所望のプログラムコードを記憶または搬送するために使用可能であり、かつコンピュータによってアクセスされることができる他の任意の媒体を備えることができる。また、任意の接続は、コンピュータ可読媒体と適切に称される。例えば、ソフトウェアが、ウェブサイト、サーバ、または同軸ケーブル、光ファイバケーブル、ツイストペア、デジタル加入者線(DSL)、または赤外線、無線、マイクロ波のようなワイヤレス技術を使用して他の遠隔ソースから送信された場合、同軸ケーブル、ファイバ光ケーブル、ツイストペア、DSL、または赤外線、無線、およびマイクロ波のようなワイヤレス技術は、媒体の定義に含まれる。本明細書で使用されたようなディスク(disk)およびディスク(disc)は、コンパクトディスク(CD)、レーザーディスク、光ディスク、デジタル汎用ディスク(DVD)、フロッピー(登録商標)ディスク、およびブルーレイ(登録商標)ディスクを含むが、一般的に、ディスク(disk)は、データを磁氣的に再生する一方で、ディスク(disc)はデータをレーザで光学的に再生する。上記の組み合わせもまた、コンピュータ可読媒体の範囲内に含まれるべきである。

#### 【0104】

本開示の先の説明は、当業者が本開示を行うまたは使用することを可能にするために提供される。本開示に対するさまざまな変更は、当業者に容易に理解され、本明細書で定義される一般的な原理は、本開示の範囲から逸脱することなく、他の変化に適用することが

10

20

30

40

50

できる。よって、本開示は、本明細書で説明される例および設計に限定されるように意図されたものではなく、本明細書において開示された原理および新規の特徴と一致する最大範囲であると認められるべきである。

以下に本願出願当初の特許請求の範囲を付記する。

[C 1] インピーダンス整合回路のインピーダンスを調整するように構成された少なくとも1つの可変リアクティブ素子を含み、かつ、負荷回路をインピーダンス整合させるように構成された複数のリアクティブ素子と、

複数の構成のうちの1つにおいて前記インピーダンス整合回路を設定するように構成された少なくとも1つのスイッチと、

を備える前記インピーダンス整合回路

を備える装置。

10

[C 2] 前記複数の構成は、直列構成、シャント構成、「L」構成、「R」構成、「Pi」構成、または「T」構成のうちの少なくとも1つを含む、C 1に記載の装置。

[C 3] 前記複数の構成は、前記インピーダンス整合回路の入力と出力との間で結合された少なくとも1つのリアクティブ素子を有する直列構成を含む、C 1に記載の装置。

[C 4] 前記複数の構成は、前記インピーダンス整合回路の出力と回路接地との間で結合された少なくとも1つのリアクティブ素子を有するシャント構成を含む、C 1に記載の装置。

[C 5] 前記複数の構成は、前記インピーダンス整合回路の入力と出力との間で結合された少なくとも1つのリアクティブ素子と、前記インピーダンス整合回路の前記出力と回路接地との間で結合された少なくとも1つの他のリアクティブ素子とを有する「L」構成を含む、C 1に記載の装置。

20

[C 6] 前記複数の構成は、前記インピーダンス整合回路の入力と出力との間で結合された少なくとも1つのリアクティブ素子と、前記インピーダンス整合回路の前記入力と回路接地との間で結合された少なくとも1つの他のリアクティブ素子とを有する「R」構成を含む、C 1に記載の装置。

[C 7] 前記複数の構成は、前記インピーダンス整合回路の入力と出力との間で結合された第1のリアクティブ素子と、前記インピーダンス整合回路の前記入力と回路接地との間で結合された第2のリアクティブ素子と、前記インピーダンス整合回路の前記出力と回路接地との間で結合された第3のリアクティブ素子とを有する「Pi」構成を含む、C 1に記載の装置。

30

[C 8] 前記複数の構成は、前記インピーダンス整合回路の入力と中間ノードとの間で結合された第1のリアクティブ素子と、前記中間ノードと前記インピーダンス整合回路の出力との間で結合された第2のリアクティブ素子と、前記中間ノードと回路接地との間で結合された第3のリアクティブ素子とを有する「T」構成を含む、C 1に記載の装置。

[C 9] 前記複数のリアクティブ素子は、少なくとも1つの構成では直列素子として、および少なくとも1つの他の構成ではシャント素子として結合されたリアクティブ素子を含む、C 1に記載の装置。

[C 10] 前記複数のリアクティブ素子は、少なくとも1つの構成では直列インダクタとして、および少なくとも1つの他の構成ではシャントインダクタとして結合されたインダクタを含む、C 1に記載の装置。

40

[C 11] 前記複数のリアクティブ素子は、少なくとも1つの構成では直列キャパシタとして、および少なくとも1つの他の構成ではシャントキャパシタとして結合された可変キャパシタを含む、C 1に記載の装置。

[C 12] 前記複数のリアクティブ素子は、少なくとも1つの構成では前記インピーダンス整合回路の第1のノードのペアの間で、および少なくとも1つの他の構成では前記第1のノードのペアとは異なる第2のノードのペアの間で結合されたリアクティブ素子を含む、C 1に記載の装置。

[C 13] 前記少なくとも1つのスイッチは、前記複数のリアクティブ素子のうちの1つと結合された単一入力と、前記インピーダンス整合回路で少なくとも2つのノードと結合

50

された少なくとも2つの出力とを有するスイッチを含む、C 1に記載の装置。

[C 1 4] 前記負荷回路は、アンテナを備え、前記インピーダンス整合回路は、前記アンテナに対してインピーダンス整合を行う、C 1に記載の装置。

[C 1 5] 前記負荷回路は、電力増幅器を備え、前記インピーダンス整合回路は、前記電力増幅器に対して出力インピーダンス整合を行う、C 1に記載の装置。

[C 1 6] 前記負荷回路は、低雑音増幅器(LNA)を備え、前記インピーダンス整合回路は、前記LNAに対して入力インピーダンス整合を行う、C 1に記載の装置。

[C 1 7] 前記インピーダンス整合回路の前記複数の構成のうちの1つを選択するように構成されたコントローラ

をさらに備えるC 1に記載の装置。

10

[C 1 8] 前記インピーダンス整合回路に対して複数の回路設定を記憶するように構成されたメモリ、ここで各回路設定は、前記複数の構成のうちの1つ、前記少なくとも1つのスイッチのための少なくとも1つのスイッチ設定、前記少なくとも1つの可変リアクティブ素子のための少なくとも1つの制御設定、または、それらの組み合わせと関連づけられる、

をさらに備える、C 1に記載の装置。

[C 1 9] 前記複数の回路設定は、異なる周波数に関連づけられ、前記複数の回路設定のうちの1つは、前記装置の動作周波数に基づいて選択される、C 1 8に記載の装置。

[C 2 0] 前記装置は、集積回路を備える、C 1に記載の装置。

[C 2 1] インピーダンス整合を行う方法であって、

20

インピーダンス整合回路において少なくとも1つのスイッチを介して、複数の構成のうちの1つにおいて前記インピーダンス整合回路を設定することと、

前記インピーダンス整合回路において複数のリアクティブ素子を有する負荷回路に対してインピーダンス整合を行うことと、ここで少なくとも1つの可変リアクティブ素子を含む前記複数のリアクティブ素子は、前記インピーダンス整合回路のインピーダンスを調整するように構成される、

を備える方法。

[C 2 2] 前記インピーダンス整合回路のための複数の回路設定を記憶することと、ここで各回路設定は、前記複数のうちの構成の1つ、前記少なくとも1つのスイッチのための少なくとも1つのスイッチ設定、前記少なくとも1つの可変リアクティブ素子のための少なくとも1つの制御設定、または、それらの組み合わせと関連づけられる、

30

前記インピーダンス整合回路のための前記複数の回路設定のうちの1つを選択すること  
をさらに備える、C 2 1に記載の方法。

[C 2 3] 前記複数の回路設定のうちの1つを前記設定することは、ワイヤレスデバイスの動作周波数に基づいて、前記複数の回路設定のうちの1つを選択することを備える、C 2 2に記載の方法。

[C 2 4] ワイヤレス通信のための装置であって、

負荷回路に対してインピーダンス整合を行うための手段と、ここでインピーダンス整合を行うための前記手段は、インピーダンス整合を行うための前記手段のインピーダンスを調整するように構成された少なくとも1つの可変リアクティブ素子を含む、

40

複数の構成のうちの1つにおいて、インピーダンス整合を行うための前記手段を設定するための手段と

を備える装置。

[C 2 5] インピーダンス整合を行うための前記手段に対して複数の設定を記憶するための手段と、

インピーダンス整合を行うための前記手段に対して前記複数の設定のうちの1つを選択するための手段と

をさらに備える、C 2 4に記載の装置。



【図 1】

図 1

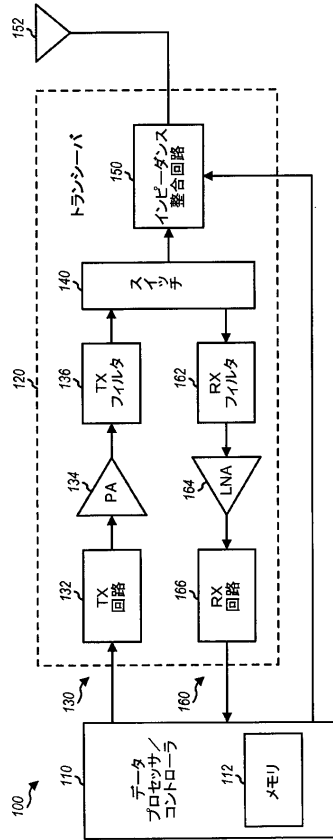


FIG. 1

【図 2】

図 2

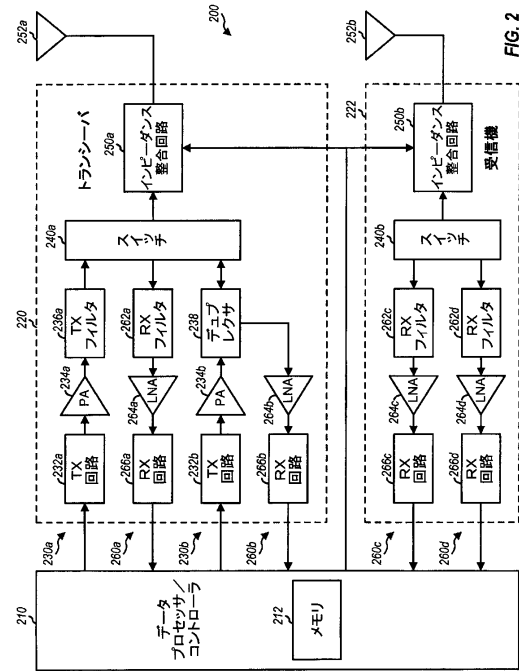


FIG. 2

【図 3】

図 3

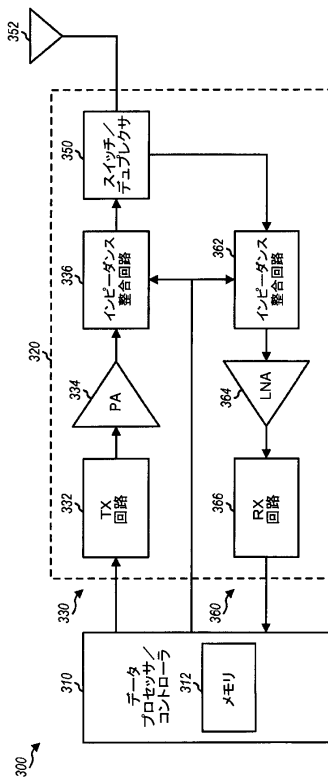


FIG. 3

【図 4】

図 4

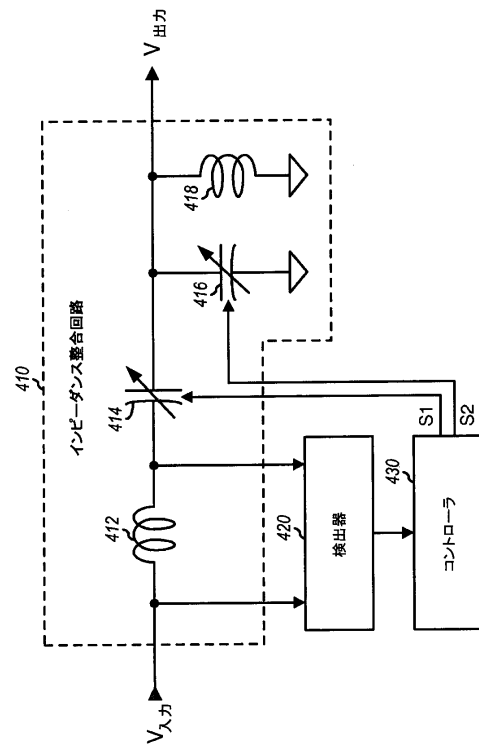


FIG. 4

【図 5 A】

図 5A

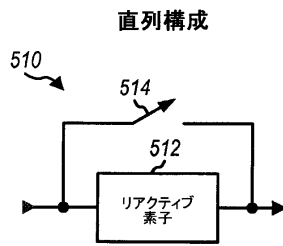


FIG. 5A

【図 5 B】

図 5B

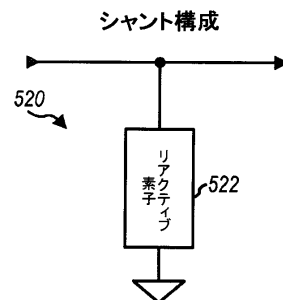


FIG. 5B

【図 5 C】

図 5C

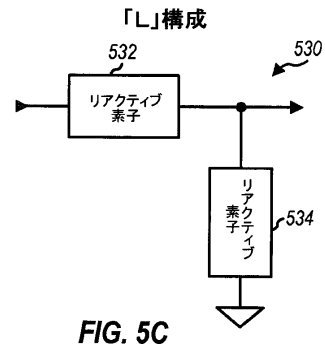


FIG. 5C

【図 5 D】

図 5D

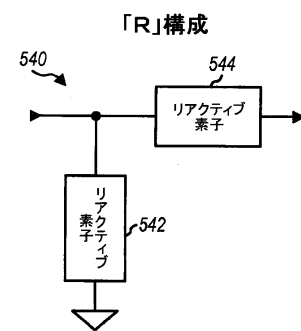


FIG. 5D

【図 5 E】

図 5E

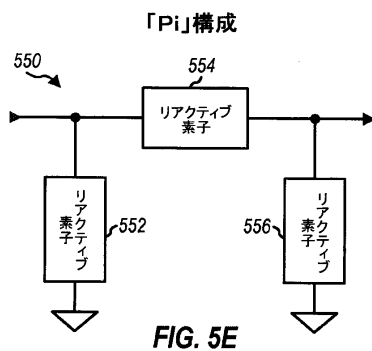


FIG. 5E

【図 5 F】

図 5F

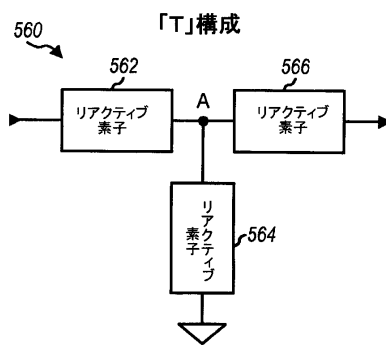


FIG. 5F

【図 6 A】

図 6A

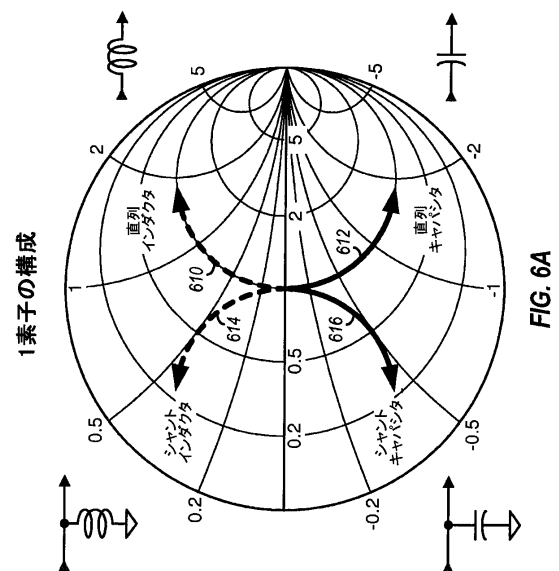


FIG. 6A

【図 6 B】

図 6B

スルー構成

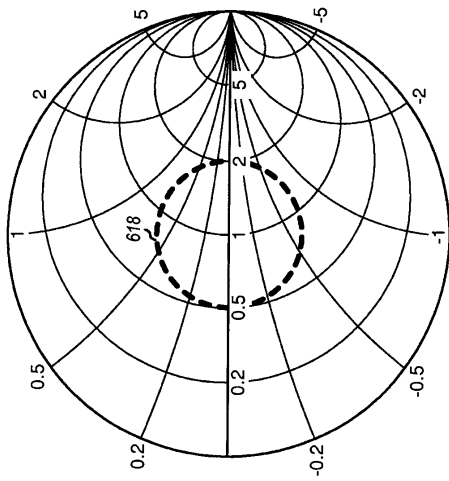


FIG. 6B

【図 6 C】

図 6C

2素子の構成

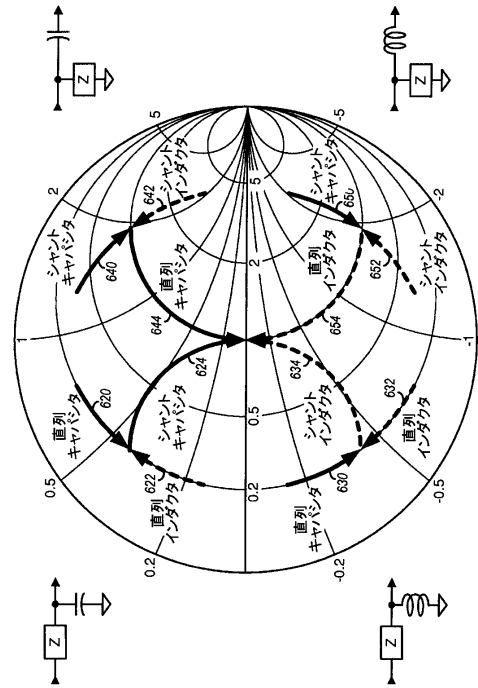


FIG. 6C

【図 6 D】

図 6D

3素子の構成

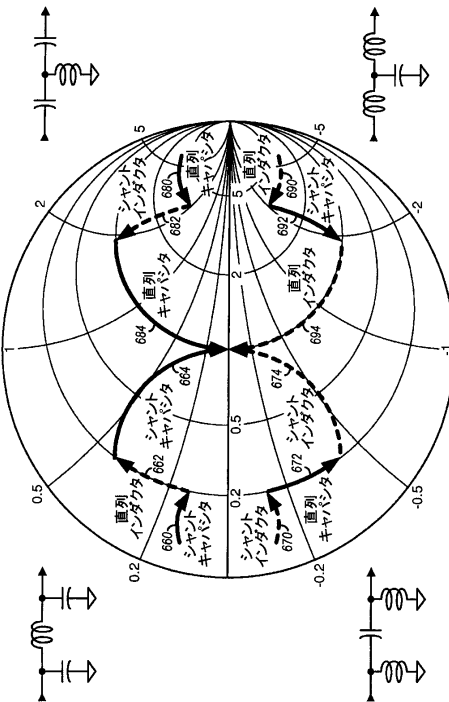


FIG. 6D

【図 7】

図 7

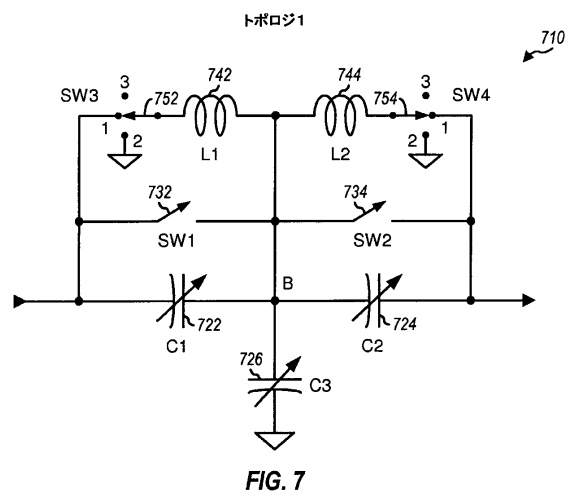
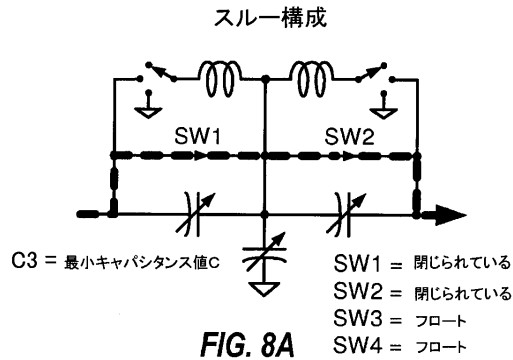


FIG. 7

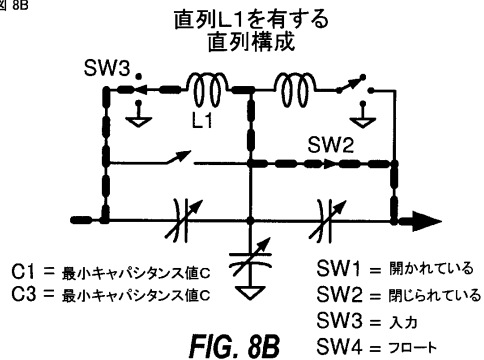
【図 8 A】

図 8A



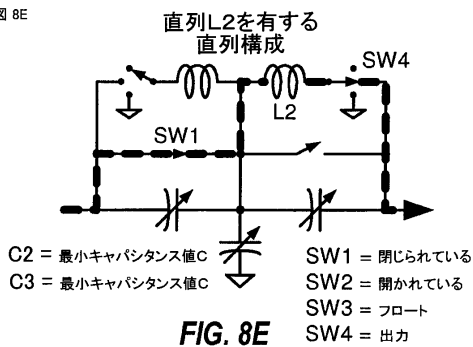
【図 8 B】

図 8B



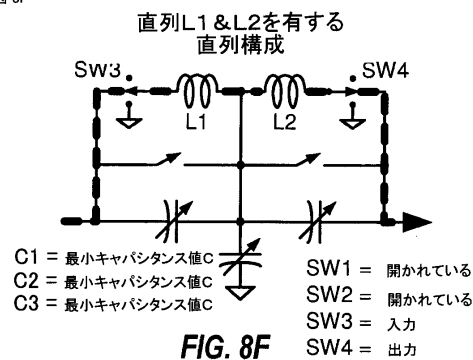
【図 8 E】

図 8E



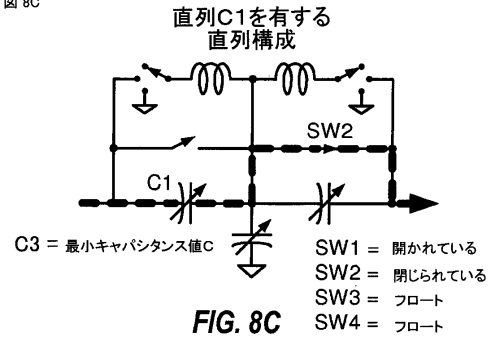
【図 8 F】

図 8F



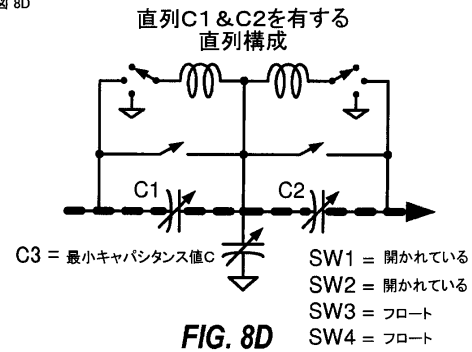
【図 8 C】

図 8C



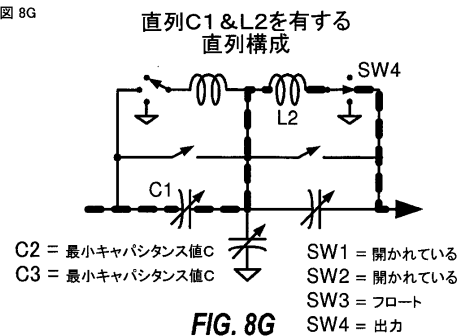
【図 8 D】

図 8D



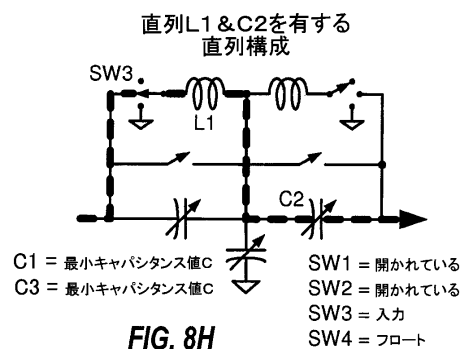
【図 8 G】

図 8G



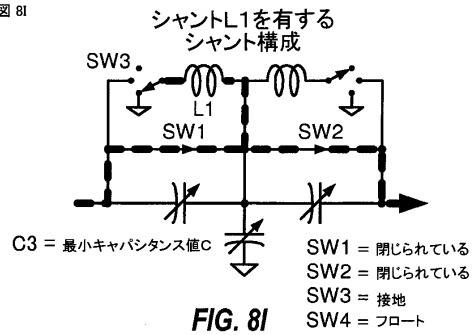
【図 8 H】

図 8H



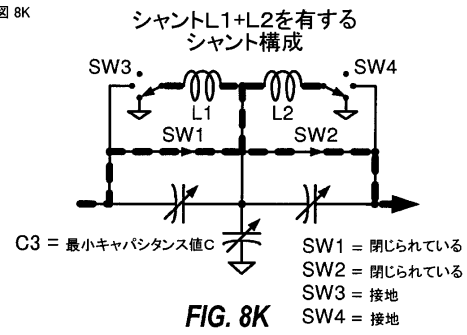
## 【図 8 I】

図 8I



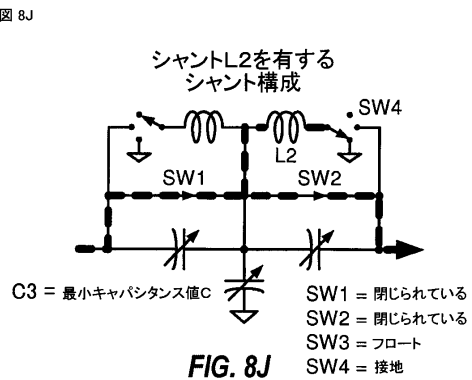
## 【図 8 K】

図 8K



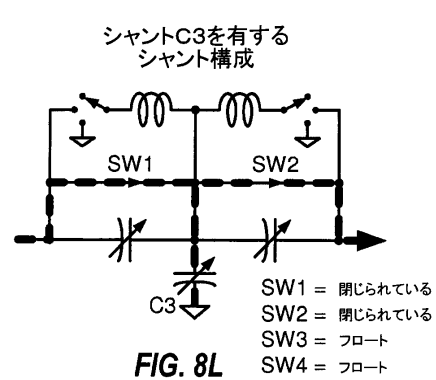
## 【図 8 J】

図 8J



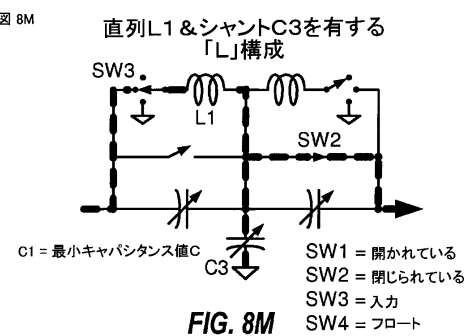
## 【図 8 L】

図 8L



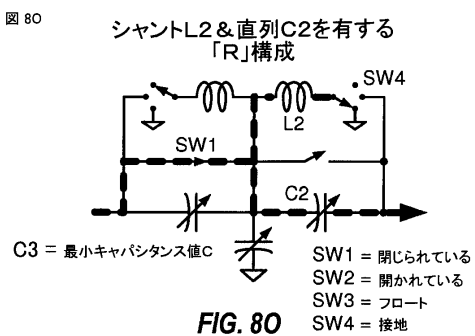
## 【図 8 M】

図 8M



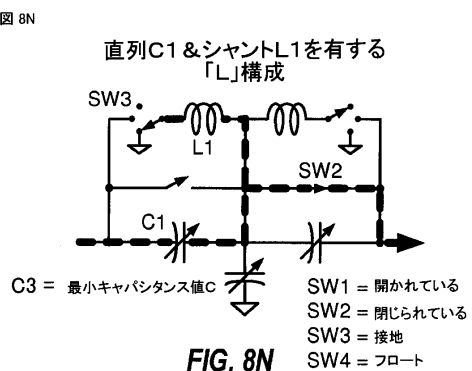
## 【図 8 O】

図 8O



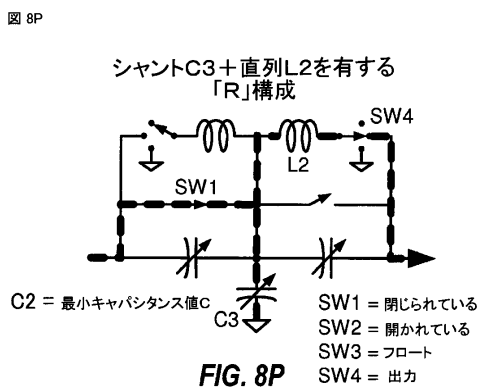
## 【図 8 N】

図 8N



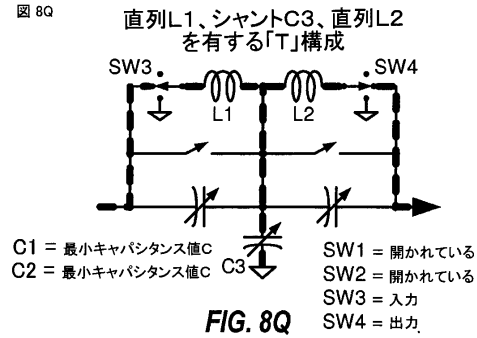
## 【図 8 P】

図 8P



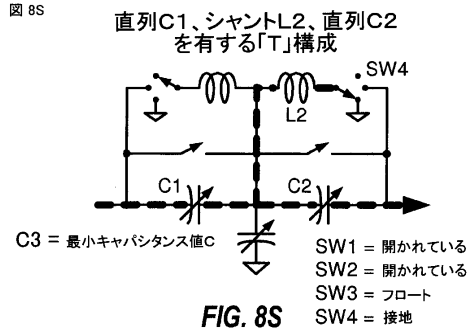
## 【図 8 Q】

図 8Q



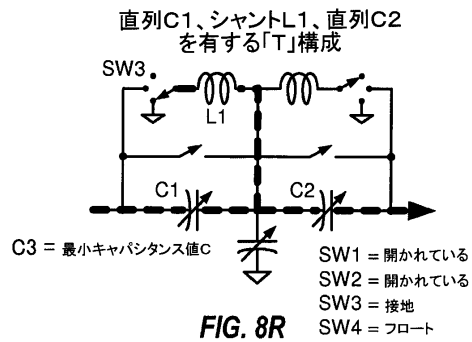
## 【図 8 S】

図 8S



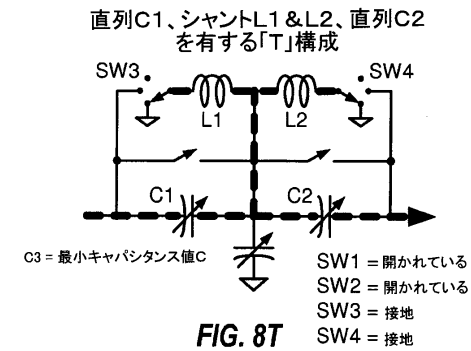
## 【図 8 R】

図 8R



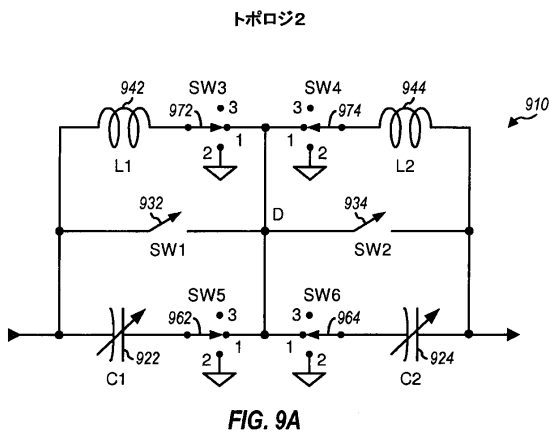
## 【図 8 T】

図 8T



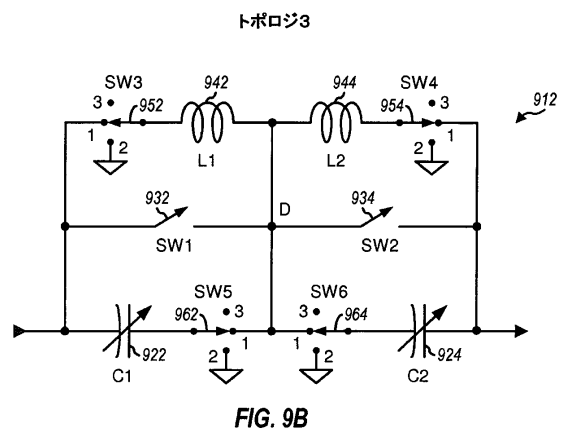
## 【図 9 A】

図 9A



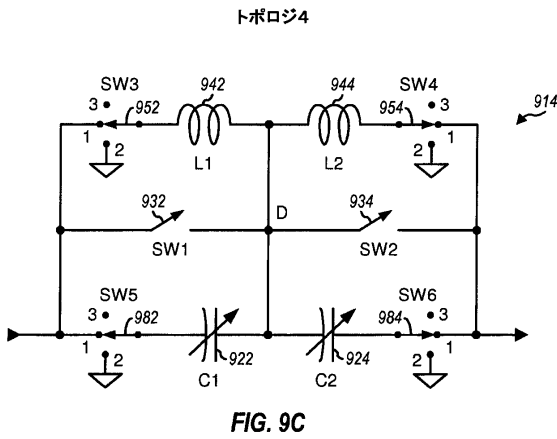
## 【図 9 B】

図 9B



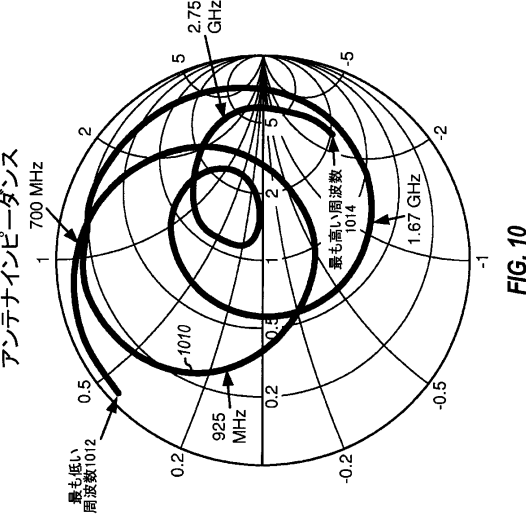
【図 9 C】

図 9C



【図 1 0】

図 10



【図 1 1】

図 11

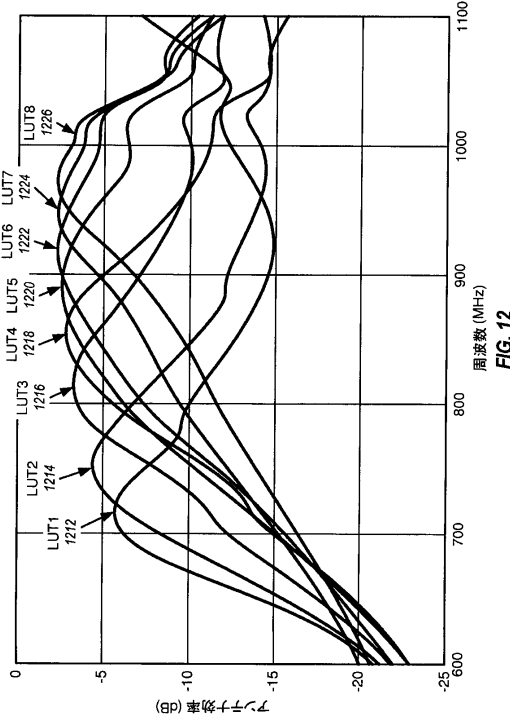
1100

回路設定	周波数	構成	スイッチ設定	制御設定	バンドモード
1	F1	Config a	SW1 ...	C1 ...	B1
2	F2	Config b	SW1 ...	C1 ...	B2
...	...	...	...	...	...
K	FK	Config b	SW1 ...	C1 ...	BK

FIG. 11

【図 1 2】

図 12



【図 13】

図 13

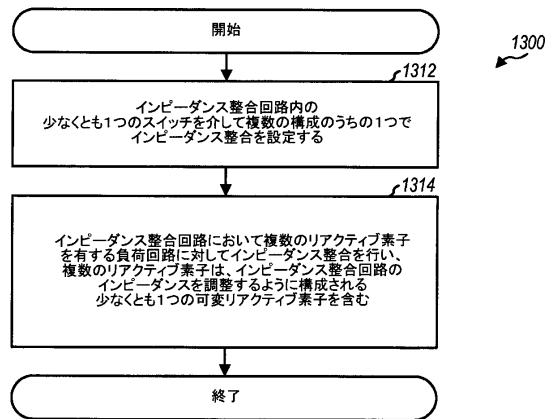


FIG. 13



## フロントページの続き

- (74)代理人 100153051  
弁理士 河野 直樹
- (74)代理人 100140176  
弁理士 砂川 克
- (74)代理人 100158805  
弁理士 井関 守三
- (74)代理人 100179062  
弁理士 井上 正
- (74)代理人 100124394  
弁理士 佐藤 立志
- (74)代理人 100112807  
弁理士 岡田 貴志
- (74)代理人 100111073  
弁理士 堀内 美保子
- (72)発明者 セ、パイ・ヘ  
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7  
7 5
- (72)発明者 ジャン、シャンドン  
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7  
7 5

審査官 新井 寛

- (56)参考文献 特開平 0 4 - 3 6 8 0 2 2 ( J P , A )  
特開平 0 8 - 1 2 5 4 8 0 ( J P , A )  
特開平 0 8 - 1 9 5 6 8 4 ( J P , A )  
特開 2 0 0 8 - 0 6 1 1 1 6 ( J P , A )  
特開 2 0 0 2 - 2 3 2 3 0 4 ( J P , A )  
特開 2 0 0 5 - 3 1 1 7 6 2 ( J P , A )  
特表 2 0 1 1 - 5 0 5 1 0 4 ( J P , A )  
米国特許出願公開第 2 0 0 7 / 0 1 9 4 8 5 9 ( U S , A 1 )

## (58)調査した分野(Int.Cl. , D B 名)

H 0 3 H 7 / 3 0 - 7 / 5 4  
H 0 3 F 1 / 5 6  
H 0 4 B 1 / 0 4、1 / 1 6、1 / 4 0