

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 4 月 16 日 (16.04.2020)



(10) 国际公布号
WO 2020/073548 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

(21) 国际申请号: PCT/CN2019/070555

(22) 国际申请日: 2019 年 1 月 7 日 (07.01.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201811181702.9 2018 年 10 月 11 日 (11.10.2018) CN

(71) 申请人: 深圳市华星光电半导体显示技术有限公司(SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区公明街道塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: 吕晓文 (LV, Xiaowen); 中国广东省深圳市光明新区公明街道塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳翼盛智成知识产权事务所(普通合伙)(ESSEN PATENT & TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道 6021 号喜年中心 A 座 1709-1711, Guangdong 518040 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: GOA UNIT FOR IMPROVING DEVICE STABILITY

(54) 发明名称: 用于提高器件稳定性的 GOA 单元

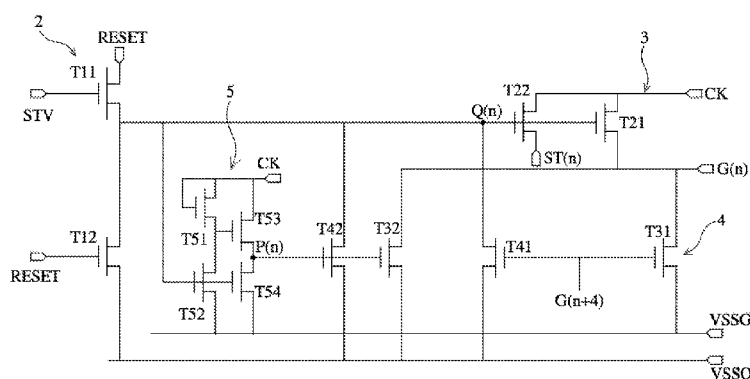


图 1

(57) Abstract: A GOA unit for improving device stability. The GOA unit comprises a pull-up control unit (2), a pull-up unit (3), a pull-down unit (4), a pull-down maintaining unit (5) and a reset thin film transistor (T12); a gate of the reset thin film transistor (T12) is electrically connected with a reset signal terminal (RESET), and a source of the reset thin film transistor (T12) is electrically connected with an operating voltage (VSSQ). By using the potential design of the reset signal terminal (RESET), the gate-source voltage of the start-stage GOA unit is reduced so as to coincide with the gate-source voltage of the nth-stage GOA unit, so that the failure of the start-stage GOA unit under an extreme condition can be prevented, and the stability of a device can be improved.

(57) 摘要: 一种用于提高器件稳定性的 GOA 单元, GOA 单元包括一上拉控制单元 (2)、一上拉单元 (3)、一下拉单元 (4)、一下拉维持单元 (5) 以及一复位薄膜晶体管 (T12); 复位薄膜晶体管 (T12) 的栅极电性连接一复位信号端 (RESET), 复位薄膜晶体管 (T12) 的源极电性连接一工作电压 (VSSQ)。利用复位信号端 (RESET) 的电位设计, 减少起始级 GOA 单元的栅源电压, 使其和第 n 级 GOA 单元的栅源电压一致, 因而能够防止在极端条件下起始级 GOA 单元失效, 并提高器件的稳定性。

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国(除另有指明，要求每一种可提供的地区
保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

- 包括国际检索报告(条约第21条(3))。

用于提高器件稳定性的GOA单元

技术领域

[0001] 本发明是有关于一种GOA单元，特别是有关于一种用于提高器件稳定性的GOA单元。

背景技术

[0002] 液晶显示面板(Liquid Crystal Display, LCD)，简称液晶面板，具有机身薄、省电、无辐射等众多优点，得到了广泛地应用，例如：液晶电视、智能手机、数码相机、平板电脑、计算机屏幕、或笔记本电脑屏幕等，在平板显示领域中占主导地位。

[0003] 液晶面板的工作原理是在薄膜晶体管阵列基板(Thin Film Transistor Array Substrate, TFT Array Substrate)与彩色滤光片基板(Color Filter, CF)之间灌入液晶分子，并在两片基板上施加驱动电压来控制液晶分子的旋转方向，将背光模组的光线折射出来产生画面。

[0004] 液晶面板内具有多个呈阵列式排布的像素，每个像素电性连接一个薄膜晶体管(TFT)，薄膜晶体管的栅极(Gate)连接至水平扫描线，源极(Source)连接至垂直方向的数据线，漏极(Drain)则连接至像素电极。在水平扫描线上施加足够的电压，会使得电性连接至该条水平扫描线上的所有TFT打开，从而数据线上的信号电压能够写入像素，控制不同液晶的透光度进而达到控制色彩与亮度的效果。Gate Driver on Array，简称GOA，是利用现有的薄膜晶体管液晶面板的阵列(Array)制程将栅极行扫描驱动电路集成制作在TFT阵列基板上，实现对栅极进行扫描的驱动方式。使用GOA驱动电路来代替传统的栅极驱动芯片(IC)，有机会提升产能并降低产品成本，而且可以使液晶面板更适合制作窄边框或无边框的显示产品。

[0005] 现有的GOA电路，通常包括级联的多个GOA单元，每一级GOA单元对应驱动一级水平扫描线。GOA单元的主要结构包括上拉单元，上拉控制单元、下拉单元及下拉维持单元，以及负责电位抬高的自举(Boost strap)电容等；上拉单元主

要负责将时钟信号(Clock)输出为栅极信号；上拉控制单元负责控制上拉单元的打开时间，一般连接前面级GOA电路传递过来的级传信号或者栅极信号；下拉单元负责在第一时间将栅极信号拉低为低电位，即关闭栅极信号；下拉维持单元则负责将栅极输出信号和上拉单元的栅极信号(通常称为Q点)维持在关闭状态(即负电位)；自举电容则负责Q点的二次抬升，这样有利于上拉单元的G(n)输出。

[0006] 然而，在GOA电路中，起始级GOA单元是通过级传信号输出端STV的一启动信号来启动整个GOA电路，其中所述级传信号输出端STV同时电性连接一上拉控制单元的薄膜晶体管的栅极(Gate)及源极(Source)，此时栅源电压 $V_{gs}=0$ 。在第n级电路中，是通过将级传信号输出端ST(n)及栅极信号输出端G(n)分别电性连接所述上拉控制单元的薄膜晶体管的栅极(Gate)及源极(Source)，其中级传信号输出端ST(n)的低电位是一工作电压VSSQ，栅极信号输出端G(n)的低电位是一工作电压VSSG，其中 $VSSQ-VSSG<-2V$ ，即是此时栅源电压 V_{gs} 小于-2V，在极端条件下，例如：长时间在高温或高压的环境下操作，容易造成所述GOA电路中的上拉控制单元的薄膜晶体管失效。

发明概述

技术问题

[0007] 本发明的目的在于提供一种用于提高器件稳定性的GOA单元，利用复位信号端的电位设计，减少起始级GOA单元的栅源电压，使其和第n级GOA单元的栅源电压一致，因而能够防止在极端条件下所述起始级GOA单元失效，并提高器件的稳定性。

问题的解决方案

技术解决方案

[0008] 为解决上述问题，本发明提供的技术方案如下：

[0009] 为达成本发明的前述目的，本发明一实施例提供一种用于提高器件稳定性的GOA单元，所述GOA单元包括一上拉控制单元、一上拉单元、一下拉单元、一下拉维持单元以及一复位薄膜晶体管(T12)；所述上拉单元、所述下拉单元及所述下拉维持单元分别与第n级GOA单元的栅极信号输出端(G(n))电性连接；所述上

拉控制单元及所述下拉单元与所述第n级GOA单元的栅极信号点(Q(n))电性连接，所述复位薄膜晶体管(T12)的栅极电性连接一复位信号端(RESET)，所述复位薄膜晶体管(T12)的源极电性连接一工作电压(VSSQ)，所述复位薄膜晶体管(T12)的漏极电性连接所述第n级GOA单元的栅极信号点(Q(n))；其中所述上拉控制单元包括一第一薄膜晶体管(T11)，其栅极电性连接一启动信号(STV)，漏极电性连接所述复位信号端(RESET)，源极电性连接所述第n级GOA单元的栅极信号点(Q(n))；所述下拉维持单元配置用以控制所述栅极信号点(Q(n))，并且让所述栅极信号输出端(G(n))的电位维持在一电压值。

[0010] 在本发明的一实施例中，所述上拉控制单元还包括：一第二薄膜晶体管(T22)，其栅极电性连接所述第n级GOA单元的栅极信号点(Q(n))，源极电性连接第n级GOA单元的级传信号输出端ST(n)，漏极电性连接一时钟信号(CK)。

[0011] 在本发明的一实施例中，所述上拉单元包括：一第三薄膜晶体管(T21)，其栅极电性连接所述第n级GOA单元的栅极信号点(Q(n))，源极电性接所述第n级GOA单元的栅极信号输出端(G(n))，漏极电性连接一时钟信号(CK)。

[0012] 在本发明的一实施例中，所述下拉单元包括：一第四薄膜晶体管(T41)，其栅极电性连接第n+m级GOA单元的栅极信号输出端，m为自然数，漏极电性连接所述第n级GOA单元的栅极信号点(Q(n))，源极电性连接一工作电压(VSSQ)；及一第五薄膜晶体管(T31)，其栅极连接第n+m级GOA单元的栅极信号输出端，漏极电性连接所述栅极信号输出端(G(n))，源极电性连接所述工作电压(VSSG)。

[0013] 在本发明的一实施例中，所述下拉维持单元包括：一第六薄膜晶体管(T32)，其栅极电性连接第n级GOA单元的一节点(P(n))，源极及漏极分别电性连接所述栅极信号输出端(G(n))及工作电压(VSSQ)；一第七薄膜晶体管(T42)，其栅极电性连接所述节点(P(n))，源极及漏极分别电性连接所述第n级GOA单元的栅极信号点(Q(n))及工作电压(VSSQ)；一第八薄膜晶体管(T51)，其栅极电性连接一时钟信号(CK)，源极及漏极分别电性连接所述时钟信号(CK)及一第四薄膜晶体管(T53)的栅极；一第九薄膜晶体管(T53)，其源极及漏极分别电性连接所述时钟信号(CK)及所述节点(P(n))；一第十薄膜晶体管(T52)，其栅极电性连接所述第n级GOA单元的栅极信号点(Q(n))，源极及漏极分别电性连接一工作电压(VSSG)及第

四薄膜晶体管(T53)的栅极；及一第十一薄膜晶体管(T54)，其栅极电性连接所述第n级GOA单元的栅极信号点(Q(n))，源极及漏极分别电性连接所述工作电压(VS_{SG})及所述节点(P(n))。

[0014] 为达成本发明的前述目的，本发明一实施例提供一种用于提高器件稳定性的GOA单元，所述GOA单元包括一上拉控制单元、一上拉单元、一下拉单元、一下拉维持单元以及一复位薄膜晶体管(T12)；所述上拉单元、所述下拉单元及所述下拉维持单元分别与第n级GOA单元的栅极信号输出端(G(n))电性连接；所述上拉控制单元及所述下拉单元与所述第n级GOA单元的栅极信号点(Q(n))电性连接，所述复位薄膜晶体管(T12)的栅极电性连接一复位信号端(RESET)，所述复位薄膜晶体管(T12)的源极电性连接一工作电压(VSSQ)，所述复位薄膜晶体管(T12)的漏极电性连接所述第n级GOA单元的栅极信号点(Q(n))；其中所述上拉控制单元包括一第一薄膜晶体管(T11)，其栅极电性连接一启动信号(STV)，漏极电性连接一负载电阻而且所述负载电阻电性连接所述复位信号端(RESET)，源极电性连接所述第n级GOA单元的栅极信号点(Q(n))。

[0015] 在本发明的一实施例中，所述上拉控制单元还包括：一第二薄膜晶体管(T22)，其栅极电性连接所述第n级GOA单元的栅极信号点(Q(n))，源极电性连接第n级GOA单元的级传信号输出端ST(n)，漏极电性连接一时钟信号(CK)。

[0016] 在本发明的一实施例中，所述上拉单元包括：一第三薄膜晶体管(T21)，其栅极电性连接所述第n级GOA单元的栅极信号点(Q(n))，源极电性接所述第N级GOA单元的栅极信号输出端(G(n))，漏极电性连接一时钟信号(CK)。

[0017] 在本发明的一实施例中，所述下拉单元包括：一第四薄膜晶体管(T41)，其栅极电性连接第n+m级GOA单元的栅极信号输出端，m为自然数，漏极电性连接所述第n级GOA单元的栅极信号点(Q(n))，源极电性连接一工作电压(VSSQ)；及一第五薄膜晶体管(T31)，其栅极连接第n+m级GOA单元的栅极信号输出端，漏极电性连接所述栅极信号输出端(G(n))，源极电性连接所述工作电压(VSSG)。

[0018] 在本发明的一实施例中，所述下拉维持单元包括：一第六薄膜晶体管(T32)，其栅极电性连接第n级GOA单元的一节点(P(n))，源极及漏极分别电性连接所述栅极信号输出端(G(n))及工作电压(VSSQ)；一第七薄膜晶体管(T42)，其栅极电

性连接所述节点(P(n))，源极及漏极分别电性连接所述第n级GOA单元的栅极信号点(Q(n))及工作电压(VSSQ)；一第八薄膜晶体管(T51)，其栅极电性连接一时钟信号(CK)，源极及漏极分别电性连接所述时钟信号(CK)及一第四薄膜晶体管(T53)的栅极；一第九薄膜晶体管(T53)，其源极及漏极分别电性连接所述时钟信号(CK)及所述节点(P(n))；一第十薄膜晶体管(T52)，其栅极电性连接所述第n级GOA单元的栅极信号点(Q(n))，源极及漏极分别电性连接一工作电压(VSSG)及第四薄膜晶体管(T53)的栅极；及一第十一薄膜晶体管(T54)，其栅极电性连接所述第n级GOA单元的栅极信号点(Q(n))，源极及漏极分别电性连接所述工作电压(VSSG)及所述节点(P(n))。

[0019] 为达成本发明的前述目的，本发明一实施例提供一种用于提高器件稳定性的GOA单元，所述GOA单元包括一上拉控制单元、一上拉单元、一下拉单元、一下拉维持单元以及一复位薄膜晶体管(T12)；所述上拉单元、所述下拉单元及所述下拉维持单元分别与第n级GOA单元的栅极信号输出端(G(n))电性连接；所述上拉控制单元及所述下拉单元与所述第n级GOA单元的栅极信号点(Q(n))电性连接，所述复位薄膜晶体管(T12)的栅极电性连接一复位信号端(RESET)，所述复位薄膜晶体管(T12)的源极电性连接一工作电压(VSSQ)，所述复位薄膜晶体管(T12)的漏极电性连接所述第n级GOA单元的栅极信号点(Q(n))；其中所述上拉控制单元包括一第一薄膜晶体管(T11)，其栅极电性连接一启动信号(STV)，漏极电性连接所述复位信号端(RESET)，源极电性连接所述第n级GOA单元的栅极信号点(Q(n))。

[0020] 在本发明的一实施例中，所述上拉控制单元还包括：一第二薄膜晶体管(T22)，其栅极电性连接所述第n级GOA单元的栅极信号点(Q(n))，源极电性连接第n级GOA单元的级传信号输出端ST(n)，漏极电性连接一时钟信号(CK)。

[0021] 在本发明的一实施例中，所述上拉单元包括：一第三薄膜晶体管(T21)，其栅极电性连接所述第n级GOA单元的栅极信号点(Q(n))，源极电性接所述第n级GOA单元的栅极信号输出端(G(n))，漏极电性连接一时钟信号(CK)。

[0022] 在本发明的一实施例中，所述下拉单元包括：一第四薄膜晶体管(T41)，其栅极电性连接第n+m级GOA单元的栅极信号输出端，m为自然数，漏极电性连接所

述第n级GOA单元的栅极信号点(Q(n))，源极电性连接一工作电压(VSSQ)；及一第五薄膜晶体管(T31)，其栅极连接第n+m级GOA单元的栅极信号输出端，漏极电性连接所述栅极信号输出端(G(n))，源极电性连接所述工作电压(VSSG)。

[0023] 在本发明的一实施例中，所述下拉维持单元包括：一第六薄膜晶体管(T32)，其栅极电性连接第n级GOA单元的一节点(P(n))，源极及漏极分别电性连接所述栅极信号输出端(G(n))及工作电压(VSSQ)；一第七薄膜晶体管(T42)，其栅极电性连接所述节点(P(n))，源极及漏极分别电性连接所述第n级GOA单元的栅极信号点(Q(n))及工作电压(VSSQ)；一第八薄膜晶体管(T51)，其栅极电性连接一时钟信号(CK)，源极及漏极分别电性连接所述时钟信号(CK)及一第四薄膜晶体管(T53)的栅极；一第九薄膜晶体管(T53)，其源极及漏极分别电性连接所述时钟信号(CK)及所述节点(P(n))；一第十薄膜晶体管(T52)，其栅极电性连接所述第n级GOA单元的栅极信号点(Q(n))，源极及漏极分别电性连接一工作电压(VSSG)及第四薄膜晶体管(T53)的栅极；及一第十一薄膜晶体管(T54)，其栅极电性连接所述第n级GOA单元的栅极信号点(Q(n))，源极及漏极分别电性连接所述工作电压(VSSG)及所述节点(P(n))。

发明的有益效果

有益效果

[0024] 本发明的有益效果为：本发明GOA单元利用复位信号端的电位设计，实现减少起始级GOA单元的上拉控制单元的薄膜晶体管漏电的问题，也就是减少起始级GOA单元的栅源电压，使其和第n级GOA单元的栅源电压一致，因而能够防止在极端条件下所述起始级GOA单元失效，并提高器件的稳定性。

对附图的简要说明

附图说明

[0025] 为了更清楚地说明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单介绍，显而易见地，下面描述中的附图仅仅是发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0026] 图1是本发明用于提高器件稳定性的GOA单元的一第一优先实施例的一架构示

意图。

[0027] 图2是本发明用于提高器件稳定性的GOA单元的一第二优先实施例的一架构示意图。

发明实施例

本发明的实施方式

[0028] 以上对本发明实施例提供的液晶显示组件进行了详细介绍，本文中应用了具体个例对本发明的原理及实施方式进行了阐述，以上实施例的说明只是用于帮助理解本发明。同时，对于本领域的技术人员，依据本发明的思想，在具体实施方式及应用范围上均会有改变之处，综上所述，本说明书内容不应理解为对本发明的限制。以下各实施例的说明是参考附加的图示，用以例示本发明可用以实施的特定实施例。本发明所提到的方向用语，例如[上]、[下]、[前]、[后]、[左]、[右]、[内]、[外]、[侧面]等，仅是参考附加图式的方向。因此，使用的方向用语是用以说明及理解本发明，而非用以限制本发明。在图中，结构相似的单元是用以相同标号表示。

[0029] 请参照图1所示，为本发明GOA单元的一第一优选实施例的一架构示意图。本发明的GOA电路包括多个级联的GOA单元，其中第n级GOA单元对第n级水平扫描线的充电进行控制，所述第n级GOA单元包括一上拉控制单元2、一上拉单元3、一下拉单元4、一下拉维持单元5以及一复位薄膜晶体管T12，本发明将于下文详细说明各实施例上述各组件的细部构造、组装关系及其运作原理。

[0030] 续参照图1所示，所述上拉单元3、所述下拉单元4及所述下拉维持单元5分别与第n级GOA单元的栅极信号输出端G(n)电性连接，而且所述上拉控制单元2及所述下拉单元4与所述第n级GOA单元的栅极信号点Q(n)电性连接。另外，所述复位薄膜晶体管T12的一栅极电性连接一复位信号端RESET，所述复位薄膜晶体管T12的一源极电性连接一工作电压VSSQ，所述复位薄膜晶体管T12的一漏极电性连接所述第n级GOA单元的栅极信号点Q(n)。

[0031] 续参照图1所示，所述上拉控制单元2主要为栅极信号点Q(n)实现预充电，其中所述上拉控制单元2包括一第一薄膜晶体管T11及一第二薄膜晶体管T22，其中所述第一薄膜晶体管T11的一栅极电性连接一启动信号STV，所述第一薄膜晶体管

T11的一漏极电性连接所述复位信号端RESET，所述第一薄膜晶体管T11的一源极电性连接所述第n级GOA单元的栅极信号点Q(n)，另外，所述第二薄膜晶体管T22的一栅极电性连接所述第n级GOA单元的栅极信号点Q(n)，所述第二薄膜晶体管T22的一源极电性连接第n级GOA单元的级传信号输出端ST(n)，所述所述第二薄膜晶体管T22的一漏极电性连接一时钟信号CK。值得一提的是，所述第二薄膜晶体管T22为信号下传电路，主要为控制下一级信号的打开及关闭。

[0032] 续参照图1所示，所述上拉单元3主要为提高栅极信号输出端G(n)的一电位，其中所述上拉单元3包括一第三薄膜晶体管T21，其中所述第三薄膜晶体管T21的一栅极电性连接所述第n级GOA单元的栅极信号点Q(n)，所述第三薄膜晶体管T21的一源极电性接所述第n级GOA单元的栅极信号输出端G(n)，所述第三薄膜晶体管T21的一漏极电性连接一时钟信号CK。

[0033] 续参照图1所示，所述下拉单元4主要为拉低栅极信号点Q(n)，并且让栅极信号输出端G(n)的电位提高，其中所述下拉单元4包括一第四薄膜晶体管T41及一第五薄膜晶体管T31，其中所述第四薄膜晶体管T41的一栅极电性连接第n+m级GOA单元的栅极信号输出端，例如：G(n+4)，其中m为自然数，所述第四薄膜晶体管T41的一漏极电性连接所述第n级GOA单元的栅极信号点Q(n)，所述第四薄膜晶体管T41的一源极电性连接一工作电压VSSQ，另外，所述第五薄膜晶体管T31的一栅极连接第n+m级GOA单元的栅极信号输出端，例如：G(n+4)，所述第五薄膜晶体管T31的一漏极电性连接所述栅极信号输出端G(n)，而且所述第五薄膜晶体管T31的一源极电性连接所述工作电压VSSG。

[0034] 续参照图1所示，所述下拉维持单元5主要为控制栅极信号点Q(n)，并且让栅极信号输出端G(n)的电位维持在一电压值，其中所述下拉维持单元5包括一第六薄膜晶体管T32、一第七薄膜晶体管T42、一第八薄膜晶体管T51、一第九薄膜晶体管T53、一第十薄膜晶体管T52及一第十一薄膜晶体管T54，其中所述第六薄膜晶体管T32的一栅极电性连接第n级GOA单元的一节点P(n)，所述第六薄膜晶体管T32的一源极电性连接所述栅极信号输出端G(n)，所述第六薄膜晶体管T32的一漏极电性连接所述工作电压VSSQ；所述第七薄膜晶体管T42的一栅极电性连接所述节点P(n)，所述第七薄膜晶体管T42的一源极电性连接所述第n级GOA单元的

栅极信号点Q(n)，所述第七薄膜晶体管T42的一漏极电性连接所述工作电压VSSQ；所述第八薄膜晶体管T51的一栅极电性连接一时钟信号CK，所述第八薄膜晶体管T51的一源极电性连接所述时钟信号CK，所述第八薄膜晶体管T51的一漏极电性连接所述第四薄膜晶体管T53的一栅极；所述第九薄膜晶体管T53的一源极电性连接所述时钟信号CK，所述第九薄膜晶体管T53的一漏极电性连接所述节点P(n)；所述第十薄膜晶体管T52的一栅极电性连接所述第n级GOA单元的栅极信号点Q(n)，所述第十薄膜晶体管T52的一源极电性连接一工作电压VSSG，所述第十薄膜晶体管T52的一漏极电性连接第四薄膜晶体管T53的栅极；所述第十一薄膜晶体管T54的一栅极电性连接所述第n级GOA单元的栅极信号点Q(n)，所述第十一薄膜晶体管T54的一源极电性连接所述工作电压VSSG，及所述第十一薄膜晶体管T54的一漏极电性连接所述节点P(n)。

[0035] 依据上述的结构，现有的GOA电路为防止启动过电流保护(OCP)，器件中大电流有设置RESET电路及信号，GOA单元将复位信号端RESET的信号设计与所述启动信号STV同信号，在每次启动所述GOA单元时，通过复位信号端RESET/启动信号STV将栅极信号点Q(n)残留的信号拉至一低电位信号。进一步来说，首先将复位信号端RESET的信号接入GOA电路的起始级的GOA电路的源极(Source)，而且栅极(Gate)接入的信号仍然使用所述启动信号STV。所述启动信号STV和所述复位信号端RESET分别输入不同的信号。所述启动信号STV的低电位一般是所述工作电压VSSQ的低电位，所述复位信号端RESET一般为-8V，在本发明GOA单元中，将低电位设为工作电压VSSG的低电位-6V。这样就实现了起始级GOA单元的栅源电压V_{gs}及第n级GOA单元的栅源电压V_{gs}一致而为-2v的目的，因而能够减轻在极端条件下，例如：长时间在高温或高压的环境下操作，起始级GOA单元失效的问题，并且提高器件的稳定性。

[0036] 如上所述，本发明GOA单元利用复位信号端RESET的电位设计，实现减少起始级GOA单元的上拉控制单元的薄膜晶体管漏电的问题，也就是减少起始级GOA单元的栅源电压V_{gs}，使其和第n级GOA单元的栅源电压V_{gs}一致，因而能够防止在极端条件下所述起始级GOA单元失效，而能够提高器件的稳定性。

[0037] 请参照图2所示，为本发明用于提高器件稳定性的GOA单元的一第二优先实施

例的一架构示意图，其中的元件相似于本发明的第一优先实施例，并大致沿用相同元件名称及图号，所述第二优先实施例的差别特征在于：所述上拉控制单元2包括一第一薄膜晶体管T11，所述第一薄膜晶体管T11的一栅极电性连接一启动信号STV，所述第一薄膜晶体管T11的一漏极电性连接一负载电阻R，而且所述负载电阻R电性连接所述复位信号端RESET，所述第一薄膜晶体管T11的一源极电性连接所述第n级GOA单元的栅极信号点Q(n)。

[0038] 依据上述的结构，将所述复位信号端RESET接入起始级GOA单元的源极，栅极(Gate)仍然使用启动信号STV，其中所述启动信号STV和所述复位信号端RESET分别输入不同的信号，并且更进一步地，改变所述复位信号端RESET的电阻电容延迟(RC delay)。也就是说，在实际电路中，G(n)通常产生的电阻电容延迟较大，所述启动信号STV外接的负载较小，电阻电容延迟较小，因此，可以通过在所述复位信号端RESET接入所述负载电阻R，用以增加所述复位信号端RESET的负载。

[0039] 如上所述，本发明的第二优先实施例GOA单元同样能够利用复位信号端RESET的电位设计，实现减少起始级GOA单元的上拉控制单元的薄膜晶体管漏电的问题，也就是减少起始级GOA单元的栅源电压 V_{gs} ，使其和第n级GOA单元的栅源电压 V_{gs} 一致，因而能够防止在极端条件下所述起始级GOA单元失效，而能够提高器件的稳定性。

[0040] 本发明已由上述相关实施例加以描述，然而上述实施例仅为实施本发明的范例。必需指出的是，已公开的实施例并未限制本发明的范围。相反地，包含于权利要求书的精神及范围的修改及均等设置均包括于本发明的范围内。

权利要求书

- [权利要求 1] 一种用于提高器件稳定性的GOA单元，其特征在于：所述GOA单元包括一上拉控制单元、一上拉单元、一下拉单元、一下拉维持单元以及一复位薄膜晶体管(T12)；
- 所述上拉单元、所述下拉单元及所述下拉维持单元分别与第n级GOA单元的栅极信号输出端(G(n))电性连接；所述上拉控制单元及所述下拉单元与所述第n级GOA单元的栅极信号点(Q(n))电性连接，所述复位薄膜晶体管(T12)的栅极电性连接一复位信号端(RESET)，所述复位薄膜晶体管(T12)的源极电性连接一工作电压(VSSQ)，所述复位薄膜晶体管(T12)的漏极电性连接所述第n级GOA单元的栅极信号点(Q(n))；
- 其中所述上拉控制单元包括一第一薄膜晶体管(T11)，其栅极电性连接一启动信号(STV)，漏极电性连接所述复位信号端(RESET)，源极电性连接所述第n级GOA单元的栅极信号点(Q(n))；
- 其中所述下拉维持单元配置用以控制所述栅极信号点(Q(n))，并且让所述栅极信号输出端(G(n))的电位维持在一电压值。
- [权利要求 2] 如权利要求1所述的用于提高器件稳定性的GOA单元，其特征在于：所述上拉控制单元还包括：一第二薄膜晶体管(T22)，其栅极电性连接所述第n级GOA单元的栅极信号点(Q(n))，源极电性连接第n级GOA单元的级传信号输出端(ST(n))，漏极电性连接一时钟信号(CK)。
- [权利要求 3] 如权利要求1所述的用于提高器件稳定性的GOA单元，其特征在于：所述上拉单元包括：一第三薄膜晶体管(T21)，其栅极电性连接所述第n级GOA单元的栅极信号点(Q(n))，源极电性接所述第n级GOA单元的栅极信号输出端(G(n))，漏极电性连接一时钟信号(CK)。
- [权利要求 4] 如权利要求1所述的GOA单元，其特征在于：所述下拉单元包括：一第四薄膜晶体管(T41)，其栅极电性连接第n+m级GOA单元的栅极信号输出端，m为自然数，漏极电性连接所述第n级GOA单元的栅极信号点(Q(n))，源极电性连接一工作电压(VSSQ)；及

一第五薄膜晶体管(T31)，其栅极连接第n+m级GOA单元的栅极信号输出端，漏极电性连接所述栅极信号输出端(G(n))，源极电性连接所述工作电压(VSSG)。

[权利要求 5]

如权利要求1所述的GOA单元，其特征在于：所述下拉维持单元包括：

一第六薄膜晶体管(T32)，其栅极电性连接第n级GOA单元的一节点(P(n))，源极及漏极分别电性连接所述栅极信号输出端(G(n))及工作电压(VSSQ)；

一第七薄膜晶体管(T42)，其栅极电性连接所述节点(P(n))，源极及漏极分别电性连接所述第n级GOA单元的栅极信号点(Q(n))及工作电压(VSSQ)；

一第八薄膜晶体管(T51)，其栅极电性连接一时钟信号(CK)，源极及漏极分别电性连接所述时钟信号(CK)及一第四薄膜晶体管(T53)的栅极；

一第九薄膜晶体管(T53)，其源极及漏极分别电性连接所述时钟信号(CK)及所述节点(P(n))；

一第十薄膜晶体管(T52)，其栅极电性连接所述第n级GOA单元的栅极信号点(Q(n))，源极及漏极分别电性连接一工作电压(VSSG)及第四薄膜晶体管(T53)的栅极；及

一第十一薄膜晶体管(T54)，其栅极电性连接所述第n级GOA单元的栅极信号点(Q(n))，源极及漏极分别电性连接所述工作电压(VSSG)及所述节点(P(n))。

[权利要求 6]

一种用于提高器件稳定性的GOA单元，其特征在于：所述GOA单元包括一上拉控制单元、一上拉单元、一下拉单元、一下拉维持单元以及一复位薄膜晶体管(T12)；

所述上拉单元、所述下拉单元及所述下拉维持单元分别与第n级GOA单元的栅极信号输出端(G(n))电性连接；所述上拉控制单元及所述下拉单元与所述第n级GOA单元的栅极信号点(Q(n))电性连接，所述复

位薄膜晶体管(T12)的栅极电性连接一复位信号端(RESET)，所述复位薄膜晶体管(T12)的源极电性连接一工作电压(VSSQ)，所述复位薄膜晶体管(T12)的漏极电性连接所述第n级GOA单元的栅极信号点(Q(n))

；

其中所述上拉控制单元包括一第一薄膜晶体管(T11)，其栅极电性连接一启动信号(STV)，漏极电性连接一负载电阻而且所述负载电阻电性连接所述复位信号端(RESET)，源极电性连接所述第n级GOA单元的栅极信号点(Q(n))。

[权利要求 7] 如权利要求6所述的用于提高器件稳定性的GOA单元，其特征在于：所述上拉控制单元还包括：一第二薄膜晶体管(T22)，其栅极电性连接所述第n级GOA单元的栅极信号点(Q(n))，源极电性连接第n级GOA单元的级传信号输出端(ST(n))，漏极电性连接一时钟信号(CK)。

[权利要求 8] 如权利要求6所述的用于提高器件稳定性的GOA单元，其特征在于：所述上拉单元包括：一第三薄膜晶体管(T21)，其栅极电性连接所述第n级GOA单元的栅极信号点(Q(n))，源极电性接所述第n级GOA单元的栅极信号输出端(G(n))，漏极电性连接一时钟信号(CK)。

[权利要求 9] 如权利要求6所述的GOA单元，其特征在于：所述下拉单元包括：一第四薄膜晶体管(T41)，其栅极电性连接第n+m级GOA单元的栅极信号输出端，m为自然数，漏极电性连接所述第n级GOA单元的栅极信号点(Q(n))，源极电性连接一工作电压(VSSQ)；及一第五薄膜晶体管(T31)，其栅极连接第n+m级GOA单元的栅极信号输出端，漏极电性连接所述栅极信号输出端(G(n))，源极电性连接所述工作电压(VSSG)。

[权利要求 10] 如权利要求6所述的GOA单元，其特征在于：所述下拉维持单元包括：
一第六薄膜晶体管(T32)，其栅极电性连接第n级GOA单元的一节点(P(n))，源极及漏极分别电性连接所述栅极信号输出端(G(n))及工作电压(VSSQ)；

一第七薄膜晶体管(T42)，其栅极电性连接所述节点(P(n))，源极及漏极分别电性连接所述第n级GOA单元的栅极信号点(Q(n))及工作电压(VSSQ)；

一第八薄膜晶体管(T51)，其栅极电性连接一时钟信号(CK)，源极及漏极分别电性连接所述时钟信号(CK)及一第四薄膜晶体管(T53)的栅极；

一第九薄膜晶体管(T53)，其源极及漏极分别电性连接所述时钟信号(CK)及所述节点(P(n))；

一第十薄膜晶体管(T52)，其栅极电性连接所述第n级GOA单元的栅极信号点(Q(n))，源极及漏极分别电性连接一工作电压(VSSG)及第四薄膜晶体管(T53)的栅极；及

一第十一薄膜晶体管(T54)，其栅极电性连接所述第n级GOA单元的栅极信号点(Q(n))，源极及漏极分别电性连接所述工作电压(VSSG)及所述节点(P(n))。

[权利要求 11]

一种用于提高器件稳定性的GOA单元，其特征在于：所述GOA单元包括一上拉控制单元、一上拉单元、一下拉单元、一下拉维持单元以及一复位薄膜晶体管(T12)；

所述上拉单元、所述下拉单元及所述下拉维持单元分别与第n级GOA单元的栅极信号输出端(G(n))电性连接；所述上拉控制单元及所述下拉单元与所述第n级GOA单元的栅极信号点(Q(n))电性连接，所述复位薄膜晶体管(T12)的栅极电性连接一复位信号端(RESET)，所述复位薄膜晶体管(T12)的源极电性连接一工作电压(VSSQ)，所述复位薄膜晶体管(T12)的漏极电性连接所述第n级GOA单元的栅极信号点(Q(n))；

其中所述上拉控制单元包括一第一薄膜晶体管(T11)，其栅极电性连接一启动信号(STV)，漏极电性连接所述复位信号端(RESET)，源极电性连接所述第n级GOA单元的栅极信号点(Q(n))。

[权利要求 12]

如权利要求11所述的用于提高器件稳定性的GOA单元，其特征在于

: 所述上拉控制单元还包括: 一第二薄膜晶体管(T22), 其栅极电性连接所述第n级GOA单元的栅极信号点(Q(n)), 源极电性连接第n级GOA单元的级传信号输出端(ST(n)), 漏极电性连接一时钟信号(CK)。

[权利要求 13]

如权利要求11所述的用于提高器件稳定性的GOA单元, 其特征在于: 所述上拉单元包括: 一第三薄膜晶体管(T21), 其栅极电性连接所述第n级GOA单元的栅极信号点(Q(n)), 源极电性接所述第n级GOA单元的栅极信号输出端(G(n)), 漏极电性连接一时钟信号(CK)。

[权利要求 14]

如权利要求11所述的GOA单元, 其特征在于: 所述下拉单元包括: 一第四薄膜晶体管(T41), 其栅极电性连接第n+m级GOA单元的栅极信号输出端, m为自然数, 漏极电性连接所述第n级GOA单元的栅极信号点(Q(n)), 源极电性连接一工作电压(VSSQ); 及一第五薄膜晶体管(T31), 其栅极连接第n+m级GOA单元的栅极信号输出端, 漏极电性连接所述栅极信号输出端(G(n)), 源极电性连接所述工作电压(VSSG)。

[权利要求 15]

如权利要求1所述的GOA单元, 其特征在于: 所述下拉维持单元包括:
: 一第六薄膜晶体管(T32), 其栅极电性连接第n级GOA单元的一节点(P(n)), 源极及漏极分别电性连接所述栅极信号输出端(G(n))及工作电压(VSSQ);
一第七薄膜晶体管(T42), 其栅极电性连接所述节点(P(n)), 源极及漏极分别电性连接所述第n级GOA单元的栅极信号点(Q(n))及工作电压(VSSQ);
一第八薄膜晶体管(T51), 其栅极电性连接一时钟信号(CK), 源极及漏极分别电性连接所述时钟信号(CK)及一第四薄膜晶体管(T53)的栅极;
一第九薄膜晶体管(T53), 其源极及漏极分别电性连接所述时钟信号(CK)及所述节点(P(n));
一第十薄膜晶体管(T52), 其栅极电性连接所述第n级GOA单元的栅极

信号点(Q(n))，源极及漏极分别电性连接一工作电压(VSSG)及第四薄膜晶体管(T53)的栅极；及

一第十一薄膜晶体管(T54)，其栅极电性连接所述第n级GOA单元的栅极信号点(Q(n))，源极及漏极分别电性连接所述工作电压(VSSG)及所述节点(P(n))。

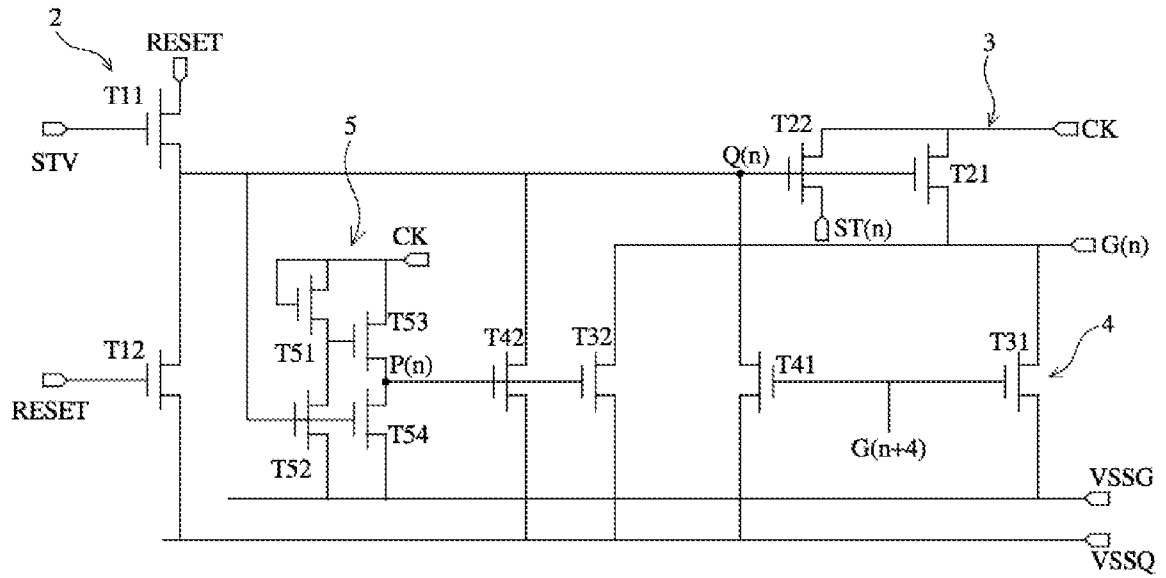


图 1

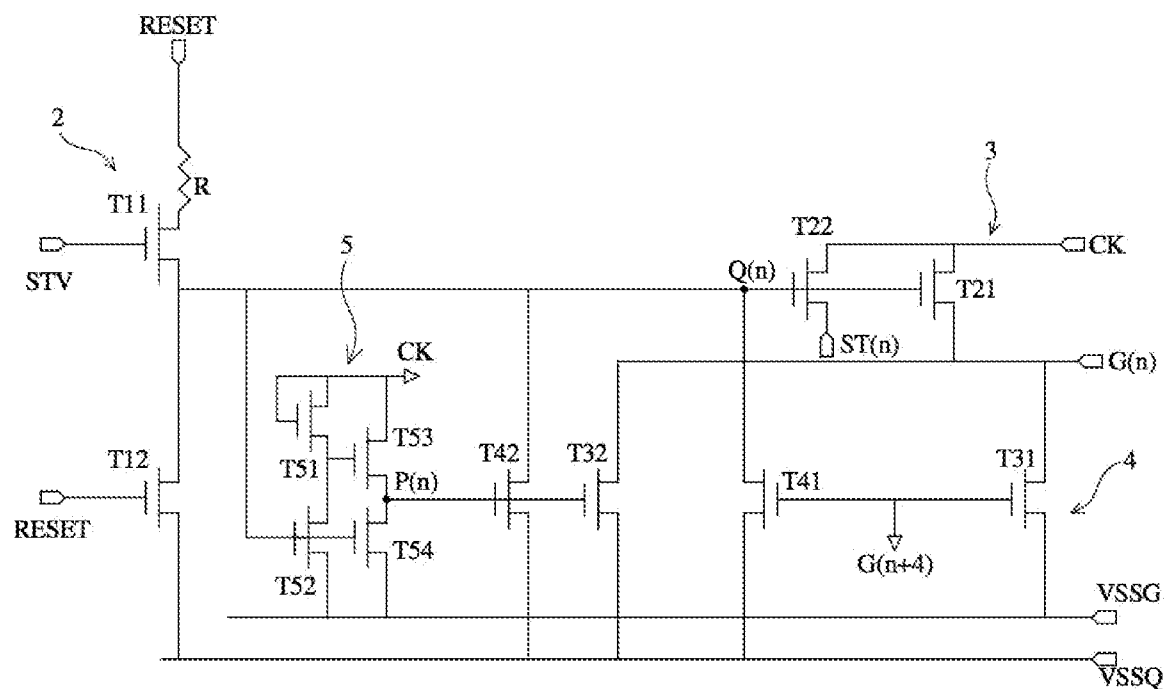


图 2

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/070555

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G; G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 华星, 吕晓文, 移位寄存, 栅极驱动, 复位, 时钟, 第一级, 第1级, 起始级, 首级, 初始级, 栅极, 控制极, 偏压, 偏移, 失效, 寿命, 稳定, 老化, 阈值, 晶体管, 开关管, 延时, 延迟, GOA, VGL2, VSS2, vssg, vssq, TFT, ST?, R?S?T, XC?K, C?KB, clock, RC, resist+, load, capacit+, impedan+, delay+, shift w register, transistor, aging

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 103258495 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 21 August 2013 (2013-08-21) description, paragraphs [0042]-[0077], and figures 5-7	1-5, 11-15
Y	CN 107134268 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 05 September 2017 (2017-09-05) description, paragraph [0050], and figures 1 and 3	1-5, 11-15
A	CN 107452317 A (AU OPTRONICS CORPORATION) 08 December 2017 (2017-12-08) entire document	1-15
A	CN 107331366 A (SHENZHEN CSOT SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 07 November 2017 (2017-11-07) entire document	1-15
A	CN 103839518 A (LG DISPLAY CO., LTD.) 04 June 2014 (2014-06-04) entire document	1-15
A	US 2008122774 A1 (JO, SUNG HAK ET AL.) 29 May 2008 (2008-05-29) entire document	1-15

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

12 June 2019

Date of mailing of the international search report

27 June 2019

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/070555

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	103258495	A	21 August 2013	US	9887013	B2	06 February 2018
				CN	103258495	B	05 August 2015
				WO	2014180074	A1	13 November 2014
				US	2015228353	A1	13 August 2015
CN	107134268	A	05 September 2017	WO	2019007049	A1	10 January 2019
				CN	107134268	B	05 April 2019
CN	107452317	A	08 December 2017	TW	I616860	B	01 March 2018
				TW	201905878	A	01 February 2019
CN	107331366	A	07 November 2017	WO	2019041585	A1	07 March 2019
				US	2019066616	A1	28 February 2019
CN	103839518	A	04 June 2014	KR	20140067549	A	05 June 2014
				CN	103839518	B	04 January 2017
				US	9230482	B2	05 January 2016
				US	2014146031	A1	29 May 2014
US	2008122774	A1	29 May 2008	KR	101296624	B1	14 August 2013
				KR	20080000041	A	02 January 2008
				US	8169395	B2	01 May 2012

国际检索报告

国际申请号

PCT/CN2019/070555

A. 主题的分类 G09G 3/36 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																							
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G09G; G11C 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNPAT, CNKI, WPI, EPDOC: 华星, 吕晓文, 移位寄存, 栅极驱动, 复位, 时钟, 第一级, 第1级, 起始级, 首级, 初始级, 栅极, 控制极, 偏压, 偏移, 失效, 寿命, 稳定, 老化, 阈值, 晶体管, 开关管, 延时, 延迟, GOA, VGL2, VSS2, vssg, vssq, TFT, ST?, R?S?T, XC?K, C?KB, clock, RC, resist+, load, capacit+, impedan+, delay+, shift w register, transistor, aging																							
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>CN 103258495 A (京东方科技集团股份有限公司 等) 2013年 8月 21日 (2013 - 08 - 21) 说明书第[0042]-[0077]段, 附图5-7</td> <td>1-5, 11-15</td> </tr> <tr> <td>Y</td> <td>CN 107134268 A (京东方科技集团股份有限公司 等) 2017年 9月 5日 (2017 - 09 - 05) 说明书第[0050]段, 附图1、3</td> <td>1-5, 11-15</td> </tr> <tr> <td>A</td> <td>CN 107452317 A (友达光电股份有限公司) 2017年 12月 8日 (2017 - 12 - 08) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 107331366 A (深圳市华星光电半导体显示技术有限公司) 2017年 11月 7日 (2017 - 11 - 07) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 103839518 A (乐金显示有限公司) 2014年 6月 4日 (2014 - 06 - 04) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>US 2008122774 A1 (JO, SUNG HAK 等) 2008年 5月 29日 (2008 - 05 - 29) 全文</td> <td>1-15</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	Y	CN 103258495 A (京东方科技集团股份有限公司 等) 2013年 8月 21日 (2013 - 08 - 21) 说明书第[0042]-[0077]段, 附图5-7	1-5, 11-15	Y	CN 107134268 A (京东方科技集团股份有限公司 等) 2017年 9月 5日 (2017 - 09 - 05) 说明书第[0050]段, 附图1、3	1-5, 11-15	A	CN 107452317 A (友达光电股份有限公司) 2017年 12月 8日 (2017 - 12 - 08) 全文	1-15	A	CN 107331366 A (深圳市华星光电半导体显示技术有限公司) 2017年 11月 7日 (2017 - 11 - 07) 全文	1-15	A	CN 103839518 A (乐金显示有限公司) 2014年 6月 4日 (2014 - 06 - 04) 全文	1-15	A	US 2008122774 A1 (JO, SUNG HAK 等) 2008年 5月 29日 (2008 - 05 - 29) 全文	1-15
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
Y	CN 103258495 A (京东方科技集团股份有限公司 等) 2013年 8月 21日 (2013 - 08 - 21) 说明书第[0042]-[0077]段, 附图5-7	1-5, 11-15																					
Y	CN 107134268 A (京东方科技集团股份有限公司 等) 2017年 9月 5日 (2017 - 09 - 05) 说明书第[0050]段, 附图1、3	1-5, 11-15																					
A	CN 107452317 A (友达光电股份有限公司) 2017年 12月 8日 (2017 - 12 - 08) 全文	1-15																					
A	CN 107331366 A (深圳市华星光电半导体显示技术有限公司) 2017年 11月 7日 (2017 - 11 - 07) 全文	1-15																					
A	CN 103839518 A (乐金显示有限公司) 2014年 6月 4日 (2014 - 06 - 04) 全文	1-15																					
A	US 2008122774 A1 (JO, SUNG HAK 等) 2008年 5月 29日 (2008 - 05 - 29) 全文	1-15																					
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																							
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																							
国际检索实际完成的日期 2019年 6月 12日		国际检索报告邮寄日期 2019年 6月 27日																					
ISA/CN的名称和邮寄地址 中国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 李小兰 电话号码 86-(10)-53962509																					

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/070555

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103258495	A	2013年 8月 21日	US	9887013	B2	2018年 2月 6日
				CN	103258495	B	2015年 8月 5日
				WO	2014180074	A1	2014年 11月 13日
				US	2015228353	A1	2015年 8月 13日
CN	107134268	A	2017年 9月 5日	WO	2019007049	A1	2019年 1月 10日
				CN	107134268	B	2019年 4月 5日
CN	107452317	A	2017年 12月 8日	TW	1616860	B	2018年 3月 1日
				TW	201905878	A	2019年 2月 1日
CN	107331366	A	2017年 11月 7日	WO	2019041585	A1	2019年 3月 7日
				US	2019066616	A1	2019年 2月 28日
CN	103839518	A	2014年 6月 4日	KR	20140067549	A	2014年 6月 5日
				CN	103839518	B	2017年 1月 4日
				US	9230482	B2	2016年 1月 5日
				US	2014146031	A1	2014年 5月 29日
US	2008122774	A1	2008年 5月 29日	KR	101296624	B1	2013年 8月 14日
				KR	20080000041	A	2008年 1月 2日
				US	8169395	B2	2012年 5月 1日

表 PCT/ISA/210 (同族专利附件) (2015年1月)