(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[7]
G11C 17/00

(45) 공고일자 2001년06월15일
(11) 등록번호 10-0292605
(24) 등록일자 2001년03월26일

(21) 출원번호 10-1994-0010762
(22) 출원일자 1994년05월17일
(65) 공개번호 특1994-0026971
(43) 공개일자 1994년12월10일

(30) 우선권주장 93-151296 1993년05월28일 일본(JP)

(73) 특허권자 히다치초엘에스아이 엔지니어링가부시키가이샤 스즈키 진이치로
일본국 도쿄 고다이라시 죠스이혼쵸 5-20-1가부시끼가이샤 히다치 세이사꾸쇼 가나이 쓰도무
일본국 도쿄도 지요다구 간다 스루가다이 4-6
(72) 발명자 나까무라다께시
일본국도꾜도고꾸분지시니시꼬이가꾸보3-8-1
와다마사시
일본국도꾜도고다이라시가꾸엔니시마찌3-20-11-201
다까하시마사히또
일본국도꾜도고다이라시죠스이혼쵸5-19-1
사또히로시
일본국도꾜도오우메시가베마찌7-22-4
후루노다께시
일본국도꾜도고가네이시누꾸이기따마찌2-10-19-306
(74) 대리인 백남기

심사관 : 성백문

(54) 불휘발성반도체기억장치

요약

전기적으로 리라이트 가능한 불휘발성 반도체 기억장치로서, 프로그램및 리드동작과 함께 워드선 단위에서의 소거동작에 필요한 전압을 워드선에 선택적으로 공급 가능한 워드 드라이버를 구비한 불휘발성 반도체 기억장치를 제공하기 위해, 여러개의 워드 드라이버의 각각은 프로그램 모드에 있어서 제3전압이, 소거및 리드모드에 있어서 제1전압이 공급되는 제1단자, 소거모드에 있어서 제2전압이 프로그램및 리드모드에 있어서 제4전압이 공급되는 제2단자를 갖는 전압발생수단및 소거모드인지 아닌지에 따라서 어드레스 디코드수단에서의 신호를 선택적으로 정논리 또는 부논리로 전환해서 출력하기 위한 논리선택수단을 포함하는 구성으로 한다.

이러한 불휘발성 반도체 기억장치를 이용하는 것에 의해, 고전압계와 저전압계로 분리해서 워드 드라이버및 어드레스 디코더를 구성하지 않아도 되어 워드 드라이버등에 의한 칩점유면적을 작게 할 수가 있다.

대표도

도1

명세서

[발명의 명칭]

불휘발성 반도체 기억장치

[도면의 간단한 설명]

제1도는 본 발명의 1 실시예에 관한 플래시메모리에 적용되는 워드 드라이버의 1 예의 회로도.

제2도는 워드선 프리디코드 방식을 채용한 경우에 적용되는 다른 워드 드라이버의 회로도.

제3도는 제2도의 워드 드라이버의 동작 전원공급용 단자P1~P4의 전압과 워드선의 전압을 메모리의 동작모드마다 도시한 설명도.

제4도는 본 발명의 1실시예에 관한 플래시메모리의 블럭도.

제5도는 플래시메모리에 있어서의 메모리셀의 디바이스 단면구조와 프로그램, 소거및 리드동작의 바이어스전압을 도시한 설명도.

제6도는 제5도의 동작을 위해 필요로 되는 전압조건으로서의 바이어스 조건을 도시한 설명도.

제7도는 스테이틱래치 형태의 회로를 이용한 또 다른 워드 드라이버의 회로도.

제8도는 스테이틱래치 형태의 회로를 이용한 그 밖의 워드 드라이버의 회로도.

제9도는 제11도의 회로에 관련해서 본 발명자가 검토한 또 다른 워드 드라이버의 회로도.

제10도는 제11도의 워드 드라이버의 변형예를 도시한 회로도.

제11도는 부전압 소거에 이용되는 종래의 워드 드라이버의 회로도.

[발명의 상세한 설명]

본 발명은 전기적으로 리라이트 가능한 불휘발성 반도체 기억장치에 관한 것으로, 예를들면 프로그램 모드에 있어서 정전압을 공급하고, 소거모드에 있어서 부전압을 공급하는 워드 드라이버를 구비한 플래시 메모리에 적용해서 유효한 기술에 관한 것이다.

전기적으로 리라이트 가능한 불휘발성 반도체 기억장치로서의 플래시메모리는 MNOS(Metal Nitride Oxide Semiconducuor)등을 메모리셀로 하는 EEPROM(Electrically Erasable and Programmable Read Only Memory) 와 같이 전기적으로 리라이트 가능하고, 또 FAMOS(Floating gate Avalanche injection Metal Oxide Semiconductor)등을 메모리셀로 하는 EPROM(Erasable and Programmable Read Only Momory) 와 같이 1소자로 1메모리셀을 구성할 수가 있다. 이러한 플래시메모리의 메모리셀은 FAMOS 형과 마찬가지로 부유게이트 전계효과 트랜지스터 구조를 갖고 있고, 프로그램은 드레인접합 근방에서 발생시킨 열전자를 부유게이트에 주입하는 것에 의해서 실행하고, 소거는 부유게이트와 소오스 사이에 고전계를 발생시키고, 얇은 게이트 산화막을 통과한 터널현상을 이용해서 부유게이트에 축적된 전자를 소오스로 빼내는 것에 의해서 실행한다. 프로그램 동작에 의해 메모리셀은 그 제어게이트에서 본 스레쉬홀드값 전압이 프로그램 동작을 실행하지 않았던 소거상태의 메모리셀에 비해서 높게 된다. 프로그램및 소거상태의 어느 상태에 있어서도 기억 트랜지스터의 스레쉬홀드값은 정의 전압레벨로 된다. 즉, 워드선에서 제어게이트에 부여되는 워드선 선택레벨에 대해서 프로그램 상태의 스레쉬홀드값 전압은 높게 되고, 소거상태의 스레쉬홀드값 전압은 낮게 된다. 쌍방의 스레쉬홀드값 전압과 워드선 선택레벨이 그와 같은 관계를 갖는 것에 의해서, 선택 트랜지스터를 채용하는 일 없이 1개의 트랜지스터로 메모리셀을 구성할 수가 있다.

상기 플래시메모리의 소거기술로서 부전압을 사용하는 기술이 일본국 특허공개공보 평성3-219496호에 개시되어 있다. 즉, 플래시메모리와 같은 불휘발성 반도체 기억장치로 일괄 소거동작을 실행할 때, 각 메모리셀의 소오스영역 (또는 드레인영역) 에 인가하는 전압을 상기 불휘발성 반도체 기억장치의 Vcc 전원 (칩 외부에서 공급되어 통상은 리드동작에 사용되는 전원으로, 예를들면5V) 에서 공급함과 동시에, 각 메모리셀의 제어게이트 전극에 상기 Vcc전원과는 역극성의 소거전압 (예를들면 -7V) 을 인가하고, 또한 그 소거전압을 상기 불휘발성 반도체 기억장치내의 전압 변환회로 (승압회로) 에서 공급하도록 구성한다. 이것에 의하면, 전원전압의 5V 단일화나 소거단위를 작게 하는 것등을 실현한다. 즉 일괄소거 동작을 실행할 때, 큰 누설전류가 흐르는 소오스를 Vcc 전원으로 직접 구동하고, 소오스와의 사이에서 고전계를 형성해야할 제어게이트에서 Vcc 전원과는 역극성의 소거전압을 인가하므로, 제어게이트에서 소거에 직접 기여하는 미소한 터널 전류만 흘러, 불휘발성 반도체 기억장치내에 마련된 승압회로에 의해 제어게이트를 구동할 수가 있고, 이것에 의해서 소거속도를 희생하는 일 없이 Vcc 단일 전원에 의한 칩 일괄 소거동작을 실현하는 것이 가능하게 된다. 또, 제어게이트에 Vss 전압 (예를들면 0V)을 인가함과 동시에, 소오스에 Vpp 전압 (예를들면, 12V) 을 인가해서 실행하는 소거동작에 비해서 소오스전압을 Vpp 전압에서 Vcc 전압 까지 저감할 수 있으므로, 밴드간 터널에 의해 발생한 정공이 소오스와 기판 사이의 전계에서 핫홀로 되어 게이트산화막 중에 주입, 포획되는 현상을 현저하게 억제할 수가 있다. 또, 소오스에 고전압을 인가하는 소거방식에서는 고집적화를 위해 소오스선을 공통화한 16K바이트 단위와 같은 비교적 큰 블럭단위로만 소거를 실행할 수 있지만, 부전압 소거방식에서는 워드선 단위로 소거를 실행할 수가 있다. 또, 동일 워드선에 접속된 메모리셀을 반드시 일괄해서 소거하므로, 각각의 셀이 경험하는 프로그램 디스터브 (메모리셀의 제어게이트에만 프로그램 전압이 인가되는 워드선 반선택상태에서 메모리셀의 스레쉬홀드값 전압이 변화하는 현상) 의 시간은 동일 워드선상에 다른 메모리셀의 프로그램을 실행하는데 필요한 시간의 합을 고려하면 좋고, 메모리셀의 리라이트 회수에 의존해서 디스터브 시간이 증가하는 현상은 회피되어 리라이트 내성에 우수하다.

상기 일본국 특허공개공보 평성3-219496호에 또 소거에 필요한 부전압인 Vppn, Vcc, Vpp및 Vss 을 선택적으로 출력하는 회로를 어드레스버퍼와 워드선 사이에 배치한 구성이 개시되어 있다. 이 회로는 제11도에 도시한 바와 같이, 소거시에는 최종단 인버터회로 INV100과 그 전단 인버터회로INV200의 N 채널형 MOSFETQ100,Q101 의 소오스를 부전압Vppn에 접속하는 것이다.

본 발명자들은 프로그램이나 리드와 마찬가지로 소거도 워드선 단위로 실행하는 것을 검토하였다. 그를 위해서는 부전압을 공급해야할 워드선을 어드레스 디코드신호에 따라서 선택해야만 하고, 이때 소거를 위한 부전압을 공급하는 회로와 프로그램및 리드전압을 워드선에 공급하는 회로를 각각에 배치하면, 칩 면적이 증대해 버리는 것을 발견하였다. 그래서, 제11도에 도시한 바와 같이 워드선의 한쪽 끝에 마련된 회로에서 부전압도 공급하는 것의 유용성을 인식해서 다시 제11도의 회로를 검토하였다. 그 검토결과에 의하면, 소거동작에 의해 인버터회로INV200의 입력이 로우레벨로 되면 인버터INV100의 MOSFETQ100이 온상태로 되어 워드선 W1 에는 부전압Vppn이 공급되지만, 이것과 함께 인버터회로INV200의 MOSFETQ101도 온상태로 되고, 그 결과 MOSFETQ100의 게이트전압이 저하해서 그 온저항이 현저하게 크게 되거나, 또는 상기 MOSFETQ100이 턴오프해서 정상적인 소거동작을 실행할 수 없게 될 염려가 있는 것을 발견하였다.

본 발명의 목적은 프로그램및 리드 동작과 함께 워드선 단위에서의 소거동작에 필요한 전압을 워드선에 선택적으로 공급 가능한 워드 드라이버를 구비한 불휘발성 반도체 기억장치를 제공하는 것에 있다.

본 발명의 다른 목적은 리드, 소거및 프로그램의 각 동작에 필요한 전압을 워드선에 선택적으로 공급 가능한 워드 드라이버에 의한 칩점유면적이 작은 불휘발성 반도체 기억장치를 제공하는 것에 있다.

본 발명의 또 다른 목적은 리드, 소거및 프로그램의 각 동작에 필요한 전압을 워드선에 선택적으로 공급가능한 워드 드라이버에 있어서의 게이트 지연이 작은 불휘발성 반도체 기억장치를 제공하는 것에 있다.

본 발명의 상기및 그 밖의 목적과 새로운 특징은 본 명세서의 기술및 첨부도면에서 명확하게 될 것이다.

본원에서 개시되는 발명중 대표적인 것의 개요를 간단히 설명하면 다음과 같다.

즉, 불휘발성 반도체 기억장치는 부유게이트, 워드선에 결합된 제어게이트, 소오스선에 결합된 소오스및 데이타선에 결합된 드레인을 갖는 MOS 트랜지스터형의 여러개의 메모리셀, 상기 메모리셀에 대한 전기적인 소거, 프로그램및 리드에 따른 필요한 제1~제4의 전압을 선택해서 워드선에 공급하는 워드 드라이버및 상기 워드 드라이버에 워드선의 선택신호를 공급하는 어드레스 디코더를 포함한다.

상기 제2의 전압은 제1의 전압 (예를들면, 3.3V와 같은 Vcc 전압)과는 역극성의 전압 (예를들면, -10V와 같은 Vee 전압) 이고, 상기 제4의 전압은 회로의 기준전위 (예를들면, 0V와 같은 Vss) 이고, 상기 제3의 전압은 제4의 전압에 대해서 상기 제1의 전압보다도 레벨차가 큰 상기 제1의 전압과 같은 극성의 전압 (예를들면, 12V와 같은 Vpp 전압) 이다.

상기 워드 드라이버는 논리선택회로와 전압선택회로를 구비한다.

상기 논리선택회로는 어드레스 디코더의 출력에서 얻어지는 선택신호의 선택레벨을 소거모드인가 아닌가에 따라서 선택적으로 정논리 또는 부논리로 전환한다.

상기 전압 선택회로VOLS는 예를들면, 제1도에 도시한 바와 같이 출력이 워드선에 결합된 상보형MOS 인버터회로 INV2로 구성된 출력회로를 갖고, 상기 출력회로의 2입력은 각각 개별의 신호경로를 거쳐서 상기 논리 선택회로LOGS의 출력에 결합된다.

각각의 신호선에는 출력회로의 출력을 입력으로 정귀환시키는 피드백 MOS 트랜지스터Q54,Q55 가 결합된다.

상기 출력회로및 피드백 MOS 트랜지스터는 제1및 제2의 단자에 공유되는 전압을 전원으로 해서 동작된다. 제1의 단자에는 프로그램모드에 있어서 Vpp 전압이, 소거및 리드모드에 있어서 Vcc 전압이 공급되고, 제2의 단자에는 소거모드에 있어서 Vee 전압이, 프로그램및 리드모드에 있어서 Vss 전압이 공급된다. 따라서, 전압선택회로VOLS는 Vee 전압에서 Vpp 전압의 범위를 동작전압으로 하는 고전압계로 되고, Vss 전압에서 Vcc 전압의 범위를 동작전압으로 하는 저전압계를 구성하는 논리선택회로에 과잉의 전압이 공급되는 것을 저지하기 위한 분리용MOS 트랜지스터가 상기 각 신호경로의 초단에 배치된다.

워드선의 선택논리로서 프리디코드방식을 채용하는 경우, 제2도에 도시된 바와 같이, 1개의 논리선택회로의 출력에 여러개의 전압선택회로의 입력을 공통접속하고, 프리 디코드신호로 각각의 전압 선택회로를 선택한다. 이때, 전압 선택회로는 논리선택회로에서 선택레벨이 공급되어도 프리 디코드신호로 동작이 선택되지 않으면, 그 밖의 논리선택회로로 비선택으로 되는 것과 동일한 전압을 선택해서 워드선에 공급해야만 한다. 그 때문에, 상기 분리용MOS 트랜지스터의 프리 디코드신호로 스위치제어하도록 한다. 또, 상기 분리용MOS 트랜지스터가 컷오프상태로 된 때, 워드선에 대해서 비선택상태의 전압을 출력시키기 위해 상기 분리용MOS 트랜지스터와 상보적으로 스위치제어되어 출력회로의 입력에 소정의 전압을 공급 가능하게 하는 풀업MOS 트랜지스터및 풀다운MOS 트랜지스터와 같은 한쌍의 레벨강제용 MOS 트랜지스터를 상기 신호선에 결합하는 것이다.

상기 선택회로의 출력이 MOS 트랜지스터의 스레쉬홀드값 전압에 따라서 바람직하지 않게 레벨변동하는 사태를 방지하기 위해, 상기 논리선택회로LOGS에는 상보형MOS 인버터회로로 반전된 입력선택신호를 전달하는 상보형MOS 트랜스퍼 게이트와 비반전상태의 입력선택신호를 그대로 전달하는 상보형MOS 트랜스퍼 게이트를 채용하는 것이 바람직하다.

상기 출력회로및 한쌍의 피드백 MOS 트랜지스터의 접속구성은 제7도및 제8도에 도시된 바와 같이, 스테이틱 래치형태로 구성하는 것도 가능하다. 이때의 논리선택회로LOGS의 출력은 싱글앤드의 상기 스테이틱 래치형태의 회로로 전달된다.

상기한 수단에 의하면, 상기 메모리셀에 대한 전기적 소거동작에 있어서 논리선택회로LOGS는 선택레벨을 예를들면, 부논리로 해서 전압선택회로VOLS에 공급한다. 이것에 의해 소거동작이 선택으로 되어야 할 메모리셀의 워드선에는 메모리셀의 소오스 또는 드레인의 어느 한쪽에 인가되는 Vcc 전압에 대해서 극성이 다른 Vee 전압이 제2의단자에서 워드선에 공급된다. 소거동작이 비선택으로 되어야 할 메모리셀의 워드선에는 제1의 단자에서 워드선에 Vcc 전압이 공급된다. 논리선택회로LOGS에서 공급되는 논리신호로서의 선택신호는 저전압계의 신호레벨을 갖지만, 고전압계로서의 전압선택회로의 출력회로는 피드백 MOS 트랜지스터의 작용에 의해서 완전히 푸시풀 동작된다.

메모리셀에 대한 전기적 프로그램및 리드동작에 있어서, 논리선택회로LOGS는 선택레벨을 예를들면, 정논리로 해서 전압선택회로VOLS에 공급한다. 상기 메모리셀에 대한 전기적 프로그램동작에 있어서, 프로그램이 선택으로 되어야 할 메모리셀의 워드선에는 제1의 단자에서 Vpp 전압이 공급되고, 프로그램이 비선택으로 되어야 할 메모리셀의 워드선에는 제2의 단자에서 Vss 전압이 공급된다. 메모리셀에 대한 리드모드에 있어서는 데이타의 리드를 선택할지, 하지 않을지에 따라서 제1의 단자에서 Vcc 전압 또는 제2의 단자에서 Vss 전압이 공급된다.

워드선 한쪽에 결합한 워드 드라이버로 프로그램및 리드모드와 함께 워드선 단위에서의 소거모드에 필요한 전압을 워드선에 선택적으로 공급하는 것은 고전압계와 저전압계로 분리해서 워드 드라이버및 어드레스 디코더를 구성하지 않아도 되도록 작용하여 워드 드라이버등에 의한 칩 점유면적을 작게 한다.

논리선택회로LOGS에 출력을 전달하는 2개의 경로의 각각에 서로 도전형이 다른 출력MOS 트랜지스터, 피드백 MOS 트랜지스터및 분리용MOS 트랜지스터를 마련하는 것은 피드백 MOS 트랜지스터를 거쳐서 상기 경로에 공급되는 Vee 전압과 같은 제2의 전압과 Vpp 전압과 같은 제3의 전압이 논리선택회로LOGS에 전달되는 사태를 서로 도전형이 다른 한쌍의 분리용MOS 트랜지스터로 확실하게 저지하도록 작용한다.

논리선택회로LOGS에 있어서의 정논리및 부논리의 선택에 상보형MOS 트랜스퍼 게이트를 채용하는 것은 전압선택회로에 공급해야할 논리신호의 신호진폭을 최대한으로 하도록 작용하여, 워드 드라이버의 동작의 고속하에 기여한다.

제4도에 본 발명의 1실시예에 관한 플래시메모리FN의 블럭도가 도시되어 있다. 동일 도면에 도시된 플래시메모리는 특히 제한되지는 않지만, 공지의 반도체 집적회로 제조기술에 의해서 단결정 실리콘과 같은 1개의 반도체 기판에 형성된다.

본 실시예의 플래시메모리는 외부단자를 거쳐서 외부에서 공급되는 X 어드레스신호AX및 Y 어드레스신호AY을 받는 어드레스버퍼XADB, YADB에 의해서 내부 상보 어드레스 신호가 형성되고, 어드레스 디코더XDCR, YDCR 에 공급된다. 특히 제한되지는 않지만, 상기 어드레스버퍼XADB, YADB 는 내부칩 선택신호ce* (기호*는 이것이 붙여져 있지 않은 신호선에 대한 레벨 반전신호선인 것을 의미하고, 또 기호*가 붙여진 제어신호는 로우액티브의 신호인 것을 의미한다) 에 의해 활성화되고, 중앙처리장치CPU 에서 어드레스버스AB을 거쳐서 외부단자에서 공급되는 외부 어드레스신호AX,AY 을 폐치하고, 외부단자에서 공급된 외부 어드레스신호와 동상의 내부 어드레스신호와 역상의 내부 어드레스신호로 이루어지는 상보 어드레스신호를 형성한다. 또, 상기 어드레스버퍼 XADB,YADB에는 상술한 칩선택신호ce* 이외에 소거모드를 나타내는 신호ES등이 공급되어 있다.

X어드레스계의 어드레스 디코더XDCR은 어드레스 디코더 활성화신호 DE에 의해 활성화되고, 대응하는 어드레스버퍼XADB에서의 상보 어드레스신호에 따른 1개의 워드선을 메모리어레이 M-ARY내의 여러개의 워드선에서 선택하는 선택신호를 형성한다. 이 선택신호는 워드 드라이버WDRV에 공급되고, 동작모드에 따른 전압을 워드선에 공급한다. Y 어드레스계의 어드레스 디코더YDCR도 상기 어드레스 디코더 활성화 신호DE에 의해 활성화되고, 대응하는 어드레스 버퍼YADB에서의 상보 어드레스신호에 따른 1개의 데이타선을 메모리어레이 M-ARY내의 여러개의 데이타선에서 선택하는 선택신호를 형성한다.

상기 메모리어레이 M-ARY는 여러개의 워드선과 상기 워드선과 교차하도록 배치된 여러개의 데이타선및 워드선과 데이타선의 각 교차부에 마련된 여러개의 메모리셀을 갖는다. 동일 도면에는 이 메모리어레이 M-ARY의 일부를 대표로 해서 예시적으로 도시하고 있다. 즉, 제4도에는 여러개의 워드선중의 워드선W1,W2 와 여러개의 데이타 선중의 데이타선 D1,D2,Dn 및 이들의 데이타선과 워드선의 교차부에 마련된 메모리셀이 예시적으로 도시되어 있다. 메모리셀의 각각은 1개의 기억트랜지스터 (불휘발성 기억소자) 에 의해서 구성되어 있다. 즉, 각 메모리셀의 각각은 제어게이트와 부유게이트를 갖는 구조의 1개의 기억 트랜지스터에 의해서 구성되어 있다. 동일 도면에 예시적으로 도시되어 있는 메모리셀은 불휘발성 기억소자로서의 기억 트랜지스터 (이하, 단지 메모리셀이라고도 한다) Q1～Q6에 의해 구성되어 있다.

상기 메모리어레이 M-ARY에 있어서, 동일 행에 배치된 메모리셀Q1～Q3(Q4～Q6) 의 제어게이트 (메모리셀의 선택노드) 는 각각 대응하는 워드선W1(W2)에 접속되고, 동일 열에 배치된 메모리셀Q1,Q4 ～Q3,Q6 의 드레인 영역 (메모리셀의 입출력노드) 는 각각 대응하는 데이타선 D1～Dn에 접속되어 있다. 상기 메모리셀의 소오스영역은 소오스선CS에 결합된다.

이 실시예에 있어서는 특히 제한되지는 않지만, 소오스선CS에 소거회로 ERC에 의해 스위치 제어되는 N 채널 MOSFETQ10 과 P 채널 MOSFETQ17 이 접속되어 있다. 상기 소거회로ERC 는 프로그램모드일 때와 리드모드일 때에, 상기 N 채널 MOSFETQ10 을 온상태로 하고, 상기 소오스선 CS에 회로의 접지전위Vss 가 부여되도록 한다. 한편, 소거모드일 때에는 상기 P 채널 MOSFETQ17 을 온상태로 하고, 상기 소오스선 CS에 전원전압Vcc 가 부여되도록 한다. 프로그램모드, 리드모드및 소거모드의 각각의 모드는 중앙처리장치CPU에서 데이타버스DB를 거쳐서 데이타입력 버퍼DIB 에 공급된 데이타 (커맨드) 에 의해서 설정된다.

상기 메모리어레이M-ARY 에 있어서 여러개의 워드선을 포함하는 블럭단위에서의 일괄소거를 가능하게 하고자 하면, 매트릭스 형상으로 배치된 메모리셀이 가로방향으로 M 블럭으로 분할되고, 각 블럭마다 상기 소오스선에 상당하는 소오스선이 각각에 마련된다. 상기와 같이, 각각의 블럭에 마련된 소오스선CS의 각각에는 상기와 같은 소거회로ERC 와 MOSFETQ10,Q17 이 각각 마련된다. 이 경우, 여러개의 블럭중 어느 블럭에 대해서 소거를 실행할지를 결정하기 위해 각 소거회로를 어드레스신호에 의해 지정하는 것이 필요로 된다. 상세한 설명은 후술하지만, 본 실시예에 있어서 메모리셀의 기억정보는 워드선 단위로 소거된다. 이 경우에, 소오스선CS는 1개로 되고, 그것에 대응해서 상기 소거회로ERC,MOSFETQ10 및 Q17 이 마련되어 있다.

본 실시예의 플래시메모리에 있어서는, 특히 제한되지는 않지만 8비트와 같은 다수 비트의 단위에서의 프로그램/리드가 실행되기 때문에, 상기 메모리어레이 M-ARY는 합계 8조와 같이 여러조가 마련된다. 또, 16비트의 단위에서의 정보의 프로그램 또는 리드를 실행하는 경우에는, 예를들면 상기 메모리어레이 M-ARY가 16조 마련된다.

상기 1개의 메모리어레이 M-ARY을 구성하는 각 데이타선D1～Dn은 상기 칼럼 어드레스 디코더YDCR에 의해서 형성된 선택신호를 받는 칼럼 (열) 선택스위치 MOSFETQ7～Q9 (칼럼스위치) 을 거쳐서, 선택적으로 공통데이타선CD에 접속된다. 공통 데이타선CD에는 외부단자 I/O에서 입력되는 프로그램 데이타를 받는 프로그램용의 데이타 입력버퍼 DIB 의 출력단자가 스위치MOSFETQ18 을 거쳐서 접속된다. 마찬가지로 다른 나머지의 도시하지 않은 7개의 메모리어레이에 대해서도 상기와 동일한 칼럼 선택스위치 MOSFET가 마련되고, 상기 칼럼 어드레스 디코더YDCR에서의 선택신호가 공급된다. 또, 각 메모리어레이마다 다른 칼럼 어드레스 디코더를 마련하고, 칼럼 선택스위치 MOSFET가 대응하는 칼럼 어드레스 디코더로 부터의 선택신호에 의해서 스위치 제어되도록 해도 좋다.

상기 메모리어레이 M-ARY에 대응해서 마련되는 공통데이타선CD는 스위치 MOSFETQ16을 거쳐서 센스앰프SA의 입력단 회로를 구성하는 초단증폭회로의 입력단자에 결합된다. 편의상, 초단증폭회로를 구성하는 MOSFETQ11 ～Q15 와 종열형태의 CMOS인버터회로 N1 및 N2 에 의해서 구성되는 회로를 센스앰프SA라 부르기로 한다. 센스앰프SA에는 통상 리드시에는 Vcc 전압이 동작전원으로서 공급되고, 소거 검증시에는 상기 Vcc 전압의 값보다 낮은 전위를 갖는 Vcv 전압이 전원으로서 공급된다. 또, 프로그램 검증시에는 상기 Vcc 전압의 값보다 높은 전위를 갖는 Vcv 전압이 전원으로서 공급된다. 상기 예시적으로 도시되어 있

는 공통데이타선CD는 리드 제어신호re에 의해 온상태로 되는 MOSFETQ16 을 통과해서 N 채널형의 증폭 MOSFETQ11 의 소오스에 접속된다. 이 증폭 MOSFETQ11 의 드레인과 센스앰프SA의 동작전원 전압단자 Vcc/Vcv 사이에는 이 게이트의 회로의 접지전위와 같은 Vss 전압이 인가된 P 채널형의 부하 MOSFETQ12 가 마련되어 있다. 상기 부하 MOSFETQ12 는 리드동작을 위해 공통데이타선CD에 프리챠지전류를 흐르게 하는 동작을 실행한다.

상기 증폭 MOSFETQ11 의 감도를 높게하기 위해, 스위치 MOSFETQ16 을 거친 공통데이타선CD의 전압은 N 채널형의 구동 MOSFETQ13 과 P 채널형의 부하MOSFETQ14로 이루어지는 반전 증폭회로의 입력인 구동 MOSFETQ13 의 게이트에 공급되어 있다. 이 반전 증폭회로의 출력전압은 상기 증폭 MOSFETQ11 의 게이트에 공급된다. 또, 센스앰프SA의 비동작 기간에 있어서, 센스앰프SA가 불필요한 전류를 소비하는 것을 방지하기 위해, 상기 증폭 MOSFETQ11 의 게이트회로의 접지전위 Vss 와의 사이에는 N 채널 MOSFETQ15 가 마련된다. 이 MOSFETQ15 와 상기 P 채널 MOSFETQ14 의 게이트에는 센스앰프의 동작타이밍신호sc*가 공통으로 공급된다.

메모리셀의 리드시에 있어서, 센스앰프의 동작타이밍신호SC*는 로우레벨로 된다. 이것에 이해 MOSFETQ14는 온상태로, MOSFETQ15 는 오프상태로 된다. 메모리셀을 구성하는 메모리셀은 사전에 프로그램된 데이타에 따라서 리드동작시에 있어서의 워드선의 선택레벨에 대해서 높은 스레쉬홀드값 전압, 또는 낮은 스레쉬홀드값 전압을 갖는다.

리드동작에 있어서, 상기 타이밍신호sc*는 로우레벨로 되고, 공통데이타선CD는 MOSFETQ12,Q11,Q16 을 거쳐서 전류가 공급가능하게 된다. 이때, 상술한 각 어드레스 디코더XDCR,YDCR 에 의해서 메모리어레이 M-ARY을 구성하는 여러개의 메모리셀에서 선택된 1개의 메모리셀이 워드선이 선택레벨로 되어 있음에도 불구하고, 오프상태로 되어 있는 경우, 공통데이타선CD는 MOSFETQ10 을 거쳐서 접지전위Vss 와는 비도통으로 되고, 이것에 의해 공통데이타선CD는 MOSFETQ12 와 Q11 에서 공급되는 전류에 의해서 전원전압Vcc 보다도 비교적 낮은 전위로 제한된 하이레벨로 된다. 한편, 선택된 상기 메모리셀이 워드선의 선택레벨에 의해서 온상태로 되어 있는 경우, 공통데이타선CD는 MOSFETQ10 을 거쳐서 접지전위Vcc 에 도통되어 접지전위Vss 보다도 비교적 높은 전위로 제한된 로우레벨로 된다. 즉, 공통데이터선CD의 하이레벨은 이 하이레벨의 전위를 받는 반전증폭회로 (MOSFETQ13,Q14) 에 의해 형성된 비교적 낮은 레벨의 출력전압이 MOSFETQ11 의 게이트에 공급되는 것에 의해서, 상술된 바와 같이 전원전압Vcc 보다도 비교적 낮은 전위로 제한된다. 한편, 공통데이타선CD의 로우레벨은 이 로우레벨의 전위를 받는 반전증폭회로 (MOSFETQ13,Q14) 에 의해 형성된 비교적 높은 레벨이 전압MOSFETQ11 게이트에 공급되는 것에 의해서, 상술한 바와 같이 접지전위Vss 보다도 비교적 높은 전위로 제한된다. 각 데이타선D1~Dn과 소오스선 사이에 마련된 데이타선 방전MOSFETQ19~Q21은 그 게이트에 공급된 신호DS에 의해, 칼럼어드레스 디코더 YDCR에 의해서 선택되어 있지 않은 상태의 데이타선, 즉 비선택상태의 데이타선의 전하를 소오스선CD에 방전시킨다.

상기 증폭용의 MOSFETQ11 은 게이트접지형 소오스 입력의 증폭동작을 실행하고, 그 출력신호를 CMOS인버터회로 N1 의 입력으로 전송한다. CMOS인버터회로 N2 는 상기 CMOS인버터회로 N1 의 출력신호를 파형정형한 신호SO을 형성해서 대응한 데이타출력버퍼 DOB의 입력으로 전송한다. 데이타출력버퍼 DOB는 상기 신호SO을 증폭해서 외부단자 I/O에서 송출시킨다. 또, 상기 외부입출력단자 I/O에서 공급되는 프로그램 데이타는 데이타입력버퍼 DIB를 거쳐서 상기 공통데이타선CD로 전송된다.

제4도에 있어서, CNTR 은 외부제어신호및 Vpp 전압을 받고, 상기 외부제어신호로 지시되는 프로그램, 소거및 리드의 동작에 따른 상기 각종 내부제어신호와 각종 전압을 내부회로에 공급하는 제어회로이다. 외부제어신호는 중앙처리장치CPU 에서 제어버스CB를 거쳐서 공급된다. 제어회로CNTR에 공급되는 외부제어신호는 특히 제한되지는 않지만, 칩선택을 지시하는 칩인에이블신호CE*, 리드동작과 같은 데이타출력을 지시하는 출력 인에이블신호OE*, 프로그램 동작등의 데이타페치를 지시하는 프로그램 인에이블신호WE* 및 데이타입력버퍼DIB 을 거쳐서 외부에서 공급되는 제어데이타로 된다. 상기 제어데이타에는 플레시메모리에 대한 소거동작을 지시하기 위해 이용되는 제어데이타도 포함된다. 본 실시예의 플래시메모리에 공급되는 전원은 Vpp 전압전원, Vcc 전압전원, Vss 전압전원으로 된다. Vss 전압전원은 회로의 기준전위이고, Vcc 전압전원은 Vss 전압전원에 대해서 소정 전위차를 갖는 정전극의 전압이고, Vpp 전압전원은 상기 소정전위차 보다도 회로의 기준전위와의 사이에서 더욱 큰 전위차를 갖는 Vcc 전압전원과 동극성의 전압이다.

제5도에는 플래시메모리에 있어서의 메모리셀의 디바이스 단면구조프로그램, 소거및 리드동작의 바이어스 전압이 도시된다. 제6도에는 그들 동작의 전압조건으로서의 바이어스조건이 도시된다.

메모리셀은 특히 제한되지는 않지만, P 형 실리콘기판 또는 P 형웰 영역과 같은 기판영역SUB 에 형성된 2층 게이트구조의 절연게이트형 전계효과 트랜지스터로 되고, 게이트 절연막GF1 상에 형성된 부유게이트FLG, 이 부유게이트FLG 상에 층간절연막GF2 을 거쳐서 형성된 제어게이트CTG , 상기 기판영역내에 서로 분리해서 마련되어 상기 게이트 절연막GF1 을 사이에 두고, 부유게이트FLG 와 겹치는 부분을 갖는 소오스SRC 및 드레인DRN 을 구비한다.

메모리셀로의 프로그램은 드레인 DRN의 근방에서 열전자를 발생시켜서 부유게이트FLG 에 주입시키는 것에 의해 실행한다. 예를들면 동일 도면에 도시된 바와 같이, 프로그램이 선택된 메모리셀의 제어게이트CTG 의 전압Vg는 Vpp 전압 (예를들면, 12V) , 드레인DRN 의 전압Vd는 Vcc+α (예를들면, 4V), 소오스SRC 및 기판영역SUB 의 전압V 는 Vss 전압(예를들면, 0V) 로 된다. 상기 전압Vcc+α 는 특히 제한되지는 않지만, Vpp 전압을 강압해서 형성된다.

메모리셀의 소거는 터널전류에 의해 전자를 부유게이트FLG 에서 소오스SRC 로 빼내는 것에 의해 실행한다. 예를들면, 소거가 선택된 메모리셀의 소오스SRC 의 전압 Vs 는 전압Vcc 전압 (예를들면, 3.3V) , 드레인DRN 은 오픈 (플로우팅) 으로 되고, 제어게이트CTG 의 전압Vg는 Vee 전압 (예를들면, -10V) 로 되고, 기판영역SUB 는 Vss 전압 (예를들면, 0V) 로 된다. 이와 같이, 소거쌍으로 되는 메모리셀의 제어게이트에는 Vee 전압과 같은 부전압이 공급된다.

리드동작이 선택된 메모리셀의 제어게이트CTG 의 전압Vg는 Vcc 전압 (예를들면, 3.3V) 로 되고,

드레인DRN 의 전압Vd는 Vcc 전압을 강압한 전압Vcc-β (예를들면, 1V) 을 인가한다. 부유게이트FLG 에 부의 전하가 축적되어 있는 경우에는 채널전류가 흐르지 않고, 또 전하가 축적되어 있지 않은 경우에는 전류가 흐른다. 예를들면, 전자가 정보 "0" 에 대응되고, 후자가 정보 "1" 에 대응된다. 프로그램동작에 의해 메모리셀은 그 제어게이트CTG 에서 본 스레쉬홀드값전압이 프로그램동작을 실행하지 않았던 소거상태의 메모리셀에 비해서 높게 된다. 프로그램및 소거상태의 어느상태에 있어서도 기억 트랜지스터의 스레쉬홀드값은 정의 전압레벨로 된다. 즉, 워드선에서 제어게이트CTG 에 부여되는 워드선 선택레벨에 대해서 프로그램 상태의 스레쉬홀드값 전압은 높게 되고, 소거상태의 스레쉬홀드값 전압은 낮게 된다. 쌍방의 스레쉬홀드값 전압과 워드선 선택레벨이 그와 같은 관계를 갖는 것에 의해서 선택 트랜지스터를 채용하는 일 없이 1개의 트랜지스터로 메모리셀을 구성할 수가 있다.

본 실시예에 따르면, 상기 각 전압은 외부제어신호CE*,OE*,WE* 및 데이타 입력버퍼DIB 를 거쳐서 공급된 제어데이타에 의해서 지시되는 동작모드에 따라서 상기 제어회로CNTR을 생성해서 선택적으로 공급한다,

제1도에는 워드 드라이버WDRV의 1예의 회로도가 1워드선분의 구성을 대표로 해서 도시된다.

워드 드라이버WDRV는 메모리셀에 대한 전기적인 소거, 프로그램및 리드에 따른 필요한 전압을 선택해서 워드선에 공급한다. 이 워드 드라이버WDRV에 워드선의 선택신호를 공급하는 어드레스 디코더XDCR에 있어서, 제1도에는 3입력의 NOR 회로 (부논리합회로) NOR 이 대표적으로 1개 도시되어 있다. 이 NOR 회로NOR 에 공급되는 신호XM은 내부어드레스 신호의 소정비트, 또는 내부어드레스 신호의 소정비트를 도시하지 않은 논리게이트를 통과해서 얻어진 신호로 이루어지는 3비트의 신호이고, 8개를 1조로 하는 워드선 중에서 어떤 워드선을 선택할지를 지시하는 신호로 간주된다. 이 NOR회로NOR 의 출력이 그것에 대응하는 워드선의 선택신호SEL 로 된다. 본 실시예에 따르면, 선택신호SEL 은 하이레벨이 선택레벨로 된다.

상기 워드 드라이버WDRV가 선택적으로 워드선에 공급하는 전압은 예를들면, 3.3V와 같은 Vcc 전압, -10V 와 같은 Vee 전압, 회로의 접지전위 또는 기준전위로서의 예를들면, 0V와 같은 Vss 전압, 12V 와같은 Vpp 전압으로 된다. 본 실시예의 워드 드라이버의 설명에서는 검증시의 공급전압에 대해서는 특히 설명하지 않지만, 검증동작은 실질적으로 리드동작과 동일하므로, 이하의 설명에 있어서의 리드시의 Vcc 전압을 Vcv 전압으로 치환하면, 검증시의 워드선 공급전압에 대해서 용이하게 이해할 수가 있다. 이하에 설명하는 워드 드라이버WDRV는 논리선택회로LOGS와 전압선택회로VOLS를 구비한다.

상기 논리선택회로LOGS는 어드레스 디코더XDCR의 출력에서 얻어지는 선택신호SEL 의 선택레벨을 소거동작인가 아닌가에 따라서 선택적으로 정논리 또는 부논리로 치환하는 것이다. 예를들면, 논리선택회로LOGS는 선택신호SEL 을 반전하는 CMOS (상보형MOS) 인버터INV1, CMOS인버터INV1의 출력과 선택신호SEL 을 택일적으로 선택해서 공통출력 노드N1로 전달하기 위한 N 채널형 MOSFETQ50n및 P 채널형 MOSFETQ50P로 이루어지는 CMOS트랜스퍼 게이트TG1 과 N 채널형 MOSFETQ51n및 P 채널형MOSFETQ51P로 이루어지는 CMOS트랜스퍼 게이트TG2 를 구비하고, MOSFETQ50N,Q51P의 게이트에는 제어신호DE* 가 공급되고, MOSFETQ50P,Q51n의 게이트에는 제어신호DE가 공급되어 이루어진다. 소거동작이 지시되면 제어신호DE가 하이레벨, DE* 가 로우레벨로 되고, 선택신호SEL 은 비반전상태에서 노드N1에서 출력되고, 프로그램및 리드동작이 지시되었을 때에는 그와 반대로 제어되어 선택신호SEL 은 반전되어서 노드N1로 출력된다. 이 논리선택회로LOGS는 Vcc 전압과 Vss 전압을 동작전원으로 한다.

상기 전압선택회로는 출력이 워드선W1에 결합되어 P 채널형 MOSFETQ52와 N 채널형 MOSFETQ53으로 이루어지는 상보형 MOS인버터회로로 구성된 출력회로INV2를 갖고, 상기 출력회로INV2을 구성하는 MOSFETQ52,Q53 의 게이트는 각각 개별의 신호경로를 거쳐서 상기 논리선택회로LOGS의 출력노드N1에 결합된다. 상기 MOSFETQ52,Q53의 게이트에는 출력되로INV2의 출력을 입력으로 정귀환시키는 P 채널형 피드백 MOSFETQ54, N 채널형 피드백 MOSGETQ55가 결합된다. 상기 출력회로 INV2및 피드백 MOSFETQ54,Q55는 제1의 단자P1및 제2의 단자P2에 공급되는 전압을 전원으로 해서 동작된다. 제1의 단자P1에는 프로그램동작에 있어서 Vpp 전압이, 소거및 리드동작에 있어서, Vcc 전압이 공급되고, 제2의 단자P2에는 소거동작에 있어서 Vee전압이, 프로그램및 리드동작에 있어서 Vss 전압이 공급된다. 따라서, 전압선택회로VOLS는 Vee 전압 (-10V) 에서 Vpp 전압 (12V) 의 범위를 동작전압으로 하는 고전압계로 되고, Vss (0V) 전압에서 Vcc 전압 (3.3V) 의 범위를 동작전압으로 하는 저전압계를 구성하는 논리선택회로 LOGS 에 과잉의 전압이 공급되는 것을 저지하기 위해, MOSFETQ54 의 드레인과 노드N1 사이에는 게이트가 Vcc 전압에 결합된 N채널형의 분리용 MOS트랜지스터Q56 이 배치되고, MOSFETQ55 의 드레인과 노드N1의 사이에는 게이트가 Vss 전압에 결합된 P 채널형의 분리용MOS 트랜지스터Q57 이 배치된다. 또, 상기 N 채널형의 MOSFETQ53,Q55 에는 Vee 전압과 같은 부전압이 인가되므로, 기판으로의 누설전류를 방지하기 위해 부전압용의 P 형 웰영역을 채용한 2종 웰 구조로 된다. 예를들면, P 형 반도체기판에 N 형 영역을 거쳐서 P 형 웰영역을 형성하고, 거기에 상기 N 채널형 MOSFET를 형성한다. 단자P2에 Vee 전압이 인가될 때, 상기 P 형 웰영역은 Vee 전압으로 바이어스된다.

상기 단자P1,P2 에 공급해야할 전압은 외부제어신호CE*,OE*,WE* 및 데이타 입력버퍼DIB 에 입력되는 제어데이타 (커맨드) 에 의해서 지시되는 동작모드에 따라서 상기 제어회로CNTR이 선택제어한다.

다음에, 제1도의 워드 드라이버WDRV의 작용을 설명한다.

(1). 프로그램모드

외부제어신호CE*,OE*WE* 가 모두 소정의 상태 (예를들면, 로우레벨) 일 때, 데이타 입력버퍼DIB 에 입력된 데이타가 데이타 프로그램을 나타내는 커맨드라면 플래시메모리FN은 프로그램 동작을 지시하는 프로그램모드로 된다.

프로그램동작이 지시되면, 단자 P1 에는 Vpp 전압이, 단자 P2 에는 Vss 전압이 제어회로CNTR에서 공급된다. 또, 상기 동작에 있어서는 제어신호DE가 로우레벨, DE* 가 하이레벨로 제어된다. 메모리셀Q1이 데이타의 프로그램으로 되는 메모리셀일 때, 어드레스 디코더XDCR에서 공급되는 3비트의 신호XM이 모두 로우레벨로 되고, 선택신호SEL 이 선택레벨 (하이레벨) 로 되면, CMOS트랜시퍼 게이트TGI 을 통과해서 노드N1이 로우레벨로 되고, 이것이 각각 MOSFETQ52,Q53 의 게이트에 공급된다. 이것에 의해서 출력회로INV2의 MOFETQ52 가 온상태로 되어 워드선W1은 단자P1의 Vpp 전압에 의해서 충전개시된다. 이

때, 다른 쪽의 MOSFETQ53 의 게이트에 공급되는 로우레벨은 MOSFETQ57 의 작용에 의해서 당초 Vss 전압보다도 높은 로우레벨로 되어 MOSFETQ53 은 완전히 컷오프상태로 되지 않지만, 워드선W1의 레벨 상승에 따라서 피드백MOSFETQ55 의 컨덕턴스가 크게 되는 것에 의해 상기 MOSFETQ53 의 게이트가 강제적으로 Vss 전압으로 되어 MOSFETQ53 은 완전히 컷오프상태를 취한다. 따라서, 데이타의 프로그램동작에 있어서 선택해야할 메모리셀이 결합되는 워드선은 Vpp 전압으로 충전된다. 메모리셀Q1이 프로그램 비선택의 메모리셀인 때에는 상기 3비트의 신호XM의 적어도 1비트가 하이레벨로 되고, 선택신호SEL 이 비선택레벨 (로우레벨) 로 된다. 이것에 의해, CMOS트랜스퍼 게이트TG1 를 거쳐서 노드N1에 공급되는 신호는 하이레벨로 되고, 이것이 각각 MOSFETQ52,Q53 의 게이트에 공급된다. 이것에 의해서 출력회로INV2의 MOSFETQ53 이 온상태로 되어 워드선W1은 단자P2을 거쳐서 Vss 전압으로 방전개시된다. 이때, 다른 쪽의 MOSFETQ52 의 게이트에 공급되는 하이레벨은 MOSFETQ56 의 스레쉬홀드값 전압 만큼 레벨저하된 Vcc 전압 이하의 레벨로 되고, 또 MOSFETQ52 의 소오스는 Vpp 전압이기 때문에, MOSFETQ52 는 완전히 컷오프상태로 되지 않지만, MOSFETQ 53에 의해서 워드선W1의 레벨이 저하됨에 따라서 피드백MOSFETQ 54의 컨덕턴스가 크게 되는 것에 의해 상기 MOSFETQ 52의 게이트가 강제적으로 Vpp전압으로 되어 MOSFETQ52 는 완전히 컷오프상태를 취한다. 따라서, 프로그램 선택의 워드선은 Vss 전압으로 방전된다.

상기 분리용 MOSFETQ56 은 프로그램 비선택시에 피드백MOSFETQ54 을 거쳐서 공급되는 Vpp 전압이 노드N1에 공급되는 것을 저지한다.

(2) 리드모드

외부제어신호CE*,OE*,WE* 가 모두 소정의 상태 (예를들면, 로우레벨) 일 때, 데이타 입력버퍼DIB 에 입력된 데이타가 데이타 리드를 나타내는 커맨드라면 플래시메모리FN은 리드동작을 지시하는 리드모드로 된다.

리드동작이 지시되면, 단자P1에는 Vcc 전압이, 단자P2에는 Vss 전압이 제어회로CNTR에서 공급된다. 또, 상기 동작에 있어서는 제어신호DE가 로우레벨, DE* 가 하일레벨로 제어된다. 메모리셀Q1이 선택해야할 메모리셀 일때, 어드레스 디코더XDCR에서 공급되는 3비트의 신호XM이 모두 로우레벨로 되고, 선택신호SEL 이 선택레벨 (하이레벨) 로 되면, CMOS트랜스퍼 게이트TG1 을 거쳐서 노드N1은 로우레벨로 되고, 이것이 각각 MOSFETQ52,Q53 의 게이트에 공급된다. 이것에 의해 출력회로INV2의 MOSFETQ52 가 온상태로 되어 워드선W1은 단자P1의 Vcc 전압에 의해서 충전개시된다. 이때, 다른 쪽의 MOSFETQ53 의 게이트에 공급되는 로우레벨은 MOSFETQ57 의 작용에 의해서 당초Vss 전압보다도 높은 로우레벨로 되어 MOSFETQ53은 완전히 컷오프상태로 되지 않지만, 워드선W1의 레벨 상승에 따라서 피드백 MOSFETQ55 의 컨덕턴스가 크게 되는 것에 의해, 상기 MOSFETQ53의 게이트가 강제적으로 Vss 전압으로 되어 MOSFETQ53 은 완전히 컷오프상태를 취한다. 따라서, 리드동작에 있어서 선택해야할 메모리셀이 결합되는 워드선은Vcc 전압으로 충전된다.

메모리셀Q1이 리드 비선택의 메모리셀일 때에는, 상기 3비트의 신호XM의 적어도 1비트가 하이레벨로 되어 선택신호SEL 이 비선택레벨 (로우레벨) 로 된다. 이것에 의해, CMOS트랜스퍼 게이트TG1 을 거쳐서 노드N1에 공급되는 신호는 하이레벨로 되고, 이것이 각각 MOSFETQ52,Q53 의 게이트에 공급된다. 이것에 의해서 출력회로INV2의 MOSFETQ53 이 온상태로 되어 워드선W1은 단자P2를 거쳐서 Vss 전압으로 방전개시된다. 이때, 다른 쪽의 MOSFETQ52 의 게이트에 공급되는 하이레벨은 MOSFETQ56 의 스레쉬홀드값 전압 만큼 레벨 저하된 Vcc 전압 이하의 레벨로 되기 때문에 MOSFETQ52 는 완전히 컷오프상태로 되지 않지만, MOSFETQ53 에 의해서 워드선W1의 레벨이 저하됨에 따라서 피드백 MOSFETQ54 의 컨덕턴스가 크게 되는 것에 의해 상기 MOSFETQ52 의 게이트가 강제적으로 Vcc 전압으로 되어 MOSFETQ52 는 완전히 컷오프상태로 취한다. 따라서, 리드 비선택의 워드선은 Vss 전압으로 방전된다.

(3). 소거모드

외부제어신호CE*,OE*,WE* 가 모두 소정의 상태 (예를들면, 로우레벨) 일 때, 데이타 입력버퍼DIB 에 입력된 데이타가 데이타 소거를 나타내는 커맨드라면 플래시메모리FN은 소거동작을 지시하는 소거모드로 된다.

소거동작이 지시되면, 단자P1에는 Vcc 전압이, 단자P2에는 Vee 전압이 제어회로CNTR에서 공급된다. 또, 상기 동작에 있어서는 제어신호DE가 하이레벨, DE* 이 로우레벨로 제어되어 선택신호SEL 에 대한 노드N1의 논리가 프로그램 리드동작에 대해서 반전된다. 워드선에 결합된 메모리셀이 소거동작을 선택해야할 메모리셀일 때, 어드레스 디코더XDCR에서 공급되는 3비트의 신호XM이 전부 로우레벨로 되어 선택신호SEL 이 선택레벨 (하일레벨) 로 되면, 노드N1은 CMOS트랜스퍼 게이트TG2 를 통과해서 하이레벨로 되고, 이것이 각각 MOSFETQ52,Q53 의 게이트에 공급된다. 이것에 의해서 출력회로INV2의 MOSFETQ53 이 온상태로 되어 워드선W1은 단자 P2의 Vee 전압이 공급개시 된다. 이때, 다른 쪽의 MOSFETQ52 의 게이트에 공급되는 하이레벨은 MOSFETQ56 의 스레쉬홀드값 전압 만큼 레벨저하된 Vcc 전압이하의 레벨로 되기 때문에, MOSFETQ52 는 완전히 컷오프 상태로 되지 않지만, MOSFETQ53 에 의해서 워드선W1의 레벨이 저하됨에 따라서 피드백MOSFETQ54 의 컨덕턴스가 크게 되는 것에 의해 상기 MOSFETQ52 의 게이트가 강제적으로 Vcc 전압으로 되어 MOSFETQ52 는 완전히 컷오프상태를 취한다. 따라서, 소거동작에 있어서 선택되는 메모리셀이 결합되는 워드선은 Vee 전압으로 된다.

워드선W1에 결합된 메모리셀이 소거 비선택의 메모리셀인 때는, 상기 3비트의 신호XM의 적어도 1비트가 하이레벨로 되어, 선택신호 SEL이 비선택레벨 (로우레벨) 로 된다. 이것에 의해, CMOS트랜스퍼 게이트TG2 을 통과해서 노드N1에 공급되는 신호는 로우레벨로 되고 이것이 각각 MOSFETQ52,Q53 의 게이트에 공급된다. 이것에 의해서 출력회로INV2의 MOSFETQ52 가 온상태로 되어 워드선W1은 단자P1을 거쳐서 Vcc 전압으로 충전개시된다. 이때, 다른 쪽의 MOSFETQ53 의 게이트에 공급되는 로우레벨은 MOSFETQ57 의 작용에 의해서 Vss 전압이상의 레벨로 되고, 또 MOSFETQ53 의 소오스는 Vee 전압이기 때문에 MOSFETQ53 은 완전히 컷오프상태로 되지 않지만, MOSFETQ52 에 의해서 워드선W1의 레벨이 상승됨에 따라서 피드백 MOSFETQ55 의 컨덕턴스가 크게 되는 것에 의해, 상기MOSFETQ53 의 게이트가 강제적으로 Vee 전압으로 되어 MOSFETQ53 는 완전히 컷오프상태를 취한다. 따라서, 소거 비선택의 워드선은 Vcc 전압으로 된다.

상기 분리용 MOSFETQ57 은 소거 비선택시에 피드백 MOSFETQ55 를 거쳐서 공급되는 Vee 전압이 노드N1에

공급되는 것을 저지한다.

(1). 제1도의 워드 드라이버WDRV의 구성에 의하면, 워드선의 한쪽에 결합한 워드 드라이버로 프로그램및 리드동작에 함께 워드선 단위에서의 소거동작에 필요한 전압을 워드선에 선택적으로 공급할 수 있으므로, 고전압계와 저전압계로 분리해서 워드 드라이버및 어드레스디코더를 구성하지 않아도 되기 때문에, 워드 드라이버등에 의한 칩점유면적을 작게 할 수가 있다.

(2). 제1도에 도시된 바와 같이, 논리선택회로LOGS의 출력을 전달하는 2개의 경로의 각각에는, 서로 도전형이 다른 출력MOS 트랜지스터Q52,Q53,피드백MOS 트랜지스터Q54,Q55 및 분리용 MOS 트랜지스터Q56,Q57을 대칭적으로 마련하고 있기 때문에, 피드백MOS 트랜지스터Q56,Q57 을 거쳐서 상기 경로에 공급되는 Vee 전압과 같은 부전압과 Vpp 전압과 같은 고전압이 논리선택회로LOGS로 전달되는 사태를 서로 도전형이 다른 한쌍의 분리용 MOS 트랜지스터Q56,Q57 로 확실하게 저지할 수가 있다. 또, 전압선택회로VOLS는 2계통의 전달경로에 의해서 대칭적으로 구성되어 있으므로, 그와 같이 상기효과를 적은 회로소자수로 실현할 수가 있다.

(3). 상기에 의해, 논리선택회로LOGS의 출력에 대해서 정논리와 부논리를 선택하는 회로소자는 전압분리의 기능을 담당할 필요가 없으므로, 상기 회로소자로서 CMOS트랜스퍼 게이트TG1,TG2 을 채용할 수가 있다. 따라서, 논리선택회로LOGS에서 출력되는 논리신호의 진폭을 동작전원전압에 대해서 최대한으로 할 수 있어, 워드 드라이버WDRV의 동작의 고속화에 기여할 수가 있다.

제2도에는 워드 드라이버WDRV의 다른 회로도가 도시된다. 동일도면에 도시되는 구성은 워드선 프리 디코드방식을 채용한 경우인 것으로서, 논리선택회로LOGS1의 출력노드N1에 8개의 전압선택회로VOLS1 ~VOLS8의 입력을 공통접속하고, 또 논리선택회로 LOGS2의 출력노드N2에 8개의 전압선택회로VOLS9 ~VOLS16의 입력을 공통접속하고, 프리디코드신호 Xp1,Xp1* ~Xp8,Xp8*에 의해서 각각의 전압선택회로를 선택하도록 되어 있다. 신호 XM,XN 및 프리디코드신호 Xp1,Xp1* ~Xp8,Xp8*는 어드레스 디코더XDCR에서 공급된다. 이때, 전압선택회로VOLS1 ~VOLS16은 그것에 대응하는 논리선택회로 LOGS1 또는 LOGS2 가 선택레벨의 선택신호를 출력해도, 프리디코드신호로 동작이 선택되지 않으면 그 밖의 논리선택회로로 비선택으로 되는 것과 동일의 전압을 선택해서 워드선에 공급해야만 한다. 그 때문에, 상기 분리용 MOSFETQ56 ,Q57 을 프리 디코드신호로 스위치 제어하도록 한다. 또, 상기 분리용 MOSFETQ56,Q57 이 컷오프상태로 되었을 때, 워드선에 대해서 비선택상태의 전압을 출력시키기 위해, 상기 분리용 MOSFETQ56,Q57 과 상보적으로 스위치 제어되어 출력회로INV2의 각각의 입력에 소정의 전압을 공급하는 것을 가능하게 하는 풀업MOSFETQ58과 풀다운 MOSFETQ59 을 추가하고 있다. 그 밖의 구성은 제1도와 동일하다.

제2도의 회로구성중 제1도와 상위한 점을 더욱 상세히 기술한다. 제2도에 있어서, 상기 신호XM은 8개의 워드선을 한조로 하는 8개의 워드선군 중에서 어느 군을 선택할 것인가를 지시하는 3비트의 신호로 간주된다. 프리디코드신호Xp1,Xp1* ~Xp8,Xp8*은 각 워드선군에 포함되는 어느 워드선을 선택할 것인가를 지시하는 상보신호만로 간주된다. 본 실시예에 따르면, 선택신호SEL 은 하이레벨이 선택레벨로 되고, 프리디코드신호 Xp1,Xp1* ~Xp8,Xp8*의 각각은 하이레벨, 로우레벨이 선택레벨로 된다.

상기 워드 드라이버WDRV가 선택적으로 워드선에 공급하는 전압은 제1도와 동일하고, 예를들면 3.3V 와 같은 Vcc 전압, -10V와 같은 Vee 전압, 회로의 접지전위 또는 기준전위로서의 예를들면, 0V와 같은 Vss 전압, 12V 와 같은 Vpp 전압으로 된다.

상기 논리선택회로LOGS1 및LOGS2 는 제1도와 마찬가지로 구성된다.

상기 전압선택회로 VOLS1~VOLS16은 각각 마찬가지로 구성되고, 그 상세한 것이 대표적으로 도시된 전압선택회로 VOLS1과 같이, 단자P3과 MOSFETQ52 의 게이트 사이에 마련되고, 프리디코드 신호 Xp1*로 스위치제어 되는 N채널형 풀업 MOSFETQ58 , 단자P4와 MOSFETQ53 의 게이트 사이에 마련되고, 프리디코드신호 Xp1로 스위치제어되는 P 채널형 풀다운 MOSFETQ59 을 추가하고, 또 분리용 MOSFETQ56을 프리디코드신호Xp1 로 스위치제어하고, 다른 쪽의 분리용 MOSFETQ57 을 프리디코드신호Xp*1로 스위치 제어하도록 한 점이 제1도의 구성과 상위하다. 상기 제3의 단자로서의 P3및 P4에는 소거동작에 있어서 Vss 전압이 프로그램및 리드동작에 있어서 Vcc 전압이 공급된다. 상기 단자P3,P4 에 공급해야할 전압도 외부제어신호CE*,OE*,WE*및 데이타 입력버퍼DIB 에서의 제어데이타에 의해서 지시되는 동작모드에 따라서 상기 제어회로CNTR을 선택제어한다.

다음에, 제2의 워드 드라이버WDRV1을 대표로 해서 그 작용을 설명한다. 제3도에는 각종 동작상태에 있어서의 단자P1 ~P4의 전압과 워드선의 전압이 도시되어 있다. 프로그램 모드, 리드모드, 소거모드의 각각의 모드의 설정의 방식에 있어서는 제1도에 설명한 것과 마찬가지이므로 여기에서는 생략한다.

(1). 프로그램모드

프로그램 동작이 지시되면, 단자P1에는 Vpp 전압, 단자P2에는 Vss 전압, 단자P3및 P4에는 Vcc 전압이 제어회로CNTR에서 공급된다. 또 상기 동작에 있어서는 제어신호DE가 로우레벨, DE* 가 하이레벨로 제어된다. 또, 신호XM이 전비트가 로우레벨로 되는 것에 의해 워드선W1~W8중 어느것인가를 선택하는 것이 가능하게 된다.

이것에 의해 선택레벨 (하이레벨) 의 선택신호SEL 이 CMOS트랜스퍼 게이트TG1 을 통과해서 노드N1이 로우레벨로 되고, 이것이 각각의 전압 선택회로VOLS1 ~VOLS8 의 입력에 부여된다. 프로그램되어야할 메모리셀이 워드선W1의 메모리셀인 때, 프리디코드신호Xp1,Xp1* ~Xp8,Xp8*은 그 중의 Xp1,Xp1* 만이 하이레벨, 로우레벨로되고, 그것 이외는 로우레벨, 하이레벨로 된다. 따라서, 분리용 MOSFETQ56,Q57 은 전압선택회로VOLS1 만이 온상태로 되고, 노드N1의 신호는 전압선택회로VOLS1 만으로 페치된다. 이때, 전압선택회로VOLS1 의 풀업MOSFETQ58 및 풀다운MOSFETQ59 는 모두 컷오프상태로 된다. 따라서 상기 전압선택회로VOLS1 의 MOSFETQ52,Q53 의 게이트에는 상기 노드N1의 신호가 공급된다. 이것에 의해서 출력회로INV2의 MOSFETQ52 가 온상태로 되어 워드선W1은 단자 P1 의 Vpp 전압에 의해서 충전개시된다. 이때, 다른 쪽의 MOSFETQ53 의 게이트에 공급되는 로우레벨은 MOSFETQ57 의 작용에 의해서 당초 Vss 전압보다도 높은 로우레벨로 되어 MOSFETQ53 은 완전히 컷오프상태로 되지 않지만, 워드선W1의 레벨상승에

따라서 피드백MOSFETQ55 의 컨덕턴스가 크게 되는 것에 의해 상기 MOSFETQ53 의 게이트가 강제적으로 Vss 전압으로 되어 MOSFETQ53 은 완전히 컷오프상태를 취한다. 따라서, 프로그램 동작에 있어서, 선택된 메모리셀이 결합되는 워드선W1은 Vpp 전압으로 충전된다.

선택신호SEL 이 상기와 같이 하이레벨로 되어 있는 경우에, 워드선W1의 메모리셀Q1이 프로그램 비선택의 메모리셀일 때에는, 프리디코드신호XP1,Xp1*은 로우레벨, 하이레벨로 되고, 전압선택회로VOLS1 의 분리용 MOSFETQ56,Q57 은 모두 오프상태로 되고, 노드N1의 신호는 전압선택회로VOLS1 에는 페치되지 않는다. 이때, 전압선택회로VOLS1 의 풀업 MOSFETQ58 및 풀다운 MOSFETQ59 는 모두 온상태로 된다. 따라서, 상기 전압선택회로VOLS1 의 MOSFETQ52,Q53 의 게이트에는 단자 P3,P4 에서 MOSFETQ58,Q59 을 거쳐서 Vcc 전압 또는 그 근방의 하이레벨이 공급되고, 이것에 의해서 출력회로INV2의 MOSFET53 이 온상태로 되어 워드선W1은 단자P2을 거쳐서 Vss 전압으로 방전개시된다. 이때, 다른 쪽의 MOSFETQ52 의 게이트에 공급되는 하이레벨은 MOSFETQ58 의 스레쉬홀드값 전압 만큼 레벨저하된 Vcc 전압 이하의 레벨로되고, 또 MOSFETQ52 의 소오스는 Vpp 전압이기 때문에, MOSFETQ52 는 완전히 컷오프상태로 되지 않지만, MOSFETQ53 에 의해서 워드선W1의 레벨이 저하됨에 따라서 피드백 MOSFETQ54 의 컨덕턴스가 크게 되는 것에 의해서 상기 MOSFETQ52 의 게이트가 강제적으로 Vpp 전압으로 되어 MOSFETQ52 는 완전히 컷오프상태를 취한다. 따라서, 프로그램 비선택의 워드선은 Vss 전압으로 방전된다. 분리용MOSFETQ56 은 프로그램 비선택시에 피드백 MOSFETQ54 을 거쳐서 공급되는 Vpp 전압이 노드N1에 공급되는 것을 저지한다. 이때, 프리 디코드신호Xp2,Xp2*～Xp8,Xp8*중 어느것인가를 하이레벨, 로우레벨로 하는 것에 의해 워드선W2～W8 중 어느것인가를 선택적으로 Vpp전압으로 충전할 수가 있다.

한편, 워드선W9을 선택하기 위해 신호XN의 전비트를 로우레벨로 하고, 프리디코드신호Xp1,Xp1* 을 하이레벨, 로우레벨로 한다. 이때, 워드선W1～W8을 비선택으로 하기 위해, 신호XM중 적어도 1비트가 하이레벨로 되어 선택신호SEL 이 비선택레벨 (로우레벨) 로 된다.

CMOS트랜스퍼 게이트TG1 을 거쳐서 노드N1에 공급되는 신호는 하이레벨로 되고, 이것이 각각의 전압선택회로VOLS1 ～VOLS8 의 입력에 부여된다. 여기에서 워드선W9을 선택하기 위해, 프리디코드신호Xp1,Xp1* 가 하이레벨, 로우레벨로 되어 있기 때문에 대응하는 전압 선택회로VOLS1 의 분리용 MOSFETQ56,Q57 도 온상태로 된다. 분리용MOSFETQ56,Q57이 온상태로 되는 전압선택회로VOLS16에 있어서는 노드N1의 하이레벨이 각각 MOSFETQ52,Q53 의 게이트에 공급된다. 이것에 의해서 출력회로INV2 의 MOSFETQ53 이 온상태로 되어 워드선W1은 단자P2을 거쳐서 Vss 전압으로 방전개시된다. 이때, 다른 쪽의 MOSFETQ52 의 게이트에 공급되는 하이레벨은 MOSFETQ56 의 스레쉬홀드값 전압만큼 레벨저하된 Vcc 전압 이하의 레벨로 되고, 또 MOSFETQ52 의 소오스는 Vpp 전압이기 때문에, MOSFETQ52 는 완전히 컷오프상태로 되지는 않지만, MOSFETQ53 에 의해서 워드선의 레벨이 저하됨에 따라서, 피드백 MOSFETQ54 의 컨덕턴스가 크게 되는 것에 의해 상기 MOSFETQ52 의 게이트가 강제적으로 Vpp 전압으로 되어 MOSFETQ52 는 완전히 컷오프상태를 취한다. 따라서, 이와같이 해서 프로그램 비선택으로된 워드선도 Vss 전압으로 방전된다. 이때, 피드백 MOSFETQ54 를 거쳐서 공급되는 Vpp 전압은 분리용MOSFETQ56 에 의해 노드N1로의 공급이 저지된다. 상기 분리용MOSFETQ56,Q57 이 오프상태로 되는 7개의 전압선택회로의 동작은 선택회로SEL 이 선택레벨로 된 때에 분리용 MOSFETQ56,Q57 이 오프상태로 되는 경우와 마찬가지로 된다.

(2) 리드모드

리드동작이 지시되면 단자P1,P3 에는 Vcc 전압, 단자P2,P4 에는 Vss 전압이 제어회로CNTR에서 공급된다. 또, 상기 동작에 있어서는 제어신호DE가 로우레벨, DE* 가 하이레벨로 제어된다.

리드되어야 할 메모리셀이 워드선W1의 메모리셀일 때, 워드선W1～W8에 할당된 신호XM이 전비트 로우레벨로 되어 선택신호SEL 이 선택레벨 (하이레벨) 로 되면, CMOS트랜스퍼 게이트TG1 을 통과해서 노드N1이 로우레벨로 되고, 이것이 각각의 전압선택회로VOLS1 ～VOLS8 의 입력에 부여된다. 프리디코드신호Xp1,Xp1*～Xp8,Xp8*는 그 중 Xp1,Xp1*만이 하이레벨, 로우레벨로 되고, 그것 이외는 로우레벨, 하이레벨로 된다. 따라서, 분리용 MOSFETQ56,Q57 은 전압선택회로VOLS1 만이 온상태로 되고, 노드N1의 신호는 전압선택회로VOLS1 만으로 페치된다. 이때, 전압선택회로VOLS1의 풀업 MOSFETQ58 및 풀다운 MOSFETQ59 는 모두 컷오프상태로 된다. 따라서, 상기 전압선택회로VOLS1 의 MOSFETQ52,Q53 의 게이트에는 상기 노드N1의 신호가 공급된다. 이것에 의해서 출력회로INV2의 MOSFETQ52가 온상태로 되어 워드선W1은 단자P1의 Vcc 전압에 의해서 충전개시된다. 이때, 다른쪽의 MOSFETQ53 의 게이트에 공급되는 로우레벨은 MOSFETQ57 의 작용에 의해서 당초 Vss 전압보다도 높은 로우레벨로 되어, MOSFETQ53 은 완전히 컷오프상태로 되지 않지만, 워드선W1의 상승에 따라서 피드백 MOSFETQ55 의 컨덕턴스가 크게 되는 것에 의해 상기 MOSFETQ53 의 게이트가 강제적으로 Vss 전압으로 MOSFETQ53 은 완전히 컷오프상태를 취한다. 따라서, 리드동작이 선택된 워드선은 Vcc 전압으로 충전된다.

선택신호SEL 이 상기와 같이 하이레벨로 되어 있는 경우에, 워드선W1의 메모리셀Q1이 리드 비선택의 메모리셀일 때에는 프리디코드신호 Xp1,Xp1*는 로우레벨, 하이레벨로 되고, 전압선택회로 VOLS1의 분리용 MOSFETQ56,Q57 은 모두 오프상태로 되고, 노드N1의 신호는 전압선택회로 VOLS1에는 페치되지 않는다. 이때, 전압선택회로VOLS1 의 풀업 MOSFETQ58 및 풀다운 MOSFETQ59 는 모두 온상태로 된다. 따라서 상기 전압선택회로VOLS1의 MOSFETQ52,Q53 의 게이트에는 단자P3,P4에서 MOSFETQ58,Q59 을 거쳐서 Vcc 전압 또는 그 근방의 하이레벨이 공급되고, 이것에 의해서 출력회로INV2의 MOSFETQ53 이 온상태로 되어 워드선W1은 단자 P2 을 거쳐서 Vss 전압으로 방전개시된다. 이때, 다른쪽의 MOSFETQ52 의 게이트에 공급되는 하이레벨은 MOSFETQ58 의 스레쉬홀드값 전압만큼 레벨저하된 Vcc 전압 이하의 레벨로 되므로, MOSFETQ52 는 완전히 컷오프상태로 되지 않지만, MOSFETQ53 에 의해서 워드선W1의 레벨이 저하됨에 따라서 피드백 MOSFETQ54 의 컨덕턴스가 크게 되는 것에 의해 상기 MOSFETQ52 의 게이트가 강제적으로 Vcc 전압으로 되어 MOSFETQ52 는 완전히 컷오프상태를 취한다. 따라서, 리드 비선택의 워드선은 Vss 전압으로 방전된다. 이때, 프리디코드신호Xp2,Xp2*～Xp8,Xp8*중 어느것인가를 하이레벨, 로우레벨로 하는 것에 의해 워드선 W2～W8중 어느것인가를 선택적으로 Vcc 전압으로 충전할 수가 있다.

한편, 워드선 W9를 선택하기 위해 신호XN의 전비트를 로우레벨로하고, 프리디코드 신호Xp1,Xp1*을 하일레벨, 로울레벨로 한다. 이때, 워드선W1～W8을 비선택으로 하기 위해 신호XM중 적어도 1비트가 하이레벨

로 되어 선택신호SEL 이 비선택레벨 (로우레벨) 로 된다.

CMOS트랜스퍼 게이트TG1 을 거쳐서 노드N1이 공급되는 신호는 하이레벨로 되고, 이것이 각각의 전압선택회로 VOLS1～VOLS8 의 입력에 부여된다. 여기에서 워드선W9을 선택하기 위해 프리디코드신호Xp1,Xp1*가 하이레벨, 로우레벨로 되어 있기 때문에, 대응하는 전압선택회로VOLS1 의 분리용 MOSFETQ56,Q57 도 온상태로 된다. 분리용 MOSFETQ56,Q57 이 온상태로 되는 전압선택회로VOLS1 에 있어서는 노드N1의 하이레벨이 각각 MOSFETQ52,Q53 의 게이트에 공급된다. 이것에 의해서 출력회로INV2의 MOSFETQ53 이 온상태로 되어 워드선W1은 단자P2을 거쳐서 Vss 전압으로 방전개시된다. 이때, 다른 쪽의 MOSFETQ52 의 게이트에 공급되는 하이레벨은 MOSFETQ56 의 스레쉬홀드값 전압 만큼 레벨저하된 Vcc 전압 이하의 레벨로 되므로, MOSFETQ52 는 완전히 컷오프상태로 되지 않지만 MOSFETQ53 에 의해서 상기 워드선의 레벨이 저하됨에 따라서 피드백MOSFETQ54 의 컨덕턴스가 크게되는 것에 의해 상기 MOSFETQ52 의 게이트가 강제적으로 Vcc 전압으로 되어 MOSFETQ52 는 완전히 컷오프상태를 취한다. 따라서, 이와 같이 해서, 리드 비선택으로 된 워드선도 Vss 전압으로 방전된다. 상기 분리용 MOSFETQ56,Q57 이 오프상태로 되는 7개의 전압선택회로의 동작은 선택신호SEL이 선택레벨로 되었을 때, 분리용 MOSFETQ56,Q57 이 오프상태로 되는 경우와 마찬가지로 된다.

(3) 소거모드

소거동작이 지시되면, 단자 P1 에는 Vcc 전압, 단자P2에는 Vee 전압, 단자P3및 P4에는 Vss 전압이 제어회로CNTR에서 공급된다. 또, 상기 동작에 있어서 제어신호DE,DE*는 상기와는 레벨반전되어 하이레벨, 로우레벨로 제어된다.

소거되어야할 메모리셀이 워드선W1에 결합되는 메모리셀일 때, 워드선W1～W8에 할당된 신호XM이 전비트 로우레벨로 되어, 선택신호SEL이 선택레벨 (하이레벨)로 되면, CMOS트랜스퍼 게이트TG2 를 통과해서 노드1이 하이레벨로 되고, 이것이 각각의 전압선택회로VOLS1 ～VOLS8의 입력에 부여된다. 프리디코드신호Xp1,Xp1*～ Xp8,Xp8*은 그 중 Xp1,Xp1*만이 하이레벨, 로우레벨로 되고, 그것 이외는 로우레벨, 하이레벨로 된다. 따라서, 분리용 MOSFETQ56,Q57 은 전압선택회로VOLS1 만이 온상태로 되고, 노드N1의 신호는 전압선택회로VOLS1 만으로 페치된다. 이때, 전압선택회로 VOLS1의 풀업MOSFETQ58 및 풀다운 MOSFETQ59 는 모두 컷오프상태로 된다. 따라서, 상기 전압선택회로VOLS1 의 MOSFETQ52,Q53 의 게이트에는 상기 노드N1의 신호가 공급된다. 이것에 의해서 출력회로INV2의 MOSFETQ53 이 온상태로 되어 워드선W1은 단자P2의 Vee 전압이 공급개시된다. 이때, 다른쪽의 MOSFETQ52 의 게이트에 공급되는 하이레벨은 MOSFETQ56 의 스레쉬홀드값 전압 만큼 레벨저하된 Vcc 이하의 레벨로 되므로, MOSFETQ52 는 완전히 컷오프상태로 되지 않지만, MOSFETQ53 에 의해서 워드선W1의 레벨이 저하됨에 따라서 피드백 MOSFETQ54 의 컨덕턴스가 크게 되는 것에 의해 상기 MOSFETQ52 의 게이트가 강제적으로 Vcc 전압으로 되어 MOSFETQ52 는 완전히 컷오프상태를 취한다. 따라서, 소거동작에 있어서 선택되는 워드선은 Vee 전압으로 된다.

선택신호SEL 이 상기와 같이 하이레벨로 되어 있는 경우에, 워드선W1이 소거 비선택으로 될 때에는 프리디코드신호Xp1,Xp1*는 로우레벨, 하이레벨로 되고, 전압선택회로VOLS1의 분리용 MOSFETQ56,Q57 는 모두 오프상태로 되고, 노드N1의 신호는 전압선택회로 VOLS1에 페치되지 않는다. 이때, 전압선택회로VOLS1 의 풀업 MOSFETQ58 및 풀다운 MOSFETQ59 는 모두 온상태로 된다. 따라서, 상기 전압선택회로VOLS1 의 MOSFETQ52,Q53 의 게이트는 단자 P3,P4의 전압으로 도통된다. 이것에 의해서 출력회로INV2의 MOSFETQ52가 온상태로되어 워드선W1은 단자 P1 을 거쳐서 Vcc 전압으로 충전개시된다. 이때, 다른쪽의 MOSFETQ53 의 게이트에 공급되는 로우레벨은 MOSFETQ59 의 작용에 의해서 Vss 전압 이상의 레벨로 되고, 또 MOSFETQ53 의 소오스는 Vee 전압이므로, MOSFETQ53 은 완전히 컷오프상태로 되지 않지만, MOSFETQ52 에 의해서 워드선W1의 레벨이 상승됨에 따라서 피드백 MOSFETQ55 의 컨덕턴스가 크게 되는 것에 의해 상기 MOSFETQ53 의 게이트가 강제적으로 Vee 전압으로 되어 MOSFETQ53 은 완전히 컷오프상태를 취한다. 따라서, 소거 비선택의 워드선은 Vcc 전압으로 된다. 상기 분리용 MOSFETQ57 은 소거 비선택시에 피드백MOSFETQ55 을 거쳐서 공급되는 Vee 전압이 노드N1에 공급되는 것을 저지한다. 이때, 프리디코드신호Xp2,Xp2*～Xp8,Xp8*중 어느것인가를 하이레벨, 로우레벨로 하는 것에 의해 워드선 W2～W8중 어느것인가를 선택적으로 Vee 전압으로 충전할 수가 있다.

한편, 워드선 W9를 선택하기 위해 신호XN의 전비트를 로우레벨로 하고, 프리디코드신호Xp1,Xp1*을 하이레벨, 로우레벨로 한다. 이때, 워드선W1～W8을 비선택으로 하기 위해 신호XM중 적어도 1비트가 하이레벨로 되어 선택신호SEL 이 비선택레벨 (로우레벨) 로 된다. CMOS트랜스퍼 게이트TG2 을 거쳐서 노드N1에 공급되는 신호는 로우레벨로 되고, 이것이 각각의 전압선택회로 VOLS1～VOLS8 의 입력에 부여된다. 여기에서 워드선W9을 선택하기 위해 프리디코드신호Xp1,Xp1*가 하이레벨, 로우레벨로 되어 있기 때문에, 대응하는 전압선택회로VOLS1의 분리용 MOSFETQ56,Q57도 온상태로 된다. 분리용 MOSFETQ56,Q57 이 온상태로 되는 전압선택회로VOLS1 에 있어서는 노드N1의 로우레벨이 각각 MOSFETQ52,Q53 의 게이트에 공급된다. 이것에 의해서 출력회로INV2의 MOSFETQ52 가 온상태로 되어 워드선W1은 단자P1을 거쳐서 VCc 전압으로 충전개시된다. 이때, 다른 쪽의 MOSFEQ53 의 게이트에 공급되는 로우레벨은 MOSFETQ57 의 작용에 의해서 Vss 전압이상의 레벨로 되고, 또, MOSFETQ53 의 소오스는 Vee 전압이므로, MOSFETQ53 은 완전히 컷오프상태로 되지 않지만 MOSFETQ52 에 의해서 워드선의 레벨이 상승함에 따라서 피드백MOSFETQ55 의 컨덕턴스가 크게 되는 것에 의해, 상기 MOSFETQ53 의 게이트가 강제적으로 Vee 전압으로 되어 MOSFETQ53 은 완전이 컷오프상태를 취한다. 이때, 피드백 MOSFETQ55 을 거쳐서 공급되는 Vee 전압은 분리용 MOSFETQ57 에 의해 노드N1로의 공급이 저지된다. 이와 같이 해서, 소거 비선택으로 된 워드선도 Vcc 전압으로 된다. 상기 분리용 MOSFETQ56,Q57 이 오프상태로 되는 7개의 전압선택회로의 동작은 선택회로SEL 이 선택레벨로 되었을때 분리용 MOSFETQ56,Q57 이 오프상태로 되는 경우와 마찬가지로 된다.

제2도의 워드 드라이버의 구성에 의하면, 제1도의 워드 드라이버와 동일한 효과를 얻을 수가 있다. 또한, 프리 디코드방식을 채용하는 것에 의해서 예를들면, 1개의 논리선택회로LOGS1 을 여러개의 전압선택회로VOLS1 ～VOLS8 에 공용할 수 있어 워드 드라이버에 의한 칩점유면적을 더욱 저감할 수가 있다.

제7도에는 워드 드라이버WDRV의 또 다른 회로도가 도시된다. 동일 도면에 도시되는 구성에 있어서, 전압선택회로VOLS는 피드백 MOSFETQ54,Q55 을 푸시풀 접속한 CMOS인버터 INV3 으로 하고, 이 CMOS인버터 INV3 과 상기 출력회로INV2을 서로 한쪽의 입력을 출력에 결합한 스테이틱 래치 형태로 접속해서 구비한

다. 이 스테이틱 래치형태로 접속된 회로는 상기 단자 P1,P2에 공급되는 전압을 동작전원으로 한다. 상기 실시예와 마찬가지로, 제1의 단자 P1 에는 프로그램 동작에 있어서 Vpp 전압이 소거및 리드동작에 있어서 Vcc 전압이 공급되고, 제2의 단자 P2 에는 소거동작에 있어서 Vee 전압이, 프로그램및 리드동작에 있어서 Vss 전압이 공급된다. 상기 CMOS인버터 INV3 의 출력과 논리선택회로LOGS의 출력노드N1 사이는 게이트를 Vss 전압에 결합한 상기 분리용 MOSFETQ57 를 삽입해서 결합된다. 동일 도면의 논리선택회로LOGS에 있어서 선택신호 SEL의 반전신호와 비반전신호를 선택하는 MOSFETQ50n, Q51n의 도전형은 분리용 MOSFETQ57 이 P채널형인 것에 대응해서 각각 N 채널로 되고, Vpp 전압및 Vee 전압이 디코더 XDCR 측으로 전달되지 않도록 된다.

제7도에 도시되는 워드 드라이버의 동작도 기본적으로는 상기 실시예와 마찬가지이고, 프로그램및 리드시에는 MOSFETQ50n이 온상태로 되고, 선택레벨의 선택신호 SEL이 로우레벨로 논리반전되어 전압선택회로 VOLS에 공급되면 워드선W1은 단자P1를 거쳐서 프로그램시에 Vpp 전압으로, 리드시에는 Vcc 전압으로 된다. 비선택레벨의 선택신호SEL 이 부여되면 워드선W1은 프로그램및 리드 모두 단자 P2를 거쳐서 Vss 전압으로 된다. 소거시에는 MOSFETQ51n이 온상태로 되고 하이레벨의 선택신호SEL 이 전압선택회로 VOLS 에 공급되면, 워드선은 단자P2를 거쳐서 Vee 전압으로 된다. 소거동작에 있어서, 비선택레벨의 선택신호SEL 이 부여되면 워드선W1은 단자P1을 거쳐서 Vcc전압으로 된다. 상기 각 동작에 있어서의 피드백MOSFETQ54.Q55의 작용은 기술한 워드 드라이버와 마찬가지이다. 단, P 채널형의 분리용 MOSFETQ57에는 Vee 전압과 Vpp 전압의 쌍방이 인가되므로, 고전압계와 저전압계의 실질적인 분리동작은 MOSFETQ50n,Q51n 의 공동작용으로 실현되고 있다. 즉, Vpp 전압의 분리는 실질적으로 MOSFETQ50n,N51n 이 실행하고 있다.

제8도에는 워드 드라이버WDRV의 또 다른 회로도가 도시된다. 동일 도면에 도시되는 회로는 제7도에 대해서 게이트가 Vcc 전압에 결합된 N 채널형의 분리용 MOSFETQ56 을 채용함과 동시에, 이것에 따라서 논리선택회로LOGS에 있어서의 정논리 부논리선택용의 MOSFET로서 P 채널형의 MOSFETQ50p,Q51p 을 채용한 점이 상위하다. 이 예에 있어서는 Vee 전압의 분리는 실질적으로 MOSFETQ50p,Q51p 가 실행하고 있다.

상기 제7도및 제8도의 구성에 의하면, 제1도의 것에 비해서 회로구성소자수를 감소할 수가 있다. 단, Vee 전압및 Vpp 전압을 어드레스 디코더에서 분리한다는 점에 있어서, 논리선택회로LOGS로 워드선택레벨의 정논리와 부논리를 선택하는 회로에 CMOS트랜스퍼 게이트를 채용할 수가 없고, 전압선택회로VOLS에 공급해야할 논리신호레벨이 MOSFET의 스레쉬홀드값 전압 만큼 바람직 하지 않게 시프트하므로 워드 드라이버의 고속동작이라는 점에서는 제1도및 제2도의 실시예가 우수하다.

제9도에는 제11도와 관련해서 본 발명자가 검토한 워드 드라이버가 도시되어 있다. 동일 도면에 도시되는 워드 드라이버는 Vee 전압이므로, 피드백 MOSFETQ55 을 제2단자P2와 노드N1사이에 추가한 것이다. Vpp 전압을 위한 피드백MOSFET는 Q54로 도시된다. 이러한 구성에 있어서는 노드N1에 Vee 전압이 공급되므로, 상기와 마찬가지고 워드선 선택레벨의 정논리 부논리선택용의 MOSFET로서 P 채널형의 MOSFETQ50p,51p을 채용해서 Vee 전압의 분리를 도모하지 않으면 안된다. 이 때문에, 상술한 바와 같이 워드 드라이버의 동작을 고속화하기 곤란하고, 또 회로구성 소자수도 상기 실시예에 비해서 많게 된다.

제10도에 도시되는 것은 Vpp 전압을 위한 피드백MOSFETQ54 을 노드N1과 제1단자P1사이에 마련한 구성으로 된다. 이러한 구성에 있어서는 노드N1에 Vpp 전압이 공급되기 때문에, 워드선 선택레벨의 정논리 부논리선택용의 MOSFET로서 N 채널형의 MOSFETQ50n,Q51n 을 채용해서 Vee 전압의 분리를 도모하지 않으면 안된다. 이 때문에, 상술한 바와 같이 워드 드라이버의 동작을 고속화하기 곤란하고, 또 회로구성소자수도 많다.

이상, 본 발명자에 의해서 이루어진 발명을 실시예에 따라서 구체적으로 설명하였지만, 본 발명은 그것에 한정되는 것은 아니고, 그 요지를 이탈하지 않는 범위에 있어서 여러가지 변경 가능한 것은 물론이다. 예를들면, 제1도에 도시한 바와 같이 CMOS트랜스퍼 게이트는 N 채널형 MOSFET로 변경가능하다. 단, 이 경우에는 전압선택회로VOLS에 공급되는 논리신호진폭이 작게 된다. 또, 워드선 선택신호SEL 의 선택레벨은 하이레벨에 한정되지 않는다. 또 제1~제4의 전압의 극성을 상기 실시예와는 역극성으로 하는 것도 가능하고, 이것에 따라서 MOSFET의 도전형도 반대로 할 수가 있다. 또, 상기 단자 P3,P4에 공급해야할 전압은 상기 실시예에 한정되지 않고, 소거동작에 있어서 P4에는 부전압과 같은 Vee 전압을 공급하여도 좋다.

이상의 설명에서는 주로 본 발명자에 의해서 이루어진 발명을 그 배경으로 된 이용분야인 플래시메모리를 1예로서 설명하였지만, 본 발명은 그와 같은 메모리LSI 는 원래 마이크로 컴푸터LSI 등의 논리LSI 의 내장메모리로서도 적용할 수가 있다. 본 발명은 적어도 전기적 소거동작에 있어서, 소거동작이 선택되어야 할 메모리셀의 워드선에는 소오스 또는 드레이중 어느 한쪽에 인가하는 전압에 대해서 극성이 다른 전압을 워드 드라이버에서 공급하는 조건의 것에 적용할 수가 있다.

본원에 있어서 개시되는 발명중 대표적인 것에 의해서 얻어지는 효과를 간단하게 설명하면 다음과 같다.

(1). 워드선의 한쪽에 결합한 워드 드라이버로 프로그램및 리드동작과 함께 워드선 단위에서의 소거동작에 필요한 전압을 워드선에 선택적으로 공급할 수 있으므로, 고전압계와 저전압계로 분리해서 워드드라이버및 어드레스 디코더를 구성하지 않아도 되고, 워드 드라이버등에 의한 칩점유면적을 작게 할 수가 있다.

(2). 제1도및 제2도에 도시된 바와 같이 논리선택회로의 출력을 전달하는 2개의 경로의 각각에는 서로 도전형이 다른 출력MOS 트랜지스터, 피드백MOS 트랜지스터및 분리용MOS 트랜지스터를 대칭적으로 마련하고 있기 때문에 피드백MOS 트랜지스터를 거쳐서 상기 경로에 공급되는 Vee 전압과 같은 제2의 전압과 Vpp 전압과 같이 제3의 전압이 논리선택회로로 전달되는 상태를 서로 도전형의 다른 한쌍의 분리용 MOS 트랜지스터로 확실하게 저지할 수가 있다. 또, 전압선택회로는 2계통의 전달경로에 의해서 대칭적으로 구성되어 있으므로, 이러한 효과를 적은 회로소자수로 실현할 수가 있다.

(3). 상기에 의해 논리선택회로의 출력에 대해서 정논리와 부논리를 선택하는 회로소자는 전압분리의 기능을 담당할 필요가 없으므로 상기 회로소자로서 CMOS트랜스퍼 게이트를 채용할 수가 있다. 따라서, 논

리선택회로에서 출력되는 논리신호의 진폭을 동작전원전압에 대해서 최대한으로 할 수가 있어, 워드 드라이버의 동작의 고속화에 기여할 수가 있다.

(4). 워드선의 선택방식으로서 프리디코드 방식이 채용될 때에는, 제2도에 도시된 바와 같이 1개 논리선택회로의 출력에 여러개의 전압선택회로의 입력을 공통접속하고, 프리디코드 신호로 각각의 전압선택회로를 선택한다. 따라서, 논리선택회로를 여러개의 전압선택회로에서 공유할 수 있으므로, 워드 드라이버 전체로서의 회로구성소자수를 현저하게 저감할 수 있다.

(5). 출력 MOS트랜지스터및 피드백MOS 트랜지스터를 스테이틱 래치형태로 접속해서 구성하는 것에 의해서 워드 드라이버의 구성회로 소자수를 적게 할 수가 있다.

(57) 청구의 범위

청구항 1

여러개의 워드선, 여러개의 메모리셀, 어드레스 신호를 받고 상기 여러개의 워드선 중의 1개의 워드선의 선택신호를 발생하기 위한 어드레스 디코드수단 및 상기 어드레스 디코드수단 및 적어도 1개의 워드선에 결합되고, 제1의 전압~제4의 전압 중에서 1개의 전압을 선택적으로 결합하는 워드선에 공급하기 위한 여러개의 워드 드라이버를 포함하고, 상기 여러개의 메모리셀의 각각은 부유게이트, 워드선에 결합되는 제어게이트, 소오스 및 드레인을 갖는 1개의 MOS 트랜지스터형이고, 상기 제4의 전압은 회로의 기준전위이고, 상기 제1의 전압은 상기 제4의 전압과 소정 전위차를 갖는 전압이고, 상기 제2의 전압은 상기 제1의 전압과는 역극성의 전압이고, 상기 제3의 전압은 상기 제1의 전압과 동일 극성이며 상기 소정 전위차보다 더 큰 전위차를 갖는 전압이고, 상기 여러개의 워드 드라이버의 각각은 프로그램모드에 있어서 상기 제3의 전압이 공급되고 소거 및 리드모드에 있어서 상기 제1의 전압이 공급되는 제1의 단자 및 소거모드에 있어서 상기 제2의 전압이 공급되고 프로그램 및 리드모드에 있어서 상기 제4의 전압이 공급되는 제2의 단자를 갖는 전압발생수단 및 상기 소거모드인지 아닌지에 따라서 상기 어드레스 디코드수단으로부터의 신호를 선택적으로 정논리 또는 부논리로 전환해서 출력하기 위한 논리선택수단을 포함하는 불휘발성 반도체 기억장치.

청구항 2

제1항에 있어서, 상기 전압발생수단은 상기 제1 단자에 한쪽의 전극이 결합된 제1 도전형의 제1 출력 MOS 트랜지스터와 상기 제2 단자에 한쪽의 전극이 결합된 제2 도전형의 제2 출력 MOS 트랜지스터를 포함하는 출력회로를 갖고, 상기 제1 및 제2 출력 MOS 트랜지스터의 각각의 다른쪽 전극이 워드선에 결합되는 불휘발성 반도체 기억장치.

청구항 3

제2항에 있어서, 상기 전압발생수단은 상기 제1 단자와 상기 제1 출력 MOS 트랜지스터의 게이트 사이에 마련되고 상기 다른쪽의 전극이 그것의 게이트에 결합된 제1 도전형의 제1 피드백 MOS 트랜지스터 및 상기 제2의 단자와 상기 제2 출력 MOS 트랜지스터의 게이트 사이에 마련되고 상기 다른쪽의 전극이 그것의 게이트에 결합된 제2 도전형의 제2 피드백 MOS 트랜지스터를 포함하는 불휘발성 반도체 기억장치.

청구항 4

제3항에 있어서, 상기 전압발생수단은 상기 제1 피드백 MOS 트랜지스터와 상기 제1 출력 MOS 트랜지스터의 접속점과 상기 논리선택수단의 출력 사이에 마련되고 그것의 게이트에 상기 제1 전압을 받는 제2 도전형의 제1 분리용 MOS 트랜지스터 및 상기 제2 피드백 MOS 트랜지스터와 상기 제2 출력 MOS 트랜지스터의 접속점과 상기 논리선택수단의 출력 사이에 마련되고 그것의 게이트에 상기 제4 전압을 받는 제1 도전형의 제2 분리용 MOS 트랜지스터를 포함하는 불휘발성 반도체 기억장치.

청구항 5

제4항에 있어서, 상기 논리선택수단은 상기 어드레스 디코드수단으로부터의 선택신호를 반전하기 위한 반전회로 및 상기 반전회로에 의해서 반전된 선택신호와 비반전된 선택신호의 한쪽을 출력하기 위한 스위치수단을 포함하는 불휘발성 반도체 기억장치.

청구항 6

제5항에 있어서, 상기 소거모드, 상기 프로그램모드 및 상기 리드모드의 각각은 상기 불휘발성 반도체 기억장치의 외부에서 공급된 커맨드에 따라서 지정되는 불휘발성 반도체 기억장치.

청구항 7

제6항에 있어서, 상기 커맨드에 의해서 상기 소거모드가 지정되었을 때, 상기 논리선택수단은 상기 비반전된 선택신호를 출력하도록 제어신호를 상기 논리선택수단에 공급하는 제어수단을 포함하는 불휘발성 반도체 기억장치.

청구항 8

제7항에 있어서, 상기 커맨드에 따라서 상기 프로그램 및 리드모드가 지정되었을 때, 상기 논리선택수단은 상기 반전된 선택신호를 출력하도록 제어신호를 상기 논리선택수단에 공급하는 제어수단을 포함하는 불휘발성 반도체 기억장치.

청구항 9

제8항에 있어서, 상기 커맨드에 따라 지정된 모드에 따라서 상기 제어수단은 상기 제1 및 상기 제2 단자

에 상기 제1~상기 제4의 전압을 공급하는 불휘발성 반도체 기억장치.

청구항 10

제9항에 있어서, 상기 논리선택수단에 여러개의 상기 전압발생수단이 결합되고, 상기 소거모드에 있어서, 선택된 적어도 1개의 워드선에 결합되는 상기 워드 드라이버는 상기 제2의 전압을 공급하고, 비선택의 워드선에 결합되는 상기 워드 드라이버는 상기 제1의 전압을 공급하고, 상기 프로그램모드에 있어서, 선택된 1개의 워드선에 결합되는 상기 워드 드라이버는 상기 제3의 전압을 공급하고, 비선택의 워드선에 결합되는 상기 워드 드라이버는 상기 제4의 전압을 공급하고, 상기 리드모드에 있어서, 선택된 1개의 워드선에 결합되는 상기 워드 드라이버는 상기 제1의 전압을 공급하고, 비선택의 워드선에 결합되는 상기 워드 드라이버는 상기 제4의 전압을 공급하는 불휘발성 반도체 기억장치.

청구항 11

마이크로 프로세서, 어드레스신호, 데이타 및 제어신호를 전송하기 위한 버스수단 및 상기 버스수단에 결합되는 불휘발성 반도체 기억장치를 구비하고, 상기 불휘발성 반도체 기억장치는 여러개의 워드선, 여러개의 메모리셀, 상기 마이크로 프로세서로부터의 상기 어드레스 신호를 받고 상기 여러개의 워드선 중의 1개의 워드선의 선택신호를 발생하기 위한 어드레스 디코드수단 및 상기 어드레스 디코드수단 및 적어도 1개의 워드선에 결합되고, 제1의 전압~제4의 전압 중에서 1개의 전압을 선택적으로 결합하는 워드선에 공급하기 위한 여러개의 워드 드라이버를 포함하고, 상기 여러개의 메모리셀의 각각은 부유게이트, 워드선에 결합되는 제어게이트, 소오스 및 드레인을 갖는 1개의 MOS 트랜지스터형이고, 상기 제4 전압은 회로의 기준전위이고, 상기 제1 전압은 상기 제4 전압과 소정 전위차를 갖는 전압이고, 상기 제2 전압은 상기 제1 전압과는 역극성의 전압이고, 상기 제3 전압은 상기 제1 전압과 동일 극성이며 상기 소정 전위차보다 더 큰 전위차를 갖는 전압이고, 상기 여러개의 워드 드라이버의 각각은 프로그램모드에 있어서 상기 제3의 전압이 공급되고 소거 및 리드모드에 있어서 상기 제1의 전압이 공급되는 제1의 단자 및 소거모드에 있어서 상기 제2의 전압이 공급되고 프로그램 및 리드모드에 있어서 상기 제4의 전압이 공급되는 제2의 단자를 갖는 전압발생수단 및 상기 소거모드인지 아닌지에 따라서 상기 어드레스 디코드수단으로부터의 신호를 선택적으로 정논리 또는 부논리로 전환해서 출력하기 위한 논리선택수단을 포함하는 마이크로 컴퓨터 시스템.

청구항 12

제11항에 있어서, 상기 전압발생수단은 상기 제1 단자에 한쪽의 전극이 결합된 제1 도전형의 제1 출력 MOS 트랜지스터와 상기 제2 단자에 한쪽의 전극이 결합된 제2 도전형의 제2 출력 MOS 트랜지스터를 포함하는 출력회로를 갖고, 상기 제1 및 제2 출력 MOS 트랜지스터의 각각의 다른쪽 전극이 워드선에 결합되는 마이크로 컴퓨터 시스템.

청구항 13

제12항에 있어서, 상기 전압발생수단은 상기 제1 단자와 상기 제1 출력 MOS 트랜지스터의 게이트 사이에 마련되고 상기 다른쪽의 전극이 그것의 게이트에 결합된 제1 도전형의 제1 피드백 MOS 트랜지스터 및 상기 제2 단자와 상기 제2 출력 MOS 트랜지스터의 게이트 사이에 마련되고 상기 다른쪽의 전극이 그것의 게이트에 결합된 제2 도전형의 제2 피드백 MOS 트랜지스터를 포함하는 마이크로 컴퓨터 시스템.

청구항 14

제13항에 있어서, 상기 전압발생수단은 상기 제1 피드백 MOS 트랜지스터와 상기 제1 출력 MOS 트랜지스터의 접속점과 상기 논리선택수단의 출력 사이에 마련되고 그것의 게이트에 상기 제1 전압을 받는 제2 도전형의 제1 분리용 MOS 트랜지스터 및 상기 제2 피드백 MOS 트랜지스터와 상기 제2 출력 MOS 트랜지스터의 접속점과 상기 논리선택수단의 출력 사이에 마련되고 그것의 게이트에 상기 제4의 전압을 받는 제1 도전형의 제2 분리용 MOS 트랜지스터를 포함하는 마이크로 컴퓨터 시스템.

청구항 15

제14항에 있어서, 상기 논리선택수단은 상기 어드레스 디코드수단으로부터의 선택신호를 반전하기 위한 반전회로 및 상기 반전회로에 의해서 반전된 선택신호와 비반전된 선택신호의 한쪽을 출력하기 위한 스위치수단을 포함하는 마이크로 컴퓨터 시스템.

청구항 16

제15항에 있어서, 상기 소거모드, 상기 프로그램모드 및 상기 리드모드의 각각은 상기 마이크로 프로세서에서 공급된 데이타에 따라서 지정되는 마이크로 컴퓨터 시스템.

청구항 17

제16항에 있어서, 상기 데이타에 의해서 상기 소거모드가 지정되었을 때, 상기 논리선택수단은 상기 비반전된 선택신호를 출력하도록 제어신호를 상기 논리선택수단에 공급하는 제어수단을 포함하는 마이크로 컴퓨터 시스템.

청구항 18

제17항에 있어서, 상기 데이타에 의해서 상기 프로그램 및 리드모드가 지정되었을 때, 상기 논리선택수단은 상기 반전된 선택신호를 출력하도록 제어신호를 상기 논리선택수단에 공급하는 제어수단을 포함하는 마이크로 컴퓨터 시스템.

청구항 19

제18항에 있어서, 상기 데이타에 따라서 지정된 모드에 따라 상기 제어수단은 상기 제1 및 상기 제2 단

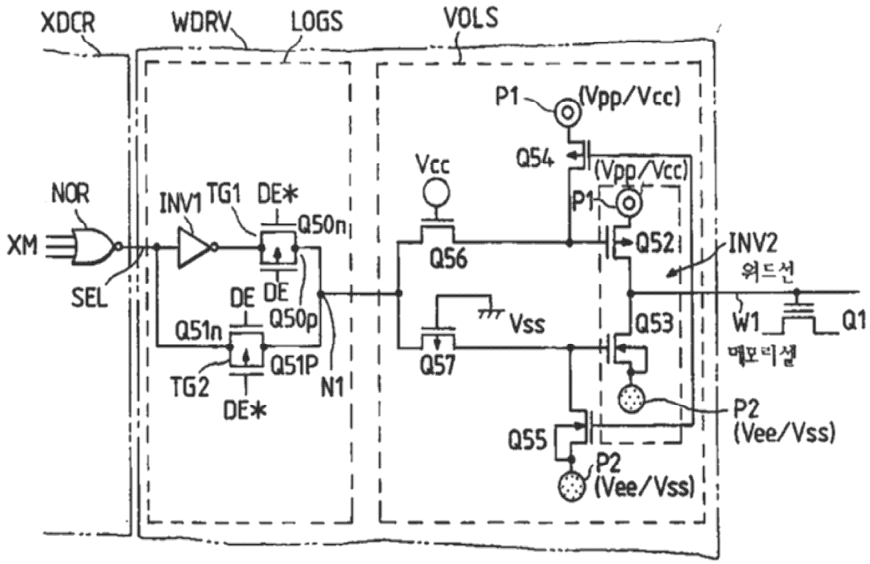
자에 상기 제1~상기 제4의 전압을 공급하는 마이크로 컴퓨터 시스템.

청구항 20

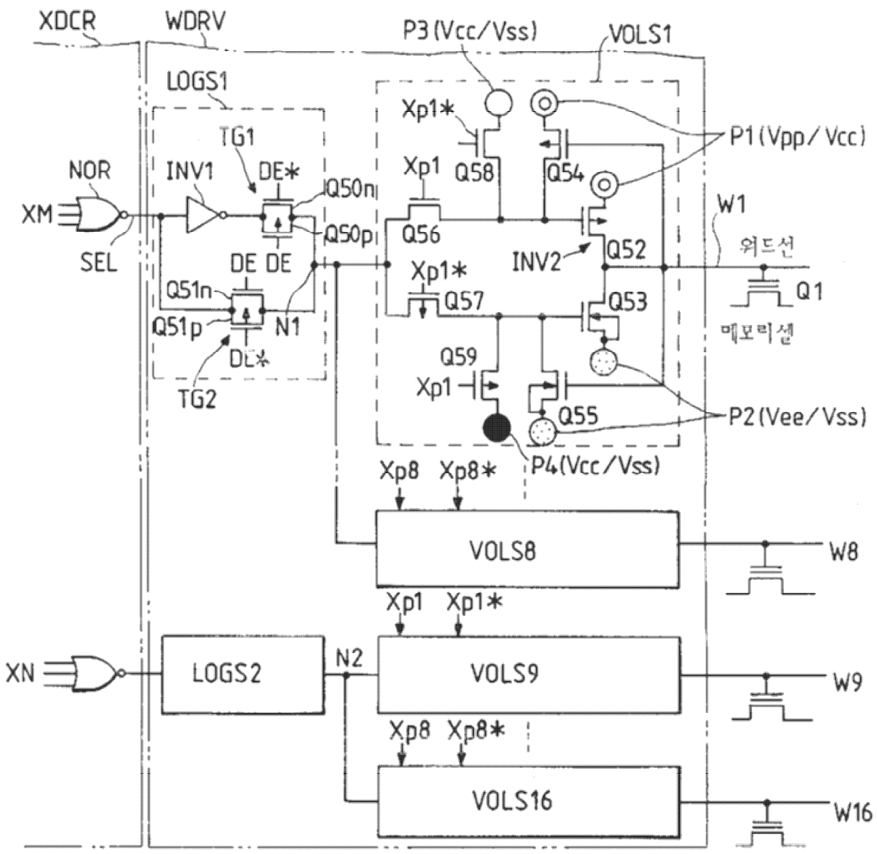
제19항에 있어서, 상기 논리선택수단에 여러개의 상기 전압발생수단이 결합되고, 상기 소거모드에 있어서, 선택된 적어도 1개의 워드선에 결합되는 상기 워드 드라이버는 상기 제2의 전압을 공급하고, 비선택의 워드선에 결합되는 상기 워드 드리이버는 상기 제1의 전압을 공급하고, 상기 프로그램모드에 있어서, 선택된 1개의 워드선에 결합되는 상기 워드 드라이버는 상기 제3의 전압을 공급하고, 비선택의 워드선에 결합되는 상기 워드 드라이버는 상기 제4의 전압을 공급하고, 상기 리드모드에 있어서, 선택된 1개의 워드선에 결합되는 상기 워드 드라이버는 상기 제1의 전압을 공급하고, 비선택의 워드선에 결합되는 상기 워드 드라이버는 상기 제4의 전압을 공급하는 마이크로 컴퓨터 시스템.

도면

도면1



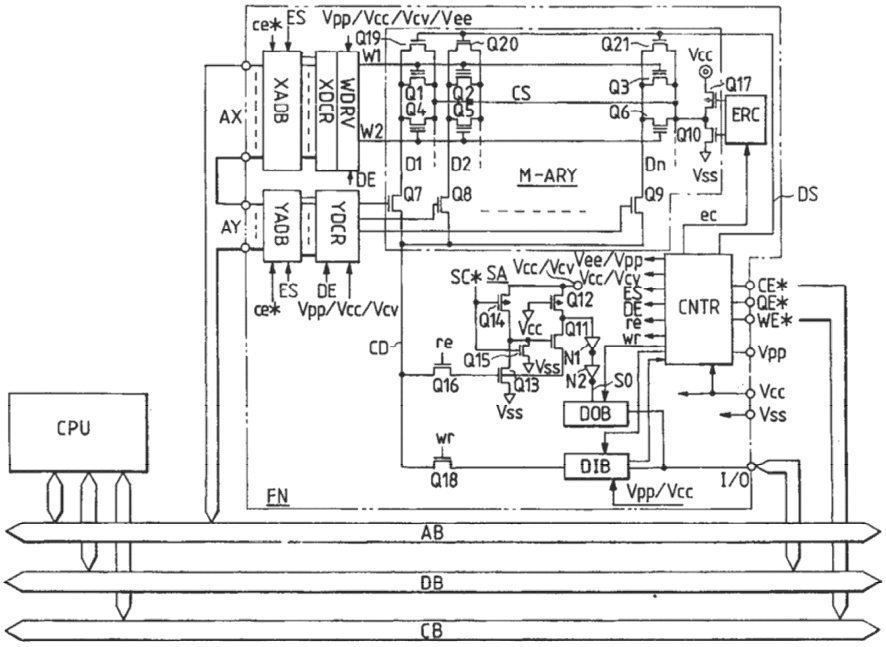
도면2



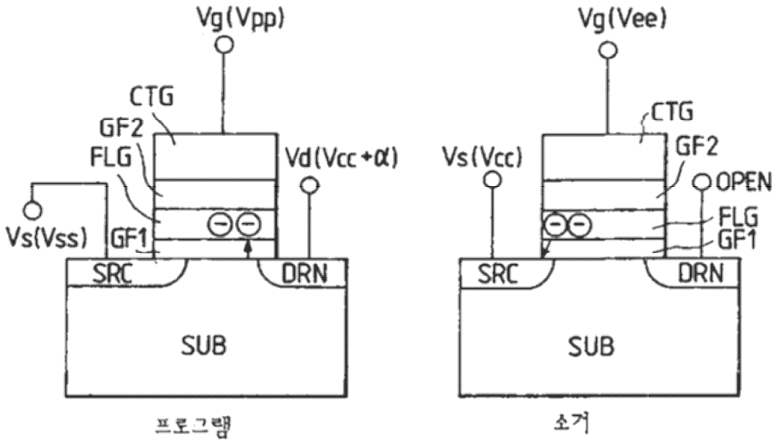
도면3

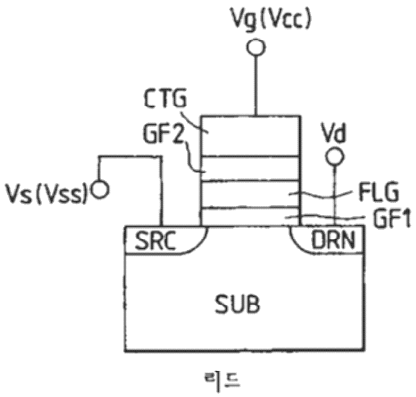
	선택	비선택	XM	Xp	DE	P4 ●	P1 ◎	P3 ○	P2 ⊗	워드선
프로그램	○		L	H	L	Vcc	Vpp	Vcc	Vss	Vpp
		○	H	H						Vss
		○	L/H	L						Vss
소거	○		L	H	H	Vss	Vcc	Vss	Vee	Vee
		○	H	H						Vcc
		○	L/H	L						Vcc
리드	○		L	H	L	Vcc	Vcc	Vcc	Vss	Vcc
		○	H	H						Vss
		○	L/H	L						Vss

도면4


ce*
ES
Vpp/Vcc/Vcv/Vee
Q19
Q20
Q21
Vcc
Q17
ERC
XADB
XDCR
WDRV
W1
W2
AX
AY
YADB
YDCR
CS
M-ARY
Q1
Q2
Q3
Q4
Q5
Q6
Q7
Q8
Q9
Q10
D1
D2
Dn
DE
Vss
DS
ec
SC*
SA
Vcc/Vcv
Vee/Vpp
Q12
Q14
Q11
Q15
Q16
Q13
N1
N2
S0
CD
re
wr
CNTR
CE*
OE*
WE*
Vpp
DOB
DIB
I/O
Q18
CPU
FN
AB
DB
CB

도면5

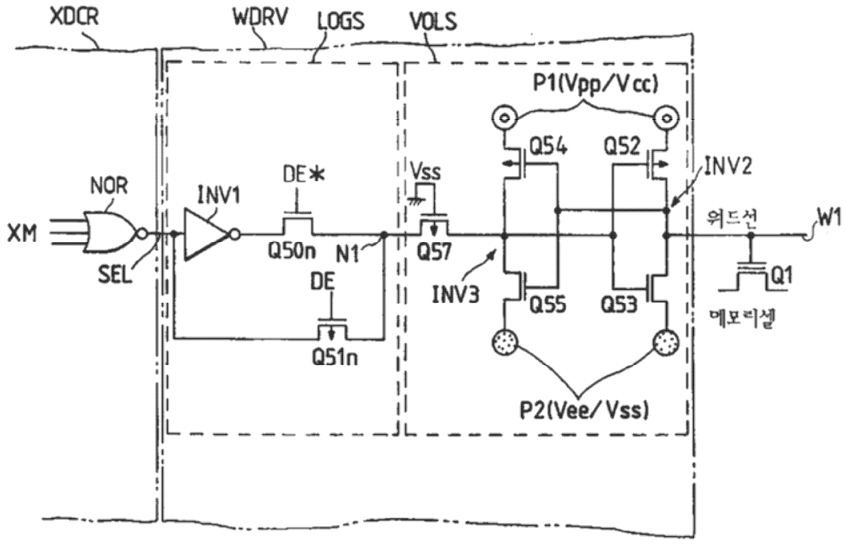

Vg(Vpp)
CTG
GF2
FLG
Vd(Vcc+α)
Vs(Vss)
GF1
SRC
DRN
SUB
프로그램
Vg(Vee)
CTG
Vs(Vcc)
GF2
OPEN
FLG
GF1
SRC
DRN
SUB
소거


Vg(Vcc)
CTG
GF2
Vd
Vs(Vss)
FLG
GF1
SRC
DRN
SUB
리드

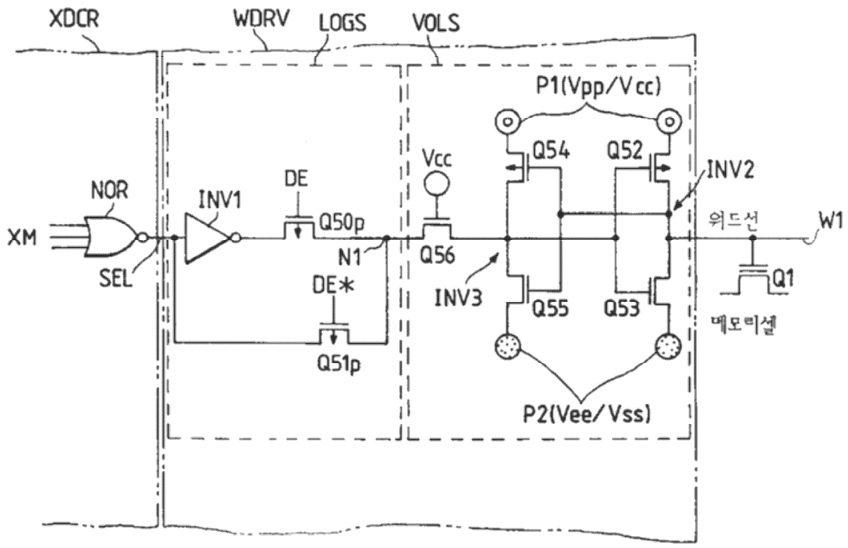
도면6

	선택 /비선택	바이어스 조건		
		제어게이트	드레인	소오스
리드	선택	Vcc (3.3V)	Vcc-β (1V)	Vss (0V)
	비선택	Vss	Vcc-β	Vss
프로그램	선택	Vpp (12V)	Vcc+α (4V)	Vss
	비선택	Vpp	Vss	Vss
소거	선택	Vee (-10V)	OPEN	Vcc
	비선택	Vcc	OPEN	Vcc

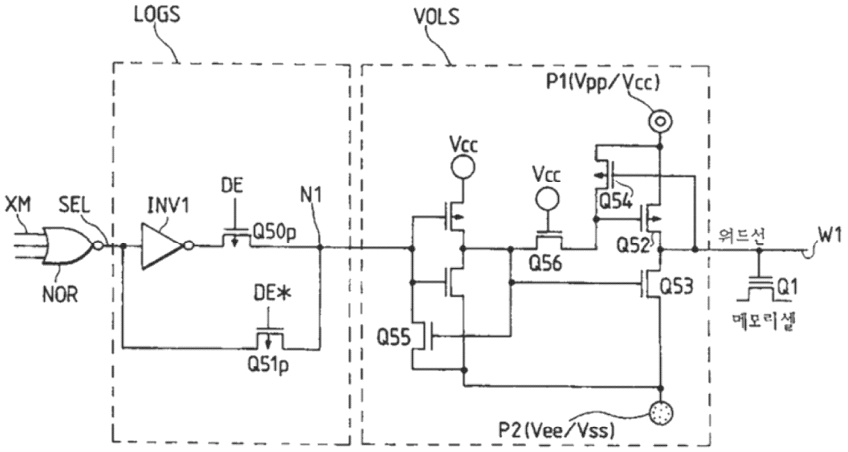
도면7



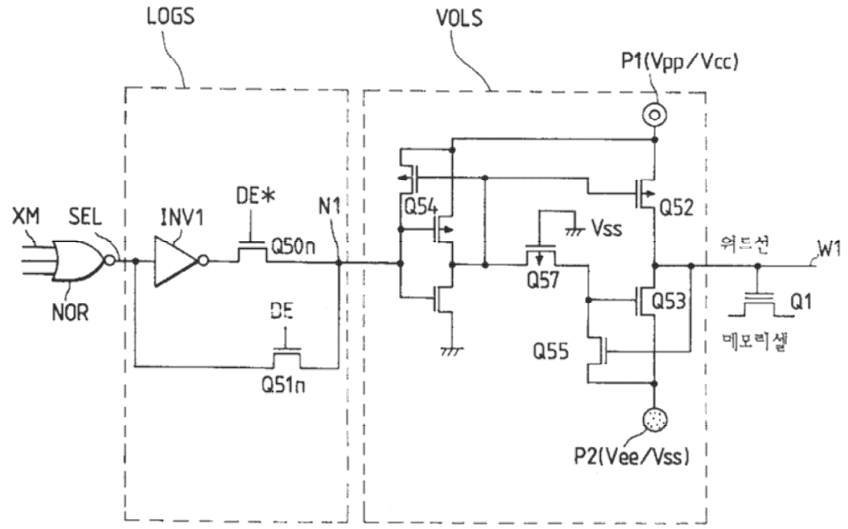
도면8


XDCR
WDRV
LOGS
VOLS
P1(Vpp/Vcc)
Q54
Q52
INV2
Vcc
DE
NOR
INV1
Q50p
XM
SEL
N1
Q56
워드선
W1
DE*
INV3
Q55
Q53
Q1
Q51p
메모리셀
P2(Vee/Vss)

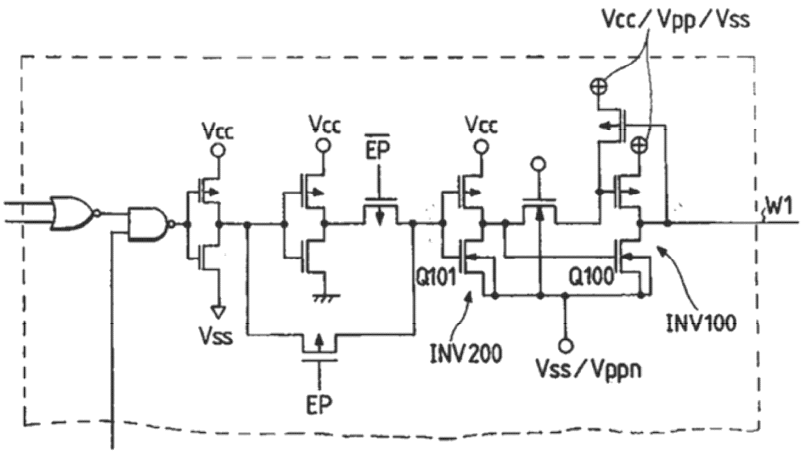
도면9


LOGS
VOLS
P1(Vpp/Vcc)
Vcc
Vcc
DE
N1
XM
SEL
INV1
Q50p
Q54
Q52
워드선
W1
Q56
NOR
DE*
Q53
Q1
Q55
Q51p
메모리셀
P2(Vee/Vss)

도면10


LOGS
VOLS
P1(Vpp/Vcc)
DE*
N1
Q54
Q52
XM
SEL
INV1
Q50n
Vss
워드선
W1
Q57
NOR
DE
Q53
Q1
Q55
Q51n
메모리셀
P2(Vee/Vss)

도면11


Vcc/Vpp/Vss
Vcc
Vcc
EP
Vcc
W1
Q101
Q100
INV100
Vss
INV200
Vss/Vppn
EP