

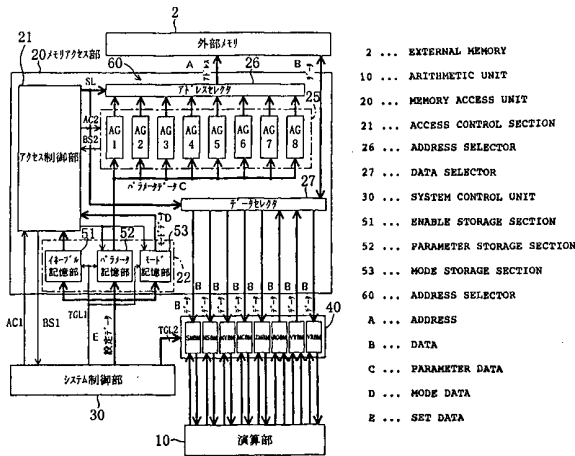


<p>(51) 国際特許分類6 G06T 1/20, G06F 12/00, H04N 7/32</p>	<p>A1</p>	<p>(11) 国際公開番号 WO99/67742</p> <p>(43) 国際公開日 1999年12月29日(29.12.99)</p>
--	-----------	---

<p>(21) 国際出願番号 PCT/JP99/03426</p> <p>(22) 国際出願日 1999年6月25日(25.06.99)</p> <p>(30) 優先権データ 特願平10/178334 1998年6月25日(25.06.98) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.)(JP/JP) 〒571-8501 大阪府門真市大字門真1006番地 Osaka, (JP)</p> <p>(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 森重孝行(MORISHIGE, Takayuki)(JP/JP) 〒611-0042 京都府宇治市小倉町南堀池64-21 Kyoto, (JP)</p> <p>(74) 代理人 弁理士 前田 弘, 外(MAEDA, Hiroshi et al.) 〒550-0004 大阪府大阪市西区靱本町1丁目4番8号 太平ビル Osaka, (JP)</p>	<p>(81) 指定国 CN, JP, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)</p> <p>添付公開書類 国際調査報告書</p>
--	---

(54)Title: IMAGE PROCESSOR

(54)発明の名称 画像処理装置



(57) Abstract

An image processor having cores realizes memory access more efficient than conventional. The image processor which performs pipe-line processings transfers data between an arithmetic operation unit (10) constituted of cores for performing arithmetic operation for processing and an external memory (2) by using a memory access unit (20). The memory access unit (20) includes an access schedule storage section (22) for storing the types of data transfer for every stage. The data transfer is carried out according to the contents stored in the access schedule storage section (22). A system control unit (30) sets the type of data transfer at each stage in the access schedule storage section (22) at the previous stage. Hence, the type of data transfer can be flexibly changed, and therefore the memory access unit (20) transfers only the necessary data at every stage without arbitration.

(57)要約

複数のコアを備えた画像処理装置において、従来よりも効率のよいメモリアクセスを実現する。パイプライン処理を行う画像処理装置は、処理のための演算をそれぞれ行う複数のコアからなる演算部10と外部メモリ2との間のデータ転送をメモリアクセス部20によって行う。メモリアクセス部20はデータ転送の種類をステージごとに記憶するアクセススケジュール記憶部22を有し、このアクセススケジュール記憶部22の記憶内容に従って演算部10と外部メモリ2との間のデータ転送を行う。システム制御部30は各ステージにおけるデータ転送の種類をその前のステージにおいてアクセススケジュール記憶部22に設定する。これにより、データ転送の種類をステージごとに柔軟に変更することができるので、各ステージにおいて、メモリアクセス部20がアービトレーションを行わないで、必要なデータ転送のみを実行させることができる。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AL	アルバニア	EE	エストニア	LC	セントルシア	SD	スーダン
AM	アルメニア	ES	スペイン	LI	リヒテンシュタイン	SE	スウェーデン
AT	オーストリア	FI	フィンランド	LK	スリ・ランカ	SG	シンガポール
AU	オーストラリア	FR	フランス	LR	リベリア	SI	スロヴェニア
AZ	アゼルバイジャン	GA	ガボン	LS	レソト	SK	スロヴァキア
BA	ボスニア・ヘルツェゴビナ	GB	英国	LT	リトアニア	SL	シエラ・レオネ
BB	バルバドス	GD	グレナダ	LU	ルクセンブルグ	SN	セネガル
BE	ベルギー	GE	グルジア	LV	ラトヴィア	SZ	スワジランド
BF	ブルキナ・ファソ	GH	ガーナ	MA	モロッコ	TD	チャード
BG	ブルガリア	GM	ガンビア	MC	モナコ	TG	トーゴ
BJ	ベナン	GN	ギニア	MD	モルドヴァ	TJ	タジキスタン
BR	ブラジル	GW	ギニア・ビサオ	MG	マダガスカル	TZ	タンザニア
BY	ベラルーシ	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア	TM	トルクメニスタン
CA	カナダ	HR	クロアチア		共和国	TR	トルコ
CF	中央アフリカ	HU	ハンガリー	ML	マリ	TT	トリニダード・トバゴ
CG	コンゴ	ID	インドネシア	MN	モンゴル	UA	ウクライナ
CH	スイス	IE	アイルランド	MR	モーリタニア	UG	ウガンダ
CI	コートジボアール	IL	イスラエル	MW	マラウイ	US	米国
CM	カメルーン	IN	インド	MX	メキシコ	UZ	ウズベキスタン
CN	中国	IS	アイスランド	NE	ニジェール	VN	ヴェトナム
CR	コスタ・リカ	IT	イタリア	NL	オランダ	YU	ユーゴスラビア
CU	キューバ	JP	日本	NO	ノルウェー	ZA	南アフリカ共和国
CY	キプロス	KE	ケニア	NZ	ニュージーランド	ZW	ジンバブエ
CZ	チェッコ	KG	キルギスタン	PL	ポーランド		
DE	ドイツ	KP	北朝鮮	PT	ポルトガル		
DK	デンマーク	KR	韓国	RO	ルーマニア		

明細書

画像処理装置

技術分野

本発明は、画像処理装置に関するものであり、特に、複数のコアからのメモリに対するアクセス要求を制御する技術に属する。

背景技術

従来の技術について、MPEG2ビデオ符号化を例にとって説明する。

MPEG2ビデオ符号化では、画像全体を縦16画素×横16画素のマクロブロックという単位で格子状に区切り、このマクロブロック毎に画像信号の符号化処理を行う。各マクロブロックの符号化処理は互いに独立している。

このような画像符号化において、スループットを向上させるために、マクロブロック単位のパイプライン処理が行われている。そして、このパイプライン処理を実行するために、MPEG2ビデオ符号化システムは、符号化のために必要な演算、例えば、動きベクトル検出、DCT演算、量子化演算などをそれぞれ行う専用演算器を内蔵している。以下、これらの専用演算器のことを「コア」という。

なお、本願明細書では、パイプライン処理の処理単位時間を「マクロブロック時間」といい、マクロブロック時間毎に区切られる処理単位を「マクロブロックステージ」または単に「ステージ」という。

あるステージに着目すると、各コアは、異なるマクロブロックに対するそれぞれの処理を並列に実行する。そして、各コアは、メモリに対してそれぞれ独立にアクセス要求を行う。したがって、MPEG2ビデオ符号化を正常かつ確実に実行させるためには、複数のコアからのメモリに対するアクセス要求を各ステージにおいて排他的に制御する仕組みが必要になる。

図12は従来のMPEG2ビデオ符号化システムにおけるメモリアクセスの制御方法を示す図である(M.MIZUNO他「A 1.5W Single-Chip MPEG2 MP@ML Encoder with Low-Power Motion Estimation and Clocking」1997年, ISSCC、および大西他「1チップMPEG-2 MP@MLビデオ符号化LSIにおけるメモリアーキテクチャ」1997年, 電子情報通信学会総合大会)。図12において、縦軸はこのMPEG2ビデオ符号化システムのコアの種類、横軸は時間である。図12は各コアについてのデータ転送がステージの開始から何サイクル後に行われるか、すなわち、1マクロブロック時間における各コアのメモリアクセスのスケジュールを示している。

この従来例では、1マクロブロック時間中において、外部メモリに対するアクセスをどのコアがいつ許可されるのかを固定的にスケジュールすることによって、複数のアクセス要求を排他制御している。すなわち、ステージの開始から何サイクル後にビデオ入力部からメモリにデータをライトし、何サイクル後に動きベクトル検出部にメモリからデータをリードする、というように予めスケジュールを決めている。

－解決課題－

前記の従来例では、各ステージにおけるメモリアクセスを固定的にスケジュールしている。このため、パイプライン処理を正常かつ確実に実行させるためには、各コアについてのデータ転送に必要なサイクル数が最大となる場合を想定して、すなわち、最悪の場合を想定して、ステージ1個あたりのサイクル数を設定する必要がある。

ところが、本願発明者の検討によると、従来例では、最悪の場合を想定してステージ1個あたりのサイクル数を設定すると、パイプライン処理を正常に実行可能である上限値(従来例の動作周波数の仕様を基にして推定)を越えてしまうことが分かった。

この問題を解決するために、従来例では、動きベクトル検出用のキャッシュメ

メモリを符号化システム内に設けていた。そして、1次探索で用いた参照画像データをキャッシュメモリに格納し、この参照画像データを再び2次探索に用いることによって、2次探索時の外部メモリからのデータ転送を省き、これにより、メモリアクセス全体に要するサイクル数を減少させていた（大井他、「MPEG2のMP@ML準拠の1チップ符号化LSIを開発」1997.4、日経エレクトロニクス）。

しかしながら、このようにキャッシュメモリを設けてメモリアクセスのサイクル数を減少させた場合には、キャッシュメモリの分だけ消費電力や面積が増大する。特に、システムがLSIとして実現されている場合には、消費電力や面積の増大は由々しき問題である。

発明の開示

本発明は、複数のコアを備えた画像処理装置において、従来よりも効率のよいメモリアクセスを実現することを目的とする。特に、MPEG2ビデオ符号化システムにおいて、従来例と同等の動作周波数で、キャッシュメモリを設けずに、符号化に必要なデータ転送を確実に実行可能にする。

具体的には、本発明は、画像信号の処理を外部メモリを用いてパイプライン処理によって実行する画像処理装置として、画像処理のための演算をそれぞれ行う複数のコアと、前記複数のコアと前記外部メモリとの間のデータ転送を行うメモリアクセス部とを備え、前記メモリアクセス部は、データ転送の種類をパイプライン処理の単位であるステージごとに記憶するアクセススケジュール記憶部を有し、このアクセススケジュール記憶部の記憶内容に従って前記複数のコアと前記外部メモリとの間のデータ転送を行うものであり、前記アクセススケジュール記憶部は、各ステージにおいて必要なデータ転送の種類が当該ステージの前のステージにおいて設定可能に構成されているものである。

本発明によると、各ステージにおいて必要なデータ転送の種類をその前のステ

ージにおいて設定することができるので、データ転送の種類をステージごとに柔軟に変更することができる。これにより、各ステージにおいて、メモリアクセス部はアービトレーションを行わないで、必要な種類のデータ転送のみを実行させることができるので、効率のよいメモリアクセスを実現することができる。

そして、前記本発明に係る画像処理装置は、前記複数のコアおよびメモリアクセス部を制御するシステム制御部を備え、前記システム制御部は、各ステージにおいて、前記メモリアクセス部にデータ転送を行わせるとともに、当該ステージの後のステージにおいて必要なデータ転送の種類を、前記アクセススケジュール記憶部に設定するものとするのが好ましい。

さらに、前記画像処理装置において、前記メモリアクセス部は、各ステージにおけるデータ転送が終了したか否かを示すステージ転送状態信号を出力するものとし、前記システム制御部は、前記ステージ転送状態信号がデータ転送の終了を示すとき、前記メモリアクセス部に、次のステージにおけるデータ転送を行わせるものとするのが好ましい。

また、前記本発明に係る画像処理装置におけるメモリアクセス部は、指定された種類のデータ転送を行うとともに、このデータ転送が終了したか否かを示すローカル転送状態信号を出力するインターフェイス部と、データ転送の種類を指定して前記インターフェイス部を作動させるとともに、前記ローカル転送状態信号がデータ転送の実行終了を示すとき、新たにデータ転送の種類を指定して、前記インターフェイス部を作動させるアクセス制御部とを備えているものとするのが好ましい。

そして、前記本発明に係る画像処理装置は、画像信号の処理として符号化を行うものとするのが好ましい。

- 図 1 は本発明の一実施形態に係る画像処理装置の全体構成を示す図である。
- 図 2 は図 1 に示すメモリアクセス部の構成を示す図である。
- 図 3 は図 2 に示すイネーブル記憶部の構成を示す図である。
- 図 4 は図 2 に示すアクセススケジュール記憶部の記憶内容の一例を示す図である。
- 図 5 は図 1 に示すメモリアクセス部のデータ転送のタイミングを示すタイミングチャートである。
- 図 6 は一のマクロブロックの符号化処理の流れを示す図である。
- 図 7 は M P E G 2 の符号化処理を実行するパイプライン処理全体の流れを示す図である。
- 図 8 は図 7 の各ステージにおけるイネーブルレジスタ、モードレジスタおよびパラメータレジスタの設定値の変化を示す図である。
- 図 9 は B ピクチャタイプのエンコードにおける各レジスタの設定値の変化を示す図である。
- 図 10 は I ピクチャタイプのエンコードにおける各レジスタの設定値の変化を示す図である。
- 図 11 は 1 フィールド当たりのデータ転送に要するサイクル数を示す図であり、本願発明と従来例との差を説明するための図である。
- 図 12 は従来の M P E G ビデオ符号化におけるメモリアクセスの制御方法を示す図である。

発明を実施するための最良の形態

以下、本発明の実施の形態について、図面を用いて説明する。

図 1 は本発明の一実施形態に係る画像処理装置であって、M P E G 2 ビデオ符号化を実行するシステムの全体構成を示す図である。図 1 において、1 は画像信号の処理をパイプライン処理によって実行する画像処理装置としてのシステム、

2はシンクロナスDRAMなどによって構成され、システム1とデータのやり取りを行う外部メモリである。外部メモリ2は、ビデオ入力信号からなる原画像フレームデータ、動きベクトル検出を行うためにリコンストラクトされた過去の画像フレームデータ、可変長符号化されたコードなどを格納するために用いられる。システム1は例えばLSIとして実現される。

システム1は、符号化のための演算をそれぞれ行う複数のコア11~17からなる演算部10と、外部メモリ2と演算部10との間のデータ転送を行うメモリアクセス部20と、演算部10およびメモリアクセス部20並びにシステム1全体を制御するシステム制御部30とを備えている。演算部10とメモリアクセス部20の間には、各コア11~17とメモリアクセス部20とのデータ転送のバッファとなる複数のバッファメモリからなるバッファメモリ群40が設けられている。

図2は図1に示すメモリアクセス部20の構成を示す図である。図2において、21はメモリアクセス部20を制御するアクセス制御部、22はデータ転送の種類および順序をステージごとに記憶するアクセススケジュール記憶部、25はデータ転送の種類に応じてそれぞれ設けられ、外部メモリ2をアクセスする際のアドレスを生成する複数のアドレスジェネレータ(AG)からなるアドレスジェネレータ群、26はアドレスセクタ、27はデータセクタである。アドレスジェネレータ群25の各アドレスジェネレータAG1~AG8と、バッファメモリ群40に含まれる各バッファメモリSMBM, MSBM, MYBM, MCBM, ZMBM, ROBM, VWBM, VRBMとは、それぞれ対応している。アドレスジェネレータ群25、アドレスセクタ26およびデータセクタ27によって、インターフェイス部60が構成されている。

アクセススケジュール記憶部22はイネーブル記憶部51、パラメータ記憶部52およびモード記憶部53によって構成されている。イネーブル記憶部51、パラメータ記憶部52およびモード記憶部53はそれぞれ2バンク構成を有して

おり、一方のバンクがアクセス制御部 21 からアクセス可能である（メモリアクセス部 20 側を向いている）とき、他方のバンクはシステム制御部 30 からその記憶内容が設定可能である（システム制御部 30 側を向いている）。

システム制御部 30 は第 1 のトグル信号 TGL1 によってアクセススケジュール記憶部 22 のバンク切り替えを行い、システム制御部 30 側を向いたバンクにデータ転送の種類および順序を設定する。第 1 のトグル信号 TGL1 によるバンク切り替えは、パイプライン処理のステージ切り替えに同期させて行う。

すなわち、アクセススケジュール記憶部 22 は、各ステージにおけるデータ転送の種類および順序を前のステージにおいて設定可能に構成されている。そしてシステム制御部 30 は、各ステージにおいて、起動信号 AC1 をアクセス制御部 21 に出力してメモリアクセス部 20 にデータ転送を行わせるとともに、後のステージにおけるデータ転送の種類および順序をアクセススケジュール記憶部 22 に設定する。

これにより、各ステージにおけるデータ転送の種類および順序を、その前のステージにおいて、アクセススケジュール記憶部 22 の一方のバンクにシステム制御部 30 から設定することができる。そして、ステージの切り替えとともにアクセススケジュール記憶部 22 のバンクが切り替えられ、前のステージにおいてデータ転送の種類および順序が設定されたバンクがアクセス制御部 21 からアクセス可能になり、このバンクの記憶内容を基にこのステージにおけるデータ転送が実行される。

このように、各ステージにおいて、後のステージにおけるデータ転送の種類および順序をアクセススケジュール記憶部 22 に設定することを繰り返して、符号化処理に必要な外部メモリ 2 とのデータ授受を行う。

また、バッファメモリ群 40 の各バッファメモリもそのほとんどは 2 バンク以上で構成されている。システム制御部 30 は、第 2 のトグル信号 TGL2 によって各バッファメモリのバンク切り替えを行う。

図3は図2に示すイネーブル記憶部51の構成を示す図である。図3に示すように、イネーブル記憶部51は2個の8ビットのイネーブルレジスタ51a, 51bを備えており(2バンク構成)、システム制御部30からの第1のトグル信号TGL1によってバンク切り替え可能に構成されている。

また、パラメータ記憶部52は8個(イネーブルレジスタ22a, 22bのビット数に対応)の16ビットレジスタからなるパラメータレジスタ群を2組備えており(2バンク構成)、第1のトグル信号TGL1によってバンク切り替え可能に構成されている。モード記憶部53もまた8個の4ビットレジスタからなるモードレジスタ群を2組備えており(2バンク構成)、第1のトグル信号TGL1によってバンク切り替え可能に構成されている。モードレジスタとパラメータレジスタとは1対1に対応している。各モードレジスタはデータ転送の種類をそれぞれ格納し、各パラメータレジスタは対応するモードレジスタに格納された種類のデータ転送に必要なパラメータを格納する。

図4はアクセススケジュール記憶部22の記憶内容の一例を示す図である。図4を用いて、メモリアクセス部20の動作を説明する。

アクセス制御部21はシステム制御部30から起動信号AC1を受けると、イネーブル記憶部51が有する2つのイネーブルレジスタのうち、メモリアクセス部20側に向いた方のバンクに相当するものに格納された値をLSBからMSBに向かって1ビットずつ検査する。イネーブルレジスタの各ビットはそれぞれモードレジスタに対応しており、“0”は転送禁止を表し、“1”は転送許可を表す。すなわち、検査したビットが“1”のときは、対応するモードレジスタに格納された種類のデータ転送を実行する一方、“0”のときは、対応するモードレジスタに格納された種類のメモリアクセスを行わない。モードレジスタに格納された種類のデータ転送を実行するとき、このモードレジスタに対応するパラメータレジスタに格納された値をデータ転送のパラメータとして用いる。

例えば図4に示すように、イネーブレジスタに保持された値が「00110010」であるとする。この場合、まずLSB（ビット0）は“0”であるので、モード0のモードレジスタに格納された種類のデータ転送は行わない。

次のビット1は“1”であるので、アクセス制御部21はモード1のモードレジスタに格納された種類のデータ転送を実行する。アクセス制御部21はモード1のモードレジスタに格納された値を調べ、実行するデータ転送の種類を特定し、起動するアドレスジェネレータを選択する。いまモード1のモードレジスタには\$2（\$は16進数を表す）が格納されている。ここでは、この\$2は「NoMCマクロブロック入力」を行うことを意味するものとする。なお、NoMCマクロブロックとは、前画像との輝度の差分が極めて大きいために、または前画像との輝度の差がほとんどないために、動き補償（Motion Compensation）を行わないマクロブロックのことをいう。

アクセス制御部21はモード1のモードレジスタの値をデコードすることによって、「NoMCマクロブロック入力」を行うことを認識し、NoMCマクロブロック入力用のアドレスジェネレータに起動信号AC2を送る。起動信号AC2を受けたアドレスジェネレータは、モード1のパラメータレジスタの値（\$01，\$0A）を用いて、外部メモリ2をアクセスするためのアドレスを生成する。モード1のパラメータレジスタには、「NoMCマクロブロック入力」に対するパラメータとして、入力するマクロブロックの先頭アドレスが格納されている。

またこれとともに、アクセス制御部21はセレクト信号SLによって、アドレスセクタ26に、NoMCマクロブロック入力用のアドレスジェネレータが出力するアドレスや制御信号を外部メモリ2に選択出力させる。アクセス制御部21は同様にセレクト信号SLによって、データセクタ27に、外部メモリ2から出力されたデータを、バッファメモリ群40の中のNoMCマクロブロック入力用のバッファメモリに選択出力させる。

起動信号AC2を受けたアドレスジェネレータは、データ転送を実行している

間、ローカル転送状態信号としてのビジー信号BS2を立ち上げる。データ転送の実行が終了すると、ビジー信号BS2を立ち下げることによって、データ転送の実行終了をアクセス制御部21に伝える。アクセス制御部21はこのアドレスジェネレータのデータ転送の実行終了を確認すると、イネーブルレジスタの検査を再開する。

イネーブルレジスタのビット2, 3は“0”であるので、モード2, 3のモードレジスタに格納された種類のデータ転送は行わない。

次のビット4は“1”であるので、アクセス制御部21はモード4のモードレジスタに格納された種類のデータ転送を実行する。モード4のモードレジスタには\$3(16進数の3)が格納されており、ここでは、この\$3は「可変長コード出力」を行うことを意味するものとする。アクセス制御部21は可変長コード出力用のアドレスジェネレータに起動信号AC2を送る。起動信号AC2を受けたアドレスジェネレータはモード4のパラメータレジスタの値を用いて、外部メモリ2をアクセスするためのアドレスを生成する。モード4のパラメータレジスタは、「可変長コード出力」に対するパラメータとして、転送するワード数などを格納している。

アクセス制御部21はイネーブルレジスタに格納された値の全てのビットについて検査を終了すると、システム制御部30に、ステージ転送状態信号としてのビジー信号BS1によってこのステージにおけるデータ転送の終了を伝える。このようにして、1マクロブロックステージにおける外部メモリ2と複数のコア10との間のデータ転送が完了する。

図5は図2に示すメモリアクセス部20のデータ転送のタイミングを示すタイミングチャートである。図5では、ビデオ信号入力からコード信号出力までの一連の画像符号化処理において、例えばコード出力部17がマクロブロック(n-1)乃至(n+1)の処理において外部メモリ2からデータをリードする場合を

抜粋して示している。なお、外部メモリ2にデータをライトする場合には、スケジュール設定とともにライトデータを設定する必要がある。

各ステージにおいて、外部メモリ2をアクセスするために要する時間は、複数のコアが演算をそれぞれ実行するのに要する時間よりもはるかに長い。このため、各ステージのサイクル数はデータ転送に要するサイクル数によって決まる。そして、各ステージのデータ転送にはほとんどロスタイムがなく、かつ、あるステージのデータ転送が終了するとすぐに次のステージのデータ転送が開始される。したがって図5に示すように、本実施形態では、各ステージのサイクル数はステージごとに異なっている。

以下、本実施形態に係る画像処理装置の動作について、MPEG2の符号化処理を例にとり、具体的に説明する。MPEG2では、各フレームを(16×16)画素のマクロブロックに分割し、マクロブロック毎に圧縮符号化処理を実行する。例えばNTSC画像の場合、1フレームは720画素×480ラインなので、1350個(=横45×縦30)のマクロブロックに分割される。

図6は一のマクロブロックMB0の符号化処理の流れを示す図である。図6において、横軸はステージを表し、図中の各矢印は、アドレス設定とデータ転送との対応関係、および、コアの処理とデータ転送との対応関係を示している。また図6では、符号化処理の流れに合わせて、各ステージにおける、動作するコア、外部メモリ2とアクセスするバッファメモリ、およびアドレス設定を行うアドレスジェネレータを示している。

図6に示す各コアの処理内容について、説明する。

<ME1処理>

第1の動きベクトル検出部12が実行する、1画素精度の動きベクトル検出である。外部メモリ2からバッファメモリSMBMに、エンコードの対象となる原画像のマクロブロックデータが読み出される。また、外部メモリ2からバッファ

メモリMSBMに、参照画像フレームのY成分データが読み出される。第1の動きベクトル検出部12は、バッファメモリSMBM, MSBMに格納したデータから1画素精度の動きベクトルを検出する。バッファメモリSMBM, MSBMへのデータ転送の前に、システム制御部30は符号化の対象となるマクロブロックの位置を、パラメータとして設定する。

<ME2処理>

第2の動きベクトル検出部13が実行する、半画素精度の動きベクトル検出である。1回目のME2処理では、外部メモリ2からバッファメモリMYBMに、第1の動きベクトル検出部12から出力された動きベクトルが示す領域の参照画像のY成分が読み出される。第2の動きベクトル検出部13は、バッファメモリSMBMのデータと、バッファメモリMYBMに読み出したデータとを用いて、半画素精度の動きベクトルを検出する。

2回目のME2処理では、外部メモリ2からバッファメモリMCBMに、参照画像フレームのC成分データが読み出される。第2の動きベクトル検出部13は、1回目のME2処理で求めた動きベクトルを用いて、バッファメモリSMBM, MCBMに格納したデータから半画素精度の動きベクトルを検出する。

<MSP処理>

DCT演算をフレーム単位で行うかフィールド単位で行うか等の、エンコードに必要な処理のモード選択であり、モード選択演算部14が実行する。<ME1処理>および<ME2処理>によって求められた動きベクトルの値が0の場合、外部メモリ2からバッファメモリZMBMに、符号化を行うマクロブロックと同一位置の参照画像が読み出される。

<DCT/Q処理>

マクロブロックと、<ME1処理>および<ME2処理>によって求めた動きベクトルが指す位置の参照画像との差分画像について、DCT演算→量子化→逆量子化→逆DCT演算の各処理を行うものであり、DCTおよび量子化演算部1

5 が実行する。＜M S P 処理＞で選択されたモードに従って実行される。逆 D C T 演算された画像データは、バッファメモリ R O B M に格納され、外部メモリ 2 に転送される。そして、他のフレームをエンコードする際の参照画像として用いられる（リコンストラクト（R E C））。

＜V L C 処理＞

＜D C T / Q 処理＞における量子化後のデータを可変長符号化するものであり、可変長符号化演算部 1 6 が実行する。可変長符号化されたデータは、バッファメモリ V W B M に格納され、バッファリングのため一旦外部メモリ 2 に書き込まれる。可変長符号化後のデータ量は、可変長符号化演算部 1 6 からシステム制御部 3 0 に送られる。システム制御部 3 0 は可変長符号化後のデータ量を基に、バッファメモリ V W B M からのデータ転送のパラメータとして転送ワード数を設定する。

＜コード出力処理＞

コード出力部 1 7 は、システム 1 の外部に接続されたデバイスが要求するタイミングに従って、可変長符号化データを送出する。バッファメモリ V R B M は、外部出力のためのバッファとして用いられる。システム制御部 3 0 は、外部から要求される転送タイミングに応じて、バッファメモリ V R B M からのデータ転送のパラメータとして、転送ワード数を設定する。

図 7 は M P E G 2 の符号化処理を実行するパイプライン処理全体の流れを示す図である。M P E G 2 の規格では、I、P、B という 3 種類のピクチャタイプがあり、図 7 はその中で最もデータ転送が多い P ピクチャタイプについて示している。ステージ 1 1 までは、各ステージにおける処理の種類が徐々に増えていき、ステージ 1 2 以降は、ほぼ同種類の処理が各ステージにおいて繰り返し実行される。

I ピクチャタイプでは、他のフレームを一切参照せずに符号化を行う。このた

め、動きベクトル検出に係る処理（ME 1 処理およびME 2 処理）は実行せず、バッファメモリMSBM, MYBM, MCBMへのデータ転送は行わない。またBピクチャタイプは他のフレームから参照されないので、リコンストラクト（REC）処理は不要であり、バッファメモリROBMからのデータ転送は行わない。また他の理由により、バッファメモリZMBMへのデータ転送も行わない。

このように、ピクチャタイプに応じて、必要なデータ転送の種類が異なるので、イネーブルレジスタ等の設定も、ピクチャタイプに応じて変更する必要がある。

図8は図7の各ステージにおけるイネーブルレジスタ、モードレジスタおよびパラメータレジスタの設定値の変化を示す図である。図8に示すモードレジスタの各設定値\$1, \$2, \$3, \$4, \$6, \$7, \$8および\$Aは、アドレスジェネレータAG1~AG8にそれぞれ対応している。図8に示すように、ステージ11以降はイネーブルレジスタの各ビットの値が全ての“1”になるので、全てのアドレスジェネレータAG1~AG8がアドレス設定を行う。

図9はBピクチャタイプのエンコードにおける各レジスタの設定値の変化を示す図、図10はIピクチャタイプのエンコードにおける各レジスタの設定値の変化を示す図である。図8と比較すると分かるように、ステージ11以降においても、イネーブルレジスタの各ビットの中に“0”が存在する。

システム制御部30は、アプリケーションに応じて、ピクチャタイプの連続パターン（例えば「IPPBPPBPPBPPBPP」）を記憶しており、この連続パターンに応じて、図8~図10に示すように、各レジスタの値を設定する。

図8~図10ではモードレジスタの設定値は常に一定である。すなわち、最もデータ転送の多いPピクチャに合わせてモードレジスタの値を設定し、データ転送の有無をイネーブルレジスタの設定のみによって制御している。もちろん、モードレジスタの値の設定変更によって、データ転送の有無を制御することも可能である。

また、モードレジスタの設定によって、各ステージにおけるデータ転送の順序

を制御することも可能である。大抵のアプリケーションでは、各データ転送は、そのステージ内に実行完了できればよいのであって、その順序まで厳密に制御する必要は必ずしもない。しかしながら、アプリケーションによっては、例えば「MCBMへのデータ転送はZMBMへのデータ転送に先行して実行しなければならない」という条件が、存在する場合がある。このような場合には、MCBMへのデータ転送をモード0に設定し、ZMBMへのデータ転送をモード1に設定すれば、この条件を満たすことができる。

パラメータレジスタの値設定は次のように行う。モード\$1, \$2, \$6および\$7のデータ転送では、マクロブロックの位置を示すデータが設定される(パラメータ0, 1, 4, 5)。モード\$3, \$4のデータ転送では、<ME1処理>で求めた動きベクトルを基に、転送元の座標値*1, *2を設定する(パラメータ2, 3)。モード\$8, \$Aのデータ転送では、転送ワード数*3, *4を設定する(パラメータ6, 7)。

このように、本実施形態に係る画像処理装置によると、アクセススケジュール記憶部22にデータ転送の種類および順序をステージごとに設定することができ、またこの設定は実際にデータ転送を行うステージの前のステージにおいて行うことができる。さらに、ビジー信号BS2によってあるアドレスジェネレータの実行終了を確認するとすぐに次のアドレスジェネレータの起動を行うことができる。このため、各ステージにおいて、必要なデータ転送のみをほとんどロスタイムを生じることなく連続して行うことができる。

したがって、各ステージにおいては、そのステージの前のステージまでに、外部メモリ2とのデータ転送のスケジュールがシステム制御部30によって決定されているため、メモリアクセス部20は、各コア11~17間のアービトレーションを行わないで、複数のデータ転送を順次実行することができる。また、データ転送量が少ない場合は、無駄な待ち時間を生じることなく、データ転送を早く

終了させることができる。これにより、データ転送自体を省くためのバッファメモリを設けなくても、MPEG2ビデオ符号化を正常かつ確実に実行することができる。

なお、本実施形態では、アドレスジェネレータとバッファメモリとが1対1に対応しているものとしたが、例えば、あるアドレスジェネレータが複数のバッファメモリと対応していてももちろんかまわない。また、あるアドレスジェネレータが複数の転送モードに対応していてもかまわない。さらに、アドレスジェネレータの個数は8個に限られるものではない。

また、本実施形態におけるイネーブルレジスタのビット幅、モードレジスタおよびパラメータレジスタの本数はあくまでも一例であり、これらの値に限定されるものではない。

さらに、本実施形態では、各ステージのデータ転送の種類および順序はその直前のステージにおいて設定するものとしたが、直前のステージでなくても、前のステージであればよい。例えば、直前のステージにおいてNOP処理を行うときは、さらにその前のステージにおいて設定してもよい。また、アクセススケジュール記憶部22を3バンク構成にすれば、各ステージのデータ転送の種類および順序を、その2つ前のステージにおいて設定することも可能である。

ここで、課題の項で述べた従来例における問題と本願発明との関係について、補足説明を行う。

図11はBピクチャの画像符号化（時間軸で前と後に位置する参照画像を用いる符号化）を行う場合における各コアと外部メモリとの間のデータ転送に要するサイクル数を示す図である。図11に示すデータは、本願発明者がMPEG2の規格から推定したものである。MPEG2ビデオ符号化では、各コアと外部メモリとの間のデータ転送量は各マクロブロックにおいて一定ではなく、画像の複雑さ等によってマクロブロックごとに変動する。図11は1フィールド（NTSC

画像の場合、1/60秒分の画像)における各マクロブロックのデータ転送に要するサイクル数の分布を示しており、その最大値は2222、最小値は1649である。

いま、有効画素期間と垂直ブランキング期間とを合わせた時間を全て1フィールドの画像符号化に利用できるものとする、マクロブロック1個あたりの符号化に割り当て可能なサイクル数の上限値は1997サイクルとなる(従来例の仕様から動作周波数81MHzとして推定)。

すなわち、図11から分かるように、マクロブロック1個あたりのサイクル数の最大値はその上限値を越えている。このことは、このまま何の方策も講じなければ、MPEG2ビデオ符号化が正常に実行できないことを示している。従来例では、動きベクトル検出用のキャッシュメモリを設けることによって2次探索時の外部メモリからのデータ転送を省き、これにより、マクロブロック1個あたりのサイクル数の最大値を、上限値よりも小さい1551サイクルまで低減している。

本願発明者は、図11に示すような推定結果から、1フィールドすなわち675マクロブロックの平均で見れば、サイクル数はその上限値を下回ることに着目した。そして、各マクロブロックのデータ転送に要するサイクル数を平均化して、キャッシュメモリを設けなくても画像符号化を確実に実行できるようにしたのが、本願発明に係る本実施形態といえる。

また、従来例と同様にキャッシュメモリを設けた場合には、本願発明を適用することによって、例えばクロック周波数を下げることが可能である。これにより、消費電力を低減することも可能である。

なお、本発明は、MPEG2ビデオ符号化以外の画像符号化や、画像復号化などの他の画像処理にも容易に適用可能である。また、画像処理以外の信号処理であっても、複数のアクセス主体からメモリアクセスを行う場合には、容易に適用可能である。

以上のように本発明によると、複数のコアと外部メモリとの間のデータ転送を行う際に、各ステージにおいて、そのステージより前のステージでスケジュール設定を順次行うことにより、メモリアクセス部はアービトレーションを行わないで、必要な種類のデータ転送のみを順次実行させることができるので、効率のよいメモリアクセスを実現することができる。

請求の範囲

1. 画像信号の処理を、外部メモリを用いて、パイプライン処理によって実行する画像処理装置であって、

画像処理のための演算をそれぞれ行う複数のコアと、

前記複数のコアと前記外部メモリとの間のデータ転送を行うメモリアクセス部とを備え、

前記メモリアクセス部は、

データ転送の種類を、パイプライン処理の単位であるステージごとに記憶するアクセススケジュール記憶部を有し、このアクセススケジュール記憶部の記憶内容に従って、前記複数のコアと前記外部メモリとの間のデータ転送を行うものであり、

前記アクセススケジュール記憶部は、

各ステージにおいて必要なデータ転送の種類が、当該ステージの前のステージにおいて設定可能に構成されている

画像処理装置。

2. 請求項1の画像処理装置において、

前記複数のコアおよびメモリアクセス部を制御するシステム制御部を備え、

前記システム制御部は、

各ステージにおいて、前記メモリアクセス部にデータ転送を行わせるとともに、当該ステージの後のステージにおいて必要なデータ転送の種類を、前記アクセススケジュール記憶部に設定する

ことを特徴とする画像処理装置。

3. 請求項2の画像処理装置において、

前記メモリアクセス部は、

各ステージにおけるデータ転送が終了したか否かを示すステージ転送状態信号を出力するものであり、

前記システム制御部は、

前記ステージ転送状態信号がデータ転送の終了を示すとき、前記メモリアクセス部に、次のステージにおけるデータ転送を行わせるものである画像処理装置。

4. 請求項1の画像処理装置において、

前記メモリアクセス部は、

指定された種類のデータ転送を行うとともに、このデータ転送が終了したか否かを示すローカル転送状態信号を出力するインターフェイス部と、

データ転送の種類を指定して前記インターフェイス部を作動させるとともに、前記ローカル転送状態信号がデータ転送の実行終了を示すとき、新たにデータ転送の種類を指定して、前記インターフェイス部を作動させるアクセス制御部とを備えている

ことを特徴とする画像処理装置。

5. 画像信号の処理として、符号化を行うものである

ことを特徴とする請求項1の画像処理装置。

Fig. 1

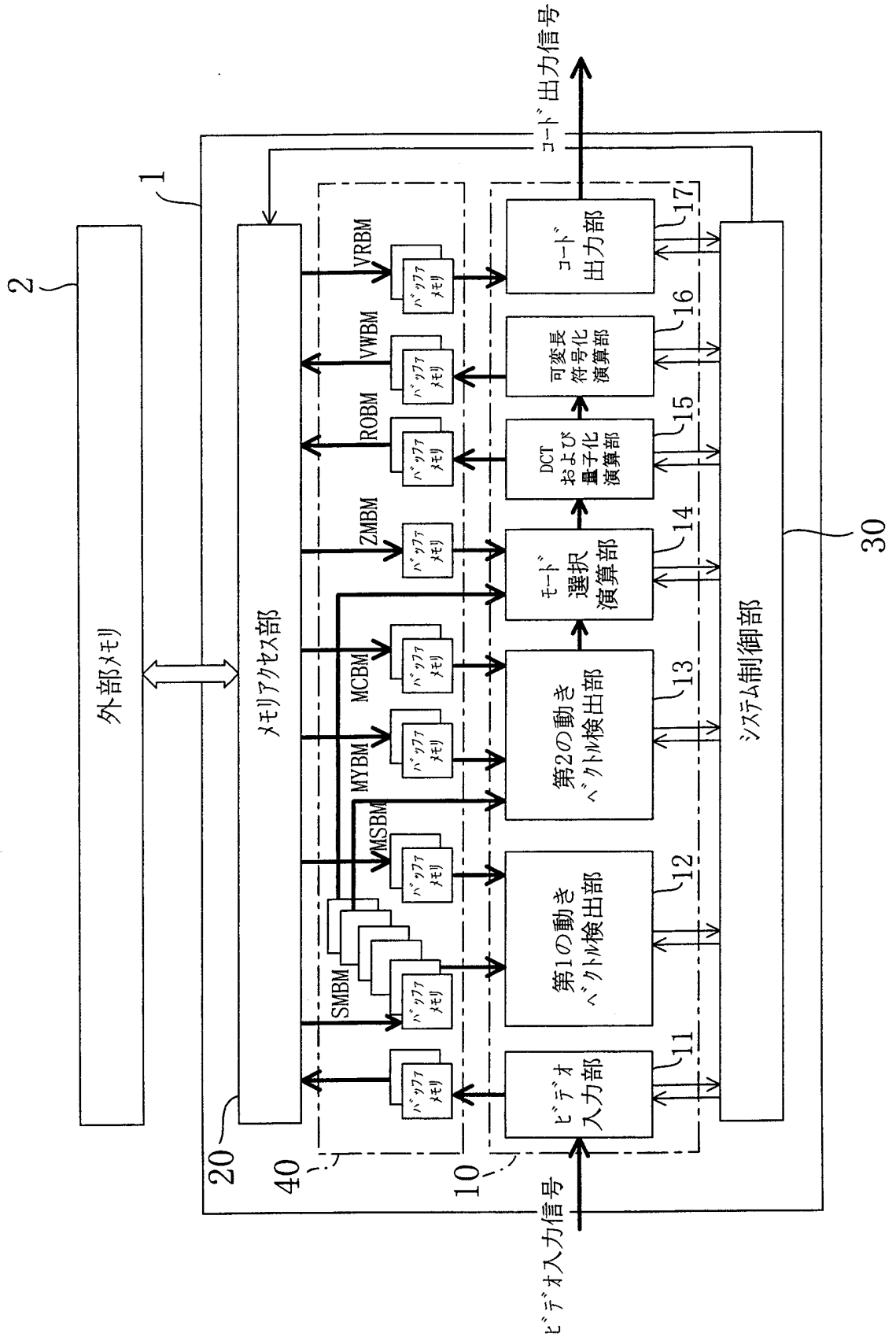


Fig. 2

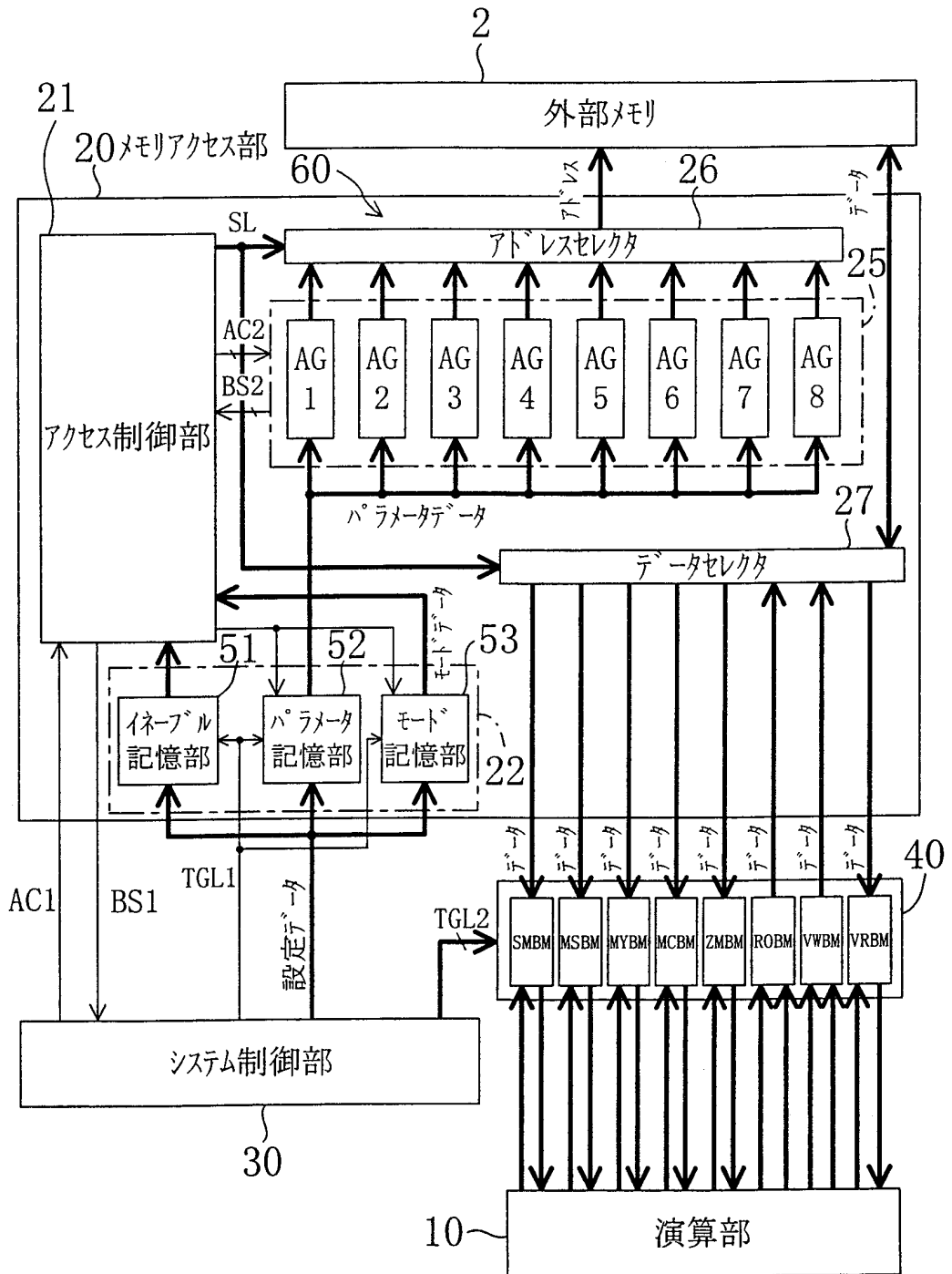


Fig. 3

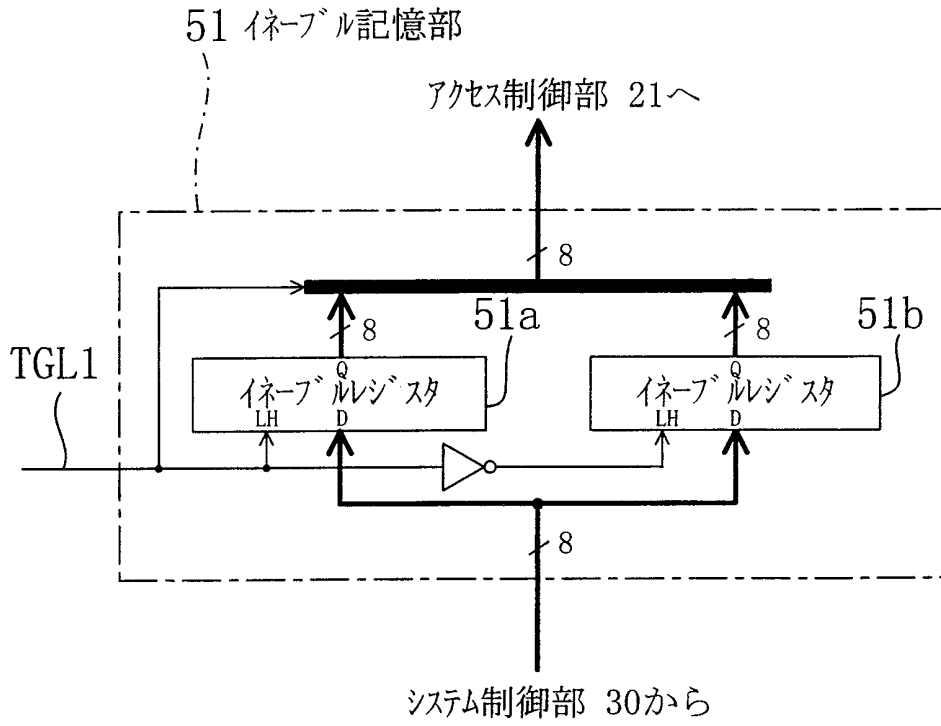


Fig. 4

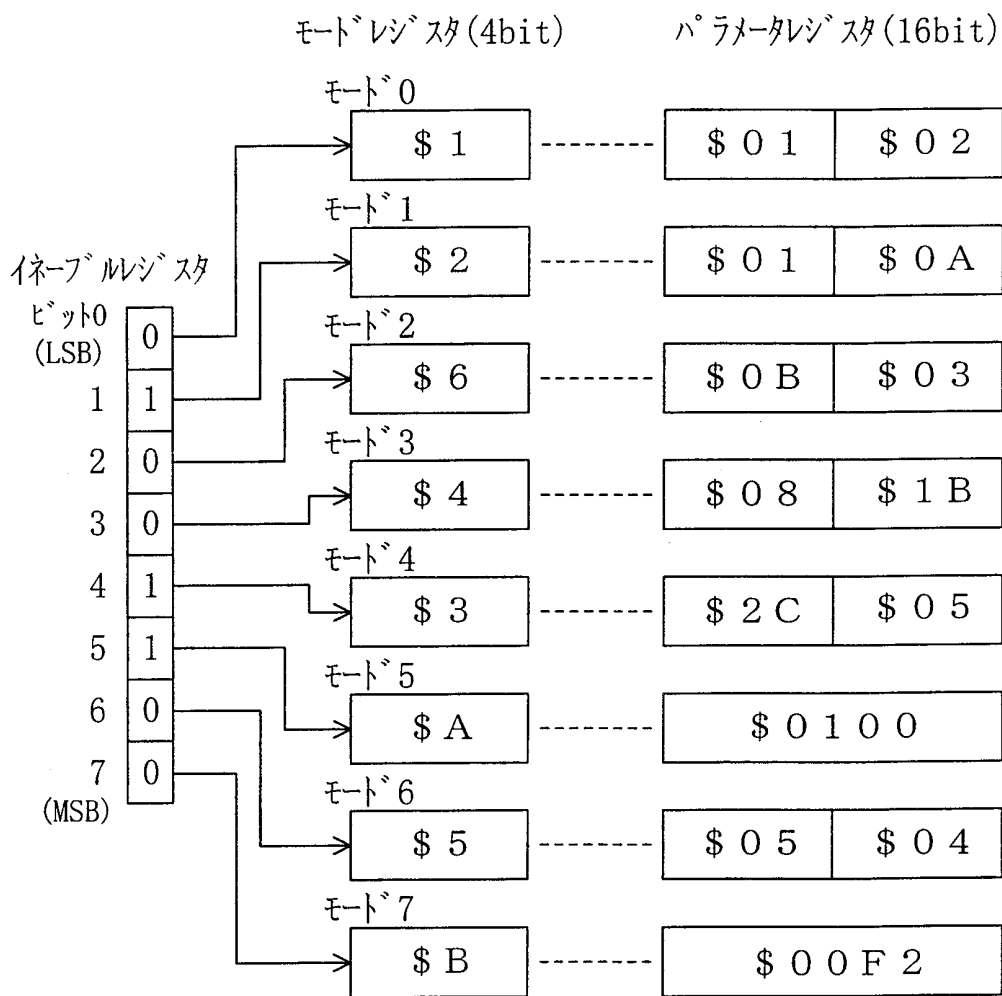


Fig. 5

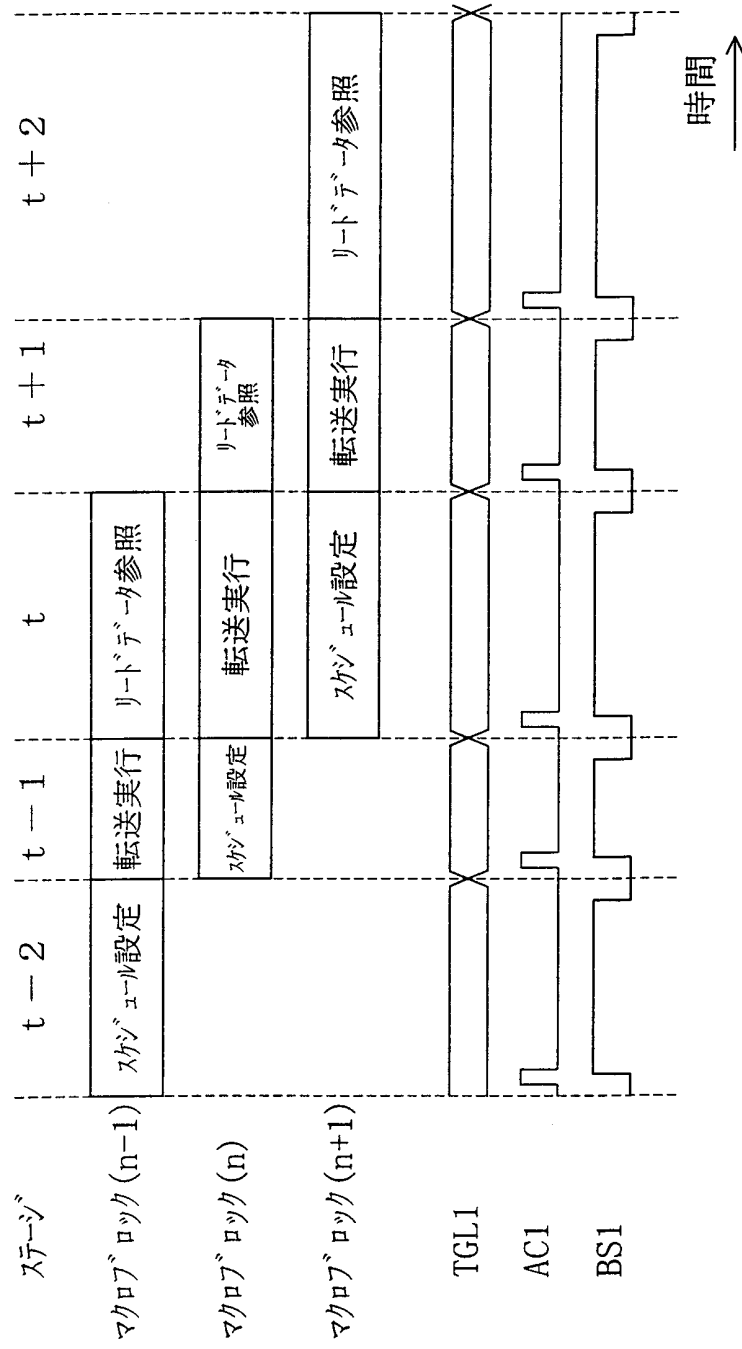


Fig. 11

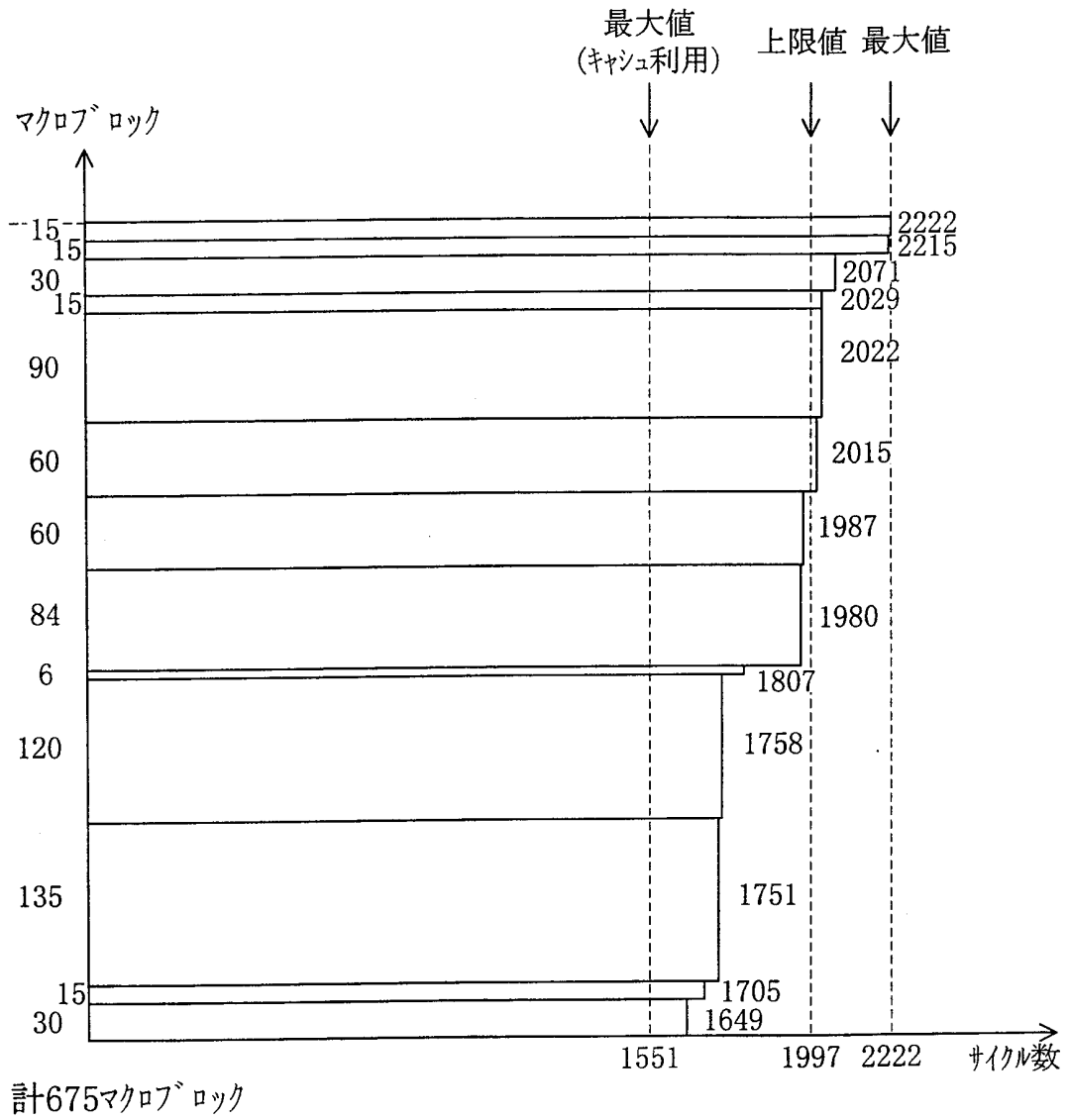
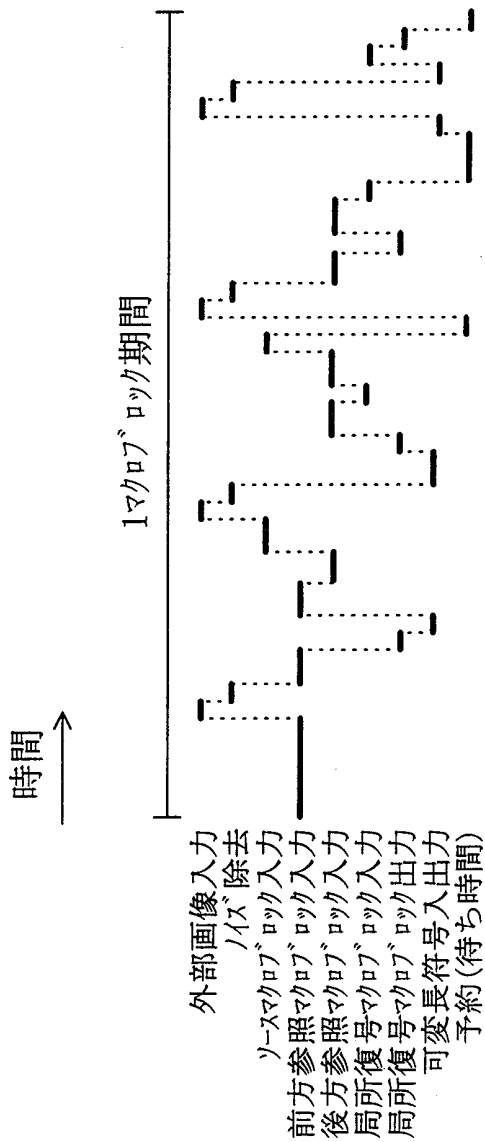


Fig. 12




INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/03426

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl ⁶ G06T1/20, G06F12/00, H04N7/32		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) Int.Cl ⁶ G06T1/20, G06F12/00, H04N7/30-7/50		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Kokai Jitsuyo Shinan Koho 1971-1999		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 7-121687, A (Sony Corp.), 12 May, 1995 (12. 05. 95) (Family: none)	1-5
A	JP, 6-187434, A (International Business Machines Corp.), 8 July, 1994 (08. 07. 94) & US, 5289577, A	1-5
A	JP, 6-20034, A (NEC Corp.), 28 January, 1994 (28. 01. 94) (Family: none)	1-5
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 17 September, 1999 (17. 09. 99)		Date of mailing of the international search report 28 September, 1999 (28. 09. 99)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl ⁶ G06T1/20, G06F12/00, H04N7/32		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl ⁶ G06T1/20, G06F12/00, H04N7/30-7/50		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-1999年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 7-121687, A (ソニー株式会社) 12. 5月. 1995 (12. 05. 95) (ファミリーなし)	1-5
A	J P, 6-187434, A (インターナショナル・ビジネス・マシーンズ・コーポレーション) 8. 7月. 1994 (08. 07. 94) & US, 5289577, A	1-5
A	J P, 6-20034, A (日本電気株式会社) 28. 1月. 1994 (28. 01. 94) (ファミリーなし)	1-5
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	17. 09. 99	国際調査報告の発送日 28.09.99
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 加藤 恵一	5H 7923 
		電話番号 03-3581-1101 内線 3531