(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3540341号
(P3540341)
(45)発行日　平成16年7月7日(2004.7.7)　(24)登録日　平成16年4月2日(2004.4.2)

(51)Int.Cl.[7]　F I
H04N 5/335　H04N 5/335 E
H04N 5/335 P

請求項の数 15　(全 18 頁)

(21)出願番号　特願平5-178557
(22)出願日　平成5年6月28日(1993.6.28)
(65)公開番号　特開平7-15666
(43)公開日　平成7年1月17日(1995.1.17)
審査請求日　平成12年6月15日(2000.6.15)

前置審査

(73)特許権者　000000376
オリンパス株式会社
東京都渋谷区幡ヶ谷２丁目４３番２号
(74)代理人　100087273
弁理士　最上　健治
(72)発明者　小林　進
東京都渋谷区幡ヶ谷２丁目４３番２号　オリンパス光学工業株式会社内
(72)発明者　中村　力
東京都渋谷区幡ヶ谷２丁目４３番２号　オリンパス光学工業株式会社内
(72)発明者　野本　哲夫
東京都渋谷区幡ヶ谷２丁目４３番２号　オリンパス光学工業株式会社内

最終頁に続く

(54)【発明の名称】固体撮像素子の信号読み出し処理方式及びそれに用いる固体撮像素子

(57)【特許請求の範囲】

【請求項１】

内部増幅型光電変換素子を単位画素とし該単位画素をマトリクス状に配列してなるＸＹアドレス型の固体撮像素子の信号読み出し処理方法において、一垂直走査期間のある特定の行の各画素の光生成電荷による明時信号を読み出した後、前記特定行の各画素の光生成電荷をリセットした直後又はリセットしながら光生成電荷のない状態の暗時信号を読み出して前記特定行の各画素の暗時信号を外部メモリに記憶する第１のステップと、前記特定行を一垂直走査期間毎又は複数垂直走査期間毎に変化させながら前記第１のステップを各特定行に対して順次実行し、複数垂直走査期間で全有効行の各画素の暗時信号を順次読み出して該画素の暗時信号を前記外部メモリへ暗時信号の初期値として記憶させる第２のステップと、引き続き前記第２のステップを繰り返しながら全有効行の各画素の暗時信号を新たに読み出して、前記外部メモリに記憶されている暗時信号を新たに読み出された暗時信号で書き換えることによりリフレッシュさせるか、または前回の第２のステップで前記外部メモリに記憶されている暗時信号と第２のステップで新たに読み出された暗時信号を所定の比で加算して得られた暗時信号で前回の第２のステップで記憶されている暗時信号を書き換えてリフレッシュさせる第３のステップと、前記外部メモリに記憶した各行の画素の暗時信号を読み出し、タイミングを合わせて対応する各行の画素の明時信号から減算処理する第４のステップとを備えていることを特徴とする固体撮像素子の信号読み出し処理方法。

【請求項２】

内部増幅型光電変換素子を単位画素とし該単位画素をマトリクス状に配列してなるＸＹアドレス型の固体撮像素子の信号読み出し処理方法において、一垂直走査期間のある特定の行の各画素の光生成電荷による明時信号を読み出した後、前記特定行の各画素の光生成電荷をリセットした直後又はリセットしながら光生成電荷のない状態の暗時信号を読み出して前記特定行の各画素の暗時信号を外部メモリに記憶する第１のステップと、前記特定行を一垂直走査期間毎又は複数垂直走査期間毎に変化させながら前記第１のステップを各特定行に対して順次実行し、複数垂直走査期間で全有効行の各画素の暗時信号を順次読み出して該画素の暗時信号を前記外部メモリへ暗時信号の初期値として記憶させる第２のステップと、引き続き前記第２のステップを繰り返しながら全有効行の各画素の暗時信号を新たに読み出して、前記外部メモリに記憶されている暗時信号を新たに読み出された暗時信号で書き換えることによりリフレッシュさせるか、または前回の第２のステップで前記外部メモリに記憶されている暗時信号と第２のステップで新たに読み出された暗時信号を所定の比で加算して得られた暗時信号で前回の第２のステップで記憶されている暗時信号を書き換えてリフレッシュさせる第３のステップと、前記外部メモリに記憶した各行の画素の暗時信号を読み出し、タイミングを合わせて対応する各行の画素の明時信号から減算処理する第４のステップと、前記第１，第２及び第３のステップを、明時信号のみの読み出しを行う１又は複数の垂直走査期間を挟んで間欠的に行う第５のステップとを備えていることを特徴とする固体撮像素子の信号読み出し処理方法。

【請求項３】

前記特定行は単一の行であることを特徴とする請求項１又は２記載の固体撮像素子の信号読み出し処理方法。

【請求項４】

前記特定行は連続した複数の行であることを特徴とする請求項１又は２記載の固体撮像素子の信号読み出し処理方法。

【請求項５】

前記特定行は間隔をおいた複数の行であることを特徴とする請求項１又は２記載の固体撮像素子の信号読み出し処理方法。

【請求項６】

前記減算処理を行う第４のステップで得られた出力信号を、各行の出力信号に対する回路利得を制御して補正するステップを加え、行間の光生成電荷蓄積時間の差によって生じる行間の信号レベル差を補正するようにしたことを特徴とする請求項１～５のいずれか１項に記載の固体撮像素子の信号読み出し処理方法。

【請求項７】

内部増幅型光電変換素子を単位画素とし該単位画素をマトリクス状に配列した受光部と、受光部の行方向に配列された画素行を順次選択して読み出す垂直走査回路と、選択して読み出された各画素行の画素信号を順次出力させる水平走査回路とを備えたＸＹアドレス型の固体撮像素子において、前記垂直走査回路は、一垂直走査期間の選択されたある特定の行の各画素の光生成電荷による明時信号を読み出した後、前記特定行の各画素の光生成電荷をリセットした直後又はリセットしながら光生成電荷のない状態の暗時信号を読み出し、前記特定行を一垂直走査期間毎又は複数垂直走査期間毎に変化させ、複数垂直走査期間で全有効行の画素の暗時信号が得られるように、行選択信号を出力する如く構成したことを特徴とする固体撮像素子。

【請求項８】

前記垂直走査回路は、クロックに従って情報を伝達するシフトレジスタを備え、該シフトレジスタに加えるクロックを、前記特定行が選択された状態のとき１クロック分シフトレジスタがアクティブにならないように形成して、前記特定行が通常のクロック２周期分連続して選択された状態になるようにし、２周期分の選択状態の中、前半の１周期で明時信号を読み出し、後半の１周期で暗時信号を読み出すように構成したことを特徴とする請求項７記載の固体撮像素子。

【請求項９】

前記特定行は、一垂直走査期間当たり１行とすることを特徴とする請求項７又は８記載の固体撮像素子。
【請求項１０】
前記特定行は、一垂直走査期間当たり連続する複数行であることを特徴とする請求項７又は８記載の固体撮像素子。
【請求項１１】
前記特定行は、一垂直走査期間当たり間隔をおいた複数行であることを特徴とする請求項７又は８記載の固体撮像素子。
【請求項１２】
前記垂直走査回路は、外部から加えられる制御信号により、信号読み出し期間中又は信号読み出し期間直後の光生成電荷のリセットに加え、一又は複数水平走査期間後に光生成電荷のリセット動作を行わせる選択信号制御回路を備え、一垂直走査期間内の全ての行の光生成電荷の蓄積時間を揃えるように構成したことを特徴とする請求項７～11のいずれか１項に記載の固体撮像素子。
【請求項１３】
前記選択信号制御回路に加える制御信号及び又は前記シフトレジスタに加えるクロックを、他のクロックを用いて発生させる回路を、固体撮像素子の他の構成要素と同一基板上に構成したことを特徴とする請求項12記載の固体撮像素子。
【請求項１４】
前記シフトレジスタとしてダイナミック型シフトレジスタを用いたことを特徴とする請求項７～13のいずれか１項に記載の固体撮像素子。
【請求項１５】
前記シフトレジスタとしてスタティック型シフトレジスタを用いたことを特徴とする請求項７～13のいずれか１項に記載の固体撮像素子。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
この発明は、固体撮像素子の信号読み出し処理方法及びそれに用いる固体撮像素子に関し、特に温度変化等による暗時固定パターンノイズの変化に追従し、常に暗時固定パターンノイズを安定に抑圧できるようにした動画撮像も可能な固体撮像素子の信号読み出し処理方法及びそれに用いる固体撮像素子に関する。
【０００２】
【従来の技術】
従来、光電変換機能と蓄積電荷の増幅，読み出し及びリセット機能をもつ、例えばＳＩＴ（Static Induction Transistor），ＡＭＩ（Amplified MOS Imager），ＣＭＤ（Charge Modulation Device）で代表される内部増幅型光電変換素子を単位画素として用いた固体撮像素子により画像を再生する装置が知られている。かかる画像再生装置においては、固体撮像素子固有の固定パターンノイズ（以下、ＦＰＮと略称する）をキャンセルするために、フレームメモリ等の記憶手段を設け、該記憶手段に各画素毎にＦＰＮを記憶し、固体撮像素子の各画素から得られた画像情報から、各画素に対応するＦＰＮを減算して画像信号を得るようにしたＦＰＮ抑圧手段が必要となる。
【０００３】
図15は、かかる内部増幅型光電変換素子による画像再生装置において用いられている、例えば特開昭６４－３９１７１号等に開示されている従来のＦＰＮ抑圧手段のブロック構成図である。図15において、101 は固体撮像素子、102 は増幅回路、103 はＡ／Ｄ変換器、104 は切換スイッチ、105 はフレームメモリ等からなるＦＰＮメモリ、106 は減算器、107 はＤ／Ａ変換器である。このように構成された画像再生装置において、固体撮像素子101 から出力される画像信号は増幅回路102 で増幅され、Ａ／Ｄ変換器103 によりデジタル信号に変換される。まず入射光を遮断した状態で固体撮像素子101 から出力される暗時信号を、切換スイッチ104 をｂ側に接続して、ＦＰＮメモリ105 に記憶する。この暗時信号

がＦＰＮ信号となる。暗時ＦＰＮ記憶動作の終了後、切換スイッチ104 をａ側に切り換え接続し、遮光を解除する。これにより、固体撮像素子101 から出力される光生成電荷による明時信号は、Ａ／Ｄ変換器103 でＡ／Ｄ変換されて、減算器106 において、ＦＰＮメモリ105 内に記憶されたＦＰＮ信号と繰り返し減算処理され、ＦＰＮが抑圧された画像信号となり、次いでＤ／Ａ変換器107 に入力されＤ／Ａ変換されてビデオ信号として出力される。なお、ＦＰＮメモリには、通常１フレーム又は数フレームの平均された暗時信号が記憶される。

【０００４】

ここで、暗時ＦＰＮ記憶時に、固体撮像素子を遮光する代わりに、蓄積した光生成電荷をリセットした直後、あるいはリセットしながら固体撮像素子から信号を読み出して得られる暗時信号を、暗時ＦＰＮ信号とすることもできる。

【０００５】

【発明が解決しようとする課題】

ところで、図15に示した従来のＦＰＮ抑圧手段は、暗時のＦＰＮ信号を予めＦＰＮメモリ105 に記憶させておいて、光生成電荷に応じた画像信号から前記暗時ＦＰＮ信号を減算してビデオ信号を出力させるものであるため、温度変化等により暗時ＦＰＮが変化した場合、この変化に追従できず、常に安定してＦＰＮを抑圧することができないという問題点がある。

【０００６】

また上記温度変化対策のため、撮像途中で固体撮像素子を間欠的に遮光して暗時ＦＰＮ信号を取り込む方法が知られている。この方法により、連続撮像動作中に、例えば１フレーム分の暗時信号をＦＰＮメモリに記憶させるためには、固体撮像素子からは図16の（Ａ）に示すような出力が必要となり、時刻$t_d$において、固体撮像素子からは、光生成電荷の蓄積されていない暗時信号が出力される。この固体撮像素子の出力をそのまま映像出力とすると、図16の（Ｂ）に示すように、時刻$t_d$において、映像出力が得られず、モニタには時刻$t_d$のタイミングで、何も映らない画面のとぎれた状態となる。この画面のとぎれを、図16の（Ｃ）に示すように、直前の撮像画面を繰り返し出力して補間しても、動画に対しては動きが不自然になり、大きな問題となる。

【０００７】

本発明は、従来の内部増幅型光電変換素子のＦＰＮ抑圧手段の上記問題点を解消するためになされたもので、温度変化による暗時ＦＰＮの変化に追従し、常に暗時ＦＰＮを安定に抑圧できるようにした動画撮像にも対応可能な固体撮像素子の信号読み出し処理方法及びそれに用いる固体撮像素子を提供することを目的とする。

【０００８】

【課題を解決するための手段及び作用】

上記問題点を解決するため、本発明は、内部増幅型光電変換素子を単位画素とし該単位画素をマトリクス状に配列してなるＸＹアドレス型の固体撮像素子の信号読み出し処理方法において、一垂直走査期間のある特定の行の各画素の光生成電荷による明時信号を読み出した後、前記特定行の各画素の光生成電荷をリセットした直後又はリセットしながら光生成電荷のない状態の暗時信号を読み出して前記特定行の各画素の暗時信号を外部メモリに記憶する第１のステップと、前記特定行を一垂直走査期間毎又は複数垂直走査期間毎に変化させながら前記第１のステップを各特定行に対して順次実行し、複数垂直走査期間で全有効行の各画素の暗時信号を順次読み出して該画素の暗時信号を前記外部メモリへ暗時信号の初期値として記憶させる第２のステップと、引き続き前記第２のステップを繰り返しながら全有効行の各画素の暗時信号を新たに読み出して、前記外部メモリに記憶されている暗時信号を新たに読み出された暗時信号で書き換えることによりリフレッシュさせるか、または前回の第２のステップで前記外部メモリに記憶されている暗時信号と第２のステップで新たに読み出された暗時信号を所定の比で加算して得られた暗時信号で前回の第２のステップで記憶されている暗時信号を書き換えてリフレッシュさせる第３のステップと、前記外部メモリに記憶した各行の画素の暗時信号を読み出し、タイミングを合わせて対

応する各行の画素の明時信号から減算処理する第４のステップとを備えて、固体撮像素子の信号読み出し処理を行うものである。

【０００９】

このように構成した信号読み出し処理方法においては、外部メモリに記憶された暗時信号は複数垂直走査期間毎の短時間毎にリフレッシュ又は所定の比で加算されるので、温度変化等により暗時ＦＰＮが変化した場合でも、その変化に十分に追従し常に安定に暗時ＦＰＮを抑圧した画像信号が得られる。また撮像途中において暗時信号を読み出す期間は、一垂直走査期間中僅か１～数ライン期間であり、撮像の連続性が損なわれることはなく、動画に対しても何ら問題を生ぜず、十分に対応させることができる。

【００１０】

【実施例】

次に、実施例について説明する。図１は、本発明に係る固体撮像素子の信号読み出し処理方法の第１実施例を説明するための信号読み出し処理装置のブロック構成図である。図１において、１は内部増幅型光電変換素子を画素として用い、該画素をマトリクス状に配置した受光部２を備えた固体撮像素子で、この実施例では内部増幅型光電変換素子としてＣＭＤを用いたものを示している。受光部２は説明を簡単にするため、３行×Ｌ列の構成としている。３は垂直走査回路で、読み出す行を選択する走査信号を送出するものである。４は水平走査回路で、読み出し状態にある行のＬ個のＣＭＤ画素を順次読み出す走査信号を送出するものである。５は増幅器で、固体撮像素子１の画素出力信号を増幅するものであり、該増幅器５で増幅された出力信号は、Ａ／Ｄ変換器６でＡ／Ｄ変換されて、１Ｈデレイライン７と、切換スイッチ８の入力端子ｂと、ＦＰＮメモリ９へそれぞれ入力されるようになっている。切換スイッチ８は、制御信号入力端子10より入力される制御信号により、入力端子ａに入力される１Ｈデレイライン７の出力信号、入力端子ｂに入力される１Ｈデレイライン７の入力信号（Ａ／Ｄ変換器６の出力信号）、入力端子ｃに入力されるＧＮＤすなわちデジタル００・・・０信号のいずれかを選択出力するようになっている。11は減算器で、切換スイッチ８で選択された信号から、ＦＰＮメモリ９の出力信号を減算するものであり、減算器11の出力信号はＤ／Ａ変換器12でＤ／Ａ変換され、ビデオ信号が出力されるようになっている。

【００１１】

次に、このように構成されている信号読み出し処理装置の動作について説明する。図２及び図３は、この動作を説明するための各部の信号波形を示すタイミングチャートである。まず固体撮像素子１において、垂直走査回路３を駆動して読み出す選択行のＣＭＤ画素を読み出し状態にして、水平走査回路４により読み出し状態にある行のＣＭＤ画素の信号を順番に読み出す。垂直走査回路３により選択した行のＣＭＤ画素の読み出し状態は、選択した行のＣＭＤ画素の共通ゲートライン電位を読み出し電位$V_{RD}$にすることで可能になる。このとき非選択行の共通ゲートライン電位は蓄積電位$V_{ST}$にしている。また、１行分の各画素の蓄積した光生成電荷による信号を読み出した後、蓄積電荷をリセットするために、水平ブランキング期間に共通ゲートライン電位をリセット電位$V_{RST}$にする。なお、画素としてＣＭＤを用いた場合は、ブルーミング抑制のため水平ブランキング期間で、ゲート電位を蓄積電位$V_{ST}$より高いオーバーフロー電位$V_{OF}$として、過剰蓄積電荷の掃き出しを行うオーバーフロー動作も行っている。

【００１２】

図２においては、固体撮像素子１の１～３行の共通ゲートライン電位波形を、それぞれＡ，Ｂ，Ｃで示している。このゲートライン電位波形Ａ，Ｂ，Ｃからわかるように、本実施例においては、第１フレームでは、１行目の光生成電荷を蓄積した状態の明時信号を、ｔ＝０～１の期間に読み出して、ｔ＝１の時点で、蓄積電荷をリセットしたのち、再びｔ＝１～２の期間で１行目の画素の信号を読み出すようにゲートライン電位を制御している。これは、ｔ＝１～２の期間では光生成電荷の蓄積していない状態の暗時信号を読み出していることに相当する。

【００１３】

内部増幅型光電変換素子は、蓄積電荷を増幅するトランジスタの特性ばらつきによるＦＰＮを発生するが、上記暗時信号の読み出しは暗電流をゼロとした場合の暗時ＦＰＮ（以下、この意味で用いる）を読み出していることになる。暗電流は最近非常に小さく抑えられており、通常の固体撮像素子の使用条件下では無視できるようになっているため、暗時ＦＰＮはほぼトランジスタの特性のばらつきにより発生しているものを意味する。暗時ＦＰＮは光量に無関係に一定レベル存在し、最初に読み出した光生成電荷に応じた明時信号にオフセット的に重畳されている。

【００１４】

次いで、同様にして第２フレームでは２行目の暗時信号を、第３フレームでは３行目の暗時信号を読み出し、第４フレームでは再び１行目の暗時信号を読み出すようにしている。なお、通常は各フレーム間には垂直ブランキング期間が存在するが、図２においては、。各フレームのうち５ラインが垂直ブランキング期間に相当する。垂直走査回路３から出力されるこのようなゲートライン電位を印加することにより読み出された、明るさが一様な被写体を撮像した場合の信号波形、及び増幅されＡ／Ｄ変換された信号波形を、図２のＤ，Ｅで示す。なお、上記信号波形Ｅ及び次に述べる信号波形Ｆ～Ｌは、デジタル信号であるが、わかり易いようにアナログ信号として波形を示している。

【００１５】

上記出力信号波形Ｄ，Ｅからわかるように、第１フレームでは、１行目明時信号１Ｓに次いで、１行目暗時信号１Ｆが読み出され、１Ｓ，１Ｆ，２Ｓ，３Ｓの順番で固体撮像素子１から信号が読み出される。なお、１～３行目の明時信号は１Ｓ，２Ｓ，３Ｓで表し、暗時信号は１Ｆ，２Ｆ，３Ｆで表すことにする。同様に第２フレームでは、１Ｓ，２Ｓ，２Ｆ，３Ｓの順番、第３フレームでは１Ｓ，２Ｓ，３Ｓ，３Ｆの順番となり、第４フレームでは再び第１フレームと同一の信号読み出し順番に戻る。すなわち、第４フレーム以降は１，２及び３行目の暗時信号が繰り返して読み出される。ここで、第１～第３フレームに読み出された暗時信号は１～３行目の暗時信号の初期値となる。一方、第４フレーム以降に読み出される暗時信号は、その都度更新されるリアルタイムでの最新の暗時信号となる。

【００１６】

これらの出力信号Ｅを１Ｈデレイライン７で１ライン遅延した出力信号を図２のＦで示し、各行の明時信号及び暗時信号にはダッシュを付して示している。

【００１７】

切換スイッチ８は、入力端子10に印加する制御信号Ｇの制御電圧$V_a$，$V_b$，$V_c$によって、それぞれ入力端子ａ，ｂ，ｃへの入力信号を選択し出力するようになっており、図３においてＧで示す制御信号波形を与えることにより、切換スイッチ８の出力端子からは、図３における信号波形Ｈで示すように、暗時信号の抜けた連続した明時信号が得られる。

【００１８】

一方、ＦＰＮメモリ９は、固体撮像素子１から暗時信号が出力される期間のみライトイネーブルとし、暗時信号を書き込み記憶するようになっている。すなわち、第１フレームでは１行目の暗時信号１Ｆを、第２，第３の各フレームでは、それぞれ２，３行目の暗時信号２Ｆ，３Ｆを書き込むことになり、したがって第１，第２，第３フレームの期間で全有効行の暗時信号の書き込み記憶動作が完了する。その後、第４フレームでは１行目の暗時信号が再度読み出され、ＦＰＮメモリ９には新たな暗時信号の書き込み記憶動作が行われる。同様にして、第５フレーム以降は２行目以降の各行の最新の暗時信号がＦＰＮメモリ９に書き込まれることになり、ＦＰＮメモリ９は３フレーム毎に最新の暗時信号にリフレッシュされる。そしてＦＰＮメモリ９からは、切換スイッチ８の出力信号Ｈに、タイミングを一致させて、暗時信号が連続して読み出されるようになっており、このＦＰＮメモリ９から読み出され暗時信号を図３のＩに示す。減算器11では、切換スイッチ８の出力信号ＨからＦＰＮメモリ９からの暗時信号Ｉを減算し、これにより、暗時ＦＰＮが抑圧されたビデオ信号Ｊが得られる。

【００１９】

図１に示した実施例では、３フレーム毎に新たに読み出された暗時ＦＰＮによりＦＰＮメモリ９に記憶した暗時ＦＰＮが書き換えられリフレッシュされるが、ＮＴＳＣ方式に対応した行数をもつ通常の固体撮像素子について考えると、暗時ＦＰＮは１フィールドに１行ずつ書き込まれ、525 フィールドで全行の暗時信号の記憶が完了するから、暗時信号リフレッシュ周期は525 フィールドとなり、１／60（秒）×525　９秒である。このリフレッシュ周期は周囲温度変化の時間に比べて十分小さい時間であり、周囲温度変化に対しての暗時ＦＰＮの変化に完全に追従できる。なお、９秒毎に完全にＦＰＮメモリに記憶されている信号をリフレッシュせずに、一般的なノイズリデュースの方法を用いて、記憶している信号と新たに読み出した信号を適当な比で加算し、ランダムノイズを抑圧して再記憶する方法が有効であることは言うまでもない。

【００２０】

また、全行の暗時ＦＰＮを取り込むまでに９秒かかるので、電源投入後、暗時ＦＰＮの抑圧された画像信号が出力されるまで９秒かかることになる。この時間は、通常は装置の立ち上げ時間として許容できる範囲であるが、例えば電源投入時にはオーバーフロー電位$V_{OF}$をリセット電位$V_{RST}$に等しくして、水平ブランキング毎にリセット動作を行い、全行の暗時信号が出力する状態にして、連続して暗時信号をＦＰＮメモリに書き込むことによって、最低１フレーム期間（１／30秒）で、全行の暗時ＦＰＮをＦＰＮメモリに記憶する方法を用いることにより、立ち上げ時間の短縮化を図ることが可能である。

【００２１】

図１に示した第１実施例においては、デジタル信号間で明時信号から暗時ＦＰＮの減算処理を行っているが、暗時信号のみデジタル化してＦＰＮメモリに記憶し、ＦＰＮメモリの出力を再度アナログ信号に変換したのち、アナログ信号の明時信号から減算するように構成しても問題はない。図４は、このようにアナログ信号間で減算処理を行うようにした第２実施例を説明するためのブロック構成図で、図１に示した第１実施例と同一又は対応する部材には同一符号を付して示している。図４において、13はアナログ信号の明時信号を１ライン遅延させるための１Ｈデレイライン、14は切換スイッチ、16はアナログ信号間の減算処理を行う減算器である。

【００２２】

図１に示した第１実施例は、暗時ＦＰＮの減算処理をデジタル方式で行うためＦＰＮ減算の精度が良いが、映像信号をデジタル化するため多ビットのＡ／Ｄ変換器を使用しないとＳ／Ｎが劣化するので、高価であるという問題点がある。これに対し、上記第２実施例は、暗時ＦＰＮの減算処理をアナログ方式で行うため、ＦＰＮ減算精度は第１実施例に比べて劣るが、Ａ／Ｄ変換器のビット数は第１実施例に比べて小さくて済み、経済的に有利であるという利点がある。

【００２３】

上記第１及び第２実施例においては、明時信号読み出しの途中で暗時信号を読み出すために、暗時信号を読み出す行の前後で蓄積時間が１ライン期間分異なる現象が生ずる。すなわち図２に示したタイミングチャートからわかるように、第２フレームにおいて１行目で読み出す生成電荷の蓄積期間は、ｔ＝２～５の３ライン、２行目についてはｔ＝３～６の３ライン、３行目についてはｔ＝４～８の４ラインとなる。以下同様に第３フレームの１，２，３行目は、それぞれ４，３，３ラインとなり、第４フレームの１，２，３行目は、それぞれ４，５，４ラインとなる。

【００２４】

この蓄積時間の差は、３行の固体撮像素子で１フレームに１行の暗時信号を読み出す場合は、４ラインを中心として±１ライン期間分である。Ｎ行の固体撮像素子で１フレームに１行の暗時信号を読み出す場合は、正確には垂直ブランキング期間によるが、Ｎラインを中心として±１ライン期間となる。走査線525 ラインのＮＴＳＣ方式に対応した一般の固体撮像素子においては、１ラインの蓄積時間差による蓄積電荷量の差は、フィールド蓄積読み出しの場合、１／（ 525／２）×100　0.４％に過ぎず、通常は実用上問題がない。

【００２５】

しかし、用途によっては問題となる場合があるので、この蓄積時間差の問題を解消できるようにした第３実施例について説明する。図５は第３実施例を説明するための信号読み出し処理装置のブロック構成図である。この実施例においては、図１に示した実施例におけるＤ／Ａ変換器12の前段に乗算器17を設け、信号レベル補正を加えるようにするものである。乗算器17は、係数入力端子18から入力された乗算器係数を、入力信号に乗算する。図３のタイミングチャートに、係数波形をＫで示す。ここで$K_1$：$K_0$：$K_2$＝１／３：１／４：１／５に設定すれば、信号レベル差を補正することができる。補正後の信号波形をＬで示す。

【００２６】

なお、上記第１～第３実施例においては、１フレーム期間に１行の暗時信号を読み出すために、明時信号の読み出しの連続性が、１行読み出し期間とぎれることになる。しかし、走査線525 ラインのＮＴＳＣ方式に対応した一般の固体撮像素子においては、１行の読み出し期間は約64μsec であり、この期間に行間の読み出しの連続性が損なわれても、視覚的には検知されず問題とならない。すなわち動画撮像上も問題とならない。

【００２７】

また、上記各実施例では、１フレームに１行ずつ暗時信号を読み出す場合について説明を行ったが、１フレームに数行ずつ連続して、あるいは間隔をあけて暗時信号を読み出すようにしても構わない。例えば、Ｎ行の受光部をもつ固体撮像素子で１フレームに２行ずつ連続して読み出す場合は、次のように固体撮像素子から信号が読み出される。

第１フレームでは、１Ｓ，１Ｆ，２Ｓ，２Ｆ，３Ｓ，４Ｓ，５Ｓ，・・・ＮＳ

第２フレームでは、１Ｓ，２Ｓ，３Ｓ，３Ｆ，４Ｓ，４Ｆ，５Ｓ，・・・ＮＳ

また、１フレームに２行ずつ２行の間隔をあけて読み出す場合は、次のように信号が読み出される。

第１フレームでは、１Ｓ，１Ｆ，２Ｓ，３Ｓ，４Ｓ，４Ｆ，５Ｓ，・・・ＮＳ

第２フレームでは、１Ｓ，２Ｓ，２Ｆ，３Ｓ，４Ｓ，５Ｓ，５Ｆ，・・・ＮＳ

【００２８】

このような１フレームに２行ずつの暗時信号を読み出す場合は、蓄積時間は最大±２ライン増減することになり、また読み出しの連続性も最大２ライン期間とぎれることになるが、ＮＴＳＣ方式対応の固体撮像素子においては、それぞれ信号レベル差は0.８％、とぎれる時間は約128 μsec であり、実用上問題とならない。また信号レベル差については、図５に示した第３実施例の方法を用いることにより補正可能である。

【００２９】

また、上記各実施例では、フレーム毎に暗時信号を読み出す行を変化させるようにしたものを示したが、暗時信号を読み出す行は、複数フレーム毎に変化させるようにしても、同様に本発明による効果が得られる。

【００３０】

上記固体撮像素子の信号読み出し処理方法に関する発明は、暗時信号を記憶したＦＰＮメモリの内容の更新を例えば１フレーム期間に、１行又は数行分ずつ行う方法であるが、この方法を従来の内部増幅型光電変換素子を用いたＸＹアドレス型の固体撮像素子に、そのまま適用することは困難である。次に、上記固体撮像素子の信号読み出し処理方法を実施するために用いる固体撮像素子について説明する。

【００３１】

まず、本発明に係る内部増幅型光電変換素子を用いたＸＹアドレス型の固体撮像素子の概要を、図６の概念図に基づいて説明する。図６において、21は水平走査回路、22は垂直走査回路、23はＣＭＤ画素を３行３列に並べて構成した受光部、24は水平走査回路21に入力されるクロック群、25は垂直走査回路22に入力されるクロック群、26は信号出力端子、27はＣＭＤのドレイン電源である。なおＣＭＤの動作を制御するために必要な蓄積，読み出し，リセット，オーバーフロー電源は図示を省略している。

【００３２】

ＣＭＤを用いたＸＹアドレス型の固体撮像素子では、垂直走査回路22により選択され読み

出し状態にある行の信号を、水平走査回路21により順番に読み出すようになっており、垂直走査回路22はシフトレジスタとＣＭＤの動作を制御する４値のゲート電位を発生するレベルミックス回路からなり、水平走査回路21はシフトレジスタと信号選択スイッチとで構成されている。垂直及び水平走査回路22，21に含まれるシフトレジスタは、入力されるクロックに従い信号を順次シフトさせていくものである。図７に、図６に示した固体撮像素子における信号出力の態様と、垂直走査回路22から各行のゲートラインに出力されるゲート電位を示す。本発明における固体撮像素子においては、第１フレームでは、第１行の画素の光生成電荷による入射光情報をもった明時信号１Ｓの読み出しに続いて、第１行の入射光情報をリセットした後、第１行の入射光情報をもたない暗時信号１Ｆを読み出す。次に、第２行，第３行の入射光情報をもった明時信号２Ｓ，３Ｓを読み出す。第２フレームでは、第１行の入射光情報をもった明時信号１Ｓを読み出した後、第２行の入射光情報をもった明時信号２Ｓの読み出しに続いて、第２行の入射光情報をリセットした後、第２行の入射光情報をもたない暗時信号２Ｆを読み出す。次に、第３行の入射光情報をもった明時信号３Ｓを読み出す。このように、連続するフレームにおいて、入射光情報をもった明時信号に続き、入射光情報をもたない信号すなわち暗時信号を読み出す行を変化させ、一定のフレーム期間で、１フレーム分の暗時信号を更新させることができるように、垂直及び水平走査回路が構成されている。

【００３３】

次に、本発明に係る固体撮像素子の具体的な実施例について説明する。ＣＭＤを用いた固体撮像素子においては、垂直走査回路に含まれるレベルミックス回路から出力される４値のパルスにより、ＣＭＤ画素の蓄積，読み出し，リセット，オーバーフローの各動作が制御される。また、水平走査回路は垂直走査回路により読み出し状態に選択された行の画素の出力を順次読み出す働きをする。したがって、本発明による固体撮像素子は、従来のＣＭＤを用いた固体撮像素子の垂直走査回路を変更することにより実現可能である。図８は、ＣＭＤを用いた固体撮像素子の第１の実施例の垂直走査回路を示す回路構成図であり、本実施例では３行３列の受光部に対応させて３段の垂直走査回路を示している。

【００３４】

図８において、31は２個のクロックドインバータからなるシフトレジスタユニットを縦続接続してなるシフトレジスタで、32はシフトレジスタユニット、33-1はシフトレジスタユニットを構成する第１のクロックドインバータ、33-2はシフトレジスタユニットを構成する第２のクロックドインバータを示している。34はレベルミックス回路で、本件出願人が特願平４－５６０７６号で提案したものを用いており、35はレベルミックス回路を構成するレベルミックス回路ユニットである。また36はリセット電源、37は読み出し電源、38はオーバーフロー電源、39は蓄積電源である。そして、シフトレジスタ31の第１のクロックドインバータ33-1には、クロック$\phi_{V2}$とその反転クロック／$\phi_{V2}$及びスタートパルス$\phi_{VST}$を入力し、第２のクロックドインバータ33-2には、クロック$\phi_{V1}$とその反転クロック／$\phi_{V1}$を入力している。またレベルミックス回路34のレベルミックス回路ユニット35を構成しているトランジスタ$Q_{of}$には、クロック／$\phi_{V1}$を、同じくトランジスタ$Q_{ac}$にはクロック$\phi_{V1}$を入力し、またリセット電源36に接続されたトランジスタ$Q_{rs}$にはクロック／$\phi_{V3}$（クロック$\phi_{V3}$の反転クロック）を、読み出し電源37に接続されているトランジスタ$Q_{rd}$には、クロック$\phi_{V3}$を入力している。そして、シフトレジスタ31を構成する各シフトレジスタユニット32の出力である選択信号$S_1$，$S_2$，$S_3$は、インバータを介してレベルミックス回路34の各ユニット35へ入力され、各レベルミックス回路ユニット35から各行のゲートラインにゲート電位$G_1$，$G_2$，$G_3$が出力されるようになっている。

【００３５】

次に、このように構成された垂直走査回路の動作を、図９に示した選択信号$S_1$，$S_2$，$S_3$及びゲート電位$G_1$，$G_2$，$G_3$のタイミングチャートを参照しながら説明する。図９に示すように、第１フレームにおいては時刻$t_1$で、クロック$\phi_{V2}$のハイレベルを出力しないようにしている。したがって第１段目のシフトレジスタユニットからは選択信号$S_1$が出力され、時刻$t_1$の直前で選択状態にある行、すなわち第１行がクロック$\phi_{V1}$の２

周期分にわたり選択状態となる。また選択行に対して、リセット電位を供給するタイミングを決めるクロック$\phi_{V3}$は、時刻$t_1$においてもハイレベルが失われないようにしており、したがって第１行は選択状態の前半は、入射光情報をもった明時信号が読み出され、入射光情報をリセットし、選択状態の後半に、入射光情報をもたない信号すなわち暗時信号が連続して読み出される。次の第２フレームでは、時刻$t_2$で、クロック$\phi_{V2}$のハイレベルが失われるようにしている。したがって時刻$t_2$の直前では、第２行が選択状態であるので、このフレームでは第２行がクロック$\phi_{V1}$の２周期分にわたり選択状態となる。そして、先のフレームにおける第１行と同様の読み出しが第２行に対して行われる。

【００３６】

このように、本実施例によれば、１フレームの中、特定の１行に対して、入射光情報をもった明時信号を読み出した後、入射光情報をリセットし、暗時信号を読み出すことができるようになっている。また、連続するフレームで、この特定の行を変化させることにより、有限のフレーム期間で、１フレーム分の暗時信号を得ることができる。フレームメモリからなるＦＰＮメモリの内容の中、暗時信号を得る画素に対応する内容についてメモリの内容を更新していくことにより、順次ＦＰＮメモリに記憶した暗時信号を更新することができる。

【００３７】

上記第１実施例においては、図10に示す各行のゲート電位$G_1$，$G_2$，$G_3$のタイミングチャートからわかるように、各行の蓄積時間が不揃いになるという問題がある。すなわち、第２フレームでの各行の蓄積時間は、第１行及び第２行が３Ｈ（１Ｈは１水平走査期間）、第３行が４Ｈ、第３フレームでは、第１行が４Ｈ、第２行及び第３行が３Ｈ、第４フレームでは、第１行及び第３行が４Ｈ、第２行が５Ｈとなる。このような蓄積時間の不揃いは、ＮＴＳＣ方式を考えた場合、走査線数に対して、±１Ｈであるので、先に述べたように約0.４％となり、殆どの場合には問題とならない。しかし、１フレーム分の画像を静止画としてみる場合は、フレーム内に蓄積時間の違った部分の境界があると、その部分が無視できない場合がある。

【００３８】

この問題は、ある垂直走査期間内の特定の行（明時信号を読み出した後リセットし、暗時信号を読み出す行）に先行して走査される行、及び、次の垂直走査期間で特定の行となる行より後に走査される行に対して、信号読み出し期間中又は信号読み出し期間直後の光生成電荷のリセットに加え、一水平走査期間後に光生成電荷のリセット動作を行うことで解決できる。

【００３９】

上記の垂直走査期間内の蓄積時間を揃えるためのリセット動作を行う行を、図10に基づいて更に詳細に説明する。前者の行は、図10の第３フレームに着目すると、特定の行は第３行であるので、これに先行して走査される第１，第２行に相当し、後者の行は、第１フレームに着目すると、次フレームすなわち第２フレームでは第２行が特定の行となるので、第２行より後の行すなわち第３行に相当する。第４フレームにて読み出される各行については、第１，第２行は第３フレームでの特定の行が第３行であるので、信号読み出し中又は信号読み出し直後のリセットに加え、一水平走査期間後にリセット動作を行う。更に第４フレームの特定の行は第１行であるので、第２，第３行に対しても信号読み出し中又は信号読み出し直後のリセットに加え、一水平走査期間後にリセット動作を行う。ここで、第２行に対して、前者と後者による信号読み出し期間の一水平走査期間後のリセット動作が重複することになるが、このような場合は信号読み出し期間後に、二水平走査期間後にまでリセット動作を行うことで、全ての行の蓄積時間を３Ｈに統一することができる。また上述においては、光生成電荷のリセット動作が、ある行に対して、一垂直走査期間内に複数回行われるように説明をしたが、一垂直走査期間内の時間的に最後のリセット動作以外を省略しても、機能的には問題はない。

【００４０】

次に、図８に示した第１実施例の上記の問題を解決できるようにした第２実施例の垂直走

査回路の回路構成図を図11に示す。なお図11においては、図８に示した第１実施例と同一又は同一機能を有する構成要素には同一符号を付して示している。図11において、40は選択信号制御回路で、シフトレジスタ31とレベルミックス回路34との間に設けられており、この実施例では、第１行の選択信号$S_1$は、２段目のシフトレジスタユニットからの出力信号$SR_2$とコントロールクロック$\phi_{cnt}$のＡＮＤ出力と、１段目のシフトレジスタユニットからの出力信号$SR_1$のＯＲ出力で得られるように構成している。

【００４１】

次に、このように構成した第２実施例の動作を図12に示したタイミングチャートに基づいて説明する。選択信号制御回路40を用いることにより、第ｎ行は、第ｎ行が選択状態であるときに加えて、第ｎ＋１行が選択状態で、コントロールクロック$\phi_{cnt}$がハイレベルのときも選択状態となる。この実施例では第２フレーム及び第３フレームでは、全ての行の蓄積時間は３Ｈとなる。しかし、第４フレームでは、第１行の蓄積時間が３Ｈ、第２行及び第３行の蓄積時間が４Ｈとなり、第２及び第３フレームと蓄積時間の不揃いが残る。本実施例では、受光部が３行からなる固体撮像素子について述べているが、一般に固体撮像素子はより多くの行で構成されており、有効画素部の周辺には映像信号に関係しない画素を配置している。本実施例の第４フレームの場合について考えると、第４フレーム内で蓄積時間の揃っていないのは第１行であり、この行は実際には映像信号には関係しないようにすることができる。したがって、第４フレーム内の蓄積時間は実質的に揃っていると考えることができる。この場合、第２及び第３フレームと第４フレームの間では、蓄積時間が１Ｈ揃わないことになるが、これはＮＴＳＣ方式においては約500 フレームに１回もしくは数回のことであり、問題となることは殆どない。また、１フレーム内の蓄積時間は揃っているので、１フレームの画像を静止画として出力しても、特に異常は生じない。また、蓄積時間が異なることによる信号レベル差は、図５に示した信号読み出し処理方法の実施例で説明した信号レベル差を補正する乗算器を用いることにより、１フレーム単位で補正することができる。

【００４２】

上記第１実施例におけるクロック$\phi_{V2}$及び第２実施例の選択信号制御回路40で用いるコントロール信号$\phi_{cnt}$は、簡単な論理回路により、他のクロック信号等により発生させることができる。例えば、図13に示す構成の回路により、クロック$\phi_{V1}$，$\phi_{V3}$，スタートパルス$\phi_{VST}$及びコントロール信号$\phi_{cnt1}$を用いることにより、図14に示すようなタイミングでクロック$\phi_{V2}$及びコントロール信号$\phi_{cnt}$を発生させることができる。

【００４３】

すなわち、図13において、ＦＦ１はＤタイプフリップフロップであり、ＦＦ２～ＦＦ４はＲ端子に“Ｈ”レベルを加えるとＱ端子が“Ｌ”レベルとなるリセット付Ｄタイプフリップフロップである。そしてＦＦ１～ＦＦ４のクロック端子にはクロック$\phi_{V1}$を、ＦＦ２～ＦＦ４のＲ端子にはコントロール信号$\phi_{cnt1}$とスタートパルス$\phi_{VST}$を入力したＡＮＤ１の出力端子を接続する。また、ＦＦ１のＤ端子にはコントロール信号$\phi_{cnt1}$を入力し、ＦＦ２～ＦＦ４のＤ端子には前段のＤタイプフリップフロップのＱ出力を入力するように接続する。これにより、ＦＦ２～ＦＦ４のＱ出力を入力したＮＯＲの出力と、クロック$\phi_{V1}$をインバータＮＯＴを介して反転した出力を入力したＡＮＤ２の出力により、コントロール信号$\phi_{cnt}$を形成することができる。またクロック$\phi_{V2}$はＦＦ１の／Ｑ出力（Ｑ出力の反転出力）とクロック$\phi_{V3}$を入力したＡＮＤ３の出力により形成することができる。

【００４４】

このようなクロックあるいはコントロール信号を発生する回路は、固体撮像素子と同一基板上に殆ど面積の増大なしに構成することが可能で、この回路を固体撮像素子と同一基板上に構成することによって、入出力端子を低減することができる。

【００４５】

以上説明した実施例においては、入射光情報をもった明時信号に続いて入射光情報をもたない暗時信号を読み出す行（特定行）は、１フレーム当たり１行とした例を示したが、この特定行は、先の信号読み出し処理方法の実施例において述べたように、１フレーム当た

り１行である必要はなく、１フレーム当たり連続する複数の行、又は１フレーム当たり間隔をあけた複数の行とするように垂直走査回路を構成しても構わない。なお、図11に示した第２実施例において、特定行を１フレーム当たり複数の行とする場合には、信号読み出し期間直後のリセット動作に加える一水平走査期間後のリセット動作は、複数水平走査期間後に加えるように構成すればよい。

【００４６】

また、上記実施例では、受光部を構成する画素としてＣＭＤを用いたものを示したが、画素はＣＭＤに限られるものではなく、ＳＩＴやＡＭＩ等のＸＹアドレス型の固体撮像素子を構成できるものであれば、何れでも用いることができる。また、上記実施例においては、垂直走査回路をクロックドインバータを縦続接続したシフトレジスタを用いて構成したものを示したが、他のダイナミック型シフトレジスタあるいはスタティック型シフトレジスタを用いて構成しても、同様な効果が得られる。

【００４７】

【発明の効果】

以上実施例に基づいて説明したように、本発明に係る固体撮像素子の信号読み出し処理方法によれば、動画及び静止画のいずれに対してもリアルタイムに暗時ＦＰＮが抑圧され、温度変化等により暗時ＦＰＮが変化した場合でも直ちにその変化に追従し、常に安定に暗時ＦＰＮを抑圧した画像信号を得ることができる。また、本発明に係る固体撮像素子によれば、上記信号読み出し処理方法に容易に適用できる固体撮像素子を実現することができる。

【図面の簡単な説明】

【図１】本発明に係る固体撮像素子の信号読み出し処理方法の第１実施例を説明するための信号読み出し処理装置を示すブロック構成図である。

【図２】図１に示した装置の動作を説明するためのタイミングチャートである。

【図３】図１に示した装置の動作を説明するためのタイミングチャートである。

【図４】本発明の第２実施例を説明するための信号読み出し処理装置を示すブロック構成図である。

【図５】本発明の第３実施例を説明するための信号読み出し処理装置を示すブロック構成図である。

【図６】本発明の固体撮像素子を説明するための概念図である。

【図７】図６に示した固体撮像素子の動作を説明するためのタイミングチャートである。

【図８】本発明の固体撮像素子の具体的な第１実施例の垂直走査回路を示す回路構成図である。

【図９】図８に示した垂直走査回路の動作を説明するためのタイミングチャートである。

【図10】図８に示した第１実施例の問題点を説明するためのタイミングチャートである。

【図11】固体撮像素子の第２実施例の垂直走査回路を示す回路構成図である。

【図12】図11に示した第２実施例の動作を説明するためのタイミングチャートである。

【図13】制御信号及びシフトレジスタクロックの発生回路を示す回路構成図である。

【図14】図13に示した制御信号及びクロック発生回路の動作を説明するためのタイミングチャートである。

【図15】従来のＦＰＮ抑圧手段を示すブロック構成図である。

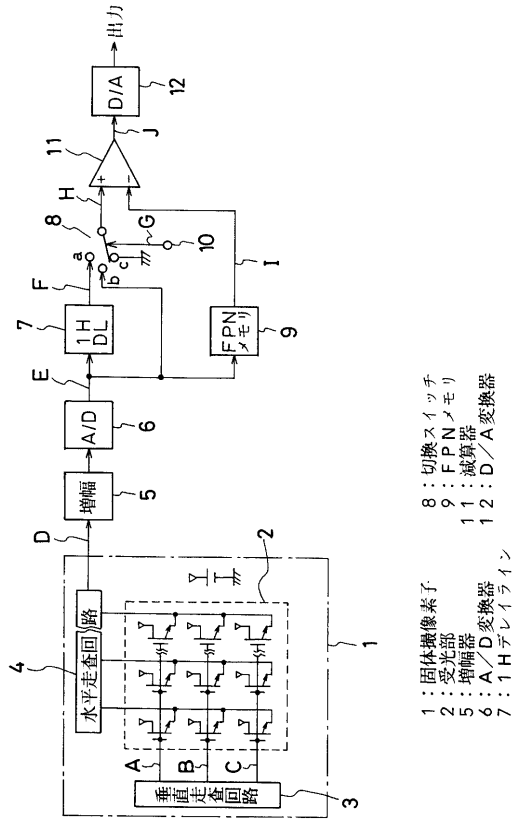
【図16】従来のＦＰＮ抑圧手段を備えた固体撮像素子の出力態様を示す図である。

【符号の説明】

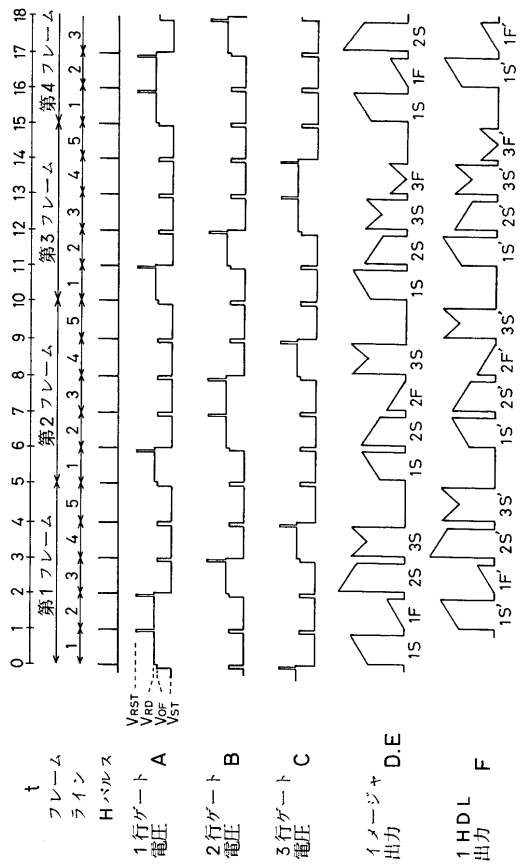
１　固体撮像素子
２　受光部
３　垂直走査回路
４　水平走査回路
５　増幅器
６　Ａ／Ｄ変換器
７　１Ｈデレイライン

8　切換スイッチ
9　ＦＰＮメモリ
11　減算器
12　Ｄ／Ａ変換器
13　１Ｈデレイライン
14　切換スイッチ
16　減算器
17　乗算器
21　水平走査回路
22　垂直走査回路
23　受光部
24　水平走査回路用クロック群
25　垂直走査回路用クロック群
26　信号出力端子
27　ドレイン電源
31　シフトレジスタ
32　シフトレジスタユニット
33-1　第１のクロックドインバータ
33-2　第２のクロックドインバータ
34　レベルミックス回路
35　レベルミックス回路ユニット
40　選択信号制御回路

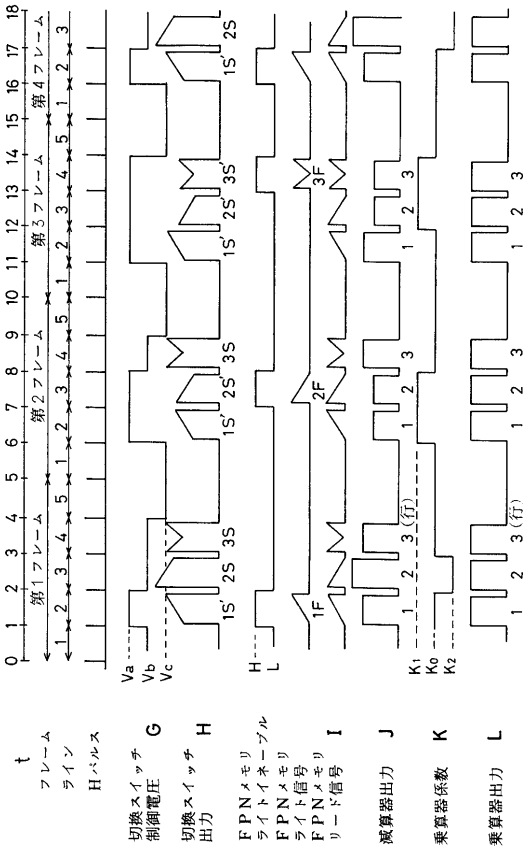
【図１】



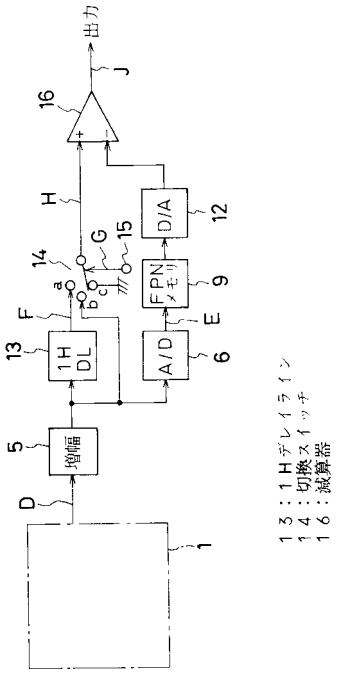

【図２】



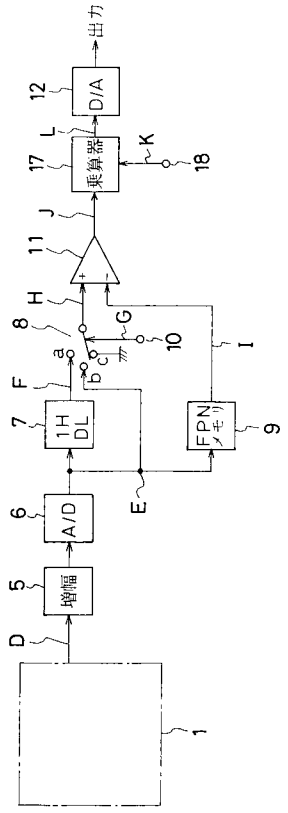
【図３】



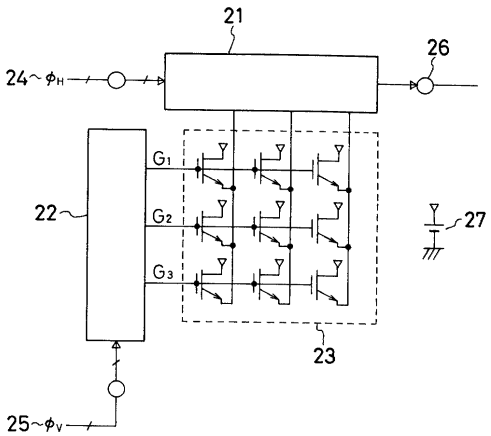

【図４】




【図５】

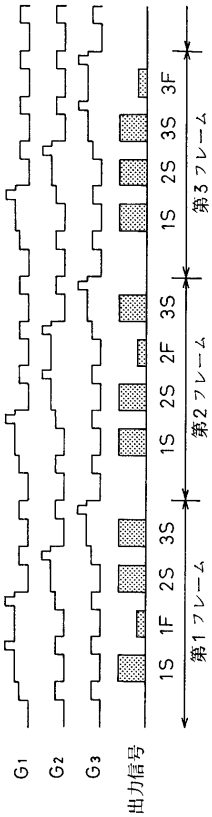



【図６】

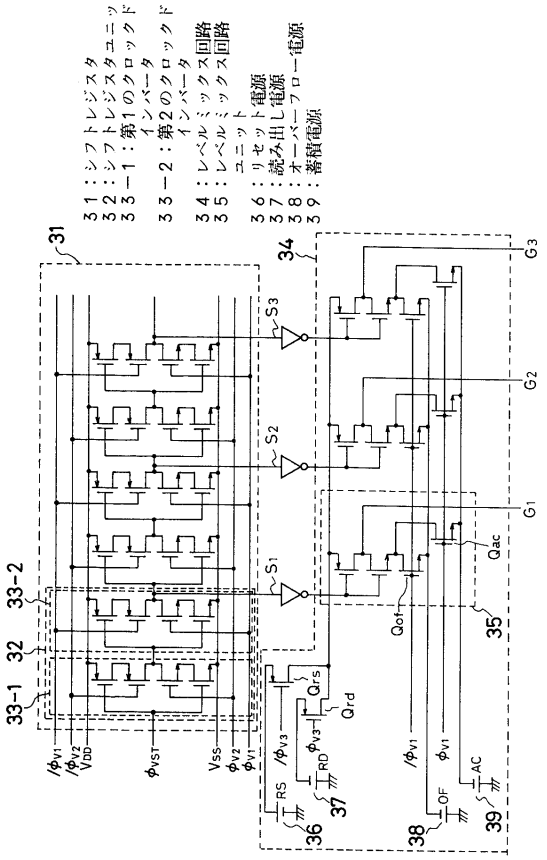



21：水平走査回路
22：垂直走査回路
23：受光部
24：水平走査回路用クロック群
25：垂直走査回路用クロック群
26：信号出力端子
27：ドレイン電源

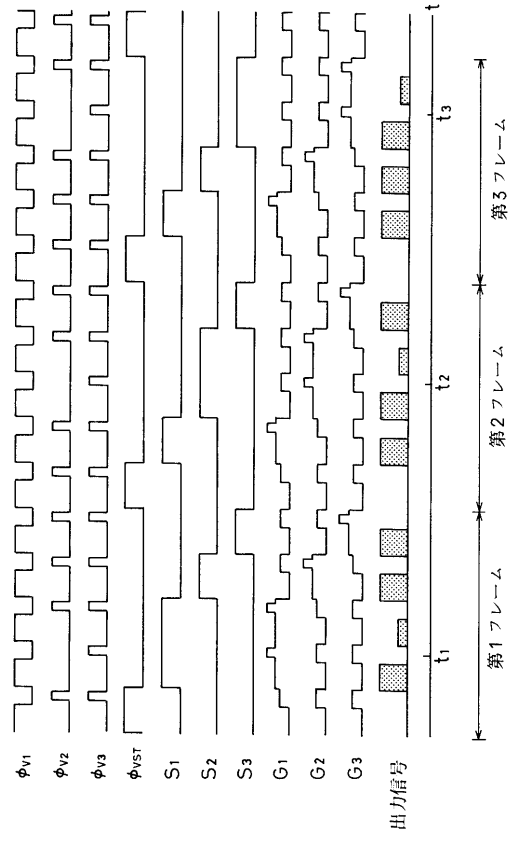
【図７】


G1
G2
G3
出力信号
1S 1F 2S 3S
第1フレーム
1S 2S 2F 3S
第2フレーム
1S 2S 3S 3F
第3フレーム

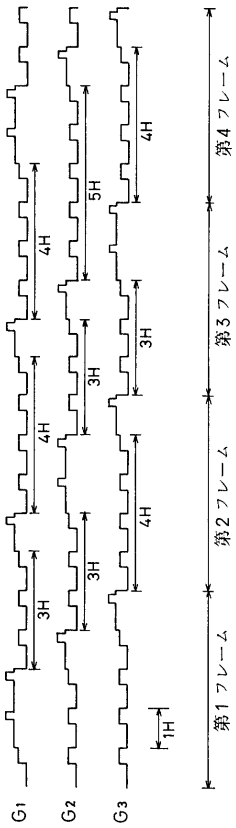
【図８】


31：シフトレジスタ
32：シフトレジスタユニット
33－1：第1のクロックドインバータ
33－2：第2のクロックドインバータ
34：レベルミックス回路
35：レベルミックス回路ユニット
36：リセット電源
37：読み出し電源
38：オーバーフロー電源
39：蓄積電源
31
34
33-2
32
33-1
G3
G2
G1
S3
S2
S1
Qac
Qof
Qrs
Qrd
/φV1
/φV2
VDD
φVST
VSS
φV2
φV1
/φV3
φV3
RS
RD
OF
AC
36
37
38
39

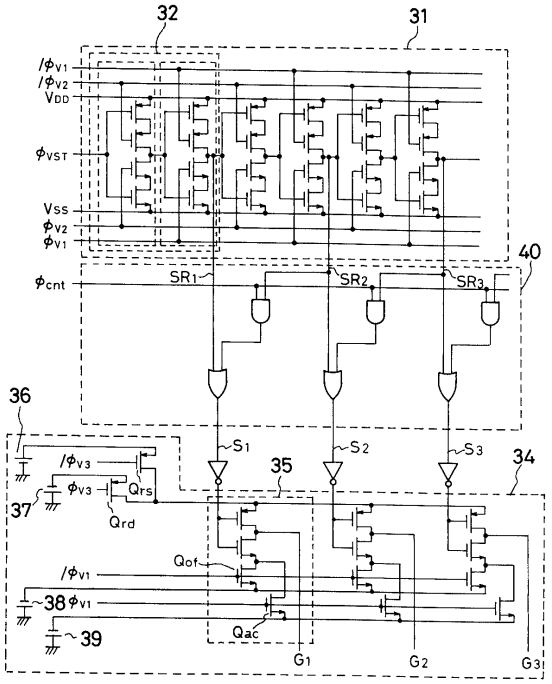
【図９】


φV1
φV2
φV3
φVST
S1
S2
S3
G1
G2
G3
出力信号
t
t1
t2
t3
第1フレーム
第2フレーム
第3フレーム

【図１０】

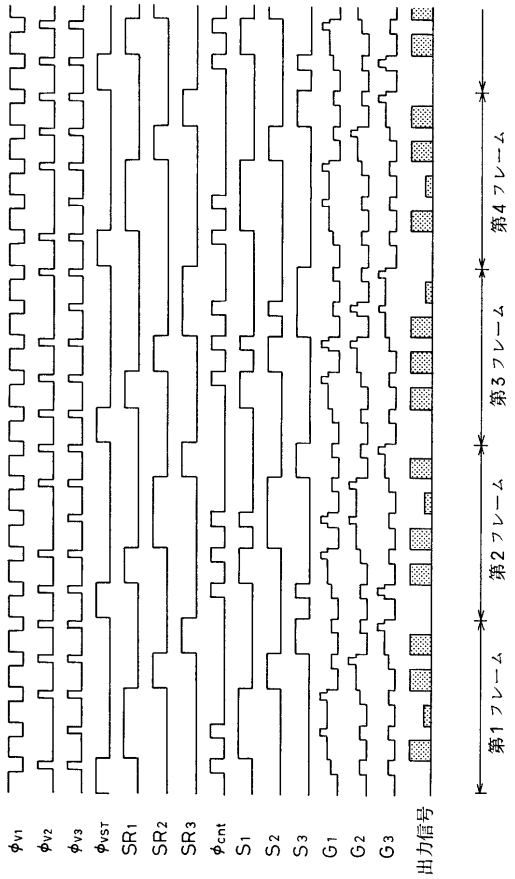

G1
G2
G3
3H
4H
5H
1H
第1フレーム
第2フレーム
第3フレーム
第4フレーム

【図１１】

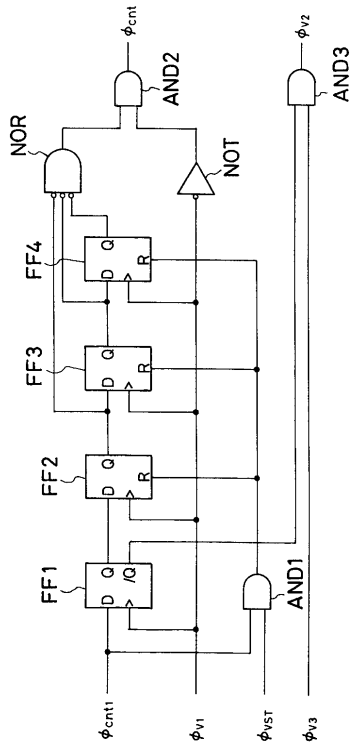



４０：選択信号制御回路

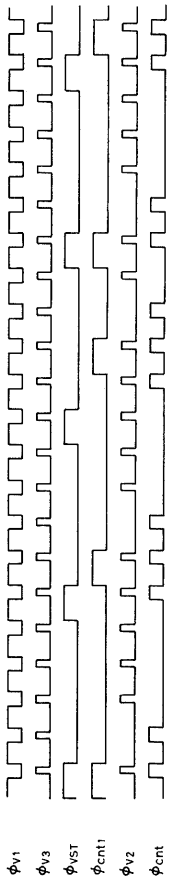
【図１２】



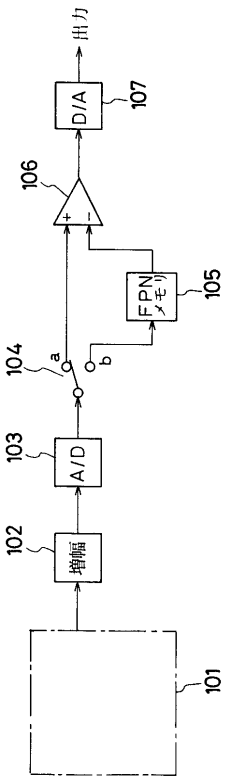

【図１３】




【図１４】

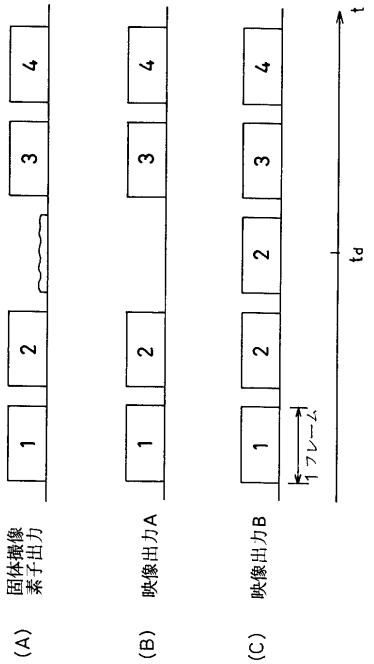


【図１５】




１０１：固体撮像素子
１０２：増幅回路
１０３：Ａ／Ｄ変換器
１０４：切換スイッチ
１０５：ＦＰＮメモリ
１０６：減算器
１０７：Ｄ／Ａ変換器

【図１６】



フロントページの続き

審査官　▲徳▼田　賢二

(56)参考文献　特開昭６４－０３９１７１（ＪＰ，Ａ）
特開昭６４－０３９１７６（ＪＰ，Ａ）
特開平０４－１６０８７７（ＪＰ，Ａ）
特開平０５－１２２６１５（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H04N 5/335