

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成20年7月10日(2008.7.10)

【公開番号】特開2006-48688(P2006-48688A)
 【公開日】平成18年2月16日(2006.2.16)
 【年通号数】公開・登録公報2006-007
 【出願番号】特願2005-220421(P2005-220421)
 【国際特許分類】

G 0 6 F 12/16 (2006.01)

【 F I 】

G 0 6 F 12/16 A

G 0 6 F 12/16 3 2 0 C

【手続補正書】

【提出日】平成20年5月26日(2008.5.26)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

メモリ・システムであって、

メモリ・コントローラおよび少なくとも 1 つのメモリ・モジュールを含む、少なくとも 2 つのメモリ・アセンブリと、

少なくとも 1 つの予備のビット・レーンを含む複数のビット・レーンの各々にそれぞれ対応する複数のセグメントから成るメモリ・バスを備え、

前記各メモリ・モジュールは前記メモリ・バスを介して、直接に又はカスケード型の態様で前記メモリ・コントローラに接続され、任意の 2 つの相互接続アセンブリの間の単一のセグメントを、他の任意の 2 つの相互接続アセンブリ間の単一のセグメントを前記他の任意の 2 つの相互接続アセンブリ間の予備のセグメントで置換する能力を保持したまま、前記任意の 2 つの相互接続アセンブリの間の予備のセグメントで置換することができる

、

メモリ・システム。

【請求項 2】

前記メモリ・バスはダウンストリーム・バスであり、前記単一のセグメントは前記ダウンストリーム・バスの上に配置されている、請求項 1 に記載のメモリ・システム。

【請求項 3】

前記メモリ・バスはアップストリーム・バスであり、前記単一のセグメントは前記アップストリーム・バスの上に配置されている、請求項 1 に記載のメモリ・システム。

【請求項 4】

メモリ・コントローラおよび少なくとも 1 つのメモリ・モジュールを含む、少なくとも 2 つのメモリ・アセンブリと、少なくとも 1 つの予備のビット・レーンを含む複数のビット・レーンの各々にそれぞれ対応する複数のセグメントを備えたメモリ・バスとを含むメモリ・システムであって、各メモリ・モジュールは前記メモリ・バスを介して直接に又はカスケード型の態様で前記メモリ・コントローラに接続されるメモリ・システムの任意のメモリ・アセンブリにおいて実行される、セグメント・レベルの予備化を実現する方法であって、

入力信号を受信するステップと、

前記入力信号中のビット群のうちの1つが、前記任意のメモリ・アセンブリの上流または下流にあるメモリ・アセンブリとの間における故障セグメントに関連付けられるのに応答して、前記入力信号中の前記ビット群を再配置するステップ

とを備えた、方法。

【請求項5】

前記入力信号が予備ビットを含み、前記予備ビットが前記入力信号中で利用されている場合、前記ビット群のうちの1つを故障セグメントに関連付ける、請求項4に記載の方法。

【請求項6】

さらに、前記入力信号中の再配置した前記ビット群のうちの1つが、前記現在のメモリ・アセンブリに接続されている故障セグメントに関連付けられるのに応答して、前記入力信号中の再配置した前記ビット群の順番を入れ替えるステップと、前記任意のメモリ・アセンブリの上流または下流にあるメモリ・アセンブリに前記順番を入れ替えたビット群を転送するステップとを備えた、請求項4に記載の方法。

【請求項7】

前記再配置をマルチプレクサで行う、請求項4に記載の方法。

【請求項8】

前記任意のメモリ・アセンブリはメモリ・コントローラまたはメモリ・モジュールである、請求項4に記載の方法。

【請求項9】

前記バスは一方方向性のアップストリーム・メモリ・バスおよび一方方向性のダウンストリーム・メモリ・バスを含む、請求項4に記載の方法。

【請求項10】

前記アップストリーム・メモリ・バス上の情報は23個の信号を含み、1個の信号は予備ビットであり、4個の信号はエラー訂正コード・ビットである、請求項9に記載の方法。

【請求項11】

前記ダウンストリーム・メモリ・バス上の情報は22個の信号を含み、1個の信号は予備ビットであり、4個の信号はエラー訂正コード・ビットである、請求項9に記載の方法。

【請求項12】

前記カスケード型相互接続システムはバス・レベル・エラー訂正コード機能ブロックを備えている、請求項4に記載の方法。

【請求項13】

さらに、前記再配置したビット群をバス・レベル・エラー訂正コード機能ブロックに転送するステップを備えた、請求項12に記載の方法。

【請求項14】

前記バス・レベル・エラー訂正コード機能ブロックはエラー・フラグおよびエラー・データをメモリ・コントローラにエラー報告ブロックを介して転送する、請求項13に記載の方法。

【請求項15】

さらに、故障ビットを無効にして予備ビットを使用するコマンドを、前記現在のメモリ・アセンブリにおいて受信するステップを備えた、請求項13に記載の方法。

【請求項16】

前記コマンドをメモリ・コントローラから受信する請求項15に記載の方法。

【請求項17】

メモリ・コントローラおよび少なくとも1つのメモリ・モジュールを含む、少なくとも2つのメモリ・アセンブリと、少なくとも1つの予備のビット・レーンを含む複数のビット・レーンの各々にそれぞれ対応する複数のセグメントを備えたメモリ・バスを含むメ

メモリ・システムであって、各メモリ・モジュールは前記メモリ・バスを介して直接に又はカスケード型の態様で前記メモリ・コントローラに接続されるメモリ・システムの任意のメモリ・アセンブリにおいて実行される、セグメント・レベルの予備化を実現するためのプログラムであって、前記プログラムは前記任意のメモリ・アセンブリに、

入力信号を受信するステップと、

前記入力信号中のビット群のうちの１つが、アップストリームまたはダウンストリームのメモリ・アセンブリにおける故障セグメントに関連付けられるのに応答して、前記入力信号中の前記ビット群を再配置するステップ

とを実行させる、プログラム。

【請求項 18】

メモリ・システムであって、

メモリ・コントローラおよび少なくとも１つのメモリ・モジュールを含む、少なくとも２つのメモリ・アセンブリと、

少なくとも１つの予備のビット・レーンを含む複数のビット・レーンの各々にそれぞれ対応する複数のセグメントから成るメモリ・バスを備え、

前記各メモリ・モジュールは前記メモリ・バスを介して、直接に又はカスケード型の態様で前記メモリ・コントローラに接続され、任意の２つの相互接続アセンブリの間の単一のクロック・セグメントを、他の任意の２つの相互接続アセンブリ間の単一のクロック・セグメントを前記他の任意の２つの相互接続アセンブリ間の予備のセグメントで置換する能力を保持したまま、前記任意の２つの相互接続アセンブリの間の予備のセグメントで置換することができる、

メモリ・システム。