

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5489946号
(P5489946)

(45) 発行日 平成26年5月14日 (2014. 5. 14)

(24) 登録日 平成26年3月7日 (2014. 3. 7)

(51) Int. Cl.

F I

H03F 3/343 (2006.01)

H03F 3/343 A

H01L 29/786 (2006.01)

H01L 29/78 618B

H03F 3/08 (2006.01)

H01L 29/78 618G

H03F 3/08

請求項の数 10 (全 73 頁)

(21) 出願番号 特願2010-231402 (P2010-231402)
 (22) 出願日 平成22年10月14日 (2010. 10. 14)
 (65) 公開番号 特開2011-109646 (P2011-109646A)
 (43) 公開日 平成23年6月2日 (2011. 6. 2)
 審査請求日 平成25年9月2日 (2013. 9. 2)
 (31) 優先権主張番号 特願2009-242853 (P2009-242853)
 (32) 優先日 平成21年10月21日 (2009. 10. 21)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 小山 潤
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 広瀬 篤志
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 津吹 将志
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 アナログ回路

(57) 【特許請求の範囲】

【請求項 1】

リファレンストランジスタと、ミラートランジスタと、検出器と、を有し、
 前記リファレンストランジスタは前記検出器と電氣的に接続され、
 前記リファレンストランジスタのドレインとゲートは電氣的に接続され、
 前記リファレンストランジスタのゲートは前記ミラートランジスタのゲートと電氣的に
 接続され、

前記リファレンストランジスタと前記ミラートランジスタは、ドレイン電圧が1 V及び
 10 Vの場合において、ゲート電圧が - 5 V から - 20 V の範囲におけるドレイン電流が
 1×10^{-13} A 以下である酸化物半導体を有することを特徴とするアナログ回路。

【請求項 2】

請求項 1 において、
 前記ミラートランジスタは、複数の薄膜トランジスタが並列接続されていることを特徴
 とするアナログ回路。

【請求項 3】

請求項 1 または請求項 2 において、
 前記ミラートランジスタのチャネル幅は、前記リファレンストランジスタのチャネル幅
 よりも大きいことを特徴とするアナログ回路。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、

10

20

前記酸化物半導体のチャネル領域のキャリア濃度が $5 \times 10^{14} / \text{cm}^3$ 以下であることを特徴とするアナログ回路。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、

前記酸化物半導体のチャネル領域の水素濃度が $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下であることを特徴とするアナログ回路。

【請求項 6】

第 1 端子が高電源電位に電氣的に接続された第 1 の薄膜トランジスタと、

第 1 端子が高電源電位に電氣的に接続された第 2 の薄膜トランジスタと、

前記高電源電位と、前記第 1 の薄膜トランジスタの前記第 1 端子との間に、検出器と、 10

を有し、
前記第 1 の薄膜トランジスタのゲートは、前記検出器と前記第 1 の薄膜トランジスタの前記第 1 端子の間に電氣的に接続され、

前記第 2 の薄膜トランジスタのゲートは、前記第 1 の薄膜トランジスタのゲートと電氣的に接続され、

前記第 1 の薄膜トランジスタの第 2 端子と、前記第 2 の薄膜トランジスタの第 2 端子とは、低電源電位に電氣的に接続され、

前記第 1 の薄膜トランジスタと前記第 2 の薄膜トランジスタは、ドレイン電圧が 1 V 及び 10 V の場合において、ゲート電圧が - 5 V から - 20 V の範囲におけるドレイン電流が $1 \times 10^{-13} \text{ A}$ 以下である酸化物半導体を有することを特徴とするアナログ回路。 20

【請求項 7】

請求項 6 において、

前記第 2 の薄膜トランジスタは、複数の薄膜トランジスタが並列接続されていることを特徴とするアナログ回路。

【請求項 8】

請求項 6 または請求項 7 において、

前記第 2 の薄膜トランジスタのチャネル幅は、前記第 1 の薄膜トランジスタのチャネル幅よりも大きいことを特徴とするアナログ回路。

【請求項 9】

請求項 6 乃至請求項 8 のいずれか一項において、 30

前記酸化物半導体のチャネル領域のキャリア濃度が $5 \times 10^{14} / \text{cm}^3$ 以下であることを特徴とするアナログ回路。

【請求項 10】

請求項 6 乃至請求項 9 のいずれか一項において、

前記酸化物半導体のチャネル領域の水素濃度が $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下であることを特徴とするアナログ回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一形態は、酸化物半導体を用いた電界効果型トランジスタを有するアナログ回路 40 に関する。また、該アナログ回路を有する半導体装置に関する。

【0002】

なお、本明細書において、半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路及び電気器機は全て半導体装置である。

【背景技術】

【0003】

絶縁表面を有する基板上に形成された半導体薄膜を用いて薄膜トランジスタ (TFT: Thin Film Transistor) を構成する技術が注目されている。薄膜トランジスタは液晶テレビに代表されるような表示装置に用いられている。薄膜トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が公知であるが、その他の材料とし 50

て酸化物半導体が注目されている。

【 0 0 0 4 】

酸化物半導体の材料としては、酸化亜鉛又は酸化亜鉛を成分とする材料が知られている。そして、電子キャリア濃度が $10^{18} / \text{cm}^3$ 未満である非晶質金属酸化物（酸化物半導体）からなるもので形成された薄膜トランジスタが開示されている（特許文献 1 乃至 3）。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 5 】

【 特許文献 1 】 特開 2 0 0 6 - 1 6 5 5 2 7 号 公 報

10

【 特許文献 2 】 特開 2 0 0 6 - 1 6 5 5 2 8 号 公 報

【 特許文献 3 】 特開 2 0 0 6 - 1 6 5 5 2 9 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

しかしながら、酸化物半導体は薄膜形成工程において化学量論的組成からのずれが生じてしまう。例えば、酸素の過不足によって酸化物半導体の電気伝導度が変化してしまう。また、酸化物半導体の薄膜形成中に混入する水素が酸素（O）- 水素（H）結合を形成して電子供与体となり、電気伝導度を変化させる要因となる。さらに O - H は極性分子なので、酸化物半導体によって作製される薄膜トランジスタのような能動デバイスに対して特性の変動要因となる。

20

【 0 0 0 7 】

電子キャリア濃度が $10^{18} / \text{cm}^3$ 未満としても、酸化物半導体においては実質的には n 型であり、前記特許文献 1 乃至 3 に開示される薄膜トランジスタのオン・オフ比は 10^3 しか得られていない。このような薄膜トランジスタのオン・オフ比が低い理由はオフ電流が高いことによるものである。

【 0 0 0 8 】

オン・オフ比が低い薄膜トランジスタによって構成される回路は、回路動作が不安定になりやすい。また、アナログ回路に用いた場合のダイナミックレンジを十分に得ることができず、オフ電流が高いと、小さな信号の検出感度を高めることができないという問題がある。さらに、オフ電流が高いことにより、無駄に電流が流れ消費電力が増加するという問題がある。

30

【 0 0 0 9 】

上述した課題に鑑み、本発明の一形態は、酸化物半導体を用いて形成された薄膜トランジスタによって構成される回路の誤動作を低減させることを課題の一とする。

【 0 0 1 0 】

本発明の一態様は、酸化物半導体を用いて形成された薄膜トランジスタによって構成される回路のダイナミックレンジを高めることを課題の一とする。

【 0 0 1 1 】

本発明の一態様は、酸化物半導体を用いて形成された薄膜トランジスタによって構成される回路の信号検出感度を高めることを課題の一とする。

40

【 0 0 1 2 】

本発明の一態様は、酸化物半導体を用いて形成された薄膜トランジスタによって構成される回路の消費電力を低減することを課題の一とする。

【 課題を解決するための手段 】

【 0 0 1 3 】

本発明の一形態は、酸化物半導体中で電子供与体（ドナー）となる不純物（水素、水分、水素化物、または水酸化物など）を除去することで、真性又は実質的に真性な半導体であって、シリコン半導体よりもエネルギーギャップが大きい酸化物半導体でチャネル領域が形成される薄膜トランジスタによってアナログ回路を構成する。

50

【0014】

具体的には、酸化物半導体に含まれる水素が $5 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{18} / \text{cm}^3$ 以下、より好ましくは $5 \times 10^{17} / \text{cm}^3$ 以下として、酸化物半導体に含まれる水素若しくはOH基を除去し、キャリア濃度を $5 \times 10^{14} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{12} / \text{cm}^3$ 以下とした酸化物半導体でチャネル領域が形成される薄膜トランジスタによってアナログ回路が構成される。

【0015】

また、当該酸化物半導体のエネルギーギャップを、 2 eV 以上、好ましくは 2.5 eV 以上、より好ましくは 3 eV 以上として、ドナーを形成する水素等の不純物を極力低減し、キャリア濃度を $1 \times 10^{14} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{12} / \text{cm}^3$ 以下となるようにする。

10

【0016】

このように高純度化された酸化物半導体は、薄膜トランジスタのチャネル領域に用いることで、チャネル幅が 10 nm の場合でさえも、ドレイン電圧が 1 V 及び 10 V の場合において、ゲート電圧が -5 V から -20 V の範囲におけるドレイン電流が $1 \times 10^{-13} \text{ A}$ 以下となるように作用する。

【0017】

また、本発明の一態様は、リファレンストランジスタと、ミラートランジスタと、検出器を有し、リファレンストランジスタは検出器と電氣的に接続され、リファレンストランジスタのドレインとゲートは電氣的に接続され、リファレンストランジスタのゲートはミラートランジスタのゲートと電氣的に接続され、リファレンストランジスタとミラートランジスタは、チャネル領域が、水素濃度が $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下である酸化物半導体によって構成されていることを特徴とするアナログ回路である。

20

【0018】

また、本発明の一態様は、第1端子が高電源電位に電氣的に接続された第1の薄膜トランジスタと、第1端子が高電源電位に電氣的に接続された第2の薄膜トランジスタと、高電源電位と第1の薄膜トランジスタの第1端子の間に検出器を有し、第1の薄膜トランジスタのゲートは、検出器と第1の薄膜トランジスタの第1端子の間に電氣的に接続され、第2の薄膜トランジスタのゲートは、第1の薄膜トランジスタのゲートに電氣的に接続され、第1の薄膜トランジスタの第2端子と、第2の薄膜トランジスタの第2端子は低電源電位に電氣的に接続され、第1の薄膜トランジスタと、第2の薄膜トランジスタは、チャネル領域が、水素濃度が $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下である酸化物半導体によって構成されていることを特徴とするアナログ回路である。

30

【0019】

なお、本明細書において、濃度は二次イオン質量分析法 (Secondary Ion Mass Spectrometry。以下、SIMSともいう。) によって計測される。ただし、他の計測法が挙げられている場合など、特に記載がある場合にはこの限りではない。

【0020】

また、上記のアナログ回路を有する半導体装置も本発明の一態様である。

40

【発明の効果】

【0021】

本発明の一態様によれば、高純度化された酸化物半導体を用いた薄膜トランジスタでアナログ回路を構成することで、信号検出感度が高く、ダイナミックレンジの広い半導体装置を得ることができる。

【0022】

また、高純度化された酸化物半導体を用いた薄膜トランジスタを用いることで、安定して動作し、消費電力が低い半導体装置を得ることができる。

【図面の簡単な説明】

【0023】

50

【図 1】半導体装置の回路構成を示す図。

【図 2】半導体装置の断面構造を示す図。

【図 3】半導体装置の上面及び断面構造を示す図。

【図 4】半導体装置の作製工程を示す図。

【図 5】半導体装置の上面及び断面構造を示す図。

【図 6】半導体装置の作製工程を示す図。

【図 7】半導体装置の断面構造を示す図。

【図 8】半導体装置の作製工程を示す図。

【図 9】半導体装置の作製工程を示す図。

【図 10】半導体装置の作製工程を示す図。

10

【図 11】半導体装置の断面構造を示す図。

【図 12】半導体装置を示す図。

【図 13】半導体装置の画素等価回路を示す図。

【図 14】半導体装置の画素等価回路を示す図。

【図 15】半導体装置の断面構造を示す図。

【図 16】半導体装置を示す図。

【図 17】半導体装置を示す図。

【図 18】半導体装置を示す図。

【図 19】半導体装置を示す図。

【図 20】半導体装置を示す図。

20

【図 21】半導体装置を示す図。

【図 22】酸化物半導体を用いた逆スタガー型の薄膜トランジスタの縦断面図。

【図 23】図 22 に示す A - A' 断面におけるエネルギーバンド図（模式図）。

【図 24】（A）ゲート（G1）に正の電位（+VG）が印加された状態を示し、（B）ゲート（G1）に負の電位（-VG）が印加された状態を示す図。

【図 25】真空準位と金属の仕事関数（ ϕ ）、酸化物半導体の電子親和力（ χ ）の関係を
示す図。

【発明を実施するための形態】

【0024】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は
以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態お
よび詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本
発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

30

【0025】

なお、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や
、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため
、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることがで
きるものとする。

【0026】

また、トランジスタのソース端子及びドレイン端子は、トランジスタの構造や動作条件等
によって替わるため、いずれがソース端子又はドレイン端子であるかを特定することが困
難である。そこで、本書類においては、ソース端子及びドレイン端子の一方を第1端子、
ソース端子及びドレイン端子の他方を第2端子と表記し、区別することとする。

40

【0027】

また、各実施の形態の図面等において示す各構成の、大きさ、層の厚さ、又は領域は、明
瞭化のために誇張されて表記している場合がある。よって、必ずしもそのスケールに限定
されない。また、本明細書にて用いる「第1」、「第2」、「第3」などの序数は、構成
要素の混同を避けるために付したものであり、数的に限定するものではないことを付記す
る。

【0028】

50

(実施の形態 1)

本明細書で開示する高純度化された酸化物半導体を用いた薄膜トランジスタは、アナログ回路に適用することができる。アナログ回路の代表例として、例えば、カレントミラー回路が挙げられる。カレントミラー回路を電流増幅回路として用いた場合、電流増幅回路のダイナミックレンジを広げることができ、特に微量電流に対する感度を向上させることができる。

【0029】

本実施の形態では、高純度化された酸化物半導体を用いた薄膜トランジスタをカレントミラー回路に適用する例として、光検出装置について図1を用いて説明する。

【0030】

図1に示す光検出装置1300は、検出器1301、増幅回路1302、高電源電位VDDが供給される電源端子1311、低電源電位VSSが供給される電源端子1312、保護回路1320を有する。光検出装置1300では、電源端子1312の電位を接地電位GNDとすることもできる。

【0031】

保護回路1320はダイオード1321を有する。ダイオード1321は、電源端子1311と電源端子1312の間に挿入され、ダイオード1321のカソードが電源端子1311に電氣的に接続され、そのアノードが電源端子1312に電氣的に接続されている。ESDなどにより、電源端子1311および/または電源端子1312に過剰な電圧(サージ)が印加された場合、ダイオード1321により電源端子1311と電源端子1312が短絡され、増幅回路1302、および検出器1301に過剰な電圧が印加されることを防ぐ。

【0032】

また、ダイオード1321として、ゲート端子とドレイン端子を接続し、ダイオードと同様の特性を持たせた薄膜トランジスタを用いることができる。本明細書で開示する高純度化された酸化物半導体を用いた薄膜トランジスタは、オフ電流値が極めて小さい特徴を有する。本明細書で開示する高純度化された酸化物半導体を用いた薄膜トランジスタを用いてダイオードを形成することで、逆方向バイアスが加えられた時の漏れ電流が極めて小さいダイオードを実現することができる。なお、薄膜トランジスタを用いて形成した複数のダイオードを、直列や並列に接続して用いてもよい。

【0033】

検出器1301は、受光した光を電気信号に変換する光電変換素子を用いる。光電変換素子としては、フォトダイオードやフォトトランジスタを用いることができる。増幅回路1302は、検出器1301の出力電流を増幅するための回路であり、ここでは、カレントミラー回路で構成されている。このカレントミラー回路は、1つのトランジスタ1305と、並列に接続された複数のトランジスタ1306とを有する。トランジスタ1305とトランジスタ1306は、高純度化された酸化物半導体を用いた薄膜トランジスタで形成する。

【0034】

トランジスタ1305は検出器1301の出力電流を検出するためのリファレンストランジスタであり、トランジスタ1306は、トランジスタ1305で検出された電流を反映して動作するミラートランジスタである。

【0035】

トランジスタ1306の数で、電源端子1311と電源端子1312の間に流れる電流を調節することができる。例えば、トランジスタ1305とトランジスタ1306を同じ電流電圧特性を持つトランジスタで形成し、電源端子1311と電源端子1312の間に流れる電流を、検出器1301の出力電流の100倍とするには、例えば、1つのトランジスタ1305に対して、99個のトランジスタ1306を並列に接続する。このような構成とすることで、カレントミラー回路で構成された増幅回路1302を増幅率100倍の増幅回路とすることができ、検出器1301の出力電流を100倍に増幅して検出するこ

10

20

30

40

50

とができる。

【0036】

なお、上述の増幅回路1302を、トランジスタ1305と、トランジスタ1305とチャンネル幅以外の構成が同じで、チャンネル幅がトランジスタ1305のチャンネル幅よりも大きいトランジスタ1306とを用いた構成とすることもできる。例えば、トランジスタ1305のチャンネル幅の4.95倍のチャンネル幅をもつトランジスタ1306を用い、1つのトランジスタ1305に対して、20個のトランジスタ1306を並列に接続した構成としても、増幅回路1302の増幅率を100倍とすることができる。

【0037】

また、トランジスタ1305と、トランジスタ1305とチャンネル幅以外の構成が同じで、トランジスタ1305のチャンネル幅の99倍のチャンネル幅をもつトランジスタ1306を用い、1つのトランジスタ1305に対して、1つのトランジスタ1306を接続した構成としても、増幅率100倍の増幅回路1302とすることができる。この構成にすると、回路構成を簡潔にできるという利点があるものの、トランジスタ1306の機能が損なわれると、増幅回路1302全体の機能を著しく損なう可能性が高くなる。

10

【0038】

このため、増幅回路1302は、複数のトランジスタ1306を並列に接続し、冗長性を高めた構成とすることが好ましい。複数のトランジスタ1306を並列に接続する構成とすることにより、複数あるトランジスタ1306の一部の機能が損なわれても、増幅回路1302に与える影響を抑えることができ、安定して動作する信頼性の高い増幅回路1302とすることができる。例えば、トランジスタ1306を10個並列に接続することで、その中の1つのトランジスタ1306の機能が損なわれても、その影響を1/10とすることができる。

20

【0039】

また、複数のトランジスタ1306を並列に接続する構成とすることにより、トランジスタ1306の特性バラツキを低減させ、安定して動作する信頼性の高い増幅回路1302とすることができる。

【0040】

トランジスタ1306を2個以上、好ましくは5個以上を並列接続することで、信頼性の高い増幅回路1302とすることができる。すなわち、信頼性の高いカレントミラー回路を用いた光検出装置を作製することができる。

30

【0041】

増幅回路1302に用いる薄膜トランジスタのオフ電流が大きいと、微少光量の検出時におけるSN比を悪くしてしまう。つまり、検出器1301の出力電流に比べてオフ電流が無視できない大きさとなるため、検出器1301の出力電流を正確に得ることができない。

【0042】

非晶質シリコンまたは多結晶シリコンを用いた従来の薄膜トランジスタでは、チャンネル幅を小さくする、または、チャンネル長を大きくすることで、オフ電流をある程度小さくすることが可能ではあるが、同時にオン電流も低下してしまうという問題があった。このため、微少光量の検出と大光量の検出を両立させることが難しく、広いダイナミックレンジを得ることが難しかった。

40

【0043】

本明細書で開示する高純度化された酸化物半導体を用いた薄膜トランジスタは、チャンネル幅を大きくしても、オフ電流を従来の薄膜トランジスタに比べて十分小さくできるため、微量電流に対する感度が良好で、ダイナミックレンジの広いカレントミラー回路を作製することができる。すなわち、ダイナミックレンジの広い光検出装置を作製することができる。

【0044】

本実施の形態では、検出器1301に光電変換素子を用いた光検出装置について説明した

50

が、検出器 1301 は他の様々な検出器を適用することができる。例えば、検出器 1301 に温度センサーを適用することで、温度検出装置とすることができる。また、検出器 1301 に音声センサーを適用し、音声検出装置としてだけでなく、音声増幅装置として用いることもできる。

【0045】

本明細書で開示する高純度化された酸化物半導体を用いた薄膜トランジスタを用いたカレントミラー回路は、本実施の形態で説明した光検出装置に限定されず、他の半導体装置にも適用することができる。

【0046】

(実施の形態 2)

本実施の形態では、実施の形態 1 で説明した光検出装置 1300 の積層構成の一例について説明する。なお、本実施の形態では、検出器 1301 としてフォトダイオードを用いる例について説明する。図 2 は光検出装置 1300 の一部を示す断面図である。

【0047】

図 2 は、フォトセンサにおける検出器 1301 及びトランジスタ 1305 に示す断面図であり、基板 601 上に、センサとして機能する検出器 1301 及びトランジスタ 1305 が設けられている。検出器 1301、トランジスタ 1305 の上には接着層 608 を用いて基板 613 が設けられている。

【0048】

基板 601 に用いられる基板は、透光性を有し、作製工程における加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、アルミノシリケートガラス、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。また、プラスチック基板等も適宜用いることができる。

【0049】

トランジスタ 1305 上には絶縁層 631、保護絶縁層 632、層間絶縁層 633、層間絶縁層 634 が設けられている。検出器 1301 は、層間絶縁層 633 上に設けられ、層間絶縁層 633 側から順に第 1 半導体層 606a、第 2 半導体層 606b、及び第 3 半導体層 606c を積層した構造を有している。第 1 半導体層 606a は層間絶縁層 633 上に設けられた電極層 641 と電氣的に接続し、第 3 半導体層 606c は層間絶縁層 634 上に設けられた電極層 642 と電氣的に接続している。

【0050】

電極層 641 は、層間絶縁層 634 に形成された導電層 643 と電氣的に接続し、電極層 642 は電極層 644 を介してゲート電極層 645 と電氣的に接続している。ゲート電極層 645 は、トランジスタ 1305 のゲート電極層と電氣的に接続している。すなわち、検出器 1301 はトランジスタ 1305 と電氣的に接続している。

【0051】

ここでは、第 1 半導体層 606a として p 型の導電性を有する半導体層と、第 2 半導体層 606b として高抵抗な半導体層 (I 型半導体層)、第 3 半導体層 606c として n 型の導電性を有する半導体層を積層する pin 型のフォトダイオードを例示している。

【0052】

第 1 半導体層 606a は p 型半導体層であり、p 型を付与する不純物元素を含むアモルファスシリコン膜により形成することができる。第 1 半導体層 606a の形成には 13 族の不純物元素 (例えばボロン (B)) を含む半導体材料ガスを用いて、プラズマ CVD 法により形成する。半導体材料ガスとしてはシラン (SiH_4) を用いればよい。または、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等を用いてもよい。また、不純物元素を含まないアモルファスシリコン膜を形成した後に、拡散法やイオン注入法を用いて該アモルファスシリコン膜に不純物元素を導入してもよい。イオン注入法等により不純物元素を導入した後に加熱等を行うことで、不純物元素を拡散させるとよい。この場合にアモルファスシリコン膜を形成する方法としては、LP-CVD 法、気相成長法、又はスパッタリング法等を用いればよい。第 1 半導体層 606a の膜厚は 10 nm 以上 5

10

20

30

40

50

0 nm以下となるよう形成することが好ましい。

【0053】

第2半導体層606bは、I型半導体層（真性半導体層）であり、アモルファスシリコン膜により形成する。第2半導体層606bの形成には、半導体材料ガスを用いて、アモルファスシリコン膜をプラズマCVD法により形成する。半導体材料ガスとしては、シラン（ SiH_4 ）を用いればよい。または、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等を用いてもよい。第2半導体層606bの形成は、LPCVD法、気相成長法、スパッタリング法等により行っても良い。第2半導体層606bの膜厚は200nm以上1000nm以下となるように形成することが好ましい。なお、真性半導体層は、理想的には、不純物を含まずにフェルミレベルが禁制帯のほぼ中央に位置する半導体層であるが、第2半導体層606bは、ドナーとなる不純物（例えば、リン（P）など）またはアクセプタとなる不純物（例えば、ボロン（B）など）を添加して、フェルミレベルが禁制帯のほぼ中央に位置するようにした半導体であってもよい。

10

【0054】

第3半導体層606cは、n型半導体層であり、n型を付与する不純物元素を含むアモルファスシリコン膜により形成する。第3半導体層606cの形成には、15族の不純物元素（例えばリン（P））を含む半導体材料ガスを用いて、プラズマCVD法により形成する。半導体材料ガスとしてはシラン（ SiH_4 ）を用いればよい。または、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等を用いてもよい。また、不純物元素を含まないアモルファスシリコン膜を形成した後に、拡散法やイオン注入法を用いて該アモルファスシリコン膜に不純物元素を導入してもよい。イオン注入法等により不純物元素を導入した後に加熱等を行うことで、不純物元素を拡散させるとよい。この場合にアモルファスシリコン膜を形成する方法としては、LPCVD法、気相成長法、又はスパッタリング法等を用いればよい。第3半導体層606cの膜厚は20nm以上200nm以下となるよう形成することが好ましい。

20

【0055】

また、第1半導体層606a、第2半導体層606b、及び第3半導体層606cは、アモルファス半導体ではなく、多結晶半導体を用いて形成してもよいし、微結晶半導体や、セミアモルファス（Semi Amorphous Semiconductor：SA S）半導体を用いて形成してもよい。

30

【0056】

微結晶半導体は、ギブスの自由エネルギーを考慮すれば非晶質と単結晶の中間的な準安定状態に属するものである。すなわち、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する。柱状または針状結晶が基板表面に対して法線方向に成長している。微結晶半導体の代表例である微結晶シリコンは、そのラマンスペクトルが単結晶シリコンを示す 520cm^{-1} よりも低波数側に、シフトしている。即ち、単結晶シリコンを示す 520cm^{-1} とアモルファスシリコンを示す 480cm^{-1} の間に微結晶シリコンのラマンスペクトルのピークがある。また、未結合手（ダングリングボンド）を終端するため水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませ格子歪みをさらに助長させることで、安定性が増し良好な微結晶半導体膜が得られる。

40

【0057】

この微結晶半導体膜は、周波数が数十MHz～数百MHzの高周波プラズマCVD法、または周波数が1GHz以上のマイクロ波プラズマCVD装置により形成することができる。代表的には、 SiH_4 、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 などの水素化珪素や、 SiCl_4 、 SiF_4 などのハロゲン化珪素を水素で希釈して形成することができる。また、水素化珪素及び水素に加え、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して微結晶半導体膜を形成することができる。

【0058】

50

水素化珪素の希釈は、水素化珪素に対して水素の流量比を5倍以上200倍以下、好ましくは50倍以上150倍以下、更に好ましくは100倍とする。さらには、シリコンを含む気体中に、 CH_4 、 C_2H_6 等の炭化水素気体、 GeH_4 、 GeF_4 等のゲルマニウム化水素気体、 F_2 等を混入させてもよい。

【0059】

また、光電効果で発生した正孔の移動度は電子の移動度に比べて小さいため、pin型のフォトダイオードはp型の半導体層側を受光面とする方がよい特性を示す。ここでは、pin型のフォトダイオードが形成されている基板601の面から検出器1301が受ける光622を電気信号に変換する例を示す。また、受光面とした半導体層側とは逆の導電性を有する半導体層側からの光は外乱光となるため、電極層は遮光性を有する導電膜を用いるとよい。また、n型の半導体層側を受光面として用いることもできる。

10

【0060】

基板613は、基板601と同様の基板を用いることができる。また、基板613は受光面の反対側に位置しているため、アルミニウムやステンレスなどの金属基板や、シリコンなどの半導体基板といった、遮光性を有する基板を用いることができる。

【0061】

絶縁層631、保護絶縁層632、層間絶縁層633、層間絶縁層634としては、絶縁性材料を用いて、その材料に応じて、スパッタリング法、スピンコート法、ディッピング法、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ロールコーティング、カーテンコーティング、ナイフコーティング等を用いることができる。

20

【0062】

絶縁層631としては、酸化シリコン層、酸化窒化シリコン層、酸化アルミニウム層、又は酸化窒化アルミニウム層などの酸化物絶縁層の単層、又は積層を用いることができる。

【0063】

保護絶縁層632としては、無機絶縁材料としては、窒化シリコン層、窒化酸化シリコン層、窒化アルミニウム層、又は窒化酸化アルミニウム層などの窒化物絶縁層の単層、又は積層を用いることができる。また μ 波（2.45GHz）を用いた高密度プラズマCVDは、緻密で絶縁耐圧の高い高品質な絶縁層を形成できるので好ましい。

【0064】

層間絶縁層633、634としては、表面凹凸を低減するため平坦化絶縁膜として機能する絶縁層が好ましい。層間絶縁層633、634としては、例えばアクリル樹脂、ポリイミド、ベンゾシクロブテン系樹脂、ポリアミド、エポキシ樹脂等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等の単層、又は積層を用いることができる。

30

【0065】

検出器1301に入射する光を検出することによって、被検出物の情報を読み取ることができる。なお、被検出物の情報を読み取る際にバックライトなどの光源を用いることができる。

40

【0066】

トランジスタ1305として、上記実施の形態で一例を示したトランジスタを用いることができる。水素、水分、水酸基又は水素化物（水素化合物ともいう）などの不純物を酸化物半導体層より意図的に排除し、高純度化された酸化物層を含むトランジスタは、トランジスタの電気的特性変動が抑制されており、電氣的に安定である。よって、信頼性の高い半導体装置を提供することができる。

【0067】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0068】

50

(実施の形態3)

本実施の形態では、実施の形態1に示したアナログ回路が有する薄膜トランジスタの一例について示す。

【0069】

本実施の形態の薄膜トランジスタ及びその作製方法の一形態を、図3及び図4を用いて説明する。

【0070】

図3(A)、(B)に薄膜トランジスタの上面及び断面構造の一例を示す。図3(A)、(B)に示す薄膜トランジスタ410は、トップゲート構造の薄膜トランジスタの一つである。

10

【0071】

図3(A)はトップゲート構造の薄膜トランジスタ410の上面図であり、図3(B)は図3(A)の線C1-C2における断面図である。

【0072】

薄膜トランジスタ410は、絶縁表面を有する基板400上に、絶縁層407、酸化物半導体層412、ソース電極層又はドレイン電極層415a、及びソース電極層又はドレイン電極層415b、ゲート絶縁層402、ゲート電極層411を含み、ソース電極層又はドレイン電極層415a、ソース電極層又はドレイン電極層415bにそれぞれ配線層414a、配線層414bが接して設けられ電氣的に接続している。

【0073】

20

また、薄膜トランジスタ410はシングルゲート構造の薄膜トランジスタを用いて説明したが、必要に応じて、チャネル領域を複数有するマルチゲート構造の薄膜トランジスタも形成することができる。

【0074】

以下、図4(A)乃至(E)を用い、基板400上に薄膜トランジスタ410を作製する工程を説明する。

【0075】

絶縁表面を有する基板400に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

30

【0076】

また、ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が730以上のものを用いると良い。また、ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。なお、酸化ホウ素(B_2O_3)と比較して酸化バリウム(BaO)を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、 B_2O_3 より BaO を多く含むガラス基板を用いることが好ましい。

【0077】

なお、上記のガラス基板に代えて、セラミック基板、石英基板、サファイア基板などの絶縁体となる基板を用いても良い。他にも、結晶化ガラスなどを用いることができる。また、プラスチック基板等も適宜用いることができる。

40

【0078】

まず、絶縁表面を有する基板400上に下地膜となる絶縁層407を形成する。酸化物半導体層412と接する絶縁層407は、酸化シリコン層、酸化窒化シリコン層、酸化アルミニウム層、または酸化窒化アルミニウム層などの酸化物絶縁層を用いると好ましい。

【0079】

絶縁層407の形成方法としては、プラズマCVD法又はスパッタリング法等を用いることができるが、絶縁層407中に水素が多量に含まれないようにするためには、スパッタリング法で絶縁層407を成膜することが好ましい。

【0080】

50

本実施の形態では、絶縁層 407 として、スパッタリング法により酸化シリコン層を形成する。基板 400 を処理室へ搬送し、水素及び水分が除去された高純度酸素を含むスパッタガスを導入しシリコン半導体のターゲットを用いて、基板 400 に絶縁層 407 として、酸化シリコン層を成膜する。また基板 400 は室温でもよいし、加熱されていてもよい。

【0081】

例えば、石英（好ましくは合成石英）を用い、基板温度 108℃、基板とターゲットの間の距離（T-S 間距離）を 60 mm、圧力 0.4 Pa、高周波電源 1.5 kW、酸素及びアルゴン（酸素流量 25 sccm：アルゴン流量 25 sccm = 1：1）雰囲気下で RF スパッタリング法により酸化シリコン層を成膜する。膜厚は 100 nm とする。なお、石英（好ましくは合成石英）に代えてシリコンターゲットを酸化シリコン層を成膜するためのターゲットとして用いることができる。なお、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いる。

10

【0082】

この場合において、処理室内の残留水分を除去しつつ絶縁層 407 を成膜することが好ましい。絶縁層 407 に水素、水酸基又は水分が含まれないようにするためである。

【0083】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水（H₂O）など水素原子を含む化合物等が排気されるため、当該成膜室で成膜した絶縁層 407 に含まれる不純物の濃度を低減できる。

20

【0084】

絶縁層 407 を、成膜する際に用いるスパッタガスとしては水素、水、水酸基又は水素化合物などの不純物が、濃度 ppm 程度、濃度 ppb 程度まで除去された高純度ガスが好ましい。

【0085】

スパッタリング法にはスパッタ用電源に高周波電源を用いる RF スパッタリング法、直流電源を用いる DC スパッタリング法、さらにパルス的にバイアスを与えるパルス DC スパッタリング法がある。RF スパッタリング法は主に絶縁膜を成膜する場合に用いられ、DC スパッタリング法は主に金属膜を成膜する場合に用いられる。

30

【0086】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

【0087】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタリング法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いる ECR スパッタリング法を用いるスパッタ装置がある。

40

【0088】

また、スパッタリング法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタリング法や、成膜中に基板にも電圧をかけるバイアスパッタリング法もある。

【0089】

また、絶縁層 407 は積層構造でもよく、例えば、基板 400 側から窒化シリコン層、窒化酸化シリコン層、窒化アルミニウム層、又は窒化酸化アルミニウムなどの窒化物絶縁層と、上記窒化物絶縁層との積層構造としてもよい。

【0090】

例えば、酸化シリコン層と基板との間に水素及び水分が除去された高純度窒素を含むスパ

50

ッタガスを導入しシリコンターゲットを用いて窒化シリコン層を成膜する。この場合においても、酸化シリコン層と同様に、処理室内の残留水分を除去しつつ窒化シリコン層を成膜することが好ましい。

【0091】

窒化シリコン層を形成する場合も、成膜時に基板を加熱してもよい。

【0092】

絶縁層407として窒化シリコン層と酸化シリコン層とを積層する場合、窒化シリコン層と酸化シリコン層を同じ処理室において、共通のシリコンターゲットを用いて成膜することができる。先に窒素を含むスパッタガスを導入して、処理室内に装着されたシリコンターゲットを用いて窒化シリコン層を形成し、次に酸素を含むスパッタガスに切り替えて同じシリコンターゲットを用いて酸化シリコン層を成膜する。窒化シリコン層と酸化シリコン層とを大気に曝露せずに連続して形成することができるため、窒化シリコン層表面に水素や水分などの不純物が吸着することを防止することができる。

10

【0093】

次いで、絶縁層407上に、膜厚2nm以上200nm以下の酸化物半導体膜を形成する。

【0094】

また、酸化物半導体膜に水素、水酸基及び水分がなるべく含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室で絶縁層407が形成された基板400を予備加熱し、基板400に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。またこの予備加熱は、後に形成するゲート絶縁層402の成膜前の基板400に行ってもよいし、後に形成するソース電極層又はドレイン電極層415a及びソース電極層又はドレイン電極層415bまで形成した基板400にも同様に行ってもよい。

20

【0095】

なお、酸化物半導体膜をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、絶縁層407の表面に付着しているゴミを除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側に高周波電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

30

【0096】

酸化物半導体膜はスパッタリング法により成膜する。酸化物半導体膜は、In-Ga-Zn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Sn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-Ga-O系、In-O系、Sn-O系、Zn-O系の酸化物半導体膜を用いる。本実施の形態では、酸化物半導体膜をIn-Ga-Zn-O系金属酸化物ターゲットを用いてスパッタリング法により成膜する。また、酸化物半導体膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（代表的にはアルゴン）及び酸素雰囲気下においてスパッタリング法により形成することができる。また、スパッタリング法を用いる場合、酸化珪素(SiO_x ($x > 0$))を2重量%以上10重量%以下含むターゲットを用いて成膜を行ってもよい。酸化物半導体層に結晶化を阻害する酸化珪素(SiO_x ($x > 0$))を含ませることで、製造プロセス中において酸化物半導体層の形成後に加熱処理した場合に、結晶化してしまうのを抑制することができる。なお、酸化物半導体層は非晶質な状態であることが好ましく、一部結晶化していてもよい。

40

【0097】

酸化物半導体は、好ましくはInを含有する酸化物半導体、さらに好ましくは、In、及びGaを含有する酸化物半導体である。酸化物半導体層をI型（真性）とするため、後に

50

説明する脱水化または脱水素化は有効である。

【 0 0 9 8 】

酸化物半導体膜を成膜する際に用いるスパッタガスとして、水素、水、水酸基又は水素化物などの不純物が、濃度 ppm 程度、濃度 ppb 程度まで除去された高純度ガスが好ましい。

【 0 0 9 9 】

酸化物半導体膜をスパッタリング法で作製するためのターゲットとして、酸化亜鉛を主成分とする金属酸化物のターゲットを用いることができる。また、金属酸化物のターゲットの他の例としては、mol 数比で $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ 、原子数比で $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$ の組成を有する In、Ga、及び Zn を含む金属酸化物ターゲットを用いることができる。また、In、Ga、及び Zn を含む金属酸化物ターゲットとして、原子数比で $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ 、または $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 2$ の組成を有するターゲットを用いることもできる。金属酸化物ターゲットの充填率は 90 % 以上 100 % 以下、好ましくは 95 % 以上 99.9 % 以下である。充填率の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

【 0 1 0 0 】

減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、金属酸化物をターゲットとして基板 400 上に酸化物半導体膜を成膜する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水 (H_2O) など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。また、酸化物半導体膜成膜時に基板を加熱してもよい。

【 0 1 0 1 】

成膜条件の一例としては、基板温度室温、基板とターゲットの間の距離を 60 mm、圧力 0.4 Pa、直流 (DC) 電源 0.5 kW、酸素及びアルゴン（酸素流量 15 sccm：アルゴン流量 30 sccm）雰囲気下の条件が適用される。なお、パルス直流 (DC) 電源を用いると、成膜時に発生する粉状物質（パーティクル、ゴミともいう）が軽減でき、膜厚分布も均一となるために好ましい。酸化物半導体膜の膜厚は好ましくは 5 nm 以上 30 nm 以下とする。なお、適用する酸化物半導体材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。

【 0 1 0 2 】

次いで、酸化物半導体膜を第 1 のフォトリソグラフィ工程により島状の酸化物半導体層 412 に加工する（図 4 (A) 参照）。また、島状の酸化物半導体層 412 を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【 0 1 0 3 】

なお、ここでの酸化物半導体膜のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。

【 0 1 0 4 】

ドライエッチングに用いるエッチングガスとしては、塩素を含むガス（塩素系ガス、例えば塩素 (Cl_2)、塩化硼素 (BCl_3)、塩化珪素 (SiCl_4)、四塩化炭素 (CCl_4) など）が好ましい。

【 0 1 0 5 】

また、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素 (CF_4)、弗化硫黄 (SF_6)、弗化窒素 (NF_3)、トリフルオロメタン (CHF_3) など）、臭化水素 (HBr)、酸素 (O_2)、これらのガスにヘリウム (He) やアルゴン (Ar) などの希ガスを

10

20

30

40

50

添加したガス、などを用いることができる。

【0106】

ドライエッチング法としては、平行平板型RIE(Reactive Ion Etching)法や、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用いることができる。所望の加工形状にエッチングできるように、エッチング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)を適宜調節する。

【0107】

ウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO07N(関東化学社製)を用いてもよい。

10

【0108】

また、ウェットエッチング後のエッチング液はエッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッチング後の廃液から酸化物半導体層に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。

【0109】

所望の加工形状にエッチングできるように、材料に合わせてエッチング条件(エッチング液、エッチング時間、温度等)を適宜調節する。

【0110】

20

本実施の形態では、エッチング液として燐酸と酢酸と硝酸を混ぜた溶液を用いたウェットエッチング法により、酸化物半導体膜を島状の酸化物半導体層412に加工する。

【0111】

次に、本実施の形態では、酸化物半導体層412に、第1の加熱処理を行う。第1の加熱処理の温度は、400 以上750 以下、好ましくは400 以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450 において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層を得る。この第1の加熱処理によって酸化物半導体層412の脱水化または脱水素化を行うことができる。

【0112】

30

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

40

【0113】

例えば、第1の加熱処理として、650 ~700 の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってもよい。GRTAを用いると短時間での高温加熱処理が可能となる。

【0114】

なお、第1の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ま

50

しくは 0.1 ppm 以下) とすることが好ましい。

【0115】

上述の様に、酸化物半導体中の不純物を低減させることにより、I型化又は実質的にI型化された酸化物半導体(高純度化された酸化物半導体)を得ることができる。具体的には、酸化物半導体に含まれる水素が $5 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{18} / \text{cm}^3$ 以下、より好ましくは $5 \times 10^{17} / \text{cm}^3$ 以下として、酸化物半導体に含まれる水素若しくはOH基を除去し、キャリア濃度を $5 \times 10^{14} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{12} / \text{cm}^3$ 以下とすることで、I型化又は実質的にI型化された酸化物半導体(高純度化された酸化物半導体)を得ることができる。

【0116】

また、第1の加熱処理の条件、または酸化物半導体層の材料によっては、酸化物半導体層が結晶化し、微結晶層または多結晶層となる場合もある。例えば、結晶化率が90%以上、または80%以上の微結晶の酸化物半導体層となる場合もある。また、第1の加熱処理の条件、または酸化物半導体層の材料によっては、結晶成分を含まない非晶質の酸化物半導体層となる場合もある。また、非晶質の酸化物半導体の中に微結晶部(粒径1nm以上20nm以下(代表的には2nm以上4nm以下))が混在する酸化物半導体層となる場合もある。

【0117】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜に行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

【0118】

酸化物半導体層に対する脱水化、脱水素化の効果を奏する加熱処理は、酸化物半導体層成膜後、酸化物半導体層上にソース電極及びドレイン電極を積層させた後、ソース電極及びドレイン電極上にゲート絶縁層を形成した後、のいずれで行っても良い。

【0119】

次いで、絶縁層407及び酸化物半導体層412上に、導電膜を形成する。導電膜をスパッタリング法や真空蒸着法で形成すればよい。導電膜の材料としては、アルミニウム(Al)、クロム(Cr)、銅(Cu)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、マンガン(Mn)、マグネシウム(Mg)、ジルコニウム(Zr)、ベリリウム(Be)、トリウム(Th)のいずれか一または複数から選択された材料を用いてもよい。また、金属導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、Ti膜と、そのTi膜上に重ねてアルミニウム膜を積層し、さらにその上にTi膜を成膜する3層構造などが挙げられる。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム(Nd)、スカンジウム(Sc)から選ばれた元素を単数、又は複数組み合わせた膜、合金膜、もしくは窒化膜を用いてもよい。

【0120】

第2のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層又はドレイン電極層415a、ソース電極層又はドレイン電極層415bを形成した後、レジストマスクを除去する(図4(B)参照)。なお、形成されたソース電極層、ドレイン電極層の端部はテーパ形状であると、上に積層するゲート絶縁層の被覆性が向上するため好ましい。

【0121】

本実施の形態ではソース電極層又はドレイン電極層415a、ソース電極層又はドレイン電極層415bを形成するための導電膜として、スパッタリング法により膜厚150nmのチタン膜を形成する。

【0122】

なお、導電膜のエッチングの際に、酸化物半導体層 4 1 2 が除去されて、その下の絶縁層 4 0 7 が露出しないようにそれぞれの材料及びエッチング条件を適宜調節する。

【 0 1 2 3 】

本実施の形態では、導電膜として T i 膜を用いて、酸化物半導体層 4 1 2 には I n - G a - Z n - O 系酸化物半導体を用いて、エッチャントとしてアンモニア過水（アンモニア、水、過酸化水素水の混合液）を用いる。

【 0 1 2 4 】

なお、第 2 のフォトリソグラフィ工程では、酸化物半導体層 4 1 2 は一部のみがエッチングされ、溝部（凹部）を有する酸化物半導体層となることもある。また、ソース電極層又はドレイン電極層 4 1 5 a、ソース電極層又はドレイン電極層 4 1 5 b を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

10

【 0 1 2 5 】

第 2 のフォトリソグラフィ工程でのレジストマスク形成時の露光には、紫外線や K r F レーザ光や A r F レーザ光を用いる。酸化物半導体層 4 1 2 上で隣り合うソース電極層の下端部とドレイン電極層の下端部との間隔幅によって後に形成される薄膜トランジスタのチャネル長 L が決定される。なお、チャネル長 L = 2 5 n m 未満の露光を行う場合には、数 n m ~ 数 1 0 n m と極めて波長が短い超紫外線（ E x t r e m e U l t r a v i o l e t ）を用いて第 2 のフォトリソグラフィ工程でのレジストマスク形成時の露光を行う。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成される薄膜トランジスタのチャネル長 L を 1 0 n m 以上 1 0 0 0 n m 以下とすることも可能であり、回路の動作速度を高速化でき、さらにオフ電流値が極めて小さいため、低消費電力化も図ることができる。

20

【 0 1 2 6 】

次いで、絶縁層 4 0 7、酸化物半導体層 4 1 2、ソース電極層又はドレイン電極層 4 1 5 a、ソース電極層又はドレイン電極層 4 1 5 b 上にゲート絶縁層 4 0 2 を形成する（図 4（C）参照）。

【 0 1 2 7 】

ゲート絶縁層 4 0 2 は、プラズマ C V D 法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、又は酸化アルミニウム層を単層で又は積層して形成することができる。なお、ゲート絶縁層 4 0 2 中に水素が多量に含まれないようにするためには、スパッタリング法でゲート絶縁層 4 0 2 を成膜することが好ましい。スパッタリング法により酸化シリコン膜を成膜する場合には、ターゲットとしてシリコンターゲット又は石英ターゲットを用い、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いる。

30

【 0 1 2 8 】

ゲート絶縁層 4 0 2 は、ソース電極層又はドレイン電極層 4 1 5 a、ソース電極層又はドレイン電極層 4 1 5 b 側から酸化シリコン層と窒化シリコン層を積層した構造とすることもできる。例えば、第 1 のゲート絶縁層として膜厚 5 n m 以上 3 0 0 n m 以下の酸化シリコン層（ S i O _x（ x > 0 ））を形成し、第 1 のゲート絶縁層上に第 2 のゲート絶縁層としてスパッタリング法により膜厚 5 0 n m 以上 2 0 0 n m 以下の窒化シリコン層（ S i N_y（ y > 0 ））を積層して、膜厚 1 0 0 n m のゲート絶縁層としてもよい。本実施の形態では、圧力 0 . 4 P a、高周波電源 1 . 5 k W、酸素及びアルゴン（酸素流量 2 5 s c c m：アルゴン流量 2 5 s c c m = 1：1）雰囲気下で R F スパッタリング法により膜厚 1 0 0 n m の酸化シリコン層を形成する。

40

【 0 1 2 9 】

次いで、第 3 のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってゲート絶縁層 4 0 2 の一部を除去して、ソース電極層又はドレイン電極層 4 1 5 a、ソース電極層又はドレイン電極層 4 1 5 b に達する開口 4 2 1 a、開口 4 2 1 b を形成する（図 4（D）参照）。

50

【0130】

次に、ゲート絶縁層402、及び開口421a、421b上に導電膜を形成した後、第4のフォトリソグラフィ工程によりゲート電極層411、配線層414a、414bを形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0131】

また、ゲート電極層411、配線層414a、414bの材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

10

【0132】

例えば、ゲート電極層411、配線層414a、414bの2層の積層構造としては、アルミニウム層上にモリブデン層が積層された2層の積層構造、または銅層上にモリブデン層を積層した2層構造、または銅層上に窒化チタン層若しくは窒化タンタルを積層した2層構造、窒化チタン層とモリブデン層とを積層した2層構造とすることが好ましい。3層の積層構造としては、タングステン層または窒化タングステンと、アルミニウムとシリコンの合金またはアルミニウムとチタンの合金と、窒化チタンまたはチタン層とを積層した積層とすることが好ましい。なお、透光性を有する導電膜を用いてゲート電極層を形成することもできる。透光性を有する導電膜としては、透光性導電性酸化物等をその例に挙げることができる。

20

【0133】

本実施の形態ではゲート電極層411、配線層414a、414bとしてスパッタリング法により膜厚150nmのチタン膜を形成する。

【0134】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理（好ましくは200 以上400 以下、例えば250 以上350 以下）を行う。本実施の形態では、窒素雰囲気下で250 、1時間の第2の加熱処理を行う。また、第2の加熱処理は、薄膜トランジスタ410上に保護絶縁層や平坦化絶縁層を形成してから行ってもよい。

【0135】

さらに大気中、100 以上200 以下、1時間以上30時間以下での加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上200 以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。

30

【0136】

以上の工程で、水素、水分、水素化物、水酸化物の濃度が低減された酸化物半導体層412を有する薄膜トランジスタ410を形成することができる（図4（E）参照）。薄膜トランジスタ410は、実施の形態1及び2に示したアナログ回路を構成する薄膜トランジスタとして適用することができる。

【0137】

また、薄膜トランジスタ410上に保護絶縁層や、平坦化のための平坦化絶縁層を設けてもよい。例えば、保護絶縁層として酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、又は酸化アルミニウム層を単層で又は積層して形成することができる。

40

【0138】

また、平坦化絶縁層としては、ポリイミド、アクリル樹脂、ベンゾシクロブテン系樹脂、ポリアミド、エポキシ樹脂等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁層を形成してもよい。

50

【0139】

なお、シロキサン系樹脂とは、シロキサン系材料を出発材料として形成された Si - O - Si 結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリアル基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

【0140】

平坦化絶縁層の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。

10

【0141】

上記のように酸化物半導体膜を成膜する際に、反応雰囲気中の残留水分を除去することで、該酸化物半導体膜中の水素及び水素化物の濃度を低減することができる。それにより酸化物半導体膜の安定化を図ることができる。

【0142】

なお、不純物を除去することによりI型化又は実質的にI型化された酸化物半導体（高純度化された酸化物半導体）は界面準位、界面電荷に対して極めて敏感であるため、ゲート絶縁膜との界面は重要である。そのため高純度化された酸化物半導体に接するゲート絶縁膜（GI）は、高品質化が要求される。

【0143】

例えば、 μ 波（2.45GHz）を用いた高密度プラズマCVDは、緻密で絶縁耐圧の高い高品質な絶縁膜を形成できるので好ましい。高純度化された酸化物半導体と高品質ゲート絶縁膜とが密接することにより、界面準位を低減して界面特性を良好なものとすることができるからである。もちろん、ゲート絶縁膜として良質な絶縁膜を形成できるのであれば、スパッタリング法やプラズマCVD法など他の成膜方法を適用することができる。また、成膜後の熱処理によってゲート絶縁膜の膜質、酸化物半導体との界面特性が改質される絶縁膜であっても良い。いずれにしても、ゲート絶縁膜としての膜質が良好であることは勿論のこと、酸化物半導体との界面準位密度を低減し、良好な界面を形成できるものであれば良い。

20

【0144】

さらに、 85°C 、 $2 \times 10^6 \text{ V/cm}$ 、12時間のゲートバイアス・熱ストレス試験（BT試験）においては、不純物が酸化物半導体に添加されていると、不純物と酸化物半導体の主成分との結合手が、強電界（B：バイアス）と高温（T：温度）により切断され、生成された結合手がしきい値電圧（ V_{th} ）のドリフトを誘発することとなる。これに対して、酸化物半導体の不純物、特に水素や水等を極力除去し、上記のようにゲート絶縁膜との界面特性を良好にすることにより、BT試験に対しても安定な薄膜トランジスタを得ることを可能としている。

30

【0145】

上述した薄膜トランジスタを実施の形態1に示したアナログ回路に適用することによって、安定な電気特性を有し信頼性の高いアナログ回路を提供することができる。

40

【0146】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0147】

（実施の形態4）

本実施の形態では、実施の形態1に示したアナログ回路が有する薄膜トランジスタの一例について示す。なお、実施の形態3と同一部分又は同様な機能を有する部分、及び工程は、実施の形態3と同様とすればよく、その繰り返しの説明は省略する。また同じ箇所の詳細な説明も省略する。

【0148】

本実施の形態の薄膜トランジスタ及びその作製方法の一形態を、図5及び図6を用いて説

50

明する。

【0149】

図5(A)、(B)に薄膜トランジスタの平面及び断面構造の一例を示す。図5(A)、(B)に示す薄膜トランジスタ460は、トップゲート構造の薄膜トランジスタの一つである。

【0150】

図5(A)はトップゲート構造の薄膜トランジスタ460の平面図であり、図5(B)は図5(A)の線D1-D2における断面図である。

【0151】

薄膜トランジスタ460は、絶縁表面を有する基板450上に、絶縁層457、ソース電極層又はドレイン電極層465a(465a1、465a2)、酸化物半導体層462、ソース電極層又はドレイン電極層465b、配線層468、ゲート絶縁層452、ゲート電極層461(461a、461b)を含み、ソース電極層又はドレイン電極層465a(465a1、465a2)は配線層468を介して配線層464と電氣的に接続している。また、図示していないが、ソース電極層又はドレイン電極層465bもゲート絶縁層452に設けられた開口において配線層と電氣的に接続する。

【0152】

以下、図6(A)乃至(E)を用い、基板450上に薄膜トランジスタ460を作製する工程を説明する。

【0153】

まず、絶縁表面を有する基板450上に下地膜となる絶縁層457を形成する。

【0154】

本実施の形態では、絶縁層457として、スパッタリング法により酸化シリコン層を形成する。基板450を処理室へ搬送し、水素及び水分が除去された高純度酸素を含むスパッタガスを導入しシリコンターゲット又は石英(好ましくは合成石英)を用いて、基板450に絶縁層457として、酸化シリコン層を成膜する。なお、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いる。

【0155】

例えば、純度が6Nである石英(好ましくは合成石英)を用い、基板温度108℃、基板とターゲットの間との距離(T-S間距離)を60mm、圧力0.4Pa、高周波電源1.5kW、酸素及びアルゴン(酸素流量25sccm:アルゴン流量25sccm=1:1)雰囲気下でRFスパッタリング法により酸化シリコン層を成膜する。膜厚は100nmとする。なお、石英(好ましくは合成石英)に代えてシリコンターゲットを酸化シリコン層を成膜するためのターゲットとして用いることができる。

【0156】

この場合において、処理室内の残留水分を除去しつつ絶縁層457を成膜することが好ましい。絶縁層457に水素、水酸基又は水分が含まれないようにするためである。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水(H₂O)など水素原子を含む化合物等が排気されるため、当該成膜室で成膜し絶縁層457に含まれる不純物の濃度を低減できる。

【0157】

絶縁層457を成膜する際に用いるスパッタガスとしては水素、水、水酸基又は水素化物などの不純物が、濃度ppm程度、濃度ppb程度まで除去された高純度ガスが好ましい。

【0158】

また、絶縁層457は積層構造でもよく、例えば、基板450側から窒化シリコン層、窒化酸化シリコン層、窒化アルミニウム層、窒化酸化アルミニウム層などの窒化物絶縁層と、上記窒化物絶縁層との積層構造としてもよい。

【0159】

例えば、酸化シリコン層と基板との間に水素及び水分が除去された高純度窒素を含むスパ

10

20

30

40

50

ッタガスを導入しシリコンターゲットを用いて窒化シリコン層を成膜する。この場合においても、酸化シリコン層と同様に、処理室内の残留水分を除去しつつ窒化シリコン層を成膜することが好ましい。

【0160】

次いで、絶縁層457上に、導電膜を形成し、第1のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層又はドレイン電極層465a1、465a2を形成した後、レジストマスクを除去する(図6(A)参照)。ソース電極層又はドレイン電極層465a1、465a2は断面図では分断されて示されているが、連続した膜である。なお、形成されたソース電極層、ドレイン電極層の端部はテーパ形状であると、上に積層するゲート絶縁層の被覆性が向上するため好ましい。

10

【0161】

ソース電極層又はドレイン電極層465a1、465a2の材料としては、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、マンガン、マグネシウム、ジルコニウム、ベリリウム、トリウムのいずれか一または複数から選択された材料を用いてもよい。また、金属導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、Ti膜と、そのTi膜上に重ねてアルミニウム膜を積層し、さらにその上にTi膜を成膜する3層構造などが挙げられる。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素を単数、又は複数組み合わせた膜、合金膜、もしくは窒化膜を用いてもよい。

20

【0162】

本実施の形態ではソース電極層又はドレイン電極層465a1、465a2としてスパッタリング法により膜厚150nmのチタン膜を形成する。

【0163】

次いで、絶縁層457及びソース電極層又はドレイン電極層465a1、465a2上に、膜厚2nm以上200nm以下の酸化物半導体膜を形成する。

【0164】

次に酸化物半導体膜を第2のフォトリソグラフィ工程により島状の酸化物半導体層462に加工する(図6(B)参照)。本実施の形態では、酸化物半導体膜としてIn-Ga-Zn-O系金属酸化物ターゲットを用いてスパッタリング法により成膜する。

30

【0165】

減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、金属酸化物をターゲットとして基板450上に酸化物半導体膜を成膜する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水(H₂O)など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。また、酸化物半導体膜成膜時に基板を加熱してもよい。

40

【0166】

酸化物半導体膜を、成膜する際に用いるスパッタガスとしては水素、水、水酸基又は水素化合物などの不純物が、濃度ppm程度、濃度ppb程度まで除去された高純度ガスが好ましい。

【0167】

成膜条件の一例としては、基板温度室温、基板とターゲットの間の距離を60mm、圧力0.4Pa、直流(DC)電源0.5kW、酸素及びアルゴン(酸素流量15sccm：アルゴン流量30sccm)雰囲気下の条件が適用される。なお、パルス直流(DC)電

50

源を用いると、成膜時に発生する粉状物質（パーティクル、ゴミともいう）が軽減でき、膜厚分布も均一となるために好ましい。酸化物半導体膜の膜厚は好ましくは5 nm以上30 nm以下とする。なお、適用する酸化物半導体材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。

【0168】

本実施の形態では、エッチング液として燐酸と酢酸と硝酸を混ぜた溶液を用いたウェットエッチング法により、酸化物半導体膜を島状の酸化物半導体層462に加工する。

【0169】

本実施の形態では、酸化物半導体層462に、第1の加熱処理を行う。第1の加熱処理の温度は、400 以上750 以下、好ましくは400 以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450 において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層を得る。この第1の加熱処理によって酸化物半導体層462の脱水化または脱水素化を行うことができる。

【0170】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等のRTA (Rapid Thermal Anneal) 装置を用いることができる。例えば、第1の加熱処理として、650 ~ 700 の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってもよい。GRTAを用いると短時間での高温加熱処理が可能となる。

【0171】

なお、第1の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N (99.9999%) 以上、好ましくは7N (99.99999%) 以上、(即ち不純物濃度を1 ppm以下、好ましくは0.1 ppm以下) とすることが好ましい。

【0172】

また、第1の加熱処理の条件、または酸化物半導体層の材料によっては、酸化物半導体層が結晶化し、微結晶層または多結晶層となる場合もある。

【0173】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜に行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

【0174】

酸化物半導体層に対する脱水化、脱水素化の効果を奏する加熱処理は、酸化物半導体層成膜後、酸化物半導体層上にさらにソース電極又はドレイン電極を積層させた後、ソース電極及びドレイン電極上にゲート絶縁層を形成した後、のいずれで行っても良い。

【0175】

次いで、絶縁層457及び酸化物半導体層462上に、導電膜を形成し、第3のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層又はドレイン電極層465b、配線層468を形成した後、レジストマスクを除去する(図6(C)参照)。ソース電極層又はドレイン電極層465b、配線層468はソース電極層又はドレイン電極層465a1、465a2と同様な材料及び工程で形成すればよい。

【0176】

本実施の形態ではソース電極層又はドレイン電極層465b、配線層468としてスパッタリング法により膜厚150 nmのチタン膜を形成する。本実施の形態では、ソース電極

10

20

30

40

50

層又はドレイン電極層 4 6 5 a 1、4 6 5 a 2 とソース電極層又はドレイン電極層 4 6 5 b に同じチタン膜を用いる例のため、ソース電極層又はドレイン電極層 4 6 5 a 1、4 6 5 a 2 とソース電極層又はドレイン電極層 4 6 5 b とはエッチングにおいて選択比がとれない。よって、ソース電極層又はドレイン電極層 4 6 5 a 1、4 6 5 a 2 が、ソース電極層又はドレイン電極層 4 6 5 b のエッチング時にエッチングされないように、酸化物半導体層 4 6 2 に覆われないソース電極層又はドレイン電極層 4 6 5 a 2 上に配線層 4 6 8 を設けている。ソース電極層又はドレイン電極層 4 6 5 a 1、4 6 5 a 2 とソース電極層又はドレイン電極層 4 6 5 b とにエッチング工程において高い選択比を有する異なる材料を用いる場合には、エッチング時にソース電極層又はドレイン電極層 4 6 5 a 2 を保護する配線層 4 6 8 は必ずしも設けなくてもよい。

10

【0177】

なお、導電膜のエッチングの際に、酸化物半導体層 4 6 2 は除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。

【0178】

本実施の形態では、導電膜として Ti 膜を用いて、酸化物半導体層 4 6 2 には In - Ga - Zn - O 系酸化物半導体を用いて、エッチャントとしてアンモニア過水（アンモニア、水、過酸化水素水の混合液）を用いる。

【0179】

なお、第 3 のフォトリソグラフィ工程では、酸化物半導体層 4 6 2 は一部のみがエッチングされ、溝部（凹部）を有する酸化物半導体層となることもある。また、ソース電極層又はドレイン電極層 4 6 5 b、配線層 4 6 8 を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

20

【0180】

次いで、絶縁層 4 5 7、酸化物半導体層 4 6 2、ソース電極層又はドレイン電極層 4 6 5 a 1、4 6 5 a 2、ソース電極層又はドレイン電極層 4 6 5 b 上にゲート絶縁層 4 5 2 を形成する。

【0181】

ゲート絶縁層 4 5 2 は、プラズマ CVD 法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、又は酸化アルミニウム層を単層で又は積層して形成することができる。なお、ゲート絶縁層 4 5 2 中に水素が多量に含まれないようにするためには、スパッタリング法でゲート絶縁層 4 5 2 を成膜することが好ましい。スパッタリング法により酸化シリコン膜を成膜する場合には、ターゲットとしてシリコンターゲット又は石英ターゲットを用い、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いる。

30

【0182】

ゲート絶縁層 4 5 2 は、ソース電極層又はドレイン電極層 4 6 5 a 1、4 6 5 a 2、ソース電極層又はドレイン電極層 4 6 5 b 側から酸化シリコン層と窒化シリコン層を積層した構造とすることもできる。本実施の形態では、圧力 0.4 Pa、高周波電源 1.5 kW、酸素及びアルゴン（酸素流量 25 sccm：アルゴン流量 25 sccm = 1：1）雰囲気下で RF スパッタリング法により膜厚 100 nm の酸化シリコン層を形成する。

40

【0183】

次いで、第 4 のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってゲート絶縁層 4 5 2 の一部を除去して、配線層 4 6 8 に達する開口 4 2 3 を形成する（図 6（D）参照）。図示しないが開口 4 2 3 の形成時にソース電極層又はドレイン電極層 4 6 5 b に達する開口を形成してもよい。本実施の形態では、ソース電極層又はドレイン電極層 4 6 5 b への開口はさらに層間絶縁層を積層した後に形成し、電氣的に接続する配線層を開口に形成する例とする。

【0184】

次に、ゲート絶縁層 4 5 2、及び開口 4 2 3 上に導電膜を形成した後、第 5 のフォトリソ

50

グラフィ工程によりゲート電極層 461 (461a、461b)、配線層 464 を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0185】

また、ゲート電極層 461 (461a、461b)、配線層 464 の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【0186】

本実施の形態ではゲート電極層 461 (461a、461b)、配線層 464 としてスパッタリング法により膜厚 150 nm のチタン膜を形成する。

10

【0187】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第 2 の加熱処理 (好ましくは 200 以上 400 以下、例えば 250 以上 350 以下) を行う。本実施の形態では、窒素雰囲気下で 250、1 時間の第 2 の加熱処理を行う。また、第 2 の加熱処理は、薄膜トランジスタ 410 上に保護絶縁層や平坦化絶縁層を形成してから行ってもよい。

【0188】

さらに大気中、100 以上 200 以下、1 時間以上 30 時間以下での加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上 200 以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。

20

【0189】

以上の工程で、水素、水分、水素化物、水酸化物の濃度が低減された酸化物半導体層 462 を有する薄膜トランジスタ 460 を形成することができる (図 6 (E) 参照)。

【0190】

また、薄膜トランジスタ 460 上に保護絶縁層や、平坦化のための平坦化絶縁層を設けてもよい。なお、図示しないが、ゲート絶縁層 452、保護絶縁層や平坦化絶縁層にソース電極層又はドレイン電極層 465b に達する開口を形成し、その開口に、ソース電極層又はドレイン電極層 465b と電氣的に接続する配線層を形成する。

30

【0191】

上記のように酸化物半導体膜を成膜する際に、反応雰囲気中の残留水分を除去することで、該酸化物半導体膜中の水素及び水素化物の濃度を低減することができる。それにより酸化物半導体膜の安定化を図ることができる。

【0192】

上述した薄膜トランジスタを実施の形態 1 に示したアナログ回路に適用することによって、安定な電気特性を有し信頼性の高いアナログ回路を提供することができる。

【0193】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0194】

40

(実施の形態 5)

本実施の形態では、実施の形態 1 に示したアナログ回路が有する薄膜トランジスタの一例について示す。なお、他の実施の形態の内容と同一部分または同様な機能を有する部分、及び工程は、他の実施の形態と同様とすればよく、その繰り返しの説明は省略する。また同じ箇所の詳細な説明も省略する。

【0195】

本実施の形態の薄膜トランジスタを、図 7 を用いて説明する。

【0196】

図 7 (A)、(B) に薄膜トランジスタの断面構造の一例を示す。図 7 (A)、(B) に示す薄膜トランジスタ 425、薄膜トランジスタ 426 は、酸化物半導体層を導電層とゲ

50

ート電極層とで挟んだ構造の薄膜トランジスタの一つである。

【0197】

また、図7(A)、(B)において、基板はシリコン基板を用いており、シリコン基板420上に設けられた絶縁層422上に薄膜トランジスタ425、薄膜トランジスタ426がそれぞれ設けられている。

【0198】

図7(A)において、シリコン基板420に設けられた絶縁層422と絶縁層407との間に少なくとも酸化半導体層412全体と重なるように導電層427が設けられている。

【0199】

なお、図7(B)は、絶縁層422と絶縁層407との間の導電層が、導電層424のようにエッチングにより加工され、酸化半導体層412の少なくともチャネル領域を含む一部と重なる例である。

【0200】

導電層427、導電層424は後工程で行われる加熱処理温度に耐えられる金属材料であればよく、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、Nd(ネオジム)、スカンジウム(Sc)から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜、または上述した元素を成分とする窒化物などを用いることができる。また、単層構造でも積層構造でもよく、例えばタングステン層単層、または窒化タングステン層とタングステン層との積層構造などを用いることができる。

【0201】

また、導電層427、導電層424は、電位が薄膜トランジスタ425、薄膜トランジスタ426のゲート電極層411と同じでもよいし、異なっても良く、第2のゲート電極層として機能させることもできる。また、導電層427、導電層424の電位がGND、0Vという固定電位であってもよく、どこにも接続せず電氣的に浮遊した状態(フローティング)としても良い。

【0202】

導電層427、導電層424によって、薄膜トランジスタ425、薄膜トランジスタ426の電気特性を制御することができる。

【0203】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0204】

ここで、本発明の一形態である酸化半導体を用いた薄膜トランジスタについて、エネルギーバンド図を用いて説明しておく。

【0205】

図22は、酸化半導体を用いた逆スタガー型の薄膜トランジスタの縦断面図を示す。ゲート電極(GE1)上にゲート絶縁膜(GI)を介して酸化半導体層(OS)が設けられ、その上にソース電極(S)及びドレイン電極(D)が設けられている。

【0206】

図23は、図22に示すA-A'断面におけるエネルギーバンド図(模式図)を示す。図23(A)はソースとドレインの間の電圧を等電位($V_D = 0V$)とした場合を示し、図23(B)はソースに対しドレインに正の電位($V_D > 0$)を加えた場合を示す。

【0207】

図24は、図22におけるB-B'の断面におけるエネルギーバンド図(模式図)である。図24(A)はゲート(G1)に正の電位(+VG)が印加された状態であり、ソースとドレイン間にキャリア(電子)が流れるオン状態を示している。また、図24(B)は、ゲート(G1)に負の電位(-VG)が印加された状態であり、オフ状態(少数キャリアは流れない)である場合を示す。

【0208】

図 25 は、真空準位と金属の仕事関数 (ϕ_M)、酸化物半導体の電子親和力 (χ) の関係を示す。

【 0 2 0 9 】

金属は縮退しているため、フェルミ準位は伝導帯内に位置する。一方、従来の酸化物半導体は一般に n 型であり、その場合のフェルミ準位 (E_F) は、バンドギャップ中央に位置する真性フェルミ準位 (E_i) から離れて、伝導帯寄りに位置している。なお、酸化物半導体において水素の一部はドナーとなり n 型化する一つの要因であることが知られている。

【 0 2 1 0 】

これに対して本発明に係る酸化物半導体は、n 型不純物である水素を酸化物半導体から除去し、酸化物半導体の主成分以外の不純物が極力含まれないように高純度化することにより真性 (I 型) とし、又は真性型とせんとしたものである。すなわち、不純物を添加して I 型化するのでなく、水素や水等の不純物を極力除去したことにより、高純度化された I 型 (真性半導体) 又はそれに近づけることを特徴としている。そうすることにより、フェルミ準位 (E_F) は真性フェルミ準位 (E_i) と同じレベルにまですることができ。

【 0 2 1 1 】

酸化物半導体のバンドギャップ (E_g) が 3.15 eV である場合、電子親和力 (χ) は 4.3 eV と言われている。ソース電極及びドレイン電極を構成するチタン (Ti) の仕事関数は、酸化物半導体の電子親和力 (χ) とほぼ等しい。この場合、金属 - 酸化物半導体界面において、電子に対してショットキー型の障壁は形成されない。

【 0 2 1 2 】

すなわち、金属の仕事関数 (ϕ_M) と酸化物半導体の電子親和力 (χ) が等しい場合、両者が接触すると図 23 (A) で示すようなエネルギーバンド図 (模式図) が示される。

【 0 2 1 3 】

図 23 (B) において黒丸 (\bullet) は電子を示し、ドレインに正の電位が印加されると、電子はバリア (h) をこえて酸化物半導体に注入され、ドレインに向かって流れる。この場合、バリア (h) の高さは、ゲート電圧とドレイン電圧に依存して変化するが、正のドレイン電圧が印加された場合には、電圧印加のない図 23 (A) のバリアの高さすなわちバンドギャップ (E_g) の $1/2$ よりもバリアの高さ (h) は小さい値となる。

【 0 2 1 4 】

このとき電子は、図 24 (A) で示すようにゲート絶縁膜と高純度化された酸化物半導体との界面における、ゲート絶縁膜側のエネルギー的に安定な最低部を移動する。

【 0 2 1 5 】

また、図 24 (B) において、ゲート電極 (G_1) に負の電位 (逆バイアス) が印加されると、少数キャリアであるホールは実質的にゼロであるため、電流は限りなくゼロに近い値となる。

【 0 2 1 6 】

例えば、薄膜トランジスタのチャネル幅 W が $1 \times 10^4 \mu\text{m}$ でチャネル長が $3 \mu\text{m}$ の素子であっても、オフ電流が 10^{-13} A 以下であり、サブスレッショルドスイング値 (S 値) が 0.1 V/dec. (ゲート絶縁膜厚 100 nm) が得られる。

【 0 2 1 7 】

このように、酸化物半導体の主成分以外の不純物が極力含まれないように高純度化することにより、薄膜トランジスタの動作を良好なものとする事ができる。

【 0 2 1 8 】

(実施の形態 6)

本実施の形態では、実施の形態 1 に示したアナログ回路が有する薄膜トランジスタの一例について示す。

【 0 2 1 9 】

本実施の形態の薄膜トランジスタ及びその作製方法の一形態を図 8 を用いて説明する。

【 0 2 2 0 】

10

20

30

40

50

図 8 (D) に示す薄膜トランジスタ 3 1 0 は、ボトムゲート構造の一つであり逆スタガ型薄膜トランジスタともいう。

【 0 2 2 1 】

また、薄膜トランジスタ 3 1 0 はシングルゲート構造の薄膜トランジスタを用いて説明したが、必要に応じて、チャネル領域を複数有するマルチゲート構造の薄膜トランジスタも形成することができる。

【 0 2 2 2 】

以下、図 8 (A) 乃至 (E) を用い、基板 3 0 0 上に薄膜トランジスタ 3 1 0 を作製する工程を説明する。

【 0 2 2 3 】

まず、絶縁表面を有する基板 3 0 0 上に導電膜を形成した後、第 1 のフォトリソグラフィ工程によりゲート電極層 3 1 1 を形成する。形成されたゲート電極層の端部はテーパ形状であると、上に積層するゲート絶縁層の被覆性が向上するため好ましい。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【 0 2 2 4 】

絶縁表面を有する基板 3 0 0 に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

【 0 2 2 5 】

また、ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が 7 3 0 以上のものを用いると良い。また、ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。なお、酸化ホウ素 (B_2O_3) と比較して酸化バリウム (BaO) を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、 B_2O_3 より BaO を多く含むガラス基板を用いることが好ましい。

【 0 2 2 6 】

なお、上記のガラス基板に代えて、セラミック基板、石英基板、サファイア基板などの絶縁体となる基板を用いても良い。他にも、結晶化ガラスなどを用いることができる。

【 0 2 2 7 】

下地膜となる絶縁膜を基板 3 0 0 とゲート電極層 3 1 1 との間に設けてもよい。下地膜は、基板 3 0 0 からの不純物元素の拡散を防止する機能があり、窒化珪素膜、酸化珪素膜、窒化酸化珪素膜、又は酸化窒化珪素膜から選ばれた一又は複数の膜による積層構造により形成することができる。

【 0 2 2 8 】

また、ゲート電極層 3 1 1 の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【 0 2 2 9 】

例えば、ゲート電極層 3 1 1 の 2 層の積層構造としては、アルミニウム層上にモリブデン層が積層された 2 層の積層構造、銅層上にモリブデン層を積層した 2 層の積層構造、銅層上に窒化チタン層若しくは窒化タンタルを積層した 2 層の積層構造、窒化チタン層とモリブデン層とを積層した 2 層の積層構造、又は窒化タングステン層とタングステン層との 2 層の積層構造とすることが好ましい。3 層の積層構造としては、タングステン層または窒化タングステンと、アルミニウムと珪素の合金またはアルミニウムとチタンの合金と、窒化チタンまたはチタン層とを積層した積層とすることが好ましい。なお、透光性を有する導電膜を用いてゲート電極層を形成することもできる。透光性を有する導電膜としては、透光性導電性酸化物等をその例に挙げるることができる。

【 0 2 3 0 】

次いで、ゲート電極層 3 1 1 上にゲート絶縁層 3 0 2 を形成する。

10

20

30

40

50

【0231】

ゲート絶縁層302は、プラズマCVD法又はスパッタリング法等を用いて、酸化珪素層、窒化珪素層、酸化窒化珪素層、窒化酸化珪素層、又は酸化アルミニウム層を単層で又は積層して形成することができる。例えば、成膜ガスとして、 SiH_4 、酸素及び窒素を用いてプラズマCVD法により酸化窒化珪素層を形成すればよい。ゲート絶縁層302の膜厚は、100nm以上500nm以下とし、積層の場合は、例えば、膜厚50nm以上200nm以下の第1のゲート絶縁層と、第1のゲート絶縁層上に膜厚5nm以上300nm以下の第2のゲート絶縁層の積層とする。

【0232】

本実施の形態では、ゲート絶縁層302としてプラズマCVD法により膜厚100nm以下の酸化窒化珪素層を形成する。

10

【0233】

次いで、ゲート絶縁層302上に、膜厚2nm以上200nm以下の酸化物半導体膜330を形成する。

【0234】

酸化物半導体膜330は、In-Ga-Zn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Sn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-Ga-O系、In-O系、Sn-O系、Zn-O系の酸化物半導体膜を用いる。本実施の形態では、酸化物半導体膜330としてIn-Ga-Zn-O系金属酸化物ターゲットを用いてスパッタ法により成膜する。この段階での断面図が図8(A)に相当する。また、酸化物半導体膜330は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、又は希ガス(代表的にはアルゴン)及び酸素雰囲気下においてスパッタ法により形成することができる。また、スパッタリング法を用いる場合、酸化珪素(SiO_x ($x > 0$))を2重量%以上10重量%以下含むターゲットを用いて成膜を行ってもよい。

20

【0235】

酸化物半導体膜をスパッタリング法で作製するためのターゲットとして、酸化亜鉛を主成分とする金属酸化物のターゲットを用いることができる。また、金属酸化物のターゲットの他の例としては、mol数比で $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ 、原子数比で $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$ の組成を有するIn、Ga、及びZnを含む金属酸化物ターゲットを用いることができる。また、In、Ga、及びZnを含む金属酸化物ターゲットとして、原子数比で $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ 、または $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 2$ の組成を有するターゲットを用いることもできる。金属酸化物ターゲットの充填率は90%以上100%以下、好ましくは95%以上99.9%以下である。充填率の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

30

【0236】

酸化物半導体膜330を成膜する際に用いるスパッタガスとしては水素、水、水酸基又は水素化物などの不純物が、濃度ppm程度、濃度ppb程度まで除去された高純度ガスが好ましい。

40

【0237】

減圧状態に保持された処理室内に基板を保持し、基板温度を100以上600以下好ましくは200以上400以下とする。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。そして、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、金属酸化物をターゲットとして基板300上に酸化物半導体膜330を成膜する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例

50

えば、水素原子、水 (H_2O) など水素原子を含む化合物 (より好ましくは炭素原子を含む化合物も) 等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

【0238】

成膜条件の一例としては、基板とターゲットの間の距離を 100 mm、圧力 0.6 Pa、直流 (DC) 電源 0.5 kW、酸素 (酸素流量比率 100%) 雰囲気下の条件が適用される。なお、パルス直流 (DC) 電源を用いると、成膜時に発生する粉状物質 (パーティクル、ゴミともいう) が軽減でき、膜厚分布も均一となるために好ましい。酸化物半導体膜の膜厚は、2 nm 以上 200 nm 以下、好ましくは 5 nm 以上 30 nm 以下とする。なお、適用する酸化物半導体材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。

10

【0239】

次いで、酸化物半導体膜 330 を第 2 のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。また、島状の酸化物半導体層を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0240】

次いで、酸化物半導体層に第 1 の加熱処理を行う。この第 1 の加熱処理によって酸化物半導体層の脱水化または脱水素化を行うことができる。第 1 の加熱処理の温度は、400 以上 750 以下、好ましくは 400 以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下 450 において 1 時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層 331 を得る (図 8 (B) 参照)。

20

【0241】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等の RTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光 (電磁波) の輻射により、被処理物を加熱する装置である。GRTA 装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

30

【0242】

例えば、第 1 の加熱処理として、650 ~ 700 の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出す GRTA を行ってもよい。GRTA を用いると短時間での高温加熱処理が可能となる。

【0243】

なお、第 1 の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N (99.9999%) 以上、好ましくは 7N (99.99999%) 以上、(即ち不純物濃度を 1 ppm 以下、好ましくは 0.1 ppm 以下) とすることが好ましい。

40

【0244】

また、第 1 の加熱処理の条件、または酸化物半導体層の材料によっては、酸化物半導体層が結晶化し、微結晶層または多結晶層となる場合もある。例えば、結晶化率が 90% 以上、または 80% 以上の微結晶の酸化物半導体層となる場合もある。また、第 1 の加熱処理の条件、または酸化物半導体層の材料によっては、結晶成分を含まない非晶質の酸化物半

50

導体層となる場合もある。また、非晶質の酸化物半導体の中に微結晶部（粒径 1 nm 以上 20 nm 以下（代表的には 2 nm 以上 4 nm 以下））が混在する酸化物半導体層となる場合もある。

【0245】

また、酸化物半導体層の第 1 の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜 330 に行うこともできる。その場合には、第 1 の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

【0246】

酸化物半導体層に対する脱水化、脱水素化の効果を奏する加熱処理は、酸化物半導体層成膜後、酸化物半導体層上にソース電極及びドレイン電極を積層させた後、ソース電極及びドレイン電極上に保護絶縁膜を形成した後、のいずれで行っても良い。

10

【0247】

また、ゲート絶縁層 302 にコンタクトホールを形成する場合、その工程は酸化物半導体膜 330 に脱水化または脱水素化処理を行う前でも行った後に行ってもよい。

【0248】

なお、ここでの酸化物半導体膜のエッチングは、ウェットエッチングに限定されずドライエッチングを用いてもよい。

【0249】

所望の加工形状にエッチングできるように、材料に合わせてエッチング条件（エッチング液、エッチング時間、温度等）を適宜調節する。

20

【0250】

次いで、ゲート絶縁層 302、及び酸化物半導体層 331 上に、導電膜を形成する。導電膜をスパッタ法や真空蒸着法で形成すればよい。導電膜の材料としては、Al、Cr、Cu、Ta、Ti、Mo、W から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、マンガン、マグネシウム、ジルコニウム、ベリリウム、トリウムのいずれか一または複数から選択された材料を用いてもよい。また、導電膜は、単層構造でも、2 層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する 2 層構造、Ti 膜と、その Ti 膜上に重ねてアルミニウム膜を積層し、さらにその上に Ti 膜を成膜する 3 層構造などが挙げられる。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素を単数、又は複数組み合わせた膜、合金膜、もしくは窒化膜を用いてもよい。

30

【0251】

導電膜形成後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を導電膜に持たせることが好ましい。

【0252】

第 3 のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層 315a、ドレイン電極層 315b を形成した後、レジストマスクを除去する（図 8（C）参照）。

【0253】

40

第 3 のフォトリソグラフィ工程でのレジストマスク形成時の露光には、紫外線や KrF レーザ光や ArF レーザ光を用いる。酸化物半導体層 331 上で隣り合うソース電極層 315a の下端部とドレイン電極層 315b の下端部との間隔幅によって後に形成される薄膜トランジスタのチャネル長 L が決定される。なお、チャネル長 L = 25 nm 未満の露光を行う場合には、数 nm ~ 数 10 nm と極めて波長が短い超紫外線（Extreme Ultraviolet）を用いて第 3 のフォトリソグラフィ工程でのレジストマスク形成時の露光を行う。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成される薄膜トランジスタのチャネル長 L を 10 nm 以上 1000 nm 以下とすることも可能であり、回路の動作速度を高速化でき、さらにオフ電流値が極めて小さいため、低消費電力化も図ることができる。

50

【 0 2 5 4 】

なお、導電膜のエッチングの際に、酸化物半導体層 3 3 1 は除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。

【 0 2 5 5 】

本実施の形態では、導電膜として T i 膜を用いて、酸化物半導体層 3 3 1 には I n - G a - Z n - O 系酸化物半導体を用いて、エッチャントとしてアンモニア過水（アンモニア、水、過酸化水素水の混合液）を用いる。

【 0 2 5 6 】

なお、第 3 のフォトリソグラフィ工程では、酸化物半導体層 3 3 1 は一部のみがエッチングされ、溝部（凹部）を有する酸化物半導体層となることもある。また、ソース電極層 3 1 5 a、ドレイン電極層 3 1 5 b を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

10

【 0 2 5 7 】

また、酸化物半導体層 3 3 1 とソース電極層 3 1 5 a 及びドレイン電極層 3 1 5 b の間に、酸化物導電層を形成してもよい。酸化物半導体層 3 3 1 とソース電極層 3 1 5 a 及びドレイン電極層 3 1 5 b を形成するための金属層は、連続成膜が可能である。酸化物導電層はソース領域及びドレイン領域として機能しうる。

【 0 2 5 8 】

ソース領域及びドレイン領域として、酸化物導電層を酸化物半導体層とソース電極層及びドレイン電極層との間に設けることで、ソース領域及びドレイン領域の低抵抗化を図ることができ、トランジスタの高速動作をすることができる。

20

【 0 2 5 9 】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

30

【 0 2 6 0 】

次いで、N₂O、N₂、または A r などのガスを用いたプラズマ処理を行う。このプラズマ処理によって露出している酸化物半導体層の表面に付着した吸着水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【 0 2 6 1 】

プラズマ処理を行った後、大気に触れることなく、酸化物半導体層の一部に接する保護絶縁膜となる酸化物絶縁層 3 1 6 を形成する。

【 0 2 6 2 】

酸化物絶縁層 3 1 6 は、少なくとも 1 n m 以上の膜厚とし、スパッタ法など、酸化物絶縁層 3 1 6 に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。酸化物絶縁層 3 1 6 に水素が含まれると、その水素の酸化物半導体層への侵入、又は水素による酸化物半導体層中の酸素の引き抜き、が生じ酸化物半導体層のバックチャネルが低抵抗化（N 型化）してしまい、寄生チャネルが形成されるおそれがある。よって、酸化物絶縁層 3 1 6 はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。

40

【 0 2 6 3 】

本実施の形態では、酸化物絶縁層 3 1 6 として膜厚 2 0 0 n m の酸化珪素膜をスパッタ法を用いて成膜する。成膜時の基板温度は、室温以上 3 0 0 以下とすればよく、本実施の形態では 1 0 0 とする。酸化珪素膜のスパッタ法による成膜は、希ガス（代表的にはア

50

ルゴン) 雰囲気下、酸素雰囲気下、または希ガス(代表的にはアルゴン) 及び酸素雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素、及び窒素雰囲気下でスパッタ法により酸化珪素を形成することができる。酸化物半導体層 331 に接して形成する酸化物絶縁層 316 は、水分や、水素イオンや、 OH^- などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いる。

【0264】

この場合において、処理室内の残留水分を除去しつつ酸化物絶縁層 316 を成膜することが好ましい。酸化物半導体層 331 及び酸化物絶縁層 316 に水素、水酸基又は水分が含まれないようにするためである。

10

【0265】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水(H_2O) など水素原子を含む化合物等が排気されるため、当該成膜室で成膜した酸化物絶縁層 316 に含まれる不純物の濃度を低減できる。

【0266】

酸化物絶縁層 316 を、成膜する際に用いるスパッタガスとしては水素、水、水酸基又は水素化物などの不純物が、濃度 ppm 程度、濃度 ppb 程度まで除去された高純度ガスが好ましい。

20

【0267】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理(好ましくは200 以上400 以下、例えば250 以上350 以下)を行う。例えば、窒素雰囲気下で250 、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層の一部(チャネル領域)が酸化物絶縁層 316 と接した状態で加熱される。酸化物半導体層 331 と酸化物絶縁層 316 とを接した状態で加熱処理を行うと、第1の加熱処理によって同時に減少してしまう酸化物半導体を構成する主成分材料の一つである酸素を、酸化物絶縁層 316 より酸化物半導体層 331 へ供給することができる。よって、酸化物半導体はより高純度化し、電気的にI型(真性)化する。

30

【0268】

以上の工程を経ることによって、脱水化または脱水素化により水素、水分、水素化物、水酸化物の濃度が低減され、I型化された酸化物半導体層 331 を有する薄膜トランジスタ 310 を形成することができる。(図8(D)参照)。

【0269】

さらに大気中、100 以上200 以下、1時間以上30時間以下での加熱処理を行ってもよい。本実施の形態では150 で10時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上200 以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁層の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、ノーマリーオフとなる薄膜トランジスタを得ることができる。

40

【0270】

酸化物絶縁層 316 上にさらに保護絶縁層 303 を形成してもよい。例えば、RFスパッタ法を用いて窒化珪素膜を形成する。RFスパッタ法は、量産性がよいため、保護絶縁層の成膜方法として好ましい。保護絶縁層は、水分や、水素イオンや、 OH^- などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、窒化酸化アルミニウム膜な

50

どを用いる。(図8(E)参照)。

【0271】

本実施の形態では、保護絶縁層303として、酸化物絶縁層316まで形成された基板300を100～400の温度に加熱し、水素及び水分が除去された高純度窒素を含むスパッタガスを導入しシリコンターゲットを用いて窒化シリコン膜を成膜する。この場合においても、酸化物絶縁層316と同様に、処理室内の残留水分を除去しつつ保護絶縁層303を成膜することが好ましい。

【0272】

保護絶縁層303上に平坦化のための平坦化絶縁層を設けてもよい。

【0273】

上述した薄膜トランジスタを実施の形態1に示したアナログ回路に適用することによって、安定な電気特性を有し信頼性の高いアナログ回路を提供することができる。

【0274】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0275】

(実施の形態7)

本実施の形態では、実施の形態1に示したアナログ回路が有する薄膜トランジスタの一例について示す。

【0276】

本実施の形態の薄膜トランジスタ及びその作製方法の一形態を、図9を用いて説明する。

【0277】

図9(D)に示す薄膜トランジスタ360は、チャネル保護型(チャネルストップ型ともいう)と呼ばれるボトムゲート構造の一つであり逆スタガ型薄膜トランジスタともいう。

【0278】

また、薄膜トランジスタ360はシングルゲート構造の薄膜トランジスタを用いて説明したが、必要に応じて、チャネル領域を複数有するマルチゲート構造の薄膜トランジスタも形成することができる。

【0279】

以下、図9(A)乃至(D)を用い、基板320上に薄膜トランジスタ360を作製する工程を説明する。

【0280】

まず、絶縁表面を有する基板320上に導電膜を形成した後、第1のフォトリソグラフィ工程によりゲート電極層361を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0281】

また、ゲート電極層361は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【0282】

次いで、ゲート電極層361上にゲート絶縁層322を形成する。

【0283】

本実施の形態では、ゲート絶縁層322としてプラズマCVD法により膜厚100nm以下の酸化窒化珪素層を形成する。

【0284】

次いで、ゲート絶縁層322上に、膜厚2nm以上200nm以下の酸化物半導体膜を形成し、第2のフォトリソグラフィ工程により島状の酸化物半導体層332に加工する。本実施の形態では、酸化物半導体膜としてIn-Ga-Zn-O系金属酸化物ターゲットを用いてスパッタ法により成膜する。

【0285】

この場合において、処理室内の残留水分を除去しつつ酸化物半導体膜を成膜することが好ましい。酸化物半導体膜に水素、水酸基又は水分が含まれないようにするためである。

【0286】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水 (H_2O) など水素原子を含む化合物等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

【0287】

酸化物半導体膜を、成膜する際に用いるスパッタガスとしては水素、水、水酸基又は水素化合物などの不純物が、濃度 ppm 程度、濃度 ppb 程度まで除去された高純度ガスが好ましい。

【0288】

次いで、酸化物半導体層 332 の脱水化または脱水素化を行う。脱水化または脱水素化を行う第 1 の加熱処理の温度は、400 以上 750 以下、好ましくは 400 以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層 332 に対して窒素雰囲気下 450 において 1 時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層 332 への水や水素の再混入を防ぎ、脱水化または脱水素化された酸化物半導体層 332 を得る (図 9 (A) 参照)。

【0289】

次いで、 N_2O 、 N_2 、または Ar などのガスを用いたプラズマ処理を行う。このプラズマ処理によって露出している酸化物半導体層の表面に付着した吸着水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【0290】

次いで、ゲート絶縁層 322、及び酸化物半導体層 332 上に、酸化物絶縁層を形成した後、第 3 のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行って、チャンネル保護層として機能する酸化物絶縁層 366 を形成した後、レジストマスクを除去する。チャンネル保護層として酸化物絶縁層 366 を設けることによって、酸化物半導体層 332 のチャンネル形成領域となる部分に対する、後の工程時におけるエッチング時のプラズマやエッチング剤による膜減りなどのダメージを防ぐことができる。

【0291】

本実施の形態では、酸化物絶縁層 366 として膜厚 200 nm の酸化珪素膜をスパッタ法を用いて成膜する。成膜時の基板温度は、室温以上 300 以下とすればよく、本実施の形態では 100 とする。酸化珪素膜のスパッタ法による成膜は、希ガス (代表的にはアルゴン) 雰囲気下、酸素雰囲気下、または希ガス (代表的にはアルゴン) 及び酸素雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素、及び窒素雰囲気下でスパッタ法により酸化珪素を形成することができる。

【0292】

この場合において、処理室内の残留水分を除去しつつ酸化物絶縁層 366 を成膜することが好ましい。酸化物半導体層 332 及び酸化物絶縁層 366 に水素、水酸基又は水分が含まれないようにするためである。

【0293】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水 (H_2O) など水素原子を含む化合物等が排気されるため、当該成膜室で成膜した酸化物絶縁層 366 に含まれる不純物の濃度を低減できる。

【0294】

酸化物絶縁層366を成膜する際に用いるスパッタガスとしては水素、水、水酸基又は水素化物などの不純物が、濃度ppm程度、濃度ppb程度まで除去された高純度ガスが好ましい。

【0295】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理（好ましくは200以上400以下、例えば250以上350以下）を行ってもよい。例えば、窒素雰囲気下で250、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層の一部（チャネル領域）が酸化物絶縁層366と接した状態で加熱される。

【0296】

次いで、ゲート絶縁層322、酸化物半導体層332、及び酸化物絶縁層366上に、導電膜を形成した後、第4のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってソース電極層365a、ドレイン電極層365bを形成した後、レジストマスクを除去する（図9（C）参照）。

【0297】

ソース電極層365a、ドレイン電極層365bの材料としては、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、金属導電膜は、単層構造でも、2層以上の積層構造としてもよい。第2の加熱処理は、ソース電極層365a、ドレイン電極層365b形成以降の工程で行っても良い。

【0298】

以上の工程を経ることによって、脱水化または脱水素化により水素、水分、水素化物、水酸化物の濃度が低減され、I型化された酸化物半導体層332を有する薄膜トランジスタ360が形成される。

【0299】

さらに大気中、100以上200以下、1時間以上30時間以下での加熱処理を行ってもよい。本実施の形態では150で10時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁層の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、ノーマリーオフとなる薄膜トランジスタを得ることができる。

【0300】

また、ソース電極層365a、ドレイン電極層365b、酸化物絶縁層366上に保護絶縁層323を形成してもよい。本実施の形態では、保護絶縁層323を、窒化珪素膜を用いて形成する（図9（D）参照）。

【0301】

なお、ソース電極層365a、ドレイン電極層365b、酸化物絶縁層366上にさらに酸化物絶縁層を形成し、該酸化物絶縁層上に保護絶縁層323を積層してもよい。

【0302】

上述した薄膜トランジスタを実施の形態1に示したアナログ回路に適用することによって、安定な電気特性を有し信頼性の高いアナログ回路を提供することができる。

【0303】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0304】

（実施の形態8）

本実施の形態では、実施の形態1に示したアナログ回路が有する薄膜トランジスタの一例について示す。

【0305】

本実施の形態の薄膜トランジスタ及びその作製方法の一形態を、図10を用いて説明する

10

20

30

40

50

。

【0306】

また、図10(D)に示す薄膜トランジスタ350はシングルゲート構造の薄膜トランジスタを用いて説明するが、必要に応じて、チャネル領域を複数有するマルチゲート構造の薄膜トランジスタも形成することができる。

【0307】

以下、図10(A)乃至(D)を用い、基板340上に薄膜トランジスタ350を作製する工程を説明する。

【0308】

まず、絶縁表面を有する基板340上に導電膜を形成した後、第1のフォトリソグラフィ工程によりゲート電極層351を形成する。本実施の形態では、ゲート電極層351として、膜厚150nmのタングステン膜を、スパッタ法を用いて形成する。

【0309】

次いで、ゲート電極層351上にゲート絶縁層342を形成する。本実施の形態では、ゲート絶縁層342としてプラズマCVD法により膜厚100nm以下の酸化窒化珪素層を形成する。

【0310】

次いで、ゲート絶縁層342に、導電膜を形成し、第2のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層355a、ドレイン電極層355bを形成した後、レジストマスクを除去する(図10(A)参照)。

【0311】

次に、酸化物半導体膜345を形成する(図10(B)参照)。本実施の形態では、酸化物半導体膜345としてIn-Ga-Zn-O系金属酸化物ターゲットを用いてスパッタ法により成膜する。酸化物半導体膜345を第3のフォトリソグラフィ工程により島状の酸化物半導体層346に加工する。

【0312】

この場合において、処理室内の残留水分を除去しつつ酸化物半導体膜345を成膜することが好ましい。酸化物半導体膜345に水素、水酸基又は水分が含まれないようにするためである。

【0313】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水(H₂O)など水素原子を含む化合物等が排気されるため、当該成膜室で成膜した酸化物半導体膜345に含まれる不純物の濃度を低減できる。

【0314】

酸化物半導体膜345を、成膜する際に用いるスパッタガスとしては水素、水、水酸基又は水素化物などの不純物が、濃度ppm程度、濃度ppb程度まで除去された高純度ガスが好ましい。

【0315】

次いで、酸化物半導体層346の脱水化または脱水素化を行う。脱水化または脱水素化を行う第1の加熱処理の温度は、400以上750以下、好ましくは400以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層346に対して窒素雰囲気下450において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層346への水や水素の再混入を防ぎ、脱水化または脱水素化された酸化物半導体層346を得る(図10(C)参照)。

【0316】

また、第1の加熱処理として、650～700の高温に加熱した不活性ガス中に基板

10

20

30

40

50

を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってもよい。GRTAを用いると短時間での高温加熱処理が可能となる。

【0317】

酸化物半導体層346に接する保護絶縁膜となる酸化物絶縁層356を形成する。

【0318】

酸化物絶縁層356は、少なくとも1nm以上の膜厚とし、スパッタ法など、酸化物絶縁層356に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。酸化物絶縁層356に水素が含まれると、その水素の酸化物半導体層への侵入、又は水素による酸化物半導体層中の酸素の引き抜きが生じ酸化物半導体層のバックチャネルが低抵抗化(N型化)してしまい、寄生チャネルが形成されるおそれがある。よって、酸化物絶縁層356はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。

10

【0319】

本実施の形態では、酸化物絶縁層356として膜厚200nmの酸化珪素膜をスパッタ法を用いて成膜する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。酸化珪素膜のスパッタ法による成膜は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、または希ガス(代表的にはアルゴン)及び酸素雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素、及び窒素雰囲気下でスパッタ法により酸化珪素を形成することができる。酸化物半導体層346に接して形成する酸化物絶縁層356は、水分や、水素イオンや、OH⁻などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いる。

20

【0320】

この場合において、処理室内の残留水分を除去しつつ酸化物絶縁層356を成膜することが好ましい。酸化物半導体層346及び酸化物絶縁層356に水素、水酸基又は水分が含まれないようにするためである。

【0321】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水(H₂O)など水素原子を含む化合物等が排気されるため、当該成膜室で成膜した酸化物絶縁層356に含まれる不純物の濃度を低減できる。

30

【0322】

酸化物絶縁層356を成膜する際に用いるスパッタガスとしては水素、水、水酸基又は水素化物などの不純物が、濃度ppm程度、濃度ppb程度まで除去された高純度ガスが好ましい。

40

【0323】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理(好ましくは200以上400以下、例えば250以上350以下)を行う。例えば、窒素雰囲気下で250、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層が酸化物絶縁層356と接した状態で加熱される。

【0324】

以上の工程を経ることによって、脱水化または脱水素化により水素、水分、水素化物、水酸化物の濃度が低減され、I型化された酸化物半導体層346を有する薄膜トランジスタ350が形成される。

【0325】

50

さらに大気中、100 以上200 以下、1時間以上30時間以下での加熱処理を行ってもよい。本実施の形態では150 で10時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上200 以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁層の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、ノーマリーオフとなる薄膜トランジスタを得ることができる。

【0326】

酸化物絶縁層356上にさらに保護絶縁層を形成してもよい。例えば、RFスパッタ法を用いて窒化珪素膜を形成する。本実施の形態では、保護絶縁層として保護絶縁層343を、窒化珪素膜を用いて形成する(図10(D)参照)。

10

【0327】

保護絶縁層343上に平坦化のための平坦化絶縁層を設けてもよい。

【0328】

上述した薄膜トランジスタを実施の形態1に示したアナログ回路に適用することによって、安定な電気特性を有し信頼性の高いアナログ回路を提供することができる。

【0329】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0330】

(実施の形態9)

20

本実施の形態では、実施の形態1に示したアナログ回路が有する薄膜トランジスタの一例について示す。

【0331】

本実施の形態では、薄膜トランジスタの作製工程の一部が実施の形態6と異なる例を図11に示す。図11は、図8と工程が一部異なる点以外は同じであるため、同じ箇所には同じ符号を用い、同じ箇所の詳細な説明は省略する。

【0332】

実施の形態6に従って、基板370上にゲート電極層381を形成し、第1のゲート絶縁層372a、第2のゲート絶縁層372bを積層する。本実施の形態では、ゲート絶縁層を2層構造とし、第1のゲート絶縁層372aに窒化物絶縁層を、第2のゲート絶縁層372bに酸化物絶縁層を用いる。

30

【0333】

酸化絶縁層としては、酸化シリコン層、酸化窒化シリコン層、または酸化アルミニウム層、又は酸化窒化アルミニウム層などを用いることができる。また、窒化絶縁層としては、窒化シリコン層、窒化酸化シリコン層、窒化アルミニウム層、又は窒化酸化アルミニウム層などを用いることができる。

【0334】

本実施の形態では、ゲート電極層381側から窒化シリコン層と酸化シリコン層とを積層した構造とする。第1のゲート絶縁層372aとしてスパッタリング法により膜厚50nm以上200nm以下(本実施の形態では50nm)の窒化シリコン層(SiN_y ($y > 0$))を形成し、第1のゲート絶縁層372a上に第2のゲート絶縁層372bとして膜厚5nm以上300nm以下(本実施の形態では100nm)の酸化シリコン層(SiO_x ($x > 0$))を積層して、膜厚150nmのゲート絶縁層とする。

40

【0335】

次に、酸化物半導体膜の形成を行い、酸化物半導体膜をフォトリソグラフィ工程により島状の酸化物半導体層382に加工する。本実施の形態では、酸化物半導体膜としてIn-Ga-Zn-O系金属酸化物ターゲットを用いてスパッタ法により成膜する。

【0336】

この場合において、処理室内の残留水分を除去しつつ酸化物半導体膜を成膜することが好ましい。酸化物半導体膜に水素、水酸基又は水分が含まれないようにするためである。

50

【0337】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水 (H_2O) など水素原子を含む化合物等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

【0338】

酸化物半導体膜を、成膜する際に用いるスパッタガスとしては水素、水、水酸基又は水素化合物などの不純物が、濃度 ppm 程度、濃度 ppb 程度まで除去された高純度ガスが好ましい。

10

【0339】

次いで、酸化物半導体層 382 の脱水化または脱水素化を行う。脱水化または脱水素化を行う第 1 の加熱処理の温度は、400 以上 750 以下、好ましくは 425 以上とする。なお、425 以上であれば加熱処理時間は 1 時間以下でよいが、425 未満であれば加熱処理時間は、1 時間よりも長時間行うこととする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下において加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層を得る。その後、同じ炉に高純度の酸素ガス、高純度の N_2O ガス、又は超乾燥エア（露点が -40 以下、好ましくは -60 以下）を導入して冷却を行う。酸素ガスまたは N_2O ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する酸素ガスまたは N_2O ガスの純度を、6N (99.9999%) 以上、好ましくは 7N (99.99999%) 以上、(即ち酸素ガスまたは N_2O ガス中の不純物濃度を 1 ppm 以下、好ましくは 0.1 ppm 以下) とすることが好ましい。

20

【0340】

なお、加熱処理装置は電気炉に限られず、例えば、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等の RTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光 (電磁波) の輻射により、被処理物を加熱する装置である。また、LRTA 装置、ランプだけでなく、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。GRTA とは高温のガスを用いて加熱処理を行う方法である。ガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。RTA 法を用いて、600 ~ 750 で数分間加熱処理を行ってもよい。

30

【0341】

また、脱水化または脱水素化を行う第 1 の加熱処理後に 200 以上 400 以下、好ましくは 200 以上 300 以下の温度で酸素ガスまたは N_2O ガス雰囲気下での加熱処理を行ってもよい。

40

【0342】

また、酸化物半導体層の第 1 の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜に行うこともできる。その場合には、第 1 の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

【0343】

以上の工程を経ることによって酸化物半導体中の不純物を低減させることにより、全体が I 型化又は実質的に I 型化された酸化物半導体層 382 を得ることができる。

【0344】

次いで、酸化物半導体層 382 上に導電膜を形成し、フォトリソグラフィ工程によりレジストマスクを形成し、導電膜を選択的にエッチングしてソース電極層 385a、ドレイン

50

電極層 385b を形成し、スパッタ法で酸化物絶縁層 386 を形成する。

【0345】

この場合において、処理室内の残留水分を除去しつつ酸化物絶縁層 386 を成膜することが好ましい。酸化物半導体層 382 及び酸化物絶縁層 386 に水素、水酸基又は水分が含まれないようにするためである。

【0346】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水 (H_2O) など水素原子を含む化合物等が排気されるため、当該成膜室で成膜した酸化物絶縁層 386 に含まれる不純物の濃度を低減できる。

10

【0347】

酸化物絶縁層 386 を、成膜する際に用いるスパッタガスとしては水素、水、水酸基又は水素化物などの不純物が、濃度 ppm 程度、濃度 ppb 程度まで除去された高純度ガスが好ましい。

【0348】

以上の工程で、薄膜トランジスタ 380 を形成することができる。

【0349】

次いで、薄膜トランジスタの電気的特性のばらつきを軽減するため、不活性ガス雰囲気下、または窒素ガス雰囲気下で加熱処理（好ましくは 150 以上 350 未満）を行ってもよい。例えば、窒素雰囲気下で 250 、1 時間の加熱処理を行う。

20

【0350】

また、大気中、100 以上 200 以下、1 時間以上 30 時間以下での加熱処理を行ってもよい。本実施の形態では 150 で 10 時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上 200 以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁層の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、ノーマリーオフとなる薄膜トランジスタを得ることができる。

30

【0351】

酸化物絶縁層 386 上に保護絶縁層 373 を形成する。本実施の形態では、保護絶縁層 373 として、スパッタリング法を用いて膜厚 100 nm の窒化珪素膜を形成する。

【0352】

窒化物絶縁層からなる保護絶縁層 373 及び第 1 のゲート絶縁層 372a は、水分や、水素や、水素化物、水酸化物などの不純物を含まず、これらが外部から侵入することをブロックする効果がある。

【0353】

従って、保護絶縁層 373 形成後の製造プロセスにおいて、外部からの水分などの不純物の侵入を防ぐことができる。また、半導体装置、例えば液晶表示装置としてデバイスが完成した後も長期的に、外部からの水分などの不純物の侵入を防ぐことができデバイスの長期信頼性を向上することができる。

40

【0354】

また、窒化物絶縁層からなる保護絶縁層 373 と、第 1 のゲート絶縁層 372a との間に設けられる絶縁層を除去し、保護絶縁層 373 と、第 1 のゲート絶縁層 372a とが接する構造としてもよい。

【0355】

保護絶縁層 373 と、第 1 のゲート絶縁層 372a とが接する構造とすることで、酸化物半導体層中の水分や、水素や、水素化物、水酸化物などの不純物を究極にまで低減し、かつ該不純物の再混入を防止し、酸化物半導体層中の不純物濃度を低く維持することができ

50

る。

【0356】

保護絶縁層373上に平坦化のための平坦化絶縁層を設けてもよい。

【0357】

上述した薄膜トランジスタを実施の形態1に示したアナログ回路に適用することによって、安定な電気特性を有し信頼性の高いアナログ回路を提供することができる。

【0358】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0359】

(実施の形態10)

本実施の形態では、実施の形態1に示したアナログ回路を有する半導体装置の一例について説明する。具体的には、実施の形態1に示した光検出装置を有する液晶表示パネルの外観及び断面について、図12を用いて説明する。図12は、薄膜トランジスタ4010、薄膜トランジスタ4011、及び液晶素子4013を、第1の基板4001と第2の基板4006との間にシール材4005によって封止したパネル上面図であり、図12(B)は、図12(A)または図12(C)のM-Nにおける断面図に相当する。

【0360】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また、画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。

【0361】

また、第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、実施の形態1で示した光検出装置4100が設けられている。光検出装置4100は、第1の基板4001上に画素部と同時に形成してもよいし、別途基板上に作製して第1の基板4001上に実装してもよい。なお、第1の基板4001に透光性基板を用いる場合は、基板側から入射した光を検出する構成として光検出装置4100を設けることができるが、第1の基板4001に可視光を透過しない基板を用いる場合は、光検出装置の受光部を、基板による遮光の影響を受けない方向となるように配置する必要がある。

【0362】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG法、ワイヤボンディング法、或いはTAB法などを用いることができる。図12(A)は、COG方法により信号線駆動回路4003を実装する例であり、図12(C)は、TAB方法により信号線駆動回路4003を実装する例である。

【0363】

また、第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図12(B)では、画素部4002に含まれる薄膜トランジスタ4010と、走査線駆動回路4004に含まれる薄膜トランジスタ4011とを例示している。薄膜トランジスタ4010、4011上には絶縁層4041、保護絶縁層4042、絶縁層4020、絶縁層4021が設けられている。

【0364】

薄膜トランジスタ4010、4011は、実施の形態3乃至実施の形態9に示した薄膜トランジスタのいずれかーを適宜用いることができ、同様な工程及び材料で形成することができる。薄膜トランジスタ4010、4011の酸化物半導体層は水素や水が低減されている。従って、薄膜トランジスタ4010、4011は信頼性の高い薄膜トランジスタである。本実施の形態において、薄膜トランジスタ4010、4011はnチャネル型薄膜トランジスタである。

【0365】

絶縁層4021上において、駆動回路用の薄膜トランジスタ4011の酸化物半導体層のチャネル領域と重なる位置に導電層4040が設けられている。導電層4040を酸化物半導体層のチャネル領域と重なる位置に設けることによって、BT試験前後における薄膜トランジスタ4011のしきい値電圧の変化量を低減することができる。また、導電層4040の電位は、薄膜トランジスタ4011のゲート電極層と同じでもよいし、異なっても良く、第2のゲート電極層として機能させることもできる。また、導電層4040の電位は、GND、0V、或いはフローティング状態であってもよい。なお、当該導電層4040はなくてもよい。

【0366】

また、液晶素子4013が有する画素電極層4030は、薄膜トランジスタ4010のソース電極層又はドレイン電極層と電氣的に接続されている。そして液晶素子4013の対向電極層4031は第2の基板4006上に形成されている。画素電極層4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極層4030、対向電極層4031はそれぞれ配向膜として機能する絶縁層4032、絶縁層4033が設けられ、絶縁層4032、4033を介して液晶層4008を挟持している。

【0367】

なお、第1の基板4001、第2の基板4006としては、透光性基板を用いることができ、ガラス、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、ポリエステルフィルム、またはアクリル樹脂フィルムを用いることができる。

【0368】

また、スペーサ4035は絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、画素電極層4030と対向電極層4031との間の距離(セルギャップ)を制御するために設けられている。なお球状のスペーサを用いても良い。また、対向電極層4031は、薄膜トランジスタ4010と同一基板上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して対向電極層4031と共通電位線とを電氣的に接続することができる。なお、導電性粒子はシール材4005に含有させる。

【0369】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が1msec以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良や破損を軽減することができる。よって液晶表示装置の生産性を向上させることが可能となる。特に、酸化物半導体層を用いる薄膜トランジスタは、静電気の影響により薄膜トランジスタの電氣的な特性が著しく変動して設計範囲を逸脱する恐れがある。よって酸化物半導体層を用いる薄膜トランジスタを有する液晶表示装置にブルー相の液晶材料を用いることはより効果的である。

【0370】

なお、透過型液晶表示装置の他に、半透過型液晶表示装置でも適用できる。

【0371】

また、液晶表示装置では、基板の外側(視認側)に偏光板を設け、内側に着色層、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。ま

10

20

30

40

50

た、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、表示部以外にブラックマトリクスとして機能する遮光膜を設けてもよい。

【0372】

薄膜トランジスタ4011、4010上には、酸化物半導体層に接して絶縁層4041が形成されている。絶縁層4041は他の実施の形態で示した酸化物絶縁層と同様な材料及び方法で形成すればよい。ここでは、絶縁層4041として、スパッタリング法により酸化シリコン層を形成する。また、絶縁層4041上に接して保護絶縁層4042を形成する。また、保護絶縁層4042は他の実施の形態で示した保護絶縁層と同様に形成すればよく、例えば窒化シリコン膜を用いることができる。また、保護絶縁層4042上に薄膜トランジスタの表面凹凸を低減するための平坦化膜として、絶縁層4021が形成されている。

10

【0373】

また、平坦化膜として機能する絶縁層4021としては、ポリイミド、アクリル樹脂、ベンゾシクロブテン系樹脂、ポリアミド、エポキシ樹脂等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層4021を形成してもよい。

【0374】

20

絶縁層4021の形成法は、特に限定されず、その材料に応じて、スパッタリング法、SOG法、スピコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。絶縁層4021の焼成工程と半導体層のアニールを兼ねることで効率よく半導体装置を作製することが可能となる。

【0375】

画素電極層4030、対向電極層4031は、インジウム錫酸化物（ITO：Indium Tin Oxide）、インジウム亜鉛酸化物（IZO：Indium Zinc Oxide）、酸化インジウムに酸化珪素（SiO_x（x>0））を混合した導電材料、有機インジウム、有機スズ、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、などの透光性を有する導電性材料を用いることができる。または反射型の液晶表示装置において、透光性を有する必要がない、または反射性を有する必要がある場合は、タングステン（W）、モリブデン（Mo）、ジルコニウム（Zr）、ハフニウム（Hf）、バナジウム（V）、ニオブ（Nb）、タンタル（Ta）、クロム（Cr）、コバルト（Co）、ニッケル（Ni）、チタン（Ti）、白金（Pt）、アルミニウム（Al）、銅（Cu）、銀（Ag）等の金属、又はその合金、若しくはその金属窒化物から一つ、又は複数種を用いて形成することができる。

30

【0376】

また、画素電極層4030、対向電極層4031として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が10000 / 以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が0.1・cm以下であることが好ましい。

40

【0377】

導電性高分子としては、いわゆる電子共役系導電性高分子を用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

【0378】

また、別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部

50

4002に与えられる各種信号及び電位は、FPC4018から供給されている。

【0379】

接続端子電極4015が、液晶素子4013が有する画素電極層4030と同じ導電膜から形成され、端子電極4016は、薄膜トランジスタ4010、4011のソース電極層及びドレイン電極層と同じ導電膜で形成されている。

【0380】

接続端子電極4015は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

【0381】

また、図12においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているがこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

10

【0382】

また、ブラックマトリクス（遮光層）、偏光部材、位相差部材、反射防止部材などの光学部材（光学基板）などは適宜設ける。例えば、偏光基板及び位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。

【0383】

アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。

20

【0384】

液晶表示装置の動画表示において、液晶分子自体の応答が遅いため、残像が生じる、または動画のぼけが生じるという問題がある。液晶表示装置の動画特性を改善するため、全面黒表示を1フレームおきに行う、所謂、黒挿入と呼ばれる駆動技術がある。

【0385】

また、垂直同期周期数を1.5倍、好ましくは2倍以上にすることで動画特性を改善する、所謂、倍速駆動と呼ばれる駆動技術もある。

30

【0386】

また、液晶表示装置の動画特性を改善するため、バックライトとして複数のLED（発光ダイオード）光源または複数のEL光源などを用いて面光源を構成し、面光源を構成している各光源を独立して1フレーム期間内で間欠点灯駆動する駆動技術もある。面光源として、3種類以上のLEDを用いてもよいし、白色発光のLEDを用いてもよい。独立して複数のLEDを制御できるため、液晶層の光学変調の切り替えタイミングに合わせてLEDの発光タイミングを同期させることもできる。この駆動技術は、LEDを部分的に消灯することができるため、特に一画面を占める黒い表示領域の割合が多い映像表示の場合には、消費電力の低減効果が図れる。

【0387】

これらの駆動技術を組み合わせることによって、液晶表示装置の動画特性などの表示特性を従来よりも改善することができる。

40

【0388】

また、薄膜トランジスタは静電気などにより破壊されやすいため、さらに画素部または駆動回路と同一基板上に保護回路を設けることが好ましい。保護回路は、酸化物半導体層を用いた非線形素子を用いて構成することが好ましい。例えば、保護回路は画素部と、走査線入力端子及び信号線入力端子との間に配設されている。本実施の形態では複数の保護回路を配設して、走査線、信号線及び容量バス線に静電気等によりサージ電圧が印加され、画素トランジスタなどが破壊されないように構成されている。そのため、保護回路にはサージ電圧が印加されたときに、共通配線に電荷を逃がすように構成する。また、保護回路

50

は、走査線及び共通配線の間に並列に配置された非線形素子によって構成されている。非線形素子は、ダイオードのような二端子素子又はトランジスタのような三端子素子で構成される。例えば、画素部の薄膜トランジスタと同じ工程で形成することも可能であり、例えばゲート端子とドレイン端子を接続することによりダイオードと同様の特性を持たせることができる。

【0389】

また、液晶表示モジュールには、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モードなどを用いることができる。

10

【0390】

このように、本明細書に開示される半導体装置としては、特に限定されず、TN液晶、OCB液晶、STN液晶、VA液晶、ECB型液晶、GH液晶、高分子分散型液晶、ディスコティック液晶などを用いることができるが、中でもノーマリーブラック型の液晶パネル、例えば垂直配向(VA)モードを採用した透過型の液晶表示装置とすることが好ましい。垂直配向モードとしては、いくつか挙げられるが、例えば、MVA (Multi-Domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASVモードなどを用いることができる。

20

【0391】

また、VA型の液晶表示装置にも適用することができる。VA型の液晶表示装置とは、液晶表示パネルの液晶分子の配列を制御する方式の一種である。VA型の液晶表示装置は、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。また、画素(ピクセル)をいくつかの領域(サブピクセル)に分け、それぞれ別の方向に分子を倒すよう工夫されているマルチドメイン化あるいはマルチドメイン設計といわれる方法を用いることができる。

【0392】

光検出装置4100により液晶表示装置周辺の照度を検出することで、バックライトの発光輝度を調節して視認性を高めるとともに、省電力化が可能となる。

30

【0393】

また、画素部4002内に実施の形態1で示した光検出装置を設け、光学式のタッチセンサーとして用いることもできる。

【0394】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0395】

(実施の形態11)

本実施の形態では、アクティブマトリクス型の発光表示装置の一例を示す。なお、具体的には、エレクトロルミネッセンスを利用する発光素子を有する発光表示装置の一例について説明する。

40

【0396】

エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

【0397】

有機EL素子は、発光素子に電圧を印加することにより、一对の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア(電子および正孔)が再結合することにより発光する。このようなメカニズムから、

50

このような発光素子は、電流励起型の発光素子と呼ばれる。

【0398】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機EL素子を用いて説明する。

【0399】

図13は、半導体装置の例としてデジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

【0400】

デジタル時間階調駆動を適用可能な画素の構成及び画素の動作について説明する。ここでは酸化物半導体層をチャネル領域に用いるnチャネル型のトランジスタを1つの画素に2つ用いる例を示す。

【0401】

画素6400は、スイッチング用トランジスタ6401、発光素子駆動用トランジスタ6402、発光素子6404及び容量素子6403を有している。スイッチング用トランジスタ6401はゲートが走査線6406に接続され、第1電極（ソース電極及びドレイン電極の一方）が信号線6405に接続され、第2電極（ソース電極及びドレイン電極の他方）が発光素子駆動用トランジスタ6402のゲートに接続されている。発光素子駆動用トランジスタ6402は、ゲートが容量素子6403を介して電源線6407に接続され、第1電極が電源線6407に接続され、第2電極が発光素子6404の第1電極（画素電極）に接続されている。発光素子6404の第2電極は共通電極6408に相当する。共通電極6408は、同一基板上に形成される共通電位線と電氣的に接続される。

【0402】

なお、発光素子6404の第2電極（共通電極6408）には低電源電位が設定されている。なお、低電源電位とは、電源線6407に設定される高電源電位を基準にして低電源電位<高電源電位を満たす電位であり、低電源電位としては例えばGND、0Vなどが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子6404に印加して、発光素子6404に電流を流して発光素子6404を発光させるため、高電源電位と低電源電位との電位差が発光素子6404の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

【0403】

なお、容量素子6403は発光素子駆動用トランジスタ6402のゲート容量を代用して省略することも可能である。発光素子駆動用トランジスタ6402のゲート容量については、チャネル領域とゲート電極との間で容量が形成されていてもよい。

【0404】

ここで、電圧入力電圧駆動方式の場合には、発光素子駆動用トランジスタ6402のゲートには、発光素子駆動用トランジスタ6402が十分にオンするか、オフするかの二つの状態となるようなビデオ信号を入力する。つまり、発光素子駆動用トランジスタ6402は線形領域で動作させる。発光素子駆動用トランジスタ6402は線形領域で動作させるため、電源線6407の電圧よりも高い電圧を発光素子駆動用トランジスタ6402のゲートにかける。なお、信号線6405には、（電源線電圧+発光素子駆動用トランジスタ6402の V_{th} ）以上の電圧をかける。

【0405】

また、デジタル時間階調駆動に代えて、アナログ階調駆動を行う場合、信号の入力を異ならせることで、図13と同じ画素構成を用いることができる。

【0406】

アナログ階調駆動を行う場合、発光素子駆動用トランジスタ6402のゲートに発光素子6404の順方向電圧+発光素子駆動用トランジスタ6402の V_{th} 以上の電圧をかける。発光素子6404の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。なお、発光素子駆動用トランジスタ6402が飽和領域で動作するようなビデオ信号を入力することで、発光素子6404に電流を流すことができる。発光素子駆動用トランジスタ6402を飽和領域で動作させるため、電源線6407の電位は、発光素子駆動用トランジスタ6402のゲート電位よりも高くする。ビデオ信号をアナログとすることで、発光素子6404にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

【0407】

10

続いて、図14を用いて、図13とは異なる画素構成の一例について説明する。図14は、カレントミラー回路を適用した画素構成の一例を示す図である。ここでは酸化物半導体層をチャンネル領域に用いるnチャンネル型のトランジスタを1つの画素に4つ用いる例を示す。

【0408】

画素6510は、スイッチング用トランジスタ6511、スイッチング用トランジスタ6512、参照トランジスタ6513、発光素子駆動用トランジスタ6502、発光素子6504及び容量素子6503を有している。スイッチング用トランジスタ6511及びスイッチング用トランジスタ6512は、ゲートが走査線6506に接続されている。スイッチング用トランジスタ6511の第1電極（ソース電極及びドレイン電極の一方）が信号線6505に接続され、第2電極（ソース電極及びドレイン電極の他方）が参照トランジスタ6513及び発光素子駆動用トランジスタ6502のゲートに接続されている。スイッチング用トランジスタ6512の第1電極が信号線6505に接続され、第2電極が参照トランジスタ6513の第1電極に接続されている。

20

【0409】

発光素子駆動用トランジスタ6502は、第1電極が電源線6507に接続され、ゲートが容量素子6503を介して発光素子6504の第1電極（画素電極）に接続されている。なお、図14では容量素子6503は発光素子6504の第1電極に接続しているが、発光素子6504の第1電極ではなく、電源線6507や共通電極6508などの固定電位を有する電極と接続する構成としてもよい。また、スイッチング用トランジスタ6511及びスイッチング用トランジスタ6512のゲートが走査線6506とは異なる走査線と接続する構成としてもよい。

30

【0410】

また、参照トランジスタ6513及び発光素子駆動用トランジスタ6502の第2電極は発光素子6504の第1電極（画素電極）に接続されており、発光素子6504の第2電極は共通電極6508に接続されている。共通電極6508は、同一基板上に形成される共通電位線と電氣的に接続される。

【0411】

共通電極6508には低電源電位が設定されている。なお、低電源電位とは、電源線6507に設定される高電源電位を基準にして、高電源電位よりも低い電位であり、低電源電位としては例えばGND、0Vなどが設定されていても良い。電源線6507から供給される電流 I_{out} を、発光素子駆動用トランジスタ6502を介して発光素子6504に流して発光素子6504を発光させるため、高電源電位と低電源電位との電位差が、発光素子6504の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

40

【0412】

なお、容量素子6503は発光素子駆動用トランジスタ6502のゲート容量を代用して省略することも可能である。発光素子駆動用トランジスタ6502のゲート容量については、チャンネル領域とゲート電極との間で容量が形成されていてもよい。

【0413】

まず、走査線6506の電位を、スイッチング用トランジスタ6511及びスイッチング

50

用トランジスタ6512をオン状態とする電位とすると、スイッチング用トランジスタ6511の第1電極と第2電極間、及びスイッチング用トランジスタ6512の第1電極と第2電極間が導通状態となり、信号線6505から電流Idataが画素回路内に供給される。電流Idataは、スイッチング用トランジスタ6511を介して容量素子6503に供給され、容量素子6503が充電される。充電により容量素子6503の電位が上昇し、参照トランジスタ6513のVth以上の電位になると参照トランジスタ6513がオン状態となり、電流Idataは、スイッチング用トランジスタ6512、参照トランジスタ6513、発光素子6504を通して共通電極6508に流れる。

【0414】

容量素子6503の電位上昇は、参照トランジスタ6513のドレイン電流が、電流Idataと等しい電流値となるまで続く。すなわち、容量素子6503の電位上昇は、電流Idataがスイッチング用トランジスタ6511を介して流れなくなると停止する。

10

【0415】

参照トランジスタ6513と発光素子駆動用トランジスタ6502のゲートは接続されているため、発光素子駆動用トランジスタ6502のゲートは、参照トランジスタ6513のゲートと等しい電位となる。トランジスタ特性と、チャネル幅W及びチャネル長Lの比(W/L比)が、参照トランジスタ6513、発光素子駆動用トランジスタ6502とも同じであれば、電流Idataと等しい電流値を有する電流Ioutが、電源線6507から発光素子駆動用トランジスタ6502を介して発光素子6504に供給される。

【0416】

20

次に、走査線6506の電位を、スイッチング用トランジスタ6511及びスイッチング用トランジスタ6512をオフ状態とする電位とすると、スイッチング用トランジスタ6511及び6512がオフ状態となり、電流Idataの供給が停止される。しかしながら、容量素子6503に保持された電位により、電流Ioutを発光素子6504に供給し続けることができる。

【0417】

なお、参照トランジスタ6513と発光素子駆動用トランジスタ6502のトランジスタ特性やチャネル幅W及びチャネル長Lの関係を工夫することで、電流Ioutを電流Idataよりも大きく、または小さくすることができる。例えば、参照トランジスタ6513に比べて、トランジスタ特性とチャネル長Lが等しく、チャネル幅Wが1/2倍であるトランジスタを発光素子駆動用トランジスタ6502に用いると、電流Ioutを電流Idataの1/2倍とすることができる。

30

【0418】

本実施の形態で用いる酸化物半導体層を有するトランジスタは、オフ電流が極めて低いいため、容量素子6503の電位を保持しやすく、容量素子6503を小さくすることができる。また、発光素子6504に電流を供給せず非発光とした時に生じる、オフ電流による微発光現象の発生を防ぐことができる。

【0419】

なお、図13及び図14に示す画素構成は、これに限定されない。例えば、図13及び図14に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。

40

【0420】

次に、発光素子の構成について、図15を用いて説明する。ここでは、発光素子駆動用トランジスタがn型の場合を例に挙げて、画素の断面構造について説明する。図15(A)(B)(C)の半導体装置に用いられる発光素子駆動用トランジスタ7001、発光素子駆動用トランジスタ7011、発光素子駆動用トランジスタ7021は、上記実施の形態に示す薄膜トランジスタと同様に作製でき、酸化物半導体層を含む薄膜トランジスタを用いる例を示す。

【0421】

発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そ

50

して、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出構造や、基板側の面から発光を取り出す下面射出構造や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、画素構成はどの射出構造の発光素子にも適用することができる。

【0422】

下面射出構造の発光素子について図15(A)を用いて説明する。

【0423】

発光素子駆動用トランジスタ7011がn型で、発光素子7012から発せられる光が第1の電極7013側に射出する場合の、画素の断面図を示す。図15(A)では、発光素子駆動用トランジスタ7011のドレイン電極層と電氣的に接続された透光性を有する導電膜7017上に、発光素子7012の第1の電極7013が形成されており、第1の電極7013上にEL層7014、第2の電極7015が順に積層されている。

10

【0424】

透光性を有する導電膜7017としては、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電膜を用いることができる。

【0425】

また、発光素子の第1の電極7013は様々な材料を用いることができる。例えば、第1の電極7013を陰極として用いる場合には、仕事関数が小さい材料、具体的には、例えば、LiやCs等のアルカリ金属、およびMg、Ca、Sr等のアルカリ土類金属、およびこれらを含む合金(Mg:Ag、Al:Liなど)の他、YbやEr等の希土類金属等が好ましい。図15(A)では、第1の電極7013の膜厚は、光を透過する程度(好ましくは、5nm~30nm程度)とする。例えば20nmの膜厚を有するアルミニウム膜を、第1の電極7013として用いる。

20

【0426】

なお、透光性を有する導電膜とアルミニウム膜を積層成膜した後、選択的にエッチングして透光性を有する導電膜7017と第1の電極7013を形成してもよく、この場合、同じマスクを用いてエッチングすることができるため、好ましい。

【0427】

また、第1の電極7013の周縁部は、隔壁7019で覆う。隔壁7019は、ポリイミド、アクリル樹脂、ポリアミド、エポキシ樹脂等の有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。隔壁7019は、特に感光性の樹脂材料を用い、第1の電極7013上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁7019として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

30

【0428】

また、第1の電極7013及び隔壁7019上に形成するEL層7014は、少なくとも発光層を含めば良く、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。EL層7014が複数の層で構成されている場合、陰極として機能する第1の電極7013上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。

40

【0429】

また、上記積層順に限定されず、第1の電極7013を陽極として機能させ、第1の電極7013上にホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層してもよい。ただし、消費電力を比較する場合、第1の電極7013を陰極として機能させ、第1の電極7013上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層するほうが、駆動回路部の電圧上昇を抑制でき、消費電力を少なくできるため好ましい。

【0430】

50

また、E L 層 7 0 1 4 上に形成する第 2 の電極 7 0 1 5 としては、様々な材料を用いることができる。例えば、第 2 の電極 7 0 1 5 を陽極として用いる場合、仕事関数が高い材料、例えば、Z r N、T i、W、N i、P t、C r 等や、I T O、I Z O、Z n O などの透明導電性材料が好ましい。また、第 2 の電極 7 0 1 5 上に遮蔽膜 7 0 1 6 を形成する。遮蔽膜 7 0 1 6 としては、例えば光を遮光する金属、光を反射する金属等を用いる。本実施の形態では、第 2 の電極 7 0 1 5 として I T O 膜を用い、遮蔽膜 7 0 1 6 として T i 膜を用いる。

【 0 4 3 1 】

第 1 の電極 7 0 1 3 及び第 2 の電極 7 0 1 5 で、発光層を含む E L 層 7 0 1 4 を挟んでいる領域が発光素子 7 0 1 2 に相当する。図 1 5 (A) に示した素子構造の場合、発光素子 7 0 1 2 から発せられる光は、矢印で示すように第 1 の電極 7 0 1 3 側に射出する。発光素子 7 0 1 2 から発せられる光は、カラーフィルタ層 7 0 3 3 を通過し、基板を通過して射出させることができる。

10

【 0 4 3 2 】

カラーフィルタ層 7 0 3 3 はインクジェット法などの液滴吐出法や、印刷法、フォトリソグラフィ技術を用いたエッチング方法などでそれぞれ形成する。

【 0 4 3 3 】

また、カラーフィルタ層 7 0 3 3 はオーバーコート層 7 0 3 4 で覆われ、さらに保護絶縁層 7 0 3 5 によって覆う。なお、図 1 5 (A) ではオーバーコート層 7 0 3 4 は薄い膜厚で図示したが、オーバーコート層 7 0 3 4 は、カラーフィルタ層 7 0 3 3 に起因する凹凸を平坦化する機能を有している。

20

【 0 4 3 4 】

また、保護絶縁層 7 0 3 5、オーバーコート層 7 0 3 4、カラーフィルタ層 7 0 3 3、平坦化絶縁層 7 0 3 6、絶縁層 7 0 3 2、及び絶縁層 7 0 3 1 に形成され、且つ、ドレイン電極層に達するコンタクトホールは、隔壁 7 0 1 9 と重なる位置に配置する。

【 0 4 3 5 】

次に、両面射出構造の発光素子について、図 1 5 (B) を用いて説明する。

【 0 4 3 6 】

図 1 5 (B) では、発光素子駆動用トランジスタ 7 0 2 1 のドレイン電極層と電氣的に接続された透光性を有する導電膜 7 0 2 7 上に、発光素子 7 0 2 2 の第 1 の電極 7 0 2 3 が形成されており、第 1 の電極 7 0 2 3 上に E L 層 7 0 2 4、第 2 の電極 7 0 2 5 が順に積層されている。

30

【 0 4 3 7 】

透光性を有する導電膜 7 0 2 7 としては、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電膜を用いることができる。

【 0 4 3 8 】

また、第 1 の電極 7 0 2 3 は様々な材料を用いることができる。例えば、第 1 の電極 7 0 2 3 を陰極として用いる場合、仕事関数が小さい材料、具体的には、例えば、L i や C s 等のアルカリ金属、および M g、C a、S r 等のアルカリ土類金属、およびこれらを含む合金 (M g : A g、A l : L i など) の他、Y b や E r 等の希土類金属等が好ましい。本実施の形態では、第 1 の電極 7 0 2 3 を陰極として用い、その膜厚は、光を透過する程度 (好ましくは、5 n m ~ 3 0 n m 程度) とする。例えば 2 0 n m の膜厚を有するアルミニウム膜を、陰極として用いる。

40

【 0 4 3 9 】

なお、透光性を有する導電膜とアルミニウム膜を積層成膜した後、選択的にエッチングして透光性を有する導電膜 7 0 2 7 と第 1 の電極 7 0 2 3 を形成してもよく、この場合、同じマスクを用いてエッチングすることができ、好ましい。

【 0 4 4 0 】

50

また、第1の電極7023の周縁部は、隔壁7029で覆う。隔壁7029は、ポリイミド、アクリル樹脂、ポリアミド、エポキシ樹脂等の有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。隔壁7029は、特に感光性の樹脂材料を用い、第1の電極7023上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁7029として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

【0441】

また、第1の電極7023及び隔壁7029上に形成するEL層7024は、発光層を含めば良く、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。EL層7024が複数の層で構成されている場合、陰極として機能する第1の電極7023上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なお、これらの層を全て設ける必要はない。

10

【0442】

また、上記積層順に限定されず、第1の電極7023を陽極として用い、陽極上にホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層してもよい。ただし、消費電力を比較する場合、第1の電極7023を陰極として用い、陰極上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層するほうが消費電力が少ないため好ましい。

【0443】

また、EL層7024上に形成する第2の電極7025としては、様々な材料を用いることができる。例えば、第2の電極7025を陽極として用いる場合、仕事関数が高い材料、例えば、ITO、IZO、ZnOなどの透明導電性材料を好ましく用いることができる。本実施の形態では、第2の電極7025を陽極として用い、酸化シリコンを含むITO膜を形成する。

20

【0444】

第1の電極7023及び第2の電極7025で、発光層を含むEL層7024を挟んでいる領域が発光素子7022に相当する。図15(B)に示した素子構造の場合、発光素子7022から発せられる光は、矢印で示すように第2の電極7025側と第1の電極7023側の両方に射出する。

【0445】

なお、図15(B)ではゲート電極層として透光性を有する導電膜を用い、かつソース電極層及びドレイン電極層に透光性を有するような薄膜を用いる例を示しており、発光素子7022から第1の電極7023側に発せられる光は、カラーフィルタ層7043を通過し、基板を通過して射出させることができる。

30

【0446】

カラーフィルタ層7043はインクジェット法などの液滴吐出法や、印刷法、フォトリソグラフィ技術を用いたエッチング方法などでそれぞれ形成する。

【0447】

また、カラーフィルタ層7043はオーバーコート層7044で覆われ、さらに保護絶縁層7045によって覆う。

40

【0448】

また、保護絶縁層7045、オーバーコート層7044、カラーフィルタ層7043、平坦化絶縁層7046、絶縁層7042及び、絶縁層7041に形成され、且つ、ドレイン電極層に達するコンタクトホールは、隔壁7029と重なる位置に配置する。

【0449】

ただし、両面射出構造の発光素子を用い、どちらの表示面もフルカラー表示とする場合、第2の電極7025側からの光はカラーフィルタ層7043を通過しないため、別途カラーフィルタ層を備えた封止基板を第2の電極7025上方に設けることが好ましい。

【0450】

次に、上面射出構造の発光素子について、図15(C)を用いて説明する。

50

【0451】

図15(C)に、発光素子駆動用トランジスタ7001がn型で、発光素子7002から発せられる光が第2の電極7005側に抜ける場合の、画素の断面図を示す。図15(C)では、発光素子駆動用トランジスタ7001のドレイン電極層と第1の電極7003と接しており、発光素子駆動用トランジスタ7001と発光素子7002の第1の電極7003とを電氣的に接続している。第1の電極7003上にEL層7004、第2の電極7005が順に積層されている。

【0452】

また、第1の電極7013は様々な材料を用いることができる。例えば、第1の電極7013を陰極として用いる場合、仕事関数が小さい材料、具体的には、例えば、LiやCs等のアルカリ金属、およびMg、Ca、Sr等のアルカリ土類金属、およびこれらを含む合金(Mg:Ag、Al:Liなど)の他、YbやEr等の希土類金属等が好ましい。

10

【0453】

また、第1の電極7003の周縁部は、隔壁7009で覆う。隔壁7009は、ポリイミド、アクリル樹脂、ポリアミド、エポキシ樹脂等の有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。隔壁7009は、特に感光性の樹脂材料を用い、第1の電極7003上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁7009として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

20

【0454】

また、第1の電極7003及び隔壁7009上に形成するEL層7004は、少なくとも発光層を含めば良く、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。EL層7004が複数の層で構成されている場合、陰極として用いる第1の電極7003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。

【0455】

また、上記積層順に限定されず、陽極として用いる第1の電極7003上にホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層してもよい。

【0456】

図15(C)ではTi膜、アルミニウム膜、Ti膜の順に積層した積層膜上に、ホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層し、その上にMg:Ag合金薄膜とITOとの積層を形成する。

30

【0457】

ただし、発光素子駆動用トランジスタ7001がn型の場合、第1の電極7003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層するほうが、駆動回路における電圧上昇を抑制することができ、消費電力を少なくできるため好ましい。

【0458】

第2の電極7005は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電膜を用いても良い。

40

【0459】

第1の電極7003及び第2の電極7005で発光層を含むEL層7004を挟んでいる領域が発光素子7002に相当する。図15(C)に示した画素の場合、発光素子7002から発せられる光は、矢印で示すように第2の電極7005側に射出する。

【0460】

また、図15(C)において、発光素子駆動用トランジスタ7001のドレイン電極層は、酸化シリコン層7051、保護絶縁層7052、平坦化絶縁層7056、平坦化絶縁層7053、及び絶縁層7055に設けられたコンタクトホールを介して第1の電極700

50

3と電氣的に接続する。

【0461】

また、第1の電極7003と、隣り合う画素の第1の電極とを絶縁するために隔壁7009を設ける。隔壁7009は、ポリイミド、アクリル樹脂、ポリアミド、エポキシ樹脂等の有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。隔壁7009は、特に感光性の樹脂材料を用い、第1の電極7003上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁7009として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

【0462】

また、図15(C)の構造においては、フルカラー表示を行う場合、例えば発光素子7002として緑色発光素子とし、隣り合う一方の発光素子を赤色発光素子とし、もう一方の発光素子を青色発光素子とする。また、3種類の発光素子だけでなく白色素子を加えた4種類の発光素子でフルカラー表示ができる発光表示装置を作製してもよい。

【0463】

また、図15(C)の構造においては、配置する複数の発光素子を全て白色発光素子として、発光素子7002上方にカラーフィルタなどを有する封止基板を配置する構成とし、フルカラー表示ができる発光表示装置を作製してもよい。白色などの単色の発光を示す材料を形成し、カラーフィルタや色変換層を組み合わせることによりフルカラー表示を行うことができる。

【0464】

なお、平坦化絶縁層7036、7046、7053、7056は、ポリイミド、アクリル樹脂、ベンゾシクロブテン系樹脂、ポリアミド、エポキシ樹脂等の樹脂材料を用いることができる。また上記樹脂材料の他に、低誘電率材料(low-k材料)、シロキサン系樹脂、PSG(リンガラス)、BPSG(リンボロンガラス)等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁層7036、7046、7053、7056を形成してもよい。平坦化絶縁層7036、7046、7053、7056の形成法は、特に限定されず、その材料に応じて、スパッタリング法、SOG法、スピコート、ディップ、スプレー塗布、液滴吐出法(インクジェット法、スクリーン印刷、オフセット印刷等)、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。

【0465】

半導体装置に用いられる発光素子駆動用トランジスタ7001、7011、7021としては、上記実施の形態に示した薄膜トランジスタのいずれかを適宜用いることができ、同様な工程及び材料で形成することができる。発光素子駆動用トランジスタ7001、7011、7021の酸化物半導体層は水素や水が低減されている。従って、発光素子駆動用トランジスタ7001、7011、7021は信頼性の高い薄膜トランジスタである。

【0466】

もちろん単色発光の表示を行ってもよい。例えば、白色発光を用いて照明装置を形成してもよいし、単色発光を用いてエリアカラータイプの発光装置を形成してもよい。

【0467】

また、必要があれば、円偏光板などの偏光フィルムなどの光学フィルムを設けてもよい。

【0468】

なお、ここでは、発光素子として有機EL素子について述べたが、発光素子として無機EL素子を設けることも可能である。

【0469】

なお、発光素子の駆動を制御する薄膜トランジスタ(発光素子駆動用トランジスタ)と発光素子が電氣的に接続されている例を示したが、発光素子駆動用トランジスタと発光素子との間に電流制御用トランジスタが接続されている構成であってもよい。

【0470】

次に、発光表示パネル（発光パネルともいう）の外観及び断面について、図 16 を用いて説明する。図 16（A）は、第 1 の基板上に形成された薄膜トランジスタ及び発光素子を、第 2 の基板との間にシール材によって封止した、パネルの上面図であり、図 16（B）は、図 16（A）の H - I における断面図に相当する。

【0471】

第 1 の基板 4501 上に設けられた画素部 4502、信号線駆動回路 4503a、信号線駆動回路 4503b、及び走査線駆動回路 4504a、走査線駆動回路 4504b を囲むようにして、シール材 4505 が設けられている。また画素部 4502、信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b の上に第 2 の基板 4506 が設けられている。よって画素部 4502、信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b は、第 1 の基板 4501 とシール材 4505 と第 2 の基板 4506 とによって、充填材 4507 と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

10

【0472】

また、第 1 の基板 4501 上のシール材 4505 によって囲まれている領域とは異なる領域に、実施の形態 1 で示した光検出装置 4580 が設けられている。光検出装置 4580 は画素部と同時に形成してもよいし、別途基板上に作製して第 1 の基板 4501 上に実装してもよい。なお、第 1 の基板 4501 に透光性基板を用いる場合は、基板側から入射した光を検出する構成として光検出装置 4580 を設けることができるが、第 1 の基板 4501 に可視光を透過しない基板を用いる場合は、光検出装置の受光部を、基板による遮光の影響を受けない方向となるように配置する必要がある。

20

【0473】

また、第 1 の基板 4501 上に設けられた画素部 4502、信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b は、薄膜トランジスタを複数有しており、図 16（B）では、画素部 4502 に含まれる薄膜トランジスタ 4510 と、信号線駆動回路 4503a に含まれる薄膜トランジスタ 4509 とを例示している。

【0474】

薄膜トランジスタ 4509、4510 は、上記実施の形態に示した薄膜トランジスタのいずれかを適宜用いることができ、同様な工程及び材料で形成することができる。薄膜トランジスタ 4509、4510 の酸化物半導体層は水素や水が低減されている。

30

【0475】

なお、駆動回路用の薄膜トランジスタ 4509 としては、薄膜トランジスタの酸化物半導体層のチャネル領域と重なる位置に導電層を設けた構造とする。本実施の形態において、薄膜トランジスタ 4509、4510 は n チャネル型薄膜トランジスタである。

【0476】

酸化シリコン層 4542 上において駆動回路用の薄膜トランジスタ 4509 の酸化物半導体層のチャネル領域と重なる位置に導電層 4540 が設けられている。導電層 4540 を酸化物半導体層のチャネル領域と重なる位置に設けることによって、BT 試験前後における薄膜トランジスタ 4509 のしきい値電圧の変化量を低減することができる。また、導電層 4540 の電位は、薄膜トランジスタ 4509 のゲート電極層と同じでもよいし、異なっても良く、第 2 のゲート電極層として機能させることもできる。また、導電層 4540 の電位は、GND、0V、或いはフローティング状態であってもよい。

40

【0477】

また、薄膜トランジスタ 4510 の酸化物半導体層を覆う酸化シリコン層 4542 が形成されている。薄膜トランジスタ 4510 のソース電極層又はドレイン電極層は薄膜トランジスタ上に設けられた酸化シリコン層 4542 及び絶縁層 4551 に形成された開口において配線層 4550 と電氣的に接続されている。配線層 4550 は第 1 の電極 4517 と接して形成されており、薄膜トランジスタ 4510 と第 1 の電極 4517 とは配線層 45

50

50を介して電氣的に接続されている。

【0478】

酸化シリコン層4542は他の実施の形態で示した酸化物絶縁層と同様な材料及び方法で形成すればよい。

【0479】

発光素子4511の発光領域と重なるようにカラーフィルタ層4545が、絶縁層4551上に形成される。

【0480】

また、カラーフィルタ層4545の表面凹凸を低減するため平坦化絶縁膜として機能するオーバーコート層4543で覆う構成となっている。

10

【0481】

また、オーバーコート層4543上に絶縁層4544が形成されている。絶縁層4544は、他の実施の形態で示した保護絶縁層と同様に形成すればよく、例えば窒化シリコン膜をスパッタリング法で形成すればよい。

【0482】

また、4511は発光素子に相当し、発光素子4511が有する画素電極である第1電極4517は、薄膜トランジスタ4510のソース電極層またはドレイン電極層と配線層4550を介して電氣的に接続されている。なお発光素子4511の構成は、第1電極4517、電界発光層4512、第2電極4513の積層構造であるが、示した構成に限定されない。発光素子4511から取り出す光の方向などに合わせて、発光素子4511の構成は適宜変えることができる。

20

【0483】

隔壁4520は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、第1電極4517上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0484】

電界発光層4512は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【0485】

発光素子4511に酸素、水素、水分、二酸化炭素等が侵入しないように、第2電極4513及び隔壁4520上に保護膜を形成してもよい。保護膜としては、窒化シリコン膜、窒化酸化シリコン膜、DLC膜等を形成することができる。

30

【0486】

また、信号線駆動回路4503a、4503b、走査線駆動回路4504a、4504b、または画素部4502に与えられる各種信号及び電位は、FPC4518a、FPC4518bから供給されている。

【0487】

接続端子電極4515が、発光素子4511が有する第1電極4517と同じ導電膜から形成され、端子電極4516は、薄膜トランジスタ4509のソース電極層及びドレイン電極層と同じ導電膜から形成されている。

40

【0488】

接続端子電極4515は、FPC4518aが有する端子と、異方性導電膜4519を介して電氣的に接続されている。

【0489】

発光素子4511からの光の取り出し方向に位置する基板は透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリル樹脂フィルムのような透光性を有する材料を用いる。

【0490】

また、充填材4507としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、

50

ポリイミド、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンとビニルアセートの共重合体）を用いることができる。例えば充填材として窒素を用いればよい。

【0491】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板（楕円偏光板を含む）、位相差板（ $\lambda/4$ 板、 $\lambda/2$ 板）などの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【0492】

シール材は、スクリーン印刷法、インクジェット装置またはディスペンス装置を用いて形成することができる。シール材は、代表的には可視光硬化性、紫外線硬化性または熱硬化性の樹脂を含む材料を用いることができる。また、フィラーを含んでもよい。

【0493】

信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜によって形成された駆動回路で実装されていてもよい。また、信号線駆動回路のみ、或いは一部、又は走査線駆動回路のみ、或いは一部のみを別途形成して実装しても良く、図16の構成に限定されない。

【0494】

以上の工程により、半導体装置として発光表示装置（表示パネル）を作製することができる。

【0495】

光検出装置4580により発光表示装置周辺の照度を検出することで、発光輝度を調節して視認性を高めるとともに、省電力化が可能となる。

【0496】

また、画素部4502内に実施の形態1で示した光検出装置を設け、光学式のタッチセンサーとして用いることができる。

【0497】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0498】

（実施の形態12）

本実施の形態では、本明細書で開示する半導体装置の一形態について説明する。具体的には、本明細書で開示する半導体装置の一形態として、電子ペーパーの例を示す。

【0499】

図17は、アクティブマトリクス型の電子ペーパーを示す図である。電子ペーパーに用いられる薄膜トランジスタ581としては、上記実施の形態に示した薄膜トランジスタのいずれかを適宜用いることができ、同様な工程及び材料で形成することができる。本実施の形態では、薄膜トランジスタ581として実施の形態6に示した薄膜トランジスタを適用する例を示す。薄膜トランジスタ581の酸化物半導体層は水素や水が低減されている。

【0500】

図17の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に使い、電極層である第1の電極層及び第2の電極層の間に配置し、第1の電極層及び第2の電極層に電位差を生じさせて球形粒子の向きを制御することにより、表示を行う方法である。

【0501】

基板580上に設けられた薄膜トランジスタ581はボトムゲート構造の薄膜トランジスタであり、ソース電極層又はドレイン電極層は、酸化シリコン層583、保護絶縁層584、絶縁層585に形成される開口において第1の電極層587と電氣的に接続されている。

【0502】

第1の電極層587と第2の電極層588との間には黒色領域590a及び白色領域590bを有し、周りに液体で満たされているキャピティ594を含む球形粒子が設けられており、球形粒子589の周囲は樹脂等の充填材595で充填されている(図17参照)。本実施の形態においては、第1の電極層587が画素電極に相当し、対向基板596に設けられる第2の電極層588が共通電極に相当する。

【0503】

また、ツイストボールの代わりに、電気泳動素子を用いることも可能である。透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径10 μ m~200 μ m程度のマイクロカプセルを用いる。第1の電極層と第2の電極層との間に設けられるマイクロカプセルは、第1の電極層と第2の電極層によって、電場が与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、一般的に電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置(単に表示装置、又は表示装置を具備する半導体装置ともいう)を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

10

【0504】

本実施の形態の電子ペーパーは、駆動回路によって、当該ツイストボールに印加する電圧を制御することによって、表示を行う反射型の表示装置である。

20

【0505】

以上の工程により、半導体装置として電子ペーパーを作製することができる。

【0506】

また、表示領域に実施の形態1で示した光検出装置を設け、光学式タッチセンサーとして用いることもできる。

【0507】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0508】

(実施の形態13)

30

本明細書に開示する半導体装置は、さまざまな電子機器(遊技機も含む)に適用することができる。電子機器としては、例えば、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

【0509】

図18(A)は、携帯電話機の一例を示している。携帯電話機1600は、筐体1601に組み込まれた表示部1602の他、操作ボタン1603a、操作ボタン1603b、外部接続ポート1604、スピーカー1605、マイク1606などを備えている。

40

【0510】

図18(A)に示す携帯電話機1600は、表示部1602を指などで触れることで、情報を入力ことができる。また、電話を掛ける、或いはメールを打つなどの操作は、表示部1602を指などで触れることにより行うことができる。

【0511】

表示部1602の画面は主として3つのモードがある。第1は、画像の表示を主とする表示モードであり、第2は、文字等の情報の入力を主とする入力モードである。第3は表示モードと入力モードの2つのモードが混合した表示+入力モードである。

【0512】

例えば、電話を掛ける、或いはメールを作成する場合は、表示部1602を文字の入力を

50

主とする文字入力モードとし、画面に表示させた文字の入力操作を行えばよい。この場合、表示部 1 6 0 2 の画面のほとんどにキーボードまたは番号ボタンを表示させることが好ましい。

【 0 5 1 3 】

また、携帯電話機 1 6 0 0 内部に、ジャイロ、加速度センサ等の傾きを検出するセンサを有する検出装置を設けることで、携帯電話機 1 6 0 0 の向き（縦か横か）を判断して、表示部 1 6 0 2 の画面表示を自動的に切り替えるようにすることができる。

【 0 5 1 4 】

また、画面モードの切り替えは、表示部 1 6 0 2 を触れること、又は筐体 1 6 0 1 の操作ボタン 1 6 0 3 a、1 6 0 3 b の操作により行われる。また、表示部 1 6 0 2 に表示される画像の種類によって切り替えるようにすることもできる。例えば、表示部に表示する画像信号が動画のデータであれば表示モード、テキストデータであれば入力モードに切り替える。

10

【 0 5 1 5 】

また、入力モードにおいて、表示部 1 6 0 2 の光センサで検出される信号を検知し、表示部 1 6 0 2 のタッチ操作による入力が一定期間ない場合には、画面のモードを入力モードから表示モードに切り替えるように制御してもよい。

【 0 5 1 6 】

表示部 1 6 0 2 は、イメージセンサとして機能させることもできる。例えば、表示部 1 6 0 2 に掌や指を触れることで、掌紋、指紋等を撮像することで、本人認証を行うことができる。また、表示部に近赤外光を発光するバックライトまたは近赤外光を発光するセンシング用光源を用いれば、指静脈、掌静脈などを撮像することもできる。

20

【 0 5 1 7 】

表示部 1 6 0 2 には、上記実施の形態に示す半導体装置を適用することができ、例えば画素のスイッチング素子として、上記他の実施の形態に示す薄膜トランジスタを複数配置することができる。

【 0 5 1 8 】

図 1 8 (B) も携帯電話機の一例である。図 1 8 (B) を一例とした携帯型情報端末は、複数の機能を備えることができる。例えば電話機能に加えて、コンピュータを内蔵し、様々なデータ処理機能を備えることもできる。

30

【 0 5 1 9 】

図 1 8 (B) に示す携帯型情報端末は、筐体 1 8 0 0 及び筐体 1 8 0 1 の二つの筐体で構成されている。筐体 1 8 0 1 には、表示パネル 1 8 0 2、スピーカ 1 8 0 3、マイクロフォン 1 8 0 4、ポインティングデバイス 1 8 0 6、カメラ用レンズ 1 8 0 7、外部接続端子 1 8 0 8 などを備え、筐体 1 8 0 0 には、キーボード 1 8 1 0、外部メモリスロット 1 8 1 1 などを備えている。また、アンテナは筐体 1 8 0 1 内部に内蔵されている。

【 0 5 2 0 】

また、表示パネル 1 8 0 2 はタッチパネルを備えており、図 1 8 (B) には映像表示されている複数の操作キー 1 8 0 5 を点線で示している。

【 0 5 2 1 】

40

また、上記構成に加えて、非接触 IC チップ、小型記録装置などを内蔵していてもよい。

【 0 5 2 2 】

上記実施の形態に示す半導体装置は、表示パネル 1 8 0 2 に用いることができ、使用形態に応じて表示の方向が適宜変化する。また、表示パネル 1 8 0 2 と同一面上にカメラ用レンズ 1 8 0 7 を備えているため、テレビ電話が可能である。スピーカ 1 8 0 3 及びマイクロフォン 1 8 0 4 は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体 1 8 0 0 と筐体 1 8 0 1 は、スライドし、図 1 8 (B) のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。

【 0 5 2 3 】

外部接続端子 1 8 0 8 は AC アダプタ及び USB ケーブルなどの各種ケーブルと接続可能

50

であり、充電及びパーソナルコンピュータなどとのデータ通信が可能である。また、外部メモリスロット１８１１に記録媒体を挿入し、より大量のデータ保存及び移動に対応できる。

【０５２４】

また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

【０５２５】

図１９（Ａ）は、テレビジョン装置の一例を示している。テレビジョン装置９６００は、筐体９６０１に表示部９６０３が組み込まれている。表示部９６０３により、映像を表示することが可能である。また、ここでは、スタンド９６０５により筐体９６０１を支持した構成を示している。

10

【０５２６】

テレビジョン装置９６００の操作は、筐体９６０１が備える操作スイッチや、別体のリモコン操作機９６１０により行うことができる。リモコン操作機９６１０が備える操作キー９６０９により、チャンネルや音量の操作を行うことができ、表示部９６０３に表示される映像を操作することができる。また、リモコン操作機９６１０に、当該リモコン操作機９６１０から出力する情報を表示する表示部９６０７を設ける構成としてもよい。

【０５２７】

なお、テレビジョン装置９６００は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

20

【０５２８】

表示部９６０３には、上記実施の形態に示す半導体装置を適用することができ、例えば画素のスイッチング素子として、上記他の実施の形態に示す薄膜トランジスタを複数配置することができる。

【０５２９】

図１９（Ｂ）は、デジタルフォトフレームの一例を示している。例えば、デジタルフォトフレーム９７００は、筐体９７０１に表示部９７０３が組み込まれている。表示部９７０３は、各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

30

【０５３０】

表示部９７０３には、上記実施の形態に示す半導体装置を適用することができ、例えば画素のスイッチング素子として、上記他の実施の形態に示す薄膜トランジスタを複数配置することができる。

【０５３１】

なお、デジタルフォトフレーム９７００は、操作部、外部接続用端子（ＵＳＢ端子、ＵＳＢケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部９７０３に表示させることができる。

40

【０５３２】

また、デジタルフォトフレーム９７００は、無線で情報を送受信できる構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

【０５３３】

図２０は携帯型遊技機の一例を示している。図２０に示す携帯型遊技機は、筐体９８８１と筐体９８９１の２つの筐体で構成されており、連結部９８９３により、開閉可能に連結されている。筐体９８８１には表示部９８８２が組み込まれ、筐体９８９１には表示部９８８３が組み込まれている。

50

【0534】

表示部9883には、上記実施の形態に示す半導体装置を適用することができ、例えば画素のスイッチング素子として、上記他の実施の形態に示す薄膜トランジスタを複数配置することができる。

【0535】

また、図20に示す携帯型遊技機は、その他、スピーカー部9884、記録媒体挿入部9886、LEDランプ9890、入力手段（操作キー9885、接続端子9887、センサ9888（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）、マイクロフォン9889）等を備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも本明細書に開示する薄膜トランジスタを備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。図20に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図20に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

10

【0536】

（実施の形態14）

本明細書に開示する半導体装置は、電子ペーパーとして適用することができる。電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍（電子ブック）、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図21に示す。

20

【0537】

図21は、電子書籍の一例を示している。例えば、電子書籍2700は、筐体2701および筐体2703の2つの筐体で構成されている。筐体2701および筐体2703は、軸部2711により一体とされており、該軸部2711を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

【0538】

筐体2701には表示部2705が組み込まれ、筐体2703には表示部2707が組み込まれている。表示部2705および表示部2707は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部（図21では表示部2705）に文章を表示し、左側の表示部（図21では表示部2707）に画像を表示することができる。

30

【0539】

また、図21では、筐体2701に操作部などを備えた例を示している。例えば、筐体2701において、電源2721、操作キー2723、スピーカー2725などを備えている。操作キー2723により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍2700は、電子辞書としての機能を持たせた構成としてもよい。

40

【0540】

また、電子書籍2700は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0541】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【符号の説明】

50

【 0 5 4 2 】

3 0 0	基板	
3 0 2	ゲート絶縁層	
3 0 3	保護絶縁層	
3 1 0	薄膜トランジスタ	
3 1 1	ゲート電極層	
3 1 6	酸化物絶縁層	
3 2 0	基板	
3 2 2	ゲート絶縁層	
3 2 3	保護絶縁層	10
3 3 0	酸化物半導体膜	
3 3 1	酸化物半導体層	
3 3 2	酸化物半導体層	
3 4 0	基板	
3 4 2	ゲート絶縁層	
3 4 3	保護絶縁層	
3 4 5	酸化物半導体膜	
3 4 6	酸化物半導体層	
3 5 0	薄膜トランジスタ	
3 5 1	ゲート電極層	20
3 5 6	酸化物絶縁層	
3 6 0	薄膜トランジスタ	
3 6 1	ゲート電極層	
3 6 6	酸化物絶縁層	
3 7 0	基板	
3 7 3	保護絶縁層	
3 8 0	薄膜トランジスタ	
3 8 1	ゲート電極層	
3 8 2	酸化物半導体層	
3 8 6	酸化物絶縁層	30
4 0 0	基板	
4 0 2	ゲート絶縁層	
4 0 3	保護絶縁層	
4 0 7	絶縁層	
4 0 9	平坦化絶縁層	
4 1 0	薄膜トランジスタ	
4 1 1	ゲート電極層	
4 1 2	酸化物半導体層	
4 1 6	酸化物絶縁層	
4 2 0	シリコン基板	40
4 2 2	絶縁層	
4 2 3	開口	
4 2 4	導電層	
4 2 5	薄膜トランジスタ	
4 2 6	薄膜トランジスタ	
4 2 7	導電層	
4 3 0	酸化物半導体膜	
4 3 8	配線層	
4 5 0	基板	
4 5 2	ゲート絶縁層	50

4 5 7	絶縁層	
4 6 0	薄膜トランジスタ	
4 6 1	ゲート電極層	
4 6 2	酸化物半導体層	
4 6 4	配線層	
4 6 8	配線層	
5 8 0	基板	
5 8 1	薄膜トランジスタ	
5 8 3	酸化シリコン層	
5 8 4	保護絶縁層	10
5 8 5	絶縁層	
5 8 7	電極層	
5 8 8	電極層	
5 8 9	球形粒子	
5 9 4	キャビティ	
5 9 5	充填材	
5 9 6	対向基板	
6 0 1	基板	
6 0 8	接着層	
6 1 3	基板	20
6 2 2	光	
6 3 1	絶縁層	
6 3 2	保護絶縁層	
6 3 3	層間絶縁層	
6 3 4	層間絶縁層	
6 4 1	電極層	
6 4 2	電極層	
6 4 3	導電層	
6 4 4	電極層	
6 4 5	ゲート電極層	30
1 3 0 0	光検出装置	
1 3 0 1	検出器	
1 3 0 2	増幅回路	
1 3 0 5	トランジスタ	
1 3 0 6	トランジスタ	
1 3 1 1	電源端子	
1 3 1 2	電源端子	
1 3 2 0	保護回路	
1 3 2 1	ダイオード	
1 6 0 0	携帯電話機	40
1 6 0 1	筐体	
1 6 0 2	表示部	
1 6 0 4	外部接続ポート	
1 6 0 5	スピーカー	
1 6 0 6	マイク	
1 8 0 0	筐体	
1 8 0 1	筐体	
1 8 0 2	表示パネル	
1 8 0 3	スピーカー	
1 8 0 4	マイクロフォン	50

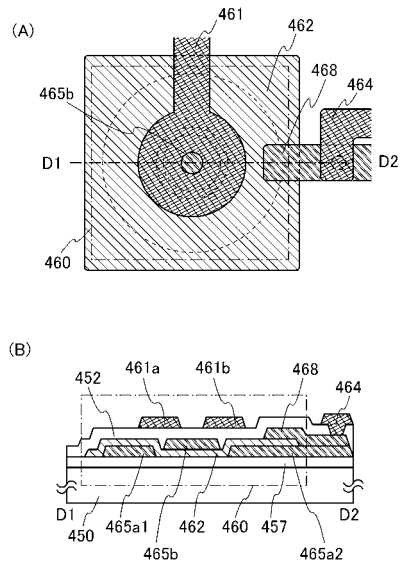
1 8 0 5	操作キー	
1 8 0 6	ポインティングデバイス	
1 8 0 7	カメラ用レンズ	
1 8 0 8	外部接続端子	
1 8 1 0	キーボード	
1 8 1 1	外部メモリスロット	
2 7 0 0	電子書籍	
2 7 0 1	筐体	
2 7 0 3	筐体	
2 7 0 5	表示部	10
2 7 0 7	表示部	
2 7 1 1	軸部	
2 7 2 1	電源	
2 7 2 3	操作キー	
2 7 2 5	スピーカー	
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	20
4 0 0 6	基板	
4 0 0 8	液晶層	
4 0 1 0	薄膜トランジスタ	
4 0 1 1	薄膜トランジスタ	
4 0 1 3	液晶素子	
4 0 1 5	接続端子電極	
4 0 1 6	端子電極	
4 0 1 8	F P C	
4 0 1 9	異方性導電膜	
4 0 2 0	絶縁層	30
4 0 2 1	絶縁層	
4 0 3 0	画素電極層	
4 0 3 1	対向電極層	
4 0 3 2	絶縁層	
4 0 3 3	絶縁層	
4 0 3 5	スペーサ	
4 0 4 0	導電層	
4 0 4 1	絶縁層	
4 0 4 2	保護絶縁層	
4 1 0 0	光検出装置	40
4 5 0 1	基板	
4 5 0 2	画素部	
4 5 0 5	シール材	
4 5 0 6	基板	
4 5 0 7	充填材	
4 5 0 9	薄膜トランジスタ	
4 5 1 0	薄膜トランジスタ	
4 5 1 1	発光素子	
4 5 1 2	電界発光層	
4 5 1 3	電極	50

4 5 1 5	接続端子電極	
4 5 1 6	端子電極	
4 5 1 7	電極	
4 5 1 9	異方性導電膜	
4 5 2 0	隔壁	
4 5 4 0	導電層	
4 5 4 2	酸化シリコン層	
4 5 4 3	オーバーコート層	
4 5 4 4	絶縁層	
4 5 4 5	カラーフィルタ層	10
4 5 5 0	配線層	
4 5 5 1	絶縁層	
4 5 8 0	光検出装置	
6 4 0 0	画素	
6 4 0 1	スイッチング用トランジスタ	
6 4 0 2	発光素子駆動用トランジスタ	
6 4 0 3	容量素子	
6 4 0 4	発光素子	
6 4 0 5	信号線	
6 4 0 6	走査線	20
6 4 0 7	電源線	
6 4 0 8	共通電極	
6 5 0 2	発光素子駆動用トランジスタ	
6 5 0 3	容量素子	
6 5 0 4	発光素子	
6 5 0 5	信号線	
6 5 0 6	走査線	
6 5 0 7	電源線	
6 5 0 8	共通電極	
6 5 1 0	画素	30
6 5 1 1	スイッチング用トランジスタ	
6 5 1 2	スイッチング用トランジスタ	
6 5 1 3	参照トランジスタ	
7 0 0 1	発光素子駆動用トランジスタ	
7 0 0 2	発光素子	
7 0 0 3	電極	
7 0 0 4	E L 層	
7 0 0 5	電極	
7 0 0 9	隔壁	
7 0 1 1	発光素子駆動用トランジスタ	40
7 0 1 2	発光素子	
7 0 1 3	電極	
7 0 1 4	E L 層	
7 0 1 5	電極	
7 0 1 6	遮蔽膜	
7 0 1 7	導電膜	
7 0 1 9	隔壁	
7 0 2 1	発光素子駆動用トランジスタ	
7 0 2 2	発光素子	
7 0 2 3	電極	50

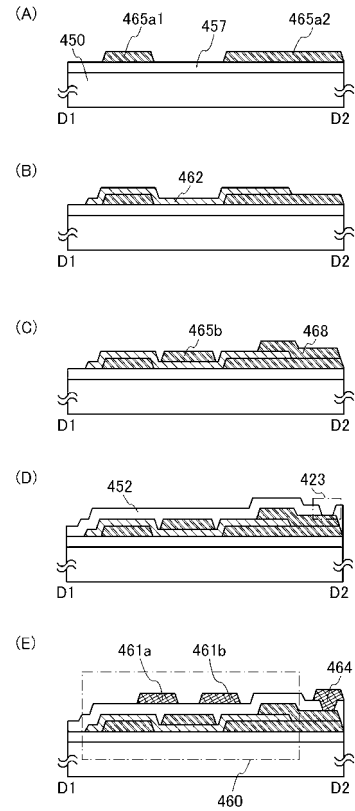
7 0 2 4	E L 層	
7 0 2 5	電極	
7 0 2 7	導電膜	
7 0 2 9	隔壁	
7 0 3 1	絶縁層	
7 0 3 2	絶縁層	
7 0 3 3	カラーフィルタ層	
7 0 3 4	オーバーコート層	
7 0 3 5	保護絶縁層	
7 0 3 6	平坦化絶縁層	10
7 0 4 1	絶縁層	
7 0 4 2	絶縁層	
7 0 4 3	カラーフィルタ層	
7 0 4 4	オーバーコート層	
7 0 4 5	保護絶縁層	
7 0 4 6	平坦化絶縁層	
7 0 5 1	酸化シリコン層	
7 0 5 2	保護絶縁層	
7 0 5 3	平坦化絶縁層	
7 0 5 5	絶縁層	20
7 0 5 6	平坦化絶縁層	
9 6 0 0	テレビジョン装置	
9 6 0 1	筐体	
9 6 0 3	表示部	
9 6 0 5	スタンド	
9 6 0 7	表示部	
9 6 0 9	操作キー	
9 6 1 0	リモコン操作機	
9 7 0 0	デジタルフォトフレーム	
9 7 0 1	筐体	30
9 7 0 3	表示部	
9 8 8 1	筐体	
9 8 8 2	表示部	
9 8 8 3	表示部	
9 8 8 4	スピーカー部	
9 8 8 5	操作キー	
9 8 8 6	記録媒体挿入部	
9 8 8 7	接続端子	
9 8 8 8	センサ	
9 8 8 9	マイクロフォン	40
9 8 9 0	L E D ランプ	
9 8 9 1	筐体	
9 8 9 3	連結部	
1 6 0 3 a	操作ボタン	
1 6 0 3 b	操作ボタン	
3 1 5 a	ソース電極層	
3 1 5 b	ドレイン電極層	
3 5 5 a	ソース電極層	
3 5 5 b	ドレイン電極層	
3 6 5 a	ソース電極層	50

3 6 5 b	ドレイン電極層	
3 7 2 a	ゲート絶縁層	
3 7 2 b	ゲート絶縁層	
3 8 5 a	ソース電極層	
3 8 5 b	ドレイン電極層	
4 1 4 a	配線層	
4 1 4 b	配線層	
4 1 5 a	ドレイン電極層	
4 1 5 b	ドレイン電極層	
4 2 1 a	開口	10
4 2 1 b	開口	
4 5 0 3 a	信号線駆動回路	
4 5 0 3 b	信号線駆動回路	
4 5 0 4 a	走査線駆動回路	
4 5 0 4 b	走査線駆動回路	
4 5 1 8 a	F P C	
4 5 1 8 b	F P C	
4 6 5 a	ソース電極層又はドレイン電極層	
4 6 5 a 1	ソース電極層又はドレイン電極層	
4 6 5 a 2	ソース電極層又はドレイン電極層	20
4 6 5 b	ソース電極層又はドレイン電極層	
5 9 0 a	黒色領域	
5 9 0 b	白色領域	
6 0 6 a	半導体層	
6 0 6 b	半導体層	
6 0 6 c	半導体層	

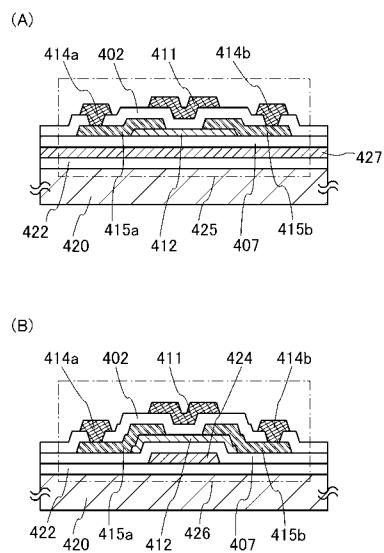
【図 5】



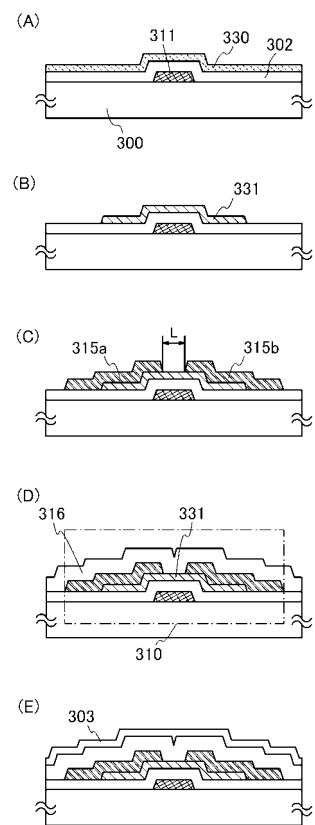
【図 6】



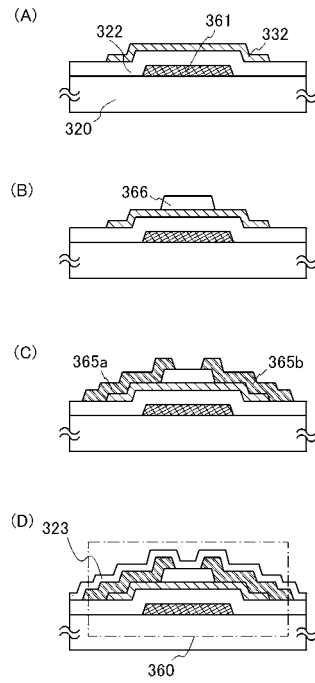
【図 7】



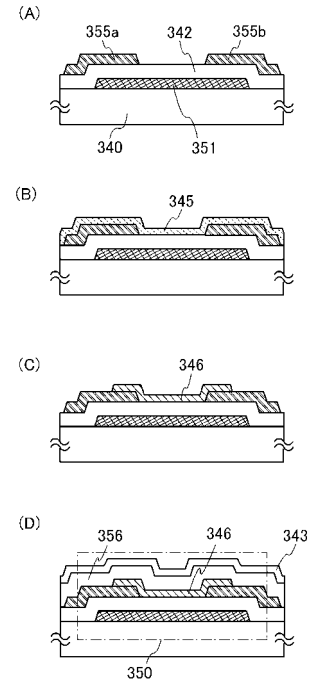
【図 8】



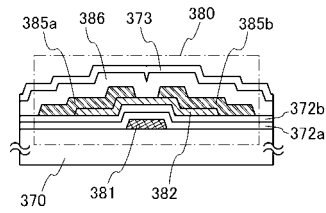
【図 9】



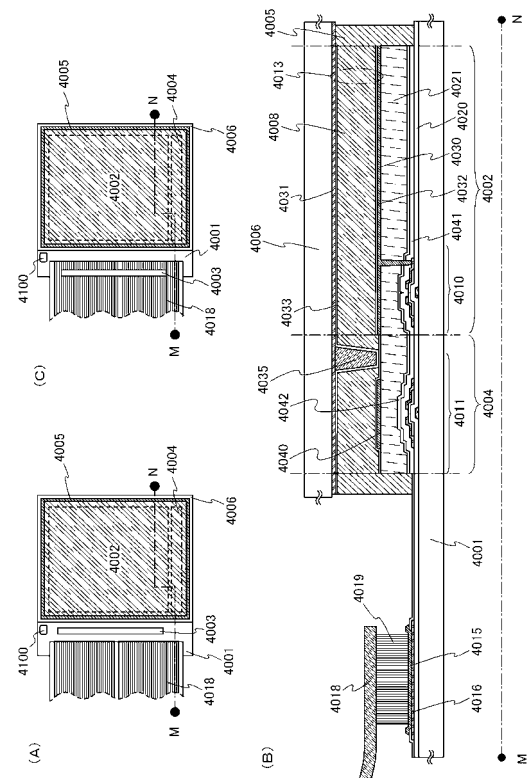
【図 10】



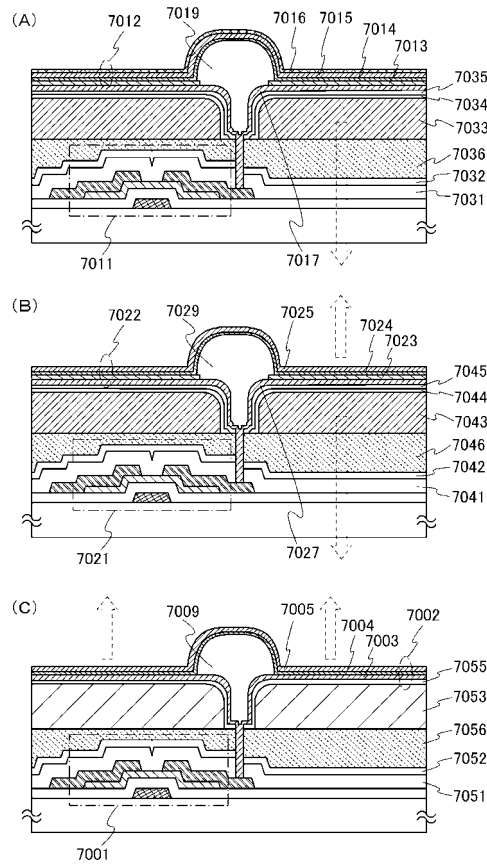
【図 11】



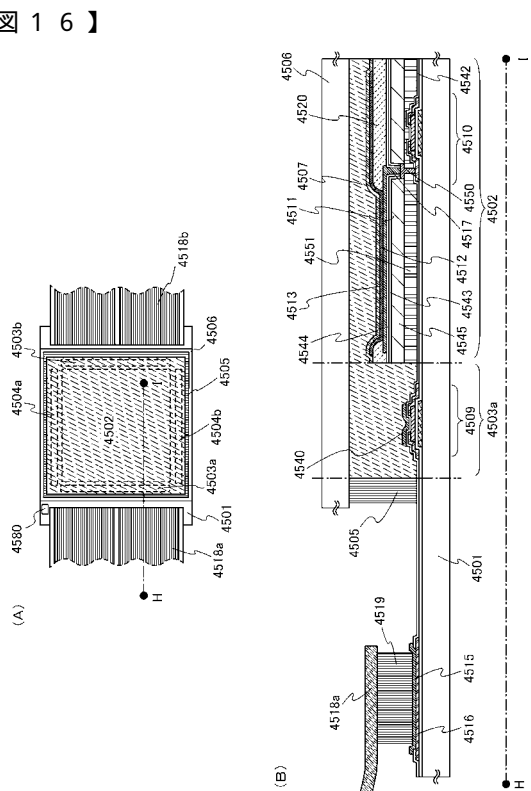
【図 12】



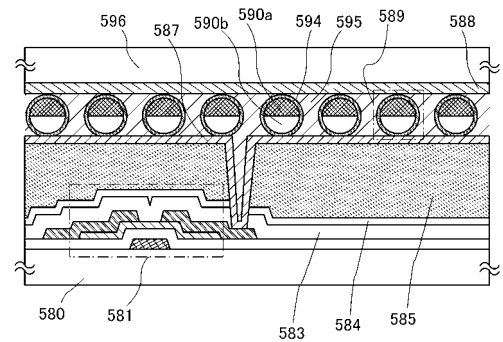
【 図 1 5 】



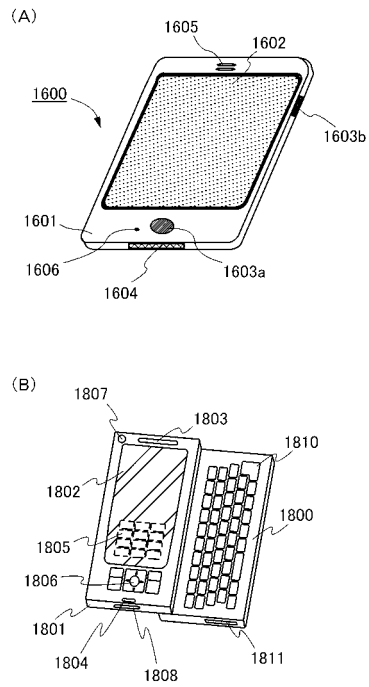
【 図 1 7 】



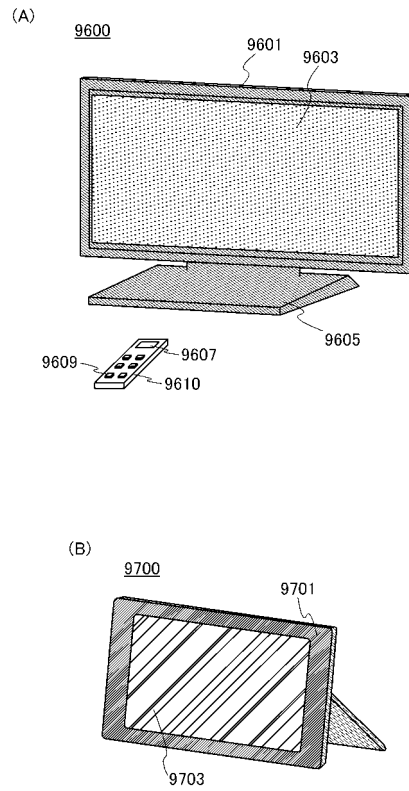
【 図 1 6 】



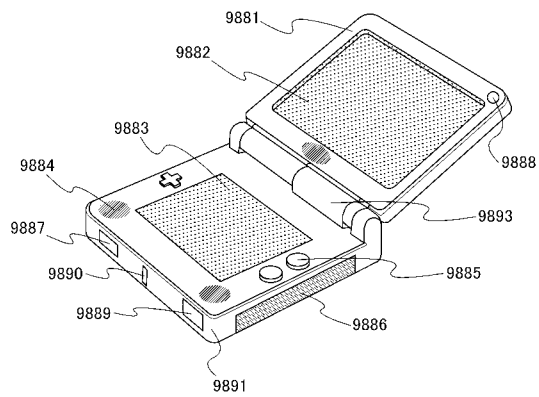
【図 18】



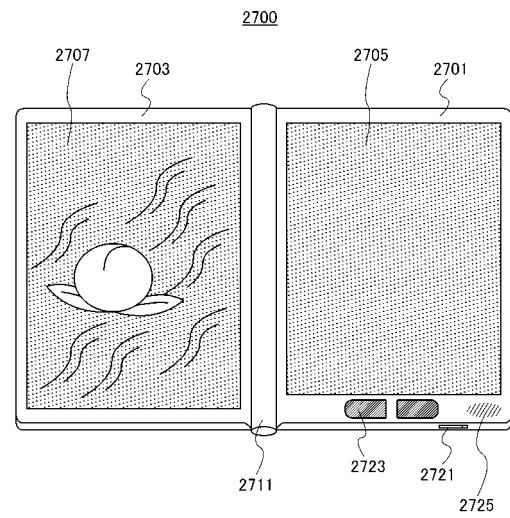
【図 19】



【図 20】



【図 21】



フロントページの続き

(72)発明者 野田 耕生

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

審査官 徳 田 賢二

(56)参考文献 特開 2 0 0 7 - 3 1 8 1 1 1 (J P , A)

特開 2 0 0 5 - 1 6 7 1 5 7 (J P , A)

特開 2 0 0 4 - 3 6 3 8 8 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 3 F 3 / 3 4 3

H 0 1 L 2 9 / 7 8 6

H 0 3 F 3 / 0 8