

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-532042
(P2008-532042A)

(43) 公表日 平成20年8月14日(2008.8.14)

(51) Int.Cl.	F I	テーマコード (参考)
GO 1 R 1/073 (2006.01)	GO 1 R 1/073	F 2 G 0 0 3
GO 1 R 31/26 (2006.01)	GO 1 R 31/26	J 2 G 0 1 1
HO 1 L 21/66 (2006.01)	HO 1 L 21/66	B 4 M 1 0 6

審査請求 未請求 予備審査請求 未請求 (全 17 頁)

(21) 出願番号 特願2007-558051 (P2007-558051)
 (86) (22) 出願日 平成18年2月21日 (2006.2.21)
 (85) 翻訳文提出日 平成19年10月22日 (2007.10.22)
 (86) 国際出願番号 PCT/US2006/005865
 (87) 国際公開番号 W02006/093704
 (87) 国際公開日 平成18年9月8日 (2006.9.8)
 (31) 優先権主張番号 60/657,487
 (32) 優先日 平成17年3月1日 (2005.3.1)
 (33) 優先権主張国 米国 (US)

(71) 出願人 507275523
 エス ヴィ ブルーブ ピーティーイー
 リミテッド
 シンガポール共和国 757716 ノー
 ス テック ロビー 1 04-01 ウ
 ッドランズ インダストリアル パーク
 イー 1 29
 (74) 代理人 100092048
 弁理士 沢田 雅男
 (72) 発明者 ウィリアムズ スコット
 アメリカ合衆国 84790 ユタ州 セ
 ント ジョージ イースト ノールズ ド
 ライブ 2285

最終頁に続く

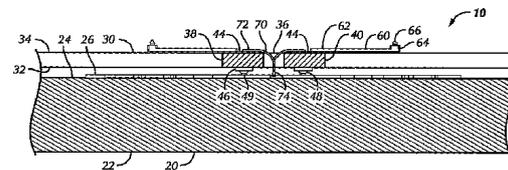
(54) 【発明の名称】 積層型基板を有するプローブカード

(57) 【要約】

【課題】 高い精度の公差内に配置されている先端部を有するプローブ素子を提供する、より容易に製造され、かつ費用効果のより高いプローブカードを提供すること。

【解決手段】 第一基板と、第二基板と、第一基板と第二基板との間に延びている複数の導電性ワイヤと、を含んでいる、プローブカード、が提供される。導電性ワイヤは、(a) 第一端部において第一基板の接点に固定されており、かつ、(b) 第二端部において第二基板の接点に固定されている。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

第一基板と、
第二基板と、

前記第一基板と前記第二基板との間に延びている複数の導電性ワイヤであって、前記導電性ワイヤが、(a)第一端部において、前記第一基板の接点に固定されており、かつ、(b)第二端部において、前記第二基板の接点に固定されている、前記複数の導電性ワイヤと、
を備えている、プローブカード。

【請求項 2】

前記複数の導電性ワイヤが、ワイヤボンドである、請求項 1 に記載のプローブカード。

【請求項 3】

前記導電性ワイヤが、前記第二基板に隣接する前記第一基板における開口を通じて延びている、請求項 1 に記載のプローブカード。

【請求項 4】

前記第一基板と前記第二基板との間のはんだボール接続部をさらに備えている、請求項 1 に記載のプローブカード。

【請求項 5】

前記第一基板と前記第二基板のうちの少なくとも一方が、多層基板である、請求項 1 に記載のプローブカード。

【請求項 6】

前記導電性ワイヤの前記第一端部に隣接する、前記第一基板の表面上に支持されている複数のプローブ素子、をさらに備えている、請求項 1 に記載のプローブカード。

【請求項 7】

前記プローブ素子が、カンチレバープローブ素子である、請求項 6 に記載のプローブカード。

【請求項 8】

半導体ウェハを検査するための複数の導電経路の各々が、(a)前記複数のプローブ素子のうちの1つのプローブ素子、(b)前記複数のプローブのうちの前記1つのプローブに電氣的に結合されている、前記第一基板のそれぞれの接点、および、(c)前記第一基板の前記それぞれの接点と前記第二基板のそれぞれの接点との間に結合されている、それぞれの1本の前記導電性ワイヤ、によって提供されている、請求項 6 に記載のプローブカード。

【請求項 9】

プリント基板をさらに備えており、前記複数の導電経路の各々が、(d)前記第二基板の前記それぞれの接点と、前記プリント基板のそれぞれの接点との間の弾力的な導電経路、を含んでいる、請求項 8 に記載のプローブカード。

【請求項 10】

前記第二基板と前記プリント基板との間のインターポーザをさらに備えており、かつ、前記弾力的な導電経路が、前記インターポーザの圧縮性の導体を含んでいる、請求項 9 に記載のプローブカードアセンブリ。

【請求項 11】

プリント基板をさらに備えており、前記第二基板の接点が、前記プリント基板の接点に電氣的に結合されている、請求項 1 に記載のプローブカード。

【請求項 12】

前記第二基板の前記接点の少なくとも一部を前記プリント基板の前記接点に電氣的に結合するための追加の導電性ワイヤをさらに備えている、請求項 11 に記載のプローブカード。

【請求項 13】

前記導電性ワイヤを安定化させる材料をさらに備えており、前記材料がエポキシを備え

10

20

30

40

50

ている、請求項 1 に記載のプロブカード。

【請求項 1 4】

インターポーザとプリント基板とをさらに備えており、前記インターポーザが、前記インターポーザが前記プリント基板の接点と前記第二基板の接点との間に電氣的な相互接続を提供するように、前記プリント基板と前記第二基板との間に配置されている、請求項 1 に記載のプロブカード。

【請求項 1 5】

第一基板と、
第二基板と、

前記第一基板と前記第二基板との間に延びており、かつ、前記第一基板と前記第二基板との間の第一導電経路を提供する、複数の導電性ワイヤであって、前記導電性ワイヤが、
(a) 第一端部において、前記第一基板の接点に固定されており、かつ、(b) 第二端部において、前記第二基板の接点に固定されている、前記複数の導電性ワイヤと、

前記第一基板および前記第二基板の各接点の間に配置されている複数のはんだボールであって、前記複数のはんだボールが、前記第一基板と前記第二基板との間の第二導電経路を提供する、前記複数のはんだボール、

を備えている、プロブカードアセンブリ。

【請求項 1 6】

前記複数の導電性ワイヤが、ワイヤボンドである、請求項 1 5 に記載のプロブカード。

【請求項 1 7】

前記導電性ワイヤが、前記第二基板に隣接する前記第一基板における開口を通じて延びている、請求項 1 5 に記載のプロブカード。

【請求項 1 8】

前記第一基板と前記第二基板のうちの少なくとも一方が、多層基板である、請求項 1 5 に記載のプロブカード。

【請求項 1 9】

前記導電性ワイヤの前記第一端部に隣接する、前記第一基板の表面上に支持されている複数のプロブ素子、をさらに備えている、請求項 1 5 に記載のプロブカード。

【請求項 2 0】

前記プロブ素子が、カンチレバープロブ素子である、請求項 1 9 に記載のプロブカード。

【請求項 2 1】

半導体ウェハを検査するための複数の導電経路の各々が、(a) 前記複数のプロブ素子のうちの1つのプロブ素子、(b) 前記複数のプロブのうちの前記1つのプロブに電氣的に結合されている、前記第一基板のそれぞれの接点、および、(c) 前記第一基板の前記それぞれの接点と前記第二基板のそれぞれの接点との間に結合されている、それぞれの1本の前記導電性ワイヤ、によって提供されている、請求項 1 9 に記載のプロブカード。

【請求項 2 2】

プリント基板をさらに備えており、前記複数の導電経路の各々が、(d) 前記第二基板の前記それぞれの接点と、前記プリント基板のそれぞれの接点との間の弾力的な導電経路、を含んでいる、請求項 2 1 に記載のプロブカード。

【請求項 2 3】

前記第二基板と前記プリント基板との間のインターポーザをさらに備えており、かつ、前記弾力的な導電経路が、前記インターポーザの圧縮性の導体を含んでいる、請求項 2 2 に記載のプロブカード。

【請求項 2 4】

プリント基板をさらに備えており、前記第二基板の接点と、前記プリント基板の接点と電氣的に結合されている、請求項 1 5 に記載のプロブカード。

10

20

30

40

50

【請求項 25】

前記第二基板の前記接点の少なくとも一部を前記プリント基板の前記接点に電氣的に結合するための追加の導電性ワイヤをさらに備えている、請求項 24 に記載のプロブカード。

【請求項 26】

前記導電性ワイヤを安定化させる材料をさらに備えており、前記材料がエポキシを備えている、請求項 15 に記載のプロブカード。

【請求項 27】

インターポーザとプリント基板とをさらに備えており、前記インターポーザが、前記インターポーザが前記プリント基板の接点と前記第二基板の接点との間に電氣的な相互接続を提供するように、前記プリント基板と前記第二基板との間に配置されている、請求項 15 に記載のプロブカード。

10

【発明の詳細な説明】**【関連出願】****【0001】**

本出願は、米国仮特許出願第60/657,487号（出願日：2005年3月1日）の利益を主張し、この文書の内容は、本文書に参照文献として組み込まれている。

【技術分野】**【0002】**

本発明は、集積回路を試験する装置に関する。より詳細には、本発明は、半導体集積回路のウェハ試験のためのプロブカードに関する。

20

【背景技術】**【0003】**

半導体集積回路の製造においては、正しい動作および関連する特性を確実にするため、製造時および出荷前に集積回路（「IC」）を試験することが慣習となっている。ウェハ試験は、ウェハベースの半導体IC（またはダイ）の製造試験において一般に使用されている周知の試験手法であり、ICの正しい性能を実証するため、例えば、自動試験装置（ATE）と、ウェハのIC（またはダイ）の各々との間に一時的な電流が確立される。ウェハ試験において使用される典型的な構成要素には、ATEとプロブカードとの間で試験信号を往復させるATE試験ボード（ATEに接続される多層プリント基板）が含まれる。

30

【0004】

典型的なプロブカードは、ICウェハ上の一連の接続端子（またはダイ接点）との電気接触を確立するために配置されている数百本のプロブ針と電気通信状態にある接点を有するプリント基板（PCB）を含んでいる。公知の特定のプロブカードは、プロブをプリント基板に電氣的に接続する基板、またはいわゆるスペーストランスフォーマをさらに含んでいる。スペーストランスフォーマは、例えば、多層セラミック基板、あるいは、多層有機基板を含んでいることができる。複数のフレキシブルプロブの各々をスペーストランスフォーマの取付け面に取り付ける方法が知られている。一般には、プロブは、半導体製造の分野における通常の技術を有する者に周知である従来のもっき手法またはエッチング法によって基板上に形成されている導電性の（例：金属の）ボンディングパッド、

40

【0005】

プロブカードの製造における1つの課題は、ICの接続端子に接続されるプロブ先端部の位置の望ましくない変動が最小になるように、スペーストランスフォーマ基板の取付け面を、平面性の高い精度の公差内に維持することである。プロブアセンブリ内のすべてのプロブ先端部の位置の高い精度の公差は、個々のプロブ先端部と、試験されるチップの端子との間に同じ接触条件を確立して維持するうえで極めて重要である。位置の公差は、対応する端子に対するプロブ先端部の位置と、ブロードとICの接続端子との間に

50

十分な電気接続を確立するために必要な力の、両方に影響する。プローブ先端部の位置の公差を高精度に制御するためには、複数のプローブの取付け面が、実現可能な限り平面に近いことが望ましい。

【0006】

具体的には、プローブを基板に取り付けるための一般的な手法の1つとして、めっき手法を使用して基板上に柱構造を形成するステップの後に、各プローブを柱にTABボンディングするステップが挙げられる。めっきされた柱の各々の上部を共通平面上に維持することが難しい。さらに、プローブが柱に取り付けられるときにプローブの正しい整列状態を維持することが難しい。

【0007】

スペーストランスフォーマ基板にプローブを直接的に取り付けることのさらなる欠点として、基板は相対的に高価な品目である傾向にあり、基板にプローブを取り付ける工程中に、基板が使用できなくなるような欠陥が生じた場合、そのような欠陥のコストは大きい。

【0008】

従って、高い精度の公差内に配置されている先端部を有するプローブ素子を提供する、より容易に製造され、かつ費用効果のより高いプローブカードを提供することは、望ましいであろう。

【発明の開示】

【課題を解決するための手段】

【0009】

本発明の例示的な実施例によると、第一基板と、第二基板と、前記第一基板と前記第二基板との間に延びている複数の導電性ワイヤと、を含んでいる、プローブカード、が提供される。前記導電性ワイヤは、(a)第一端部において、前記第一基板の接点に固定されており、かつ、(b)第二端部において、前記第二基板の接点に固定されている。

【0010】

本発明の別の例示的な実施例によると、複数のはんだボールが、前記第一基板の接点と前記第二基板の接点との間に配置されている。複数の導電性ワイヤは、前記第一基板と前記第二基板との間の第一導電経路を提供し、かつ、前記複数のはんだボールは、前記第一基板と前記第二基板との間の第二導電経路を提供する。

【0011】

本発明を説明する目的で、図面には、現時点において好ましい本発明の形態が示されている。しかしながら、本発明は、示されているとおりの配置構成および手段には制限されないことを理解されたい。

【発明を実施するための最良の形態】

【0012】

本文書において使用されている用語「基板」は、幅広い範囲のデバイス(例:多層セラミック基板、多層有機基板、単層基板、プリント基板、インタフェースボード(例:FR4インタフェースボード)、スペーストランスフォーマ)を意味するものとする。

【0013】

本発明の例示的な実施例によると、半導体ダイを試験するためのプローブカードが提供される。このプローブカードは、積層編成の第一および第二基板を含んでいる。第一基板は、第一の一連の電気接点が上に配置されている第一面を含んでいる。これらの接点は、第二面上に形成されている第二の一連の接点に電氣的に接続されている。この電気接続は、任意の従来手段(例:電気トレースおよび/または導電性ビア)によるものとすることができる。

【0014】

第二基板は、(図示されている実施例においては)第一基板の上に位置しており、かつ、第一面および第二面を含んでいる。第一の一連の電気接点は、第一面上に配置されている。複数のプローブ素子(1つの例示的な実施例においてはカンチレバープローブ)は、

10

20

30

40

50

第一面上に配置されており、プローブの少なくとも一部は、第一の一連の電気接点に電氣的に接続されている。複数の導電性ワイヤボンドは、第二基板上の第一の一連の電気接点の少なくとも一部を、第一基板上の第一の一連の電気接点の一部に接続している。1つの例示的な実施例においては、第二の一連の電気接点は、第二基板の第二面上に形成されている。第二の一連の電気接点は、第一基板を貫いて（例えば、貫通ビアによって）、第一面上の第一の一連の電気接点の一部に電氣的に接続されている。第二の一連の電気接点は、第一基板上の第一の一連の電気接点の一部に電氣的に接続されている。

【0015】

本発明の上記およびその他の特徴および利点は、添付の図面に示されている本発明の例示的な実施例の以下の詳細な説明から、さらに明らかになるであろう。

10

【0016】

図1~4を参照し、図面全体を通じて、類似する数字は類似する要素を表しており、半導体ダイを試験するためのプローブカードアセンブリにおいて使用するための本発明の例示的な実施例が示されている。第一実施例においては、本発明は、第一基板20と第二基板30とを有する積層型基板アセンブリ10を含んでいる。積層型基板アセンブリ10は、プローブカードアセンブリ（完全には示していない）に組み込まれている。複数のプローブ60は、第二基板30に取り付けられており、後述されているように、第一基板20に電氣的に接続されている。図示されている実施例においては、プローブ60は、カンチレバープローブである。しかしながら、本発明の教示は、数多くの異なるプローブ構造のうちの任意の構造を含んでいるプローブカードに適用できることを理解されたい。さらに、プローブ60などのカンチレバープローブを使用するときには、さらなる垂直方向のたわみを提供するため、図5A~6Bに示されている柱要素など、柱要素（図1~4には明示的には示されていない）を設けることができる。

20

【0017】

図1~4に示されている積層型基板アセンブリの実施例10、100は、メモリチップにおける本発明の2種類の例示的な使用を示している。図示されている第一実施例（図1および2）においては、積層型基板アセンブリ10は、チップの2つの側面上に電気接点を有するフラッシュメモリチップに対して使用するようにされている。図示されている第二実施例（図3および4）においては、積層型基板アセンブリ100は、チップの側面の1つのみに電気接点を有するダイナミックランダムアクセスメモリ（DRAM）半導体チップに対して使用するようにされている。なお、図示されている実施例は、本発明の単純かつ例示的な使用であることが明らかであり、本発明の範囲全体を制限するようにはみなされないものとする。

30

【0018】

図1および2を参照し、積層型基板アセンブリ10は、第一基板20上の接点、例えば、ワイヤトレースあるいは接点パッド（または任意のその他のタイプの電気接点（例：端子、リード））と電気通信状態にある複数のプローブ60を含んでいる。この電気通信は、さまざまな手段によって提供することができる。本発明の1つの配置構成においては、電気接続は、第二基板30からの導電性ワイヤ70を第一基板20上の電気接点にボンディングすることによって提供される。また、ワイヤボンドに加えて、1本以上のプローブ60を、第二基板30を貫通しているビアに接続できることも、考慮されている。この場合、ビアは、例えば、導電性エポキシまたははんだの塗布、および/またはコイン状バンプ（coined bump）によって、第一基板20上の電気接点に接続されている。このようなビアとワイヤボンドの組み合わせでは、第二基板30と第一基板20との間の相互接続が最大限になる。

40

【0019】

第一基板20には、第一面24と第二面22とが画成されている。第一基板20は、例えば、半導体の試験および製造の分野において周知のタイプの多層複合材料とすることができる。第一の一連の電気トレース/接点26は、第一面24上に設けられている。一連の電気トレースまたは接点（図示していない）は、第二面22上に配置されており、プローブカードアセンブリの別の構成要素（例：プリント基板（PCB））と電気通信状態にあり、この別の構成要素は、自動試験装置（ATE）と電気通信状態にある。第一および第二の一連の電気ト

50

レースは、従来の方式において（例：一連のビアによって）多層複合材料を貫いて電氣的に接続されている。

【0020】

第二基板30には、第一面34と第二面32とが画成されている。第二基板30は、例えば、関連する分野における通常の技術を有する者に周知のタイプの多層複合材料とすることができる。1つ以上の中央の開口または溝36は、第二基板30を貫通している。第二基板30には、側面38、40が画成されている。

【0021】

第一の一連の電気接点44は、第二基板30の第一面34上に配置されている。例えば、電気接点44は、従来のめっき手法を使用して形成することができ、かつ、例えば、導電性の高い耐酸化性材料（例：金）から形成することができる。図面に示されているように、電気接点44は、任意の望ましいパターンに配置されている、導電性材料の薄い帯状片として形成することができる。

10

【0022】

各プローブ60は、少なくとも1つの電気接点44に接続されており、それらと電気通信状態にある。図示されている例示的な実施例においては、プローブ60は、電気接点44の上面の一部に取り付けられている。プローブ60は、第一端部62と第二端部64とを有する。プローブ先端部66は、第二端部64においてプローブ60に設けられている。プローブ先端部66は、試験対象の半導体デバイス上の電気接点に接触するようにされており、そのように配置されている。上述されているように、被試験デバイスが、チップの対向する側面上に2組の一連の電気接点が配置されているフラッシュメモリチップであるときには、対向する第一および第二の一連のプローブ60を設けることが望ましい。例えば、プローブ60は、良好な導電率特性と、良好な強度および疲労特性とを有する材料（例：タングステン、BeCu、Ni合金、Mo、Mo合金、ハーバー）から作製することができる。プローブ60は、例えば、関連する分野における通常の技術を有する者に周知のTABボンディング工程を使用することによって、電気接点44に接続されている。

20

【0023】

図示されている実施例においては、プローブ60は、カンチレバー式に取り付けられており、第二基板30の第一面34にほぼ平行に延びている縦軸線、または第二基板30の側面から横方向に延びている縦軸線を有する。なお、積層型基板アセンブリ10は、垂直プローブカードに組み込むこともできることを理解されたい。このような垂直プローブカードは、一般には、要素として特に、プローブヘッドとスペーストランスフォーマとを備えている。積層型基板アセンブリのコンセプトを垂直プローブカードに適用することによって、スペーストランスフォーマおよびプローブヘッド要素を、第一基板および第二基板（第二基板にプローブが取り付けられている）に置き換えることが可能となる。

30

【0024】

複数の第二電気接点46は、例えば、第二基板30の第二面32上に配置されている。電気接点46は、例えば、従来の手法を使用して第二面32上に配置されている金属接点パッドの形式である。第二電気接点46は、従来の方法において（例：ビア（図示していない）によって）第二基板30の厚さを貫いて、第一の一連の電気接点44の一部に電氣的に接続することができ、および/または、第二基板30の第一面34上の第三の一連の電気接点45に電氣的に接続することができる。

40

【0025】

各プローブ60が第一基板20上の電気トレース26の少なくとも1つと電気通信状態にあるように、第二基板30上の電気接点46を第一基板20上の電気トレース/接点26に接続するためには、導電性接続が使用される。当業者に公知である任意の適切な電気接続を使用することができる。図示されている実施例においては、導電性エポキシまたははんだバンプ48が、第二基板30における電気接点46上に形成されている。バンプ48は、コイン状バンプ49によって電気トレース26に接続されている。

【0026】

50

前段落において説明されている例示的な直接的なボンディングに代えて、またはこれに加えて、本発明では、複数の導電性ワイヤ70を使用して、第二基板30上の第一電気接点44を第一基板20上の電気トレース26に接続することが考慮されている。ワイヤボンディング70は、プローブ60と、少なくとも1つの電気トレース26との間の電気接続を提供する。

【0027】

ワイヤ70は、電気接点44にボンディングされている第一端部72と、電気トレース26にボンディングされている第二端部74とを有する。ワイヤ70は、関連する分野の当業者に周知である従来のワイヤボンディング手法を使用し、従来のワイヤボンディング機械（例：Kulicke and Soffa Industries社（ペンシルベニア州ウイログループ）から販売されているワイヤボンディング機械）を用いて、取り付けることができる。図面に示されているように、ワイヤ70は、第二基板30の上面における電気接点44から、溝36を通過して電気トレース26まで延びることができる。従来のチップ設計における要件である小さな間隔に対応するため、溝36の対向する側面上のカンチレバープローブ60を接続しているワイヤ70を交互に配置することができる。

10

【0028】

次いで、図3および図4を参照し、例示的な積層型基板100は、積層型基板アセンブリ10と似ているが、いくつかの違いとして、例えば、プローブ60は、第二基板130の一方の縁部のみから横に延びており、かつダイナミックランダムアクセスメモリ（DRAM）半導体チップに典型的な電気接点と結合するようにされている。より具体的には、積層型基板アセンブリ100においては、第一縁部138から第二縁部140まで連続している第二基板130が使用されており、中間溝の必要がない。積層型基板アセンブリ100においては、ワイヤ70は、第一縁部138の外側を通過して第一基板20上の電気トレース26に接続されている。

20

【0029】

半導体ウェハデバイスの試験時、プローブ先端部66は、動かされて、試験を受ける半導体ダイのダイ接点に電氣的に接触する。プローブ先端部66がダイ接点に接触すると、プローブ60はたわむ。プローブ60は、第二基板への取付け部分を除いて、その長さに沿って支持されていないため、プローブの第二端部64は、大きな距離だけ自由にたわむ。

【0030】

理解できるように、本発明によって提供される恩恵の1つとして、このアセンブリは、パッケージの垂直方向のサイズが小さく、その一方で、大きなたわみ能力を提供する。

30

【0031】

さらに、本発明では、パッケージの平面性の制御性が向上しており、なぜなら、第二基板の平坦性がパッケージの全体的な平面性を実質的に決めるためである。基板の平坦性を制御することは、プローブのめっき厚さを制御するよりもずっと容易である。さらに、積層型基板では、相対的に高価な第一基板ではなく、相対的に安価な第二基板にプローブを接続することができる。従って、プローブの取付け工程時に取付け面が損傷した場合、相対的に高価な第一基板を回収して再利用することができる。

【0032】

このように、積層型基板は、先端部が高い精度の公差内に配置されているプローブを有する、より容易に製造され、かつ費用効果のより高いプローブカードを提供する。

40

【0033】

図5Aは、プローブカードアセンブリ200の一部分の側面図である。プローブカードアセンブリ200は、プリント基板（PCB）202（接点202aを含んでいる）と、基板204（例：接点204aおよび204bを含んでいるインタフェースボード204）と、基板208（接点パッド208aおよび導電性トレース208bを含んでいる）（接点パッド208aは、基板208を貫通している導電性ビアなどに導電的に結合されている）と、を含んでいる。図5には、プリント基板202、インタフェースボード204、および基板208の各々の一部のみが図示されている。プリント基板202とインタフェースボード204との間の導電性接触は、はんだボール206によって提供されている（はんだボール206は接点パッド202aと204aとの間に延びている）。図5Aに示されている例示的な配置構成においては、インタフェースボード204と基板208との間

50

の導電性接触は、(a) はんだボール210 (はんだボール210は接点パッド204bと接点パッド208aとの間に延びている) と、(b) 特定の接点パッド204bと導電性トレース208bとの間に延びている導体212 (例：ワイヤボンディングされている導体212) とによって、提供されている。プローブ素子214 (柱214a、梁部214b、および先端部214cを含んでいる) は、導電性トレース208bに導電的に結合されている。

【0034】

図5Aからは明らかでないが、導体212は、基板208における開口 (図示していない) (例：図1~2の前述されている例示的な実施例に示されている溝36) の中を通すことができる (通さなくてもよい) 。

【0035】

例えば、特定の配置構成においては、インタフェースボード204と基板208との間の導電性接続のすべてを導体212を使用して構成するための十分な間隔が存在しないことがある。従って、はんだボール212は、導体212と併せて、導電性接続を提供することができる。例えば、特定のプローブカードでは、図1~4に図示されているような1列ないし2列のプローブとは対照的に、基板上のさまざまなパターン / 構成に配置されているプローブ素子を利用する。

【0036】

これに代えて、特定の配置構成においては、このような導電性接続のすべてを導体212を使用して形成することができ、この場合、はんだボール210を使用して、機械的強度、弾力性、およびインタフェースボード204と基板208との間の平面性を提供することができる。このようなはんだボール210は、インタフェースボード204および基板208の境界部の全長 (境界部の全長は図5Aには示されていない) にわたり延びていることができる。

【0037】

図5Bは、別のプローブカードアセンブリ200aの一部分の側面図である。図5Bにおいて、類似する参照数字 (および数字が付されていない類似する要素) は、図5Aの類似する要素を表している。図5bに示されているプローブカードアセンブリ200aには、第二層のワイヤボンド212が設けられている。すなわち、(インタフェースボード204と基板208との間に設けられているワイヤボンド212に加えて) プリント基板202とインタフェースボード204との間にワイヤボンド212が設けられている。充填材料 (between material) 218 (例：エポキシポッティング材料) は、ワイヤボンド212に剛性を提供するために設けられている。エポキシポッティング (または別の非導電性材料) は、基板 - ボードアセンブリの機械的安定性 (例：基板208とインタフェースボード204との間の安定性) も提供することができる。

【0038】

図5Bにおける基板208とインタフェースボード204との間を接続するためにワイヤボンド212のみを使用すると、基板208におけるビアの使用を排除することができ、これにより、基板208が相対的に安価となり、かつ、単層基板においてビアを使用することのある種の電氣的信頼度の危険性を排除することもできる。

【0039】

図6Aは、別のプローブカードアセンブリ300の一部分の側面図である。図6Aにおいて、類似する参照数字 (および数字が付されていない類似する要素) は、図5Aの類似する要素を表している。図6Aに示されているプローブカードアセンブリ300においては、インターポーザ216が、プリント基板202とインタフェースボード204との間に設けられている。インターポーザ216は、数多くのタイプのインターポーザ (例：ポゴピンインターポーザ、ばねピンインターポーザ、めっきされた接点を支持しているフレキシブルシート) のうちの任意のタイプとすることができる。

【0040】

図6Bは、別のプローブカードアセンブリ400の一部の側面図である。図6Bにおいて、類似する参照数字 (および数字が付されていない類似する要素) は、図5Aおよび6Aの類似する要素を表している。図6Bに示されているプローブカードアセンブリ400においては、ワ

10

20

30

40

50

イヤボンド212に剛性を提供するために、材料218（例：エポキシポッティング材料）が設けられている。

【0041】

本発明は、主として、基板上の特定のタイプの接点（例：ランドグリッドアレイ接点）に関連して説明されているが、本発明は、これらに制限されない。本発明の教示は、数多くのタイプの接点（例：ランドグリッドアレイ接点パッド、ボールグリッドアレイ接点パッド、端子、リード、導電性トレース、または任意のその他のタイプの接点あるいは導電性領域）のうちの任意のタイプを有する基板に適用することができる。

【0042】

本発明は、本発明の概念または本質的な特性から逸脱することなく、別の特定の形態に具体化することができる。本発明は、その例示的な実施例に関連して説明および図解されているが、本発明の概念および範囲から逸脱することなく、上記およびその他のさまざまな変更、省略、および追加を本発明に行うことができることが、当業者には理解されるであろう。

【図面の簡単な説明】

【0043】

【図1】フラッシュメモリ半導体チップに対して使用するようにされており、かつ本発明の例示的な実施例による特徴を有するプローブカードの一部分の斜視図である。

【図2】図1のプローブカードの一部の側断面図である。

【図3】ダイナミックランダムアクセスメモリ（DRAM）半導体チップに対して使用するようにされており、かつ本発明の別の例示的な実施例による特徴を有するプローブカードの一部分の斜視図である。

【図4】図3のプローブカードの一部分の側断面図である。

【図5A】本発明の例示的な実施例によるプローブカードアセンブリの一部分のブロック図による側面図である。

【図5B】本発明の例示的な実施例による別のプローブカードアセンブリの一部分のブロック図による側面図である。

【図6A】本発明の例示的な実施例によるさらに別のプローブカードアセンブリの一部分のブロック図による側面図である。

【図6B】本発明の例示的な実施例によるさらに別のプローブカードアセンブリの一部分のブロック図による側面図である。

【符号の説明】

【0044】

10 積層型基板アセンブリ

20 第一基板

22 第二面

24 第一面

26 電気トレース

30 第二基板

32 第二面

34 第一面

36 溝

38, 40 側面

44, 45, 46 電気接点

48 バンプ

49 コイン状バンプ

60 プローブ

62 第一端部

64 第二端部

66 プローブ先端部

10

20

30

40

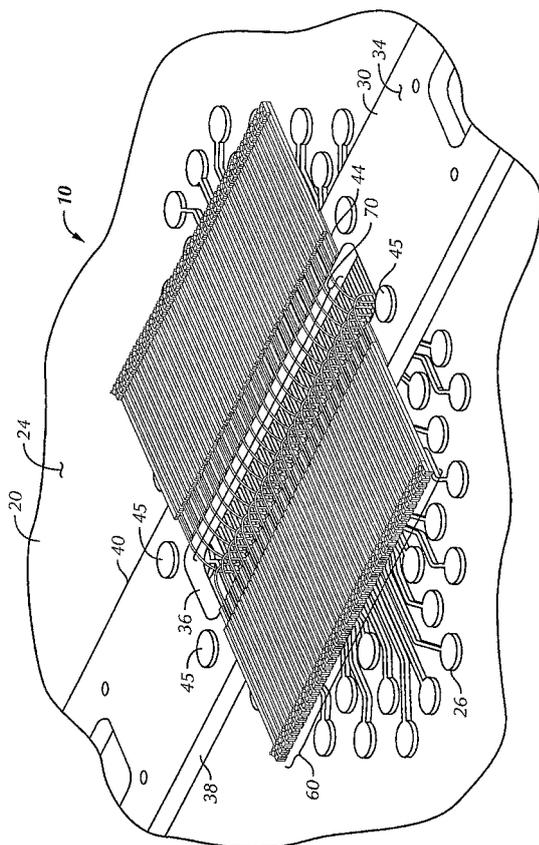
50

- 70 導電性ワイヤ
- 72 第一端部
- 74 第二端部
- 100 積層型基板アセンブリ
- 130 第二基板
- 138 第一縁部
- 140 第二縁部
- 200, 200a プロブカードアセンブリ
- 202 プリント基板
- 202a, 204a, 204b 接点
- 204 インタフェースボード
- 206 はんだボール
- 208 基板
- 208a 接点パッド
- 208b 導電性トレース
- 210 はんだボール
- 212 導体
- 214 プロブ素子
- 214a 柱
- 214b 梁部
- 214c 先端部
- 300 プロブカードアセンブリ
- 216 インターポーザ
- 300, 400 プロブカードアセンブリ

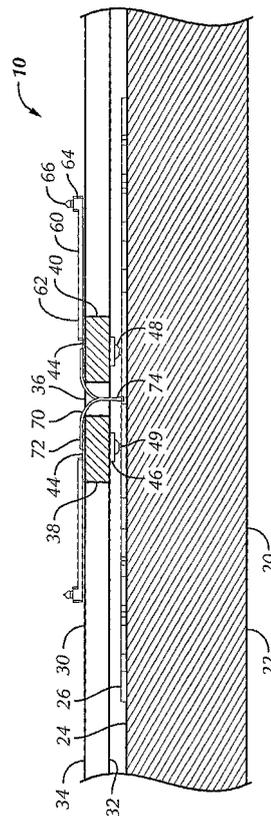
10

20

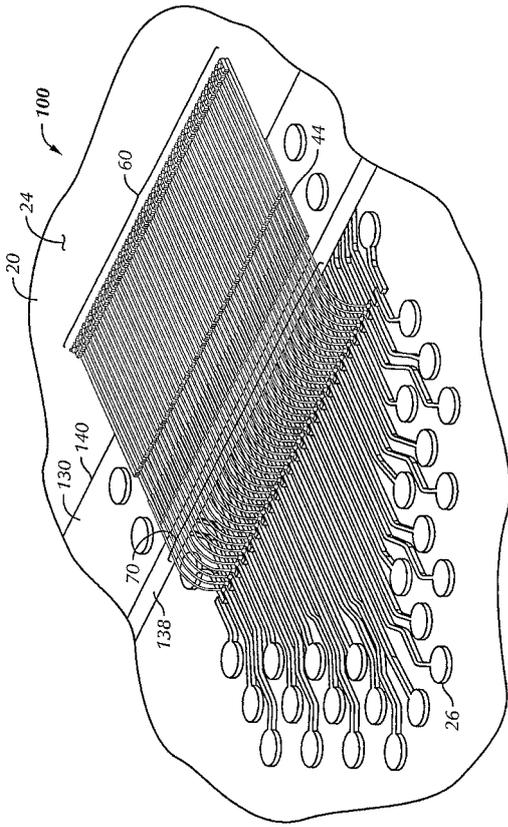
【 図 1 】



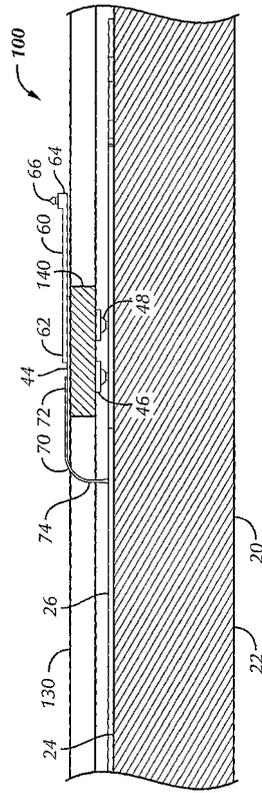
【 図 2 】



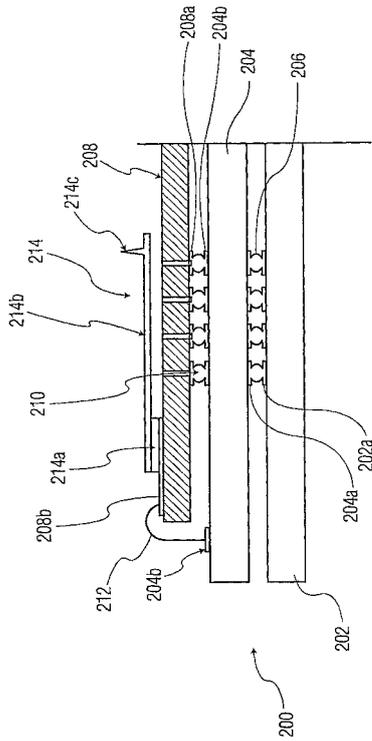
【 図 3 】



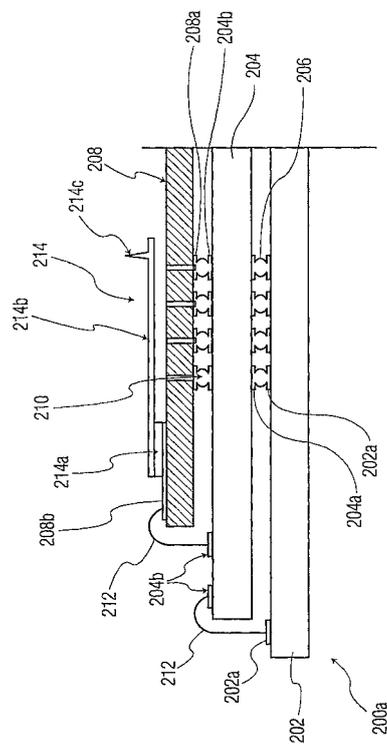
【 図 4 】



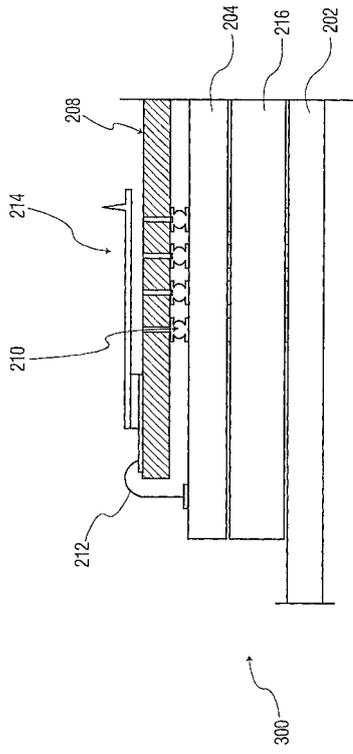
【 図 5 A 】



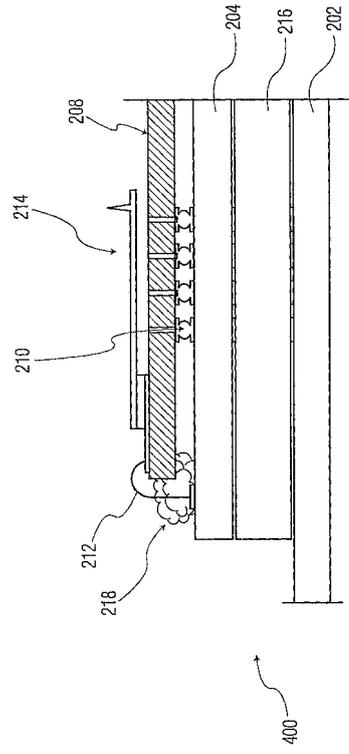
【 図 5 B 】



【 図 6 A 】



【 図 6 B 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2006/005865

A. CLASSIFICATION OF SUBJECT MATTER INV. G01R1/073		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G01R		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2004/127074 A1 (ELDRIDGE BENJAMIN N) 1 July 2004 (2004-07-01)	1,2
A	paragraphs [0003], [0011], [0047] - [0049], [0053]; figures 5A,6A,6B	3,5,6, 9-11, 14-19, 22-24, 26,27
A	US 2004/124519 A1 (ZHOU YU ET AL) 1 July 2004 (2004-07-01)	1,4-8, 15,18, 20,21
	paragraphs [0043], [0052], [0077], [0080], [0086] - [0088]; figures 7A,7B,9	
	-/--	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.
* Special categories of cited documents :		
<p>*A* document defining the general state of the art which is not considered to be of particular relevance</p> <p>*E* earlier document but published on or after the international filing date</p> <p>*L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>*O* document referring to an oral disclosure, use, exhibition or other means</p> <p>*P* document published prior to the international filing date but later than the priority date claimed</p>		<p>*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.</p> <p>*Z* document member of the same patent family</p>
Date of the actual completion of the international search	Date of mailing of the international search report	
8 June 2006	20/06/2006	
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax (+31-70) 340-3016	Authorized officer O'Callaghan, D	

INTERNATIONAL SEARCH REPORT

 International application No
 PCT/US2006/005865

G(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 344 752 B1 (HAGIHARA JUNICHI ET AL) 5 February 2002 (2002-02-05) column 1, line 66 - column 2, line 15; figure 2 column 2, lines 45-49 column 5, line 8 - column 9, line 36	1,7-9, 15,20-22
A	US 2003/127246 A1 (WATANABE NAUYUKI ET AL) 10 July 2003 (2003-07-10) paragraphs [0011], [0101], [0107], [0117], [0118], [0162]; figures 1,2,23,24	1,2,10, 13,15, 16,23,26
A	US 2004/008044 A1 (HOHENWARTER GERT K. G) 15 January 2004 (2004-01-15) paragraphs [0009], [0011] - [0016], [0041], [0043], [0045], [0046], [0056] - [0058]; figures 3,5-7	3,10,13, 17,23,26

1

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/US2006/005865

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2004127074	A1	01-07-2004	AU 2107299 A 01-02-2000
			CN 1317224 A 10-10-2001
			DE 69926241 D1 25-08-2005
			DE 69926241 T2 20-04-2006
			EP 1097617 A1 09-05-2001
			JP 2002520864 T 09-07-2002
			JP 2004251910 A 09-09-2004
			TW 404033 B 01-09-2000
			WO 0003569 A1 20-01-2000
			US 2001012704 A1 09-08-2001
US 2004124519	A1	01-07-2004	NONE
US 6344752	B1	05-02-2002	WO 0010016 A1 24-02-2000
			TW 418479 B 11-01-2001
US 2003127246	A1	10-07-2003	CN 1431518 A 23-07-2003
			JP 2003207523 A 25-07-2003
			TW 226932 B 21-01-2005
US 2004008044	A1	15-01-2004	NONE

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72)発明者 トゥナボイル バハディール
 アメリカ合衆国 8 5 2 2 6 アリゾナ州 チャンドラー ウェスト ジャスパー ドライブ 4
 1 5 5

(72)発明者 マクグローリー ジョン
 アメリカ合衆国 8 5 2 4 9 アリゾナ州 チャンドラー イースト カントリー ダウン ドラ
 イブ 2 9 0 7

Fターム(参考) 2G003 AA10 AG04 AG08 AG12
 2G011 AA09 AA15 AB01 AB06 AB08 AC05 AC14 AE03
 4M106 AA01 BA01 DD10